Министерство образования Республики Беларусь Учреждение образования

БЕЛОРУССКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ ИНФОРМАТИКИ И РАДИОЭЛЕКТРОНИКИ

Факультет компьютерных систем и сетей Кафедра электронных вычислительных машин

ОТЧЁТ

по лабораторной работе № 2 на тему:

Исследование работы комбинационных схем

Студент Преподаватель

Бригадир А.С. Некревич Ю.И.

Минск 2024

# ЦЕЛЬ РАБОТЫ

Целью работы является исследование работы шифратора, дешифратора, мультиплексора, сумматора, цифрового компаратора.

# ТЕОРЕТИЧЕСКИЕ СВЕДЕНИЯ

## Шифратор

Шифратором (Coder - CD) MxN называют комбинационное устройство с М входами и N выходами, преобразующее М-разрядный унитарный код в N- разрядный двоичный код.

Шифраторы классифицируют по ряду признаков. По числу входов различают:

* + - полные шифраторы, число входов которых М = 2N;
    - неполные шифраторы, имеющих число входов М < 2N. По уровням входных и выходных сигналов выделяют:
    - шифраторы высокого уровня, активные сигналы на входах и выходах которых имеют уровень логической единицы;
    - шифраторы низкого уровня, активные входные и выходные сигналы которых соответствуют уровню логического нуля.

На рисунке 2.1 приведено условное графическое обозначение шифратора низкого уровня К555ИВ1.



E0

E

G

Y2

Y1

Y0

CD

X0 X1 X2 X3 X4 X5 X6

X7

Рисунок 2.1 - Условное графическое обозначение шифратора К555ИВ1

Данная интегральная микросхема имеет следующий набор входных и выходных сигналов:

* + - восемь информационных входов ХО, Х1,...,Х7;
    - три информационных выхода Y0, Yl, Y2;
    - вход разрешения работы данного шифратора EI;
    - выход разрешения работы других шифраторов при каскадировании Е0;
    - выходной сигнал группового переноса G.

Работа дешифратора разрешена при подаче нуля на вход разрешения EI (enable input). При этом на выходах кода Y0, Yl, Y2 формируется инверсный двоичный код номера активной входной линии. При одновременном поступлении нескольких входных сигналов формируется выходной код, соответствующий входу с наибольшим номером. То есть старшие входы имеют приоритет перед младшими. Поэтому такой шифратор называется приоритетным. При отсутствии входных сигналов формируется выходной код

111. Единичный сигнал на входе Е запрещает работу шифратора (все выходные сигналы устанавливаются в единицу).

На выходе G вырабатывается нуль при приходе любого активного входного сигнала. Это позволяет отличить ситуацию поступления сигнала на вход Х0 от ситуации отсутствия сигналов на всех входах.

Выход ЕO становится нулевым при отсутствии входных сигналов, если при этом разрешена работа шифратора нулевым сигналом на входе Е.

Таблицей 2.1 иллюстрируется работа устройства.

Таблица 2.1 – Таблица состояний шифратора

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Входы | | | | | | | | | Выходы | | | | |
| E | X7 | X6 | X5 | X4 | X3 | X2 | X1 | X0 | Y2 | Y1 | Y0 | G | E0 |
| 1 | x | x | x | x | x | x | x | x | 1 | 1 | 1 | 1 | 1 |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | x | 1 | 1 | 0 | 0 | 1 |
| 0 | 1 | 1 | 1 | 1 | 1 | 0 | x | x | 1 | 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 1 | 0 | x | x | x | 1 | 0 | 0 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 | x | x | x | x | 0 | 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 0 | x | x | x | x | x | 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | x | x | x | x | x | x | 0 | 0 | 1 | 0 | 1 |
| 0 | 0 | x | x | x | x | x | x | x | 0 | 0 | 0 | 0 | 1 |

Примечание - символ x указывает на то, что состояние соответствующего сигнала не имеет значение, т.е. не влияет на состояние выходного кода.

Состояние выходных сигналов G и E0 шифратора описывается следующими уравнениями:

𝐺 = 𝐸 ∨ 𝐸¯ ∧ 𝑋0 ∧ 𝑋1 ∧ 𝑋2 ∧ 𝑋3 ∧ 𝑋4 ∧ 𝑋5 ∧ 𝑋6 ∧ 𝑋7

𝐸0 =

¯𝐸¯¯¯¯∧¯¯𝑋¯¯0¯¯¯∧¯¯𝑋¯¯1¯¯∧¯¯¯𝑋¯¯2¯¯∧¯¯𝑋¯¯3¯¯¯∧¯¯¯𝑋¯¯4¯¯∧¯¯¯𝑋¯¯5¯¯∧¯¯¯𝑋¯¯6¯¯¯∧¯¯𝑋¯¯7¯

Сигналы EI и ЕО используются для наращивания разрядности шифратора.

Стандартное применение шифраторов состоит в сокращении количества сигналов. Например, в случае шифратора К555ИВ1 информация о восьми входных сигналах сворачивается в три выходных сигнала. Это очень удобно, например, при передаче данных по информационным каналам.

## Дешифратор

Дешифратором (Decoder — DC) MхN называют комбинационное устройство с М входами и N выходами, преобразующее M-разрядный двоичный код в N-разрядный унитарный код. В дешифраторах высокого уровня унитарный код содержит единственную единицу, в дешифраторах низкого уровня - единственный ноль.

Максимальное число выходов *N* = 2M соответствует всем возможным наборам сигналов на входе дешифратора или М-разрядным двоичным кодам. Дешифратор с максимальным числом N = 2M выходов называется полным (М\*2M), а с числом выходов N < 2M - неполным. Так, например, дешифратор, имеющий четыре входа и 10 выходов, будет неполным, а дешифратор, имеющий два входа и четыре выхода, будет полным.

На рисунке 2.2 приведено условное обозначение дешифратора 2x4 типа К531ИД14.



X1

X0

E

DC

Y0 Y1 Y2

Y3

Рисунок 2.2 - Условное обозначение дешифратора 2x4

На входы Х0, X1, можно подать четыре комбинации логических уровней: 00, 01, 10, 11. Схема имеет четыре выхода, на одном из которых формируется нулевой сигнал, а на остальных единичный. Номер этого единственного выхода, на котором формируется нулевой уровень, соответствует числу M, определяемому состоянием входов Х0, XI, следующим образом:

𝑀 = 21 ∧ 𝑋1 ∨ 20 ∧ 𝑋0

Выходные сигналы дешифратора описываются соотношениями:

𝑌0 =

¯𝑋¯¯1¯ ∧ ¯𝑋¯¯2¯, 𝑌1 = ¯𝑋¯¯1¯ ∧ 𝑋0, 𝑌2 = 𝑋1 ∧

¯𝑋¯¯0¯, 𝑌3 = 𝑋1 ∧ 𝑋2

Помимо информационных входов Х0, XI дешифратор имеет дополнительные входы управления Е. Сигналы на этих входах, разрешают функционирование дешифратора или переводят его в пассивное состояние, при котором, независимо от сигналов на информационных входах, на всех выходах установится единичный сигнал. Можно сказать, что существует некоторая функция разрешения, значение которой определяется состояниями управляющих входов.

Разрешающий вход дешифратора может быть прямым или инверсным. У дешифраторов с прямым разрешающим входом активным уровнем является уровень логической единицы, у дешифраторов с инверсным входом - уровень логического нуля. Дешифратор, представленный на рис.3.1, имеет один инверсный вход управления.

Формирование выходных сигналов в этом дешифраторе с учетом сигнала управления описывается следующим образом:

𝑌0 = 𝐸¯ ∧

¯𝑋¯¯1¯ ∧ ¯𝑋¯¯2¯, 𝑌1 = 𝐸¯ ∧ ¯𝑋¯¯1¯ ∧ 𝑋0, 𝑌2 = 𝐸¯ ∧ 𝑋1 ∧ ¯𝑋¯¯0¯,

𝑌3 = 𝐸¯ ∧ 𝑋1 ∧ 𝑋2

Существуют дешифраторы с несколькими входами управления. Для таких дешифраторов функция разрешения, как правило, представляет собой конъюнкцию всех разрешающих сигналов управления. Например, для дешифратора КР555ИД7 с одним прямым входом управления E1 и двумя инверсными Е2 и ЕЗ функция Е имеют вид:

𝐸 = 𝐸1 ∧ 𝐸¯¯¯2¯ ∧ 𝐸¯¯¯3¯

Таблица 2.2 описывает работу дешифратора.

Таблица 2.2 – Таблица состояний входов дешифратора

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| Входы | | | Выходы | | | |
| Е | XI | Х0 | Y3 | Y2 | Y1 | Y0 |
| 1 | X | X | 1 | 1 | 1 | 1 |
| 0 | 0 | 0 | 1 | 1 | 1 | 0 |
| 0 | 0 | 1 | 1 | 1 | 0 | 1 |
| 0 | 1 | 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 1 | 1 | 1 |

Дешифраторы находят широкое применение в вычислительной технике. В составе компьютеров, например, дешифраторы позволяют адресоваться к определённому устройству, с которым в данный момент осуществляется обмен информацией. Для этого достаточно подключить вход разрешения работы этого устройства к соответствующему выходу дешифратора, а входы дешифратора использовать для задания адреса устройства.

## Мультиплексор

Мультиплексором (Multiplexer – MUX) Mх1 называют комбинационное устройство с M информационными (X1,X2,…,X(M-1)), K адресными (A0,A1,…,A(K-1)) входами и одним выходом (Y), которое осуществляет передачу сигнала с заданного адресным кодом информационного входа на его выход.

Кроме информационных и адресных входов, мультиплексор содержит вход разрешения, при подаче на который активного уровня мультиплексор переходит в активное состояние. Если на вход разрешения подать пассивный уровень, мультиплексор перейдёт в пассивное состояние, при котором сигнал на выходе сохраняет постоянное значение независимо от значений информационных и адресных сигналов.

В зависимости от отношения числа информационных входов M и числа адресных входов K мультиплексоры делятся на полные и неполные. Если выполняется условие M = 2K, то мультиплексор будет полным. Если это условие не выполняется, т.е. меньше, то мультиплексор будет неполным.

Число информационных входов у мультиплексора обычно два, четыре, восемь или 16. На рисунке 2.3 представлен мультиплексор четыре к одному с инверсным входом разрешения E и правым выходом Y, представляющим собой половину микросхемы мультиплексора KP555КП2.



X0 X1 X2

X3

MUX

Y

E

A0

A1

Рисунок 2.3 - Условное обозначение мультиплексора четыре к одному

Выражение для выходной функции такого мультиплексора можно записать в виде:

𝑌 = 𝐸¯ ∧ (𝑋0 ∧ ¯𝐴¯¯0¯ ∧ ¯𝐴¯¯1¯ ∨ 𝑋1 ∧ 𝐴0 ∧ ¯𝐴¯¯1¯ ∨ 𝑋2 ∧ ¯𝐴¯¯0¯ ∧ 𝐴1 ∨ 𝑋3 ∧ 𝐴0 ∧ 𝐴1)

где X0, X1, X2 – информационные входы мультиплексора; A0, A1 – адресные входы мультиплексора;

E – вход разрешения;

Работа мультиплексора описывается таблицей состояний 2.3.

Таблица 2.3 - Таблица состояний мультиплексора

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| E | A1 | A0 | X3 | X2 | X1 | X0 | Y |
| 1 | x | x | x | x | x | x | 0 |
| 0 | 0 | 0 | x | x | x | 0 | 0 |
| 0 | 0 | 0 | x | x | x | 1 | 1 |
| 0 | 0 | 1 | x | x | 0 | x | 0 |
| 0 | 0 | 1 | x | x | 1 | x | 1 |
| 0 | 1 | 0 | x | 0 | x | x | 0 |
| 0 | 1 | 0 | x | 1 | x | x | 1 |
| 0 | 1 | 1 | 0 | x | x | x | 0 |
| 0 | 1 | 1 | 1 | x | x | x | 1 |

Примечание - символ х указывает на то, что состояние соответствующего сигнала не имеет значения, т.е. не влияет на состояние выхода.

Микросхемы мультиплексоров можно объединить для увеличения количества каналов. Старший разряд адреса А3 будет при этом выбирать один из двух мультиплексоров по входу разрешения.

Мультиплексоры нашли широкое применение в вычислительной технике в качестве коммутаторов цифровых сигналов. Они используются в компьютерах и микропроцессорных контроллерах для коммутации адресных входов динамических оперативных запоминающихся устройств, в узлах объединения или разветвления шин и т.д.

## 2.4. Сумматор

Сумматоры предназначены для выполнения арифметических операций сложения и вычитания как двоичных, так и десятичных чисел. Приведем основные классификационные признаки сумматоров.

По виду выполняемой операции можно выделить две группы сумматоров:

* сумматоры, выполняющие слоение положительных чисел (без учета знака числа);
* сумматоры, выполняющие операцию сложения положительных и отрицательных чисел. Такие устройства называют сумматорами- вычислителями. Они могут работать в режиме алгебраического (с учетом знака) суммирования и вычитания чисел.

По используемой системе счисления сумматоры подразделяются на:

* двоичные сумматоры, выполняющие операции над двоичными числами;
* десятичные сумматоры, выполняющие операции над десятичными числами.

По последовательности выполнения операции во времени выделяют:

* параллельные сумматоры, в которых все разряды складываемых чисел подаются на входы сумматора одновременно. Такие сумматоры строятся на комбинационных устройствах и рассматриваются в дальнейшем;
* последовательные сумматоры, на входы которых разряды складываемых чисел подаются последовательно во времени (разряд за разрядом). В них используются элементы памяти.

Среди двоичных сумматоров различают одноразрядные и многоразрядные сумматоры. Одноразрядные сумматоры служат основой для построения многоразрядных. Многоразрядные сумматоры подразделяются на сумматоры с последовательным и параллельным переносом.

На рисунке 2.4 представлен полный одноразрядный сумматор. Полным одноразрядным сумматором называется комбинационные устройство с тремя входами и двумя входами, выполняющее сложение трех одноразрядных чисел по правилам двоичной арифметики.

Ci+1

Si

SM

Ai

Bi Ci

Рисунок 2.4 - Условное графическое обозначение одноразрядного полного сумматора

На входы сумматора поступают сигналы 𝐴i, 𝐵i, 𝑖-го разряда и сигнала С; переноса из предыдущего разряда, с выхода снимаются сигналы текущего разряда суммы S и переноса 𝐶i+1 в следующий разряд. На таблице 2.4 описывается работа одноименного полного сумматора.

Выходной сигнал переноса формируется в соответствии с выражением:

Сi+1 = 𝐴i A 𝐵i V 𝐵i A 𝐶i V 𝐶i A 𝐴i

Таблица 2.4 – Таблица состояний полного одноразрядного сумматора

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Входы | | | Выходы | |
| 𝐶i | 𝐵i | 𝐴i | 𝐶i+1 | 𝑆i |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 1 | 1 |

Полные одноразрядные сумматоры используются для построения многоразрядных сумматоров. На рисунке 2.5 приведена схема соединения двух одноразрядных полных сумматоров для получения двухразрядного полного сумматора.

Полученный сумматор называется сумматором с последовательным переносом. Сумматор с последовательным переносом имеет низкое быстродействие, так как сигналы суммы и переноса старшего разряда появятся только после того, как последовательно сформируются сигналы переноса всех предыдущих разрядов.

C'0

A'0

B'0

A'1

B'1

S'0

S'1

B0

A0

C1

S0

SM

C0

B0

A0

C1

S0

SM

C0

C'2

Рисунок 2.5 Схема увеличения разрядности сумматора

## 2.5 Цифровой компаратор

Цифровым компаратором (comparator) называется комбинационное устройство, предназначенное для сравнения кодов двух двоичных чисел и формирования результата сравнения цифровых сигналов.

Компараторы делятся на две группы:

* схемы проверки равнозначности кодов;
* схемы сравнения кодов.

Схемы проверки равнозначности кодов имеют на входе две переменные А и В, каждая из которых содержит М двоичных разрядов, и один выход Y. При сравнении на равенство осуществляется поразрядное сравнение двух чисел, что позволяет затем сформировать на выходе всей схемы активный сигнал Y=1 при равенстве входных чисел. Функционирование схемы по каждому разряду подчиняется таблице истинности 2.5. В этой таблице 𝐴i и 𝐵i являются i-тыми разрядами многократных двоичных чисел А и В, а 𝑌i – результатом сравнения разрядов с номером i.

Таблица 2.5 – Таблица состояний сигналов схемы

|  |  |  |
| --- | --- | --- |
| 𝐴i | 𝐵i | 𝑌i |
| 0 | 0 | 1 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 1 |

Многоразрядные двоичные числа будут равны, если выполняется равенство в каждом разряде, то есть 𝑌i = 1 для каждого разряда. Чтобы сформировать окончательный результат сравнения многоразрядных чисел достаточно вычислить конъюнкцию:

𝑦 = 𝑦1 A 𝑦2 A … A 𝑦m

где М – число разрядов в сравниваемых числах, Y – результат сравнения.

Только при поразрядном равенстве выходной сигнал Y будет равен логической единице.

Для построения многоразрядных схем сравнения используют элементы

«Исключающее ИЛИ». Эти элементы реализуют функцию:

𝑦 = 𝐴¯ι A 𝐵i V 𝐴i A 𝐵¯ι

На рисунке 2.6 показана схема проверки на равенство, построенная на элементах «Исключающее ИЛИ» в соответствии с последней формулой.

A1



=1

1

=1

=1

B1

A2 Y

B2

AM

BM

Рисунок 2.6 - Схема сравнения на равенство

Схемы сравнения выполняют более сложный логический анализ входных кодов и на выходе формируют три выходных сигнала, соответствующие результатам сравнения A>B, A=B или A<B. Примером служит интегральная микросхема цифрового компаратора К555СП1.

Помимо восьми входов для сравниваемых кодов (два четырехразрядных слова, обозначаемых A0…A3 и B0…B3) компаратор К555СП1 имеет три управляющих входа для наращивания разрядности I(A>B), I(A<B), I(A=B) и три выхода результирующих сигналов (A>B), (A<B), (A=B). Условное графическое изображение компаратора приведено в рис. 2.7

A0

==

A1

A2 A3

A>B

B0

A=B

B1

A<B

B2

B3 A>B A=B A<B

Рисунок 2.7 - Условное графическое изображение компаратора Таблицей истинности 2.6 описывается работа компаратора.

Таблица 2.6 - Таблица состояний цифрового компаратора

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Входы сравниваемых кодов | | | | Входы наращивания | | | Выходы | | |
| A3, B3 | A2, B2 | A1, B1 | A0, B0 | I(A>B) | I(A<B) | I(A=B) | A>B | A<B | A=B |
| A3>B3 | x | x | x | x | x | x | 1 | 0 | 0 |
| A3<B3 | x | x | x | x | x | x | 0 | 1 | 0 |
| A3=B3 | A2>B2 | x | x | x | x | x | 1 | 0 | 0 |
| A3=B3 | A2<B2 | x | x | x | x | x | 0 | 1 | 0 |
| A3=B3 | A2=B2 | A1>B1 | x | x | x | x | 1 | 0 | 0 |
| A3=B3 | A2=B2 | A1<B1 | x | x | x | x | 0 | 1 | 0 |
| A3=B3 | A2=B2 | A1=B1 | A0>B0 | x | x | x | 1 | 0 | 0 |
| A3=B3 | A2=B2 | A1=B1 | A0=B0 | 1 | 0 | 0 | 1 | 0 | 0 |
| A3=B3 | A2=B2 | A1=B1 | A0=B0 | 0 | 1 | 0 | 0 | 1 | 0 |
| A3=B3 | A2=B2 | A1=B1 | A0=B0 | x | x | 1 | 0 | 0 | 1 |
| A3=B3 | A2=B2 | A1=B1 | A0=B0 | 1 | 1 | 0 | 0 | 0 | 0 |
| A3=B3 | A2=B2 | A1=B1 | A0=B0 | 0 | 0 | 0 | 1 | 1 | 0 |

Примечание - символ х указывает на то, что состояние соответствующих сигналов не влияет на состояние выхода.

В том случае, когда используется одиночная схема (разрядность входных кодов не более четырех), для её правильной работы на вход I(A=B) следует подать логический сигнал единица, а на входы I(A>B) и I(A<B) – сигнал нуль. Если сравниваются коды с разрядностью более четырех, то выходы компаратора младших разрядов подключаются к одноименным входам компаратора старших разрядов сравниваемых чисел. Выходами всего многоразрядного компаратора кодов являются выходы компаратора самых старших сравниваемых разрядов.

# ХОД РАБОТЫ

## Изучение работы шифратора

После установки лабораторного модуля dLab2 на макетную плату NI ELVIS и загрузки файла dLab2.vi на экране появляется изображение шифратора.

Установив вход E шифратора на «0», а входы Х на сигналы, соответствующие таблице 4.1, после чего вход Е установили на «1», была получены таблицы истинности, представленные на рисунках 3.1 и 3.2

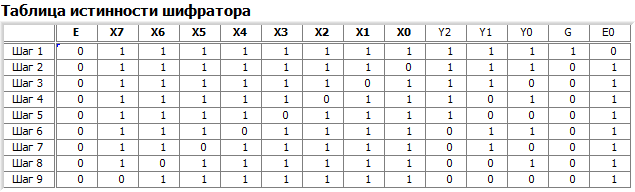


Рисунок 3.1 - Таблица истинности шифратора при Е = 0

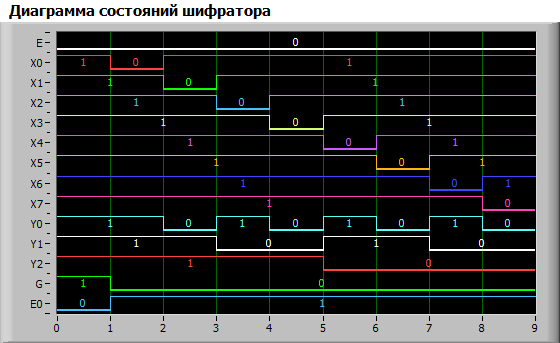


Рисунок 3.2 – Диаграмма состояний шифратора при Е = 0

Соответствующие рисункам диаграммы приведены ниже на рисунках

3.3 и 3.4.



Рисунок 3.3 – Диаграмма состояний шифратора при E = 0

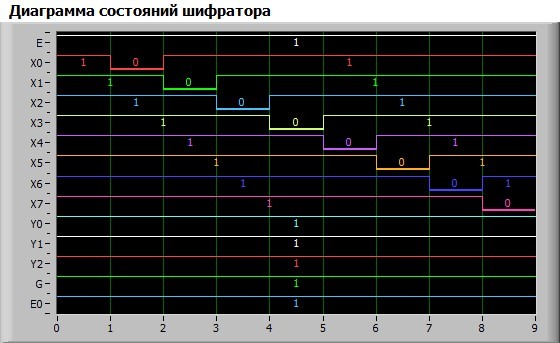


Рисунок 3.4 – Диаграмма состояний шифратора при E = 1 Учитывая диаграммы и таблицы состояний, активным сигналом для

входа Е является «0». Если рассматривать выходы G и E0, то при Е=0 они имеют нули при:

* Е0 = 0, если на все входы Х подана «1»;
* G = 1, если на все входы Х подана «1».

## Изучение работы дешифратора

Установив входы E, Х0 и Х1 на сигналы, соответствующие таблице 3.1, была получена таблица, представленная на рисунке 3.5.

Таблица 3.1 – Таблица подачи сигналов на входы дешифратора

|  |  |  |
| --- | --- | --- |
| Вход Е | Вход Х1 | Вход Х0 |
| 0 | 0 | 0 |
| 0 | 0 | 1 |
| 0 | 1 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 0 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |
| 1 | 1 | 1 |



Рисунок 3.5 – Таблица истинности дешифратора.

Соответствующая таблице 3.1 диаграмма приведена ниже на рисунке

3.6.



Рисунок 3.6 – Диаграмма состояний дешифратора

Из полученных данных можно сделать вывод, что активным логическим уровнем для входа Е является сигнал «0», так как только при его наличии можно корректно определить значения на выходах дешифратора.

## Изучение работы мультиплексора

Установив входы E, Х0 и Х1 на сигналы, соответствующие таблице 3.2, была получена таблица, представленная на рисунке 3.7.

Таблица 3.2 – Таблица подачи сигналов на входы мультиплексора

|  |  |  |
| --- | --- | --- |
| Вход Е | Вход А1 | Вход А0 |
| 0 | 0 | 0 |
| 0 | 0 | 1 |
| 0 | 1 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 0 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |
| 1 | 1 | 1 |



Рисунок 3.7 – Таблица истинности мультиплексора Соответствующая таблице, представленной в рисунке 3.7, диаграмма

приведена ниже на рисунке 3.8.



Рисунок 3.8 – Диаграмма состояний мультиплексора

На основе полученных данных можно сделать вывод, что активным логическим уровнем для входа Е является сигнал «0», так как при этом сигнале на выходе появляется сигнал, подаваемый на выбранный информационный вход мультиплексора.

## Изучение работы сумматора

Установив входы E, Х0 и Х1 на сигналы, соответствующие таблице 3.3, была получена таблица, представленная на рисунке 3.9.

Таблица 3.3 – Таблица подачи сигналов на входы сумматора

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 𝑪𝟎 | 𝑨𝟑 | 𝑨𝟐 | 𝑨𝟏 | 𝑨𝟎 | 𝑩𝟑 | 𝑩𝟐 | 𝑩𝟏 | 𝑩𝟎 |
| 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 |
| 0 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | 1 |
| 0 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 1 |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 |
| 1 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 1 |
| 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 0 |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

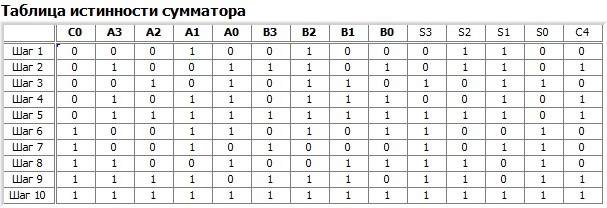


Рисунок 3.9 – Таблица истинности сумматора

Соответствующая рисунку 3.9 диаграмма приведена ниже на рисунке

3.10.

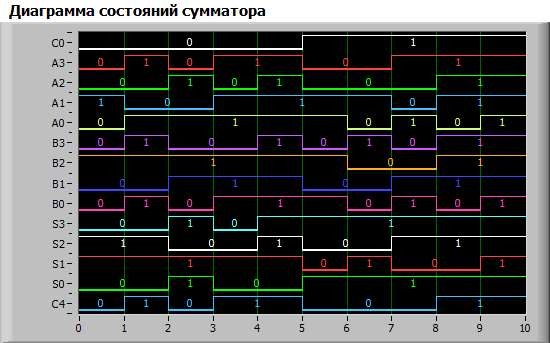


Рисунок 3.10 – Диаграмма состояний сумматора Можно проверить правильность подсчётов по формуле:

𝐶0 + 20(𝐴0 + 𝐵0) + 21(𝐴1 + 𝐵1) + 22(𝐴2 + 𝐵2) + 23(𝐴3 + 𝐵3) =

= 20𝑆0 + 21𝑆1 + 22𝑆2 + 23𝑆3 + 24𝐶4

К примеру, шаг 3.

0 + 20(1 + 0) + 21(0 + 1) + 22(1 + 1) + 23(0 + 0) =

= 20 ∙ 1 + 21 ∙ 1 + 22 ∙ 2 + 23 ∙ 0 + 24 ∙ 0*=*

= 20 ∙ 1 + 21 ∙ 1 + 22 ∙ 0 + 23 ∙ 1 + 24 ∙ 0

Следовательно, 𝑆0 = 1*;* 𝑆1 = 1*;* 𝑆2 = 0*;* 𝑆3 = 1*;* 𝑆4 = 0. Результаты, полученные по формуле, совпадают с данными из программы.

## Изучение работы цифрового компаратора

Установив входы E, Х0 и Х1 на сигналы, соответствующие таблице 3.4, была получена таблица, представленная на рисунке 3.11.

Таблица 3.4 – Таблица подачи сигналов на цифровой компаратор

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| A3 | A2 | A1 | A0 | B3 | B2 | B1 | B0 | I(A>B) | I(A=B) | I(A<B) |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 |
| 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 |
| 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 0 | 0 | x | x | 1 | 1 | 1 |
| 0 | 0 | 0 | 0 | 0 | 0 | x | x | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 | 0 | x | x | 1 | 1 | 1 |
| 0 | 0 | 0 | 0 | 0 | 0 | x | x | 0 | 0 | 0 |
| 0 | 0 | 0 | 0 | 0 | 0 | x | x | 1 | 0 | 0 |
| 0 | 0 | 0 | 0 | 0 | 0 | x | x | 0 | 0 | 1 |
| 0 | 0 | 0 | 0 | 0 | 0 | x | x | 0 | 1 | 0 |
| 0 | 0 | 0 | 0 | 0 | 0 | x | x | 1 | 1 | 1 |
| 0 | 0 | 0 | 0 | 0 | 0 | x | x | 1 | 0 | 1 |



Рисунок 3.11 – Таблица истинности цифрового компаратора

Соответствующая рисунку 3.11 диаграмма приведена ниже на рисунке

3.12.



Рисунок 3.12 – Диаграмма состояний цифрового компаратора

# ВЫВОД

В ходе данной лабораторной работы требовалось изучить поведение коммутационных логических элементов: шифратора, дешифратора, мультиплексора, сумматора, компаратора.

С этой целью для шифратора были сформированы таблица истинности (см. рисунок 3.1) и диаграмма состояний (см. рисунок 3.3), определён активный логический сигнал для управляющего входа Е (см. подраздел 3.1), определены условия возникновения активного сигнала на выходах ЕО и G (см. подраздел 3.1).

Для дешифратора были сформированы таблица истинности (см. рисунок 3.5) и диаграмма состояний (см. рисунок 3.6), а также определён активный логический сигнал для управляющего входа Е (см. подраздел 3.2).

Для мультиплексора были сформированы таблица истинности (см. рисунок 3.7) и диаграмма состояний (см. рисунок 3.8), а также определён активный логический сигнал для управляющего входа Е (см. подраздел 3.3).

Для сумматора были сформированы таблица истинности (см. рисунок 3.9) и диаграмма состояний (см. рисунок 3.10) и проведена проверка расчётов с помощью уравнения (см. подраздел 3.4).

При изучении цифрового компаратора по таблице истинности (см. рисунок 3.11) определили, как следует использовать входы цифрового компаратора для сравнения пятиразрядных двоичных слов (см. подраздел 3.5).