

《VLSI 设计》SPICE 实验报告

姓名： 肖 鹏

学号： 201808010718

湖南大学信息学院软件工程系

2020 年 11 月 20 日

实验一 INV 电路 SPICE 实验

1. SPICE 电路结构与网表

下面是 nmos 的结构，之后的 pmos 以及 level1、level2 都是在这个基础上修改的；通过增加扫描值以及使用不同精度的模式实现。

```
*Sample netlist for GSMC

.TEMP 25.0000

.option abstol=1e-6 reltol=1e-6 post ingold

.lib 'gd018.1' TT

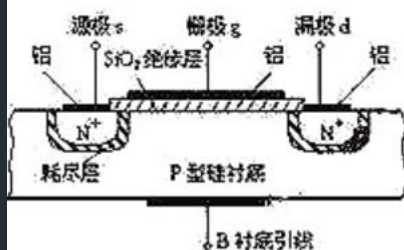
* --- Voltage Sources ---
vdd VDD 0 dc=1.8
vgs g 0 0
vds d 0 dc=0.9
vbs b 0 dc=0

* --- Inverter Subcircuit ---
Mnmos d g 0 b NCH W=30U L=6U

* --- Transient Analysis ---
.dc vds 0 1.8 0.01 SWEEP vgs 0 1.8 0.2

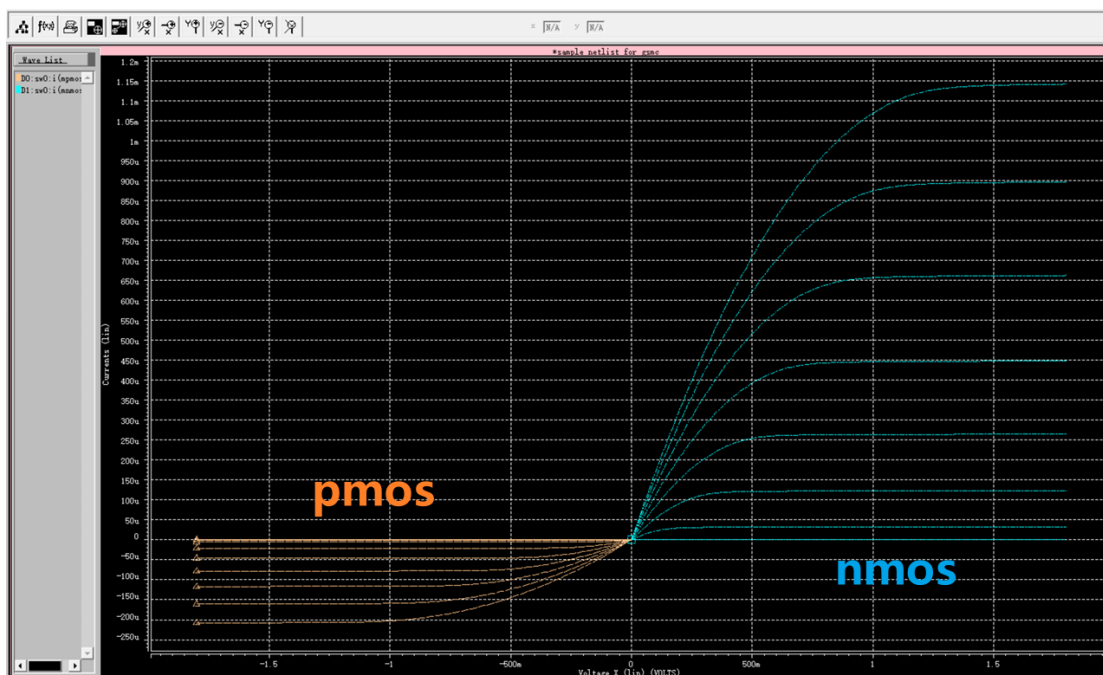
.print dc v(d) i(Mnmos)

.end
```

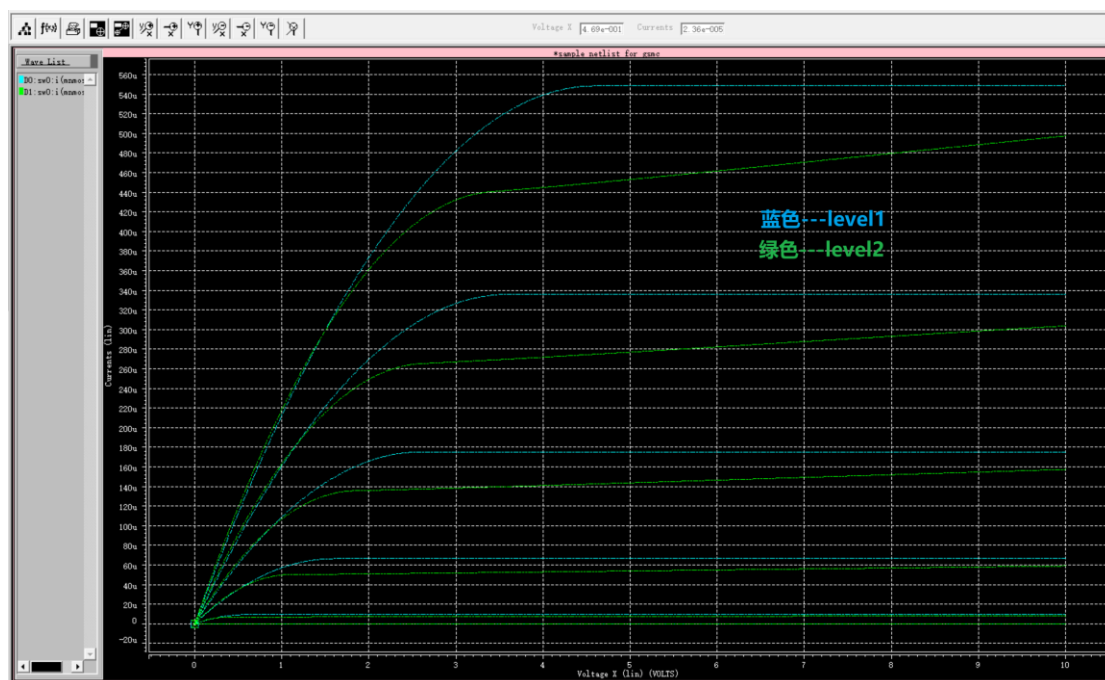


(a) N沟道增强型MOS管结构示意图

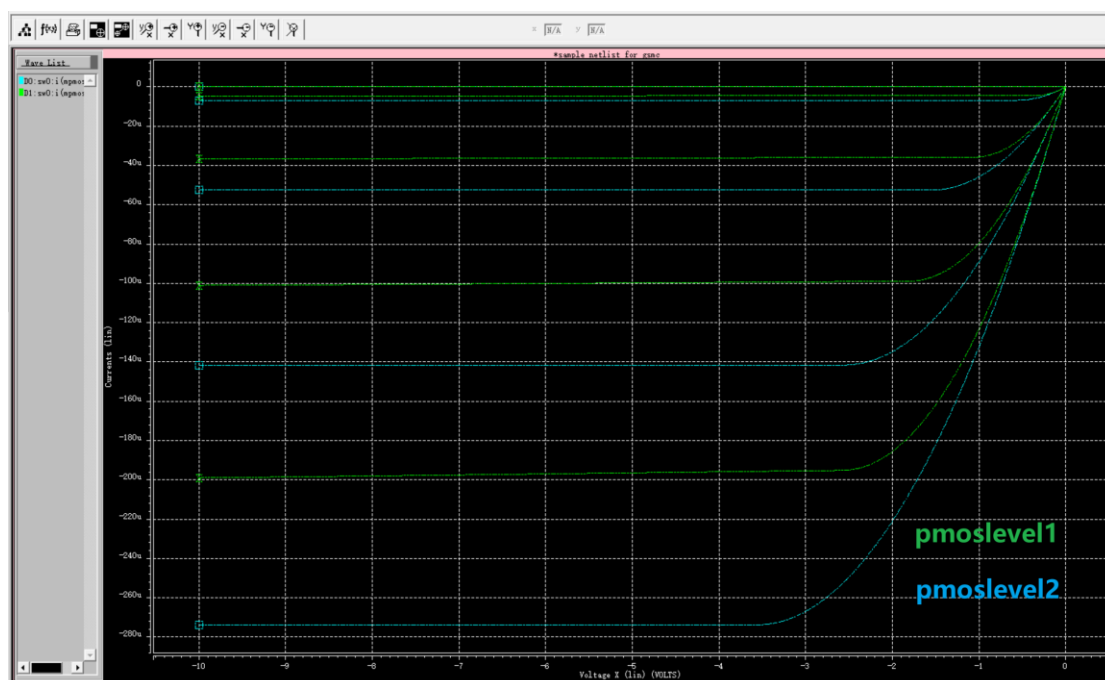
2. 电路仿真结果-基础部分



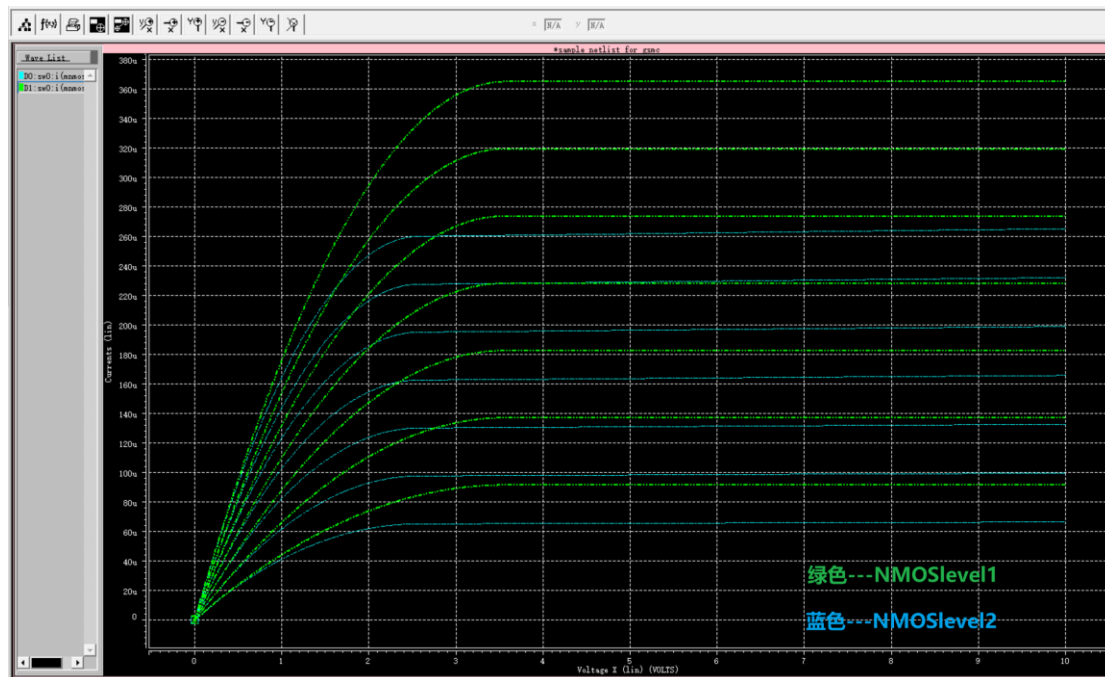
(对 demo 中的 nmos、pmos，对 V_{gs} 扫描仿真，得到波形图如上)



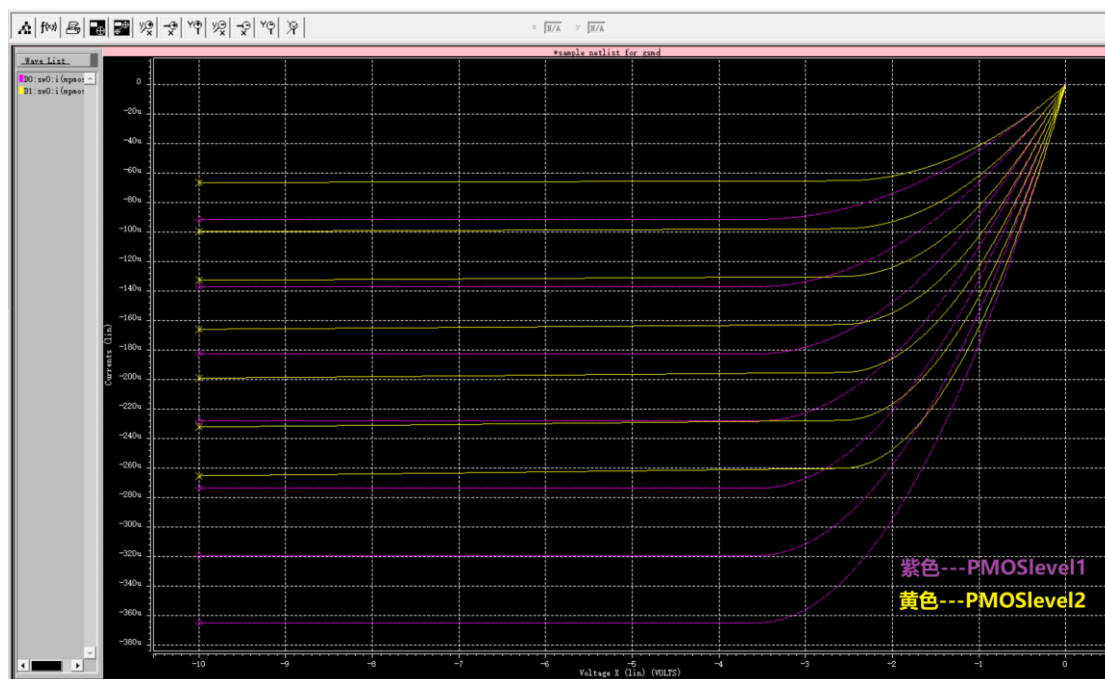
(NMOS 的 level1、level2 模型对 V_{gs} 扫描仿真波形)



(PMOS 的 level1、level2 模型对 V_{gs} 扫描波形)

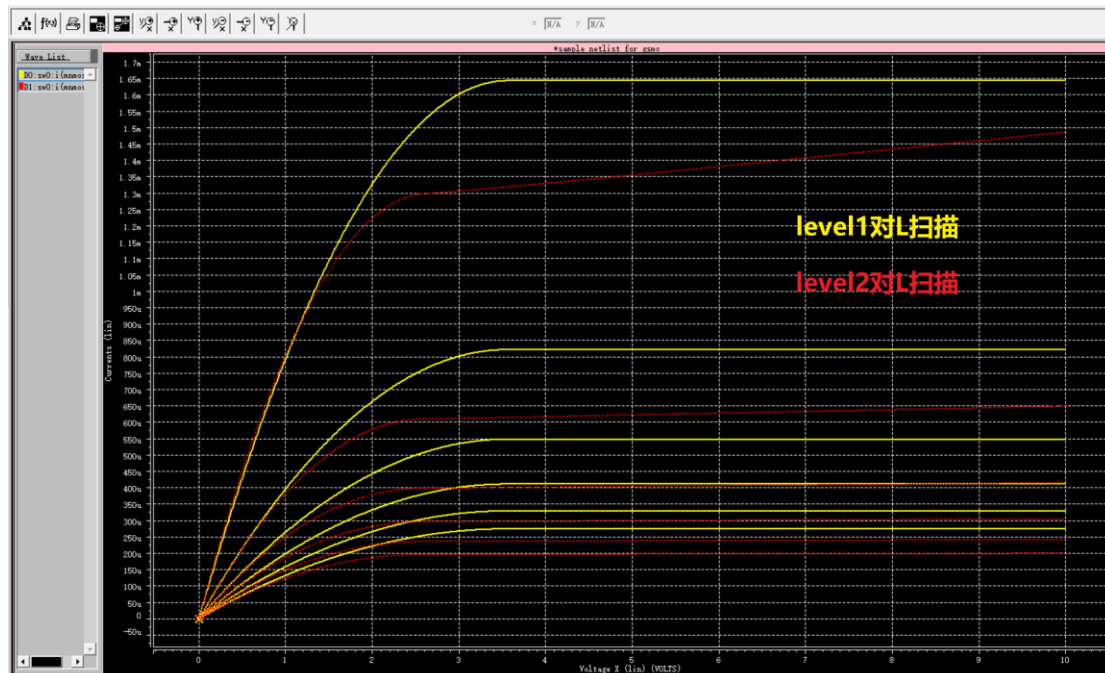


(NMOS 的 level1、level2 模型对 W/L 扫描波形)



(PMOS 的 level1、level2 对 W/L 扫描波形)

3. 电路仿真结果-探索部分

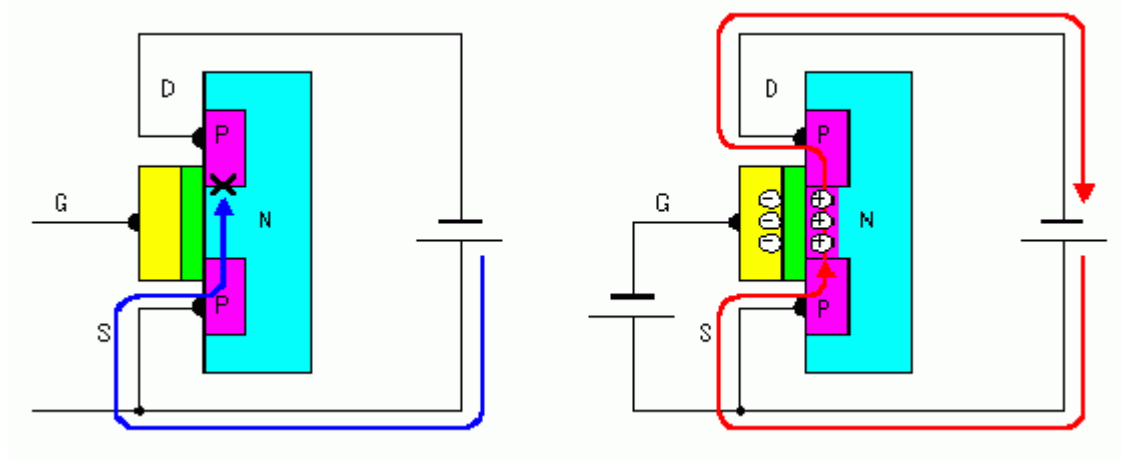


(NMOS 的 level1、level2 对 L 扫描)

4. 实验结果分析

①理解 NMOS、PMOS 的导电原理：

MOS 管的工作原理(以 N 沟道增强型 MOS 场效应管)它是利用 V_{GS} 来控制“感应电荷”的多少，以改变由这些“感应电荷”形成的导电沟道的状况，从而达到控制漏极电流的目的。在制造管子时，通过工艺使绝缘层中出现大量正离子，故在交界面的另一侧能感应出较多的负电荷，这些负电荷把高掺杂质的 N 区接通，形成了导电沟道，即使在 $V_{GS}=0$ 时也有较大的漏极电流 I_D 。当栅极电压改变时，沟道内被感应的电荷量也改变，导电沟道的宽窄也随之而变，因而漏极电流 I_D 随着栅极电压的变化而变化。



②比较 level1、level2 的区别：

个人理解是 level2 比 level1 仿真精度更高，考虑了更多的参数、影响因素，从而导致最终截止电压 V_T 的计算方式不一样；通过查询资料，可以看见 MOS1 模型和 MOS2 模型的主要区别如下：

MOS1模型

- MOS1模型是MOS晶体管的一阶模型，描述了MOS管电流-电压的平方率特性，它考虑了衬底调制效应和沟道长度调制效应。适用于精度要求不高的长沟道MOS晶体管。

MOS2 模型

◆二阶模型所使用的等效电路和一阶模型相同，但模型计算中考虑了各种二阶效应对MOS器件漏电流及阈值电压等特性的影响。这些二阶效应包括：

- (1) 沟道长度对阈值电压的影响；
- (2) 漏栅静电反馈效应对阈值电压的影响；
- (3) 沟道宽度对阈值电压的影响；
- (4) 迁移率随表面电场的变化；
- (5) 沟道夹断引起的沟道长度调制效应；
- (6) 载流子漂移速度限制而引起的电流饱和效应；
- (7) 弱反型导电。

@wakein3612856

此外，我们可以得到两种精度模型下的 V_T 阈值电压的计算公式：

(1) MOS1 模型的阈值电压计算式：

$$V_{TH} = V_{T0} + \gamma \left(\sqrt{|-2\phi_F + V_{SB}|} - \sqrt{|-2\phi_F|} \right)$$

@wakein3612

MOS1 模型的漏源电流计算式：

$$I_{DS} = \frac{K_P}{2} \frac{W}{L_0 - 2L_D} (V_{GS} - V_{TH})^2 (1 + \lambda V_{DS})$$

(2) MOS2 模型的阈值电压计算式：

$$V_{TH} = V_{T0} + \gamma \left(\sqrt{|-2\phi_F + V_{SB}|} - \sqrt{|-2\phi_F|} \right) + \delta \frac{\pi \epsilon_{Si}}{4C_{ox} W} |-2\phi_F + V_{SB}|$$

MOS2 模型的漏源电流计算式：

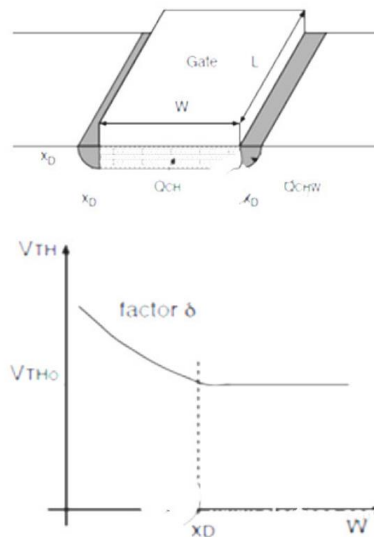
$$I_{DS} = I_{ON} \exp \left[\frac{q}{nkT} (V_{GS} - V_{ON}) \right]$$

可以看到，二者计算的区别——更高精度的模型会导致阈值电压多处一项，这直接导致 level2 阈值电压比 level1 的大，所以对于 level2 的模型会更早的进入饱和区，而且漏源电

流 I_{DS} 也比 level1 模型下的更小；

③扫描 W/L 对 NMOS、PMOS 的影响

关于 MOSFET 的 W 和 L 对其阈值电压 V_T 的影响，实际在考虑工艺相关因素后都是比较复杂的，但是也可以有一些简化的分析，这里主要还是分析当晶体管处在窄沟道和短沟道情况下，MOSFET 耗尽区的电荷的变化，从而分析其对晶体管的阈值电压的作用。

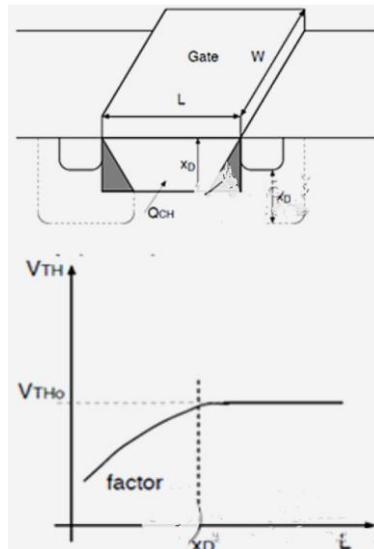


从上图可以看到，决定 MOSFET 阈值电压的耗尽层电荷，并不仅是在栅下区域的电荷 Q_{ch} ；实际上在图中耗尽区左右与表面相接处，还需要有额外的电荷 Q_{chw} 。

在晶体管的沟宽 W 较大时， Q_{chw} 这一额外的电荷可以忽略；而当沟宽 W 较小时， Q_{chw} 不能再忽略，使得等效的耗尽层电荷密度增加，MOS 管的阈值电压升高，即如上面图所示。

实际上，窄沟导致的阈值电压的变化也可以理解为在沟宽 W 方向的边缘电场的电力线出现在沟道以外，因此需要更多的栅电压来维持沟道开启。因此窄沟的效应实际上与具体的集成电路工艺，例如器件采用的隔离方式和隔离区域的掺杂浓度等关系很大。

对于 STI (shallow trench isolation) 隔离方式的 MOSFET，由于 STI wall 的作用，沟宽 W 方向的边缘电场的电力线实际上是在沟道方向集中，因此会出现所谓的 inverse narrow-width effect，也即是随着沟宽 W 的减小，阈值电压随之减小。



如上面左图所示，晶体管中耗尽层电荷包括从源到漏的所有电荷。但是，实际上在靠近源和漏端的部分电荷 Q_{chl} ，不再直接受控于栅，而是由源和漏来控制。因此 Q_{chl} 是不应该包含在阈值电压的计算中的。

类似之前的分析，当沟长 L 较小时，需要考虑 Q_{chl} 影响，使等效的耗尽层电荷密度减小，MOS 管的阈值电压减小，即如上面右图所示。

在具体工艺中，由于存在沟道的非均匀掺杂等现象，实际上会使得有 reverse short-channel effect 的出现，即随着 MOSFET 的沟长 L 的减小，阈值电压会先小幅升高，之后 L 进一步减小时，阈值电压下降，并且此时的阈值电压对沟长的变化更为敏感。

5. 实验总结

第一次实验，熟悉了软件仿真以及波形生成的步骤，对 mos 管工作时的状态有了更直观的感受；但是这个软件的破解有一点“过于繁琐”，每次都要调时间，这是一个比较吐槽的点。而且第一次实验课的时候也在破解软件上花了很多时间.....但至少目前对软件的使用比较熟悉了，对之后的实验应该比较容易上手了。