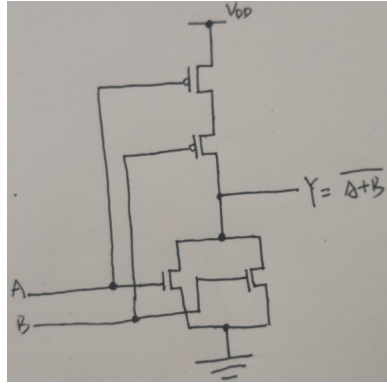
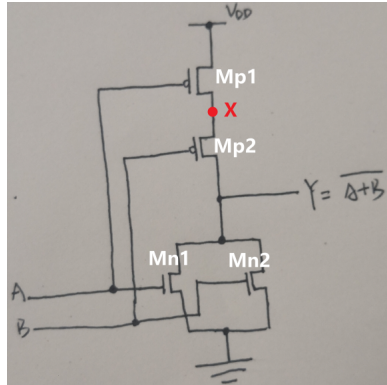


## 题目一解答

### (a) 用静态CMOS电路实现两输入或非门



### (b) 若 $K_N = K_P$ , $V_{TN} = -V_{TP}$



各个MOS管的漏电流表达式：

$$I_{D,Mp1} = K_P[(V_A - V_{TP} - V_{DD})^2 - (V_A - V_{TP} - V_X)^2]$$

$$I_{D,Mp2} = K_P[(V_B - V_{TP} - V_X)^2 - (V_B - V_{TP} - V_{out})^2]$$

$$I_{D,Mn1} = K_N[(V_A - V_{TN})^2 - (V_A - V_{TN} - V_{out})^2]$$

$$I_{D,Mn2} = K_N[(V_B - V_{TN})^2 - (V_B - V_{TN} - V_{out})^2]$$

等效MOS管漏电流表达式：

$$I_{D,P,eff} = K_{P,eff}[(V_{in} - V_{TP} - V_{DD})^2 - (V_{in} - V_{TP} - V_{out})^2]$$

$$I_{D,N,eff} = K_{N,eff}[(V_{in} - V_{TN})^2 - (V_{in} - V_{TN} - V_{out})^2]$$

二者满足：

$$I_{D,P,eff} = I_{D,Mp1} = I_{D,Mp2}$$

$$I_{D,N,eff} = I_{D,Mn1} + I_{D,Mn2}$$

### ① 求输入A和B同步变化下的 $K_{N,eff}$ , $K_{P,eff}$ , $V_{it}$

由于 $K_N = K_P$ 、 $V_{TN} = -V_{TP}$

设 $V_A = V_B = V_{in}$

代入上述方程中，得到：

$$K_{P,eff} = \frac{K_P[(V_{in}-V_{TP}-V_{DD})^2 - (V_{in}-V_{TP}-V_X)^2 + (V_{in}-V_{TP}-V_X)^2 - (V_{in}-V_{TP}-V_{out})^2]}{2*[(V_{in}-V_{TP}-V_{DD})^2 - (V_{in}-V_{TP}-V_{out})^2]} = \frac{K_P}{2}$$

$$K_{N,eff} = \frac{2K_N[(V_{in}-V_{TN})^2 - (V_{in}-V_{TN}-V_{out})^2]}{[(V_{in}-V_{TN})^2 - (V_{in}-V_{TN}-V_{out})^2]} = 2K_N$$

$$V_{it} = \frac{\sqrt{K_r}V_{TN} + (V_{DD} + V_{TP})}{1 + \sqrt{K_r}} = \frac{V_{TN} + V_{DD}}{3}$$

### ② 求输入A=0V, B变化下的 $K_{N,eff}$ , $K_{P,eff}$ , $V_{it}$

此时下拉网络只有Mn2有机会导通，上拉网络正常工作

设 $V_B = V_{in}$

故修改等效NMOS：

$$I_{D,N,eff} = I_{D,Mn2}$$

得到：

$$K_{N,eff} = K_N$$

$$K_{P,eff} = \frac{K_P}{2}$$

$$V_{it} = \frac{\sqrt{K_r}V_{TN} + (V_{DD} + V_{TP})}{1 + \sqrt{K_r}} = \frac{(\sqrt{2}-1)V_{TN} + V_{DD}}{1 + \sqrt{2}}$$

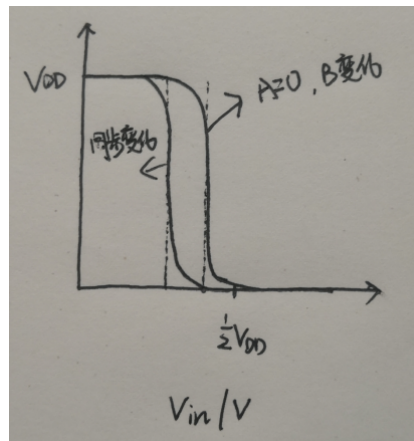
### (c) 根据(b)的结果参考教材图4.1-9 试定性的画出两输入或非门直流电压传输特性

两种情况下的 $V_{it}$ 分别是 $\frac{V_{TN} + V_{DD}}{3}$ 、 $\frac{(\sqrt{2}-1)V_{TN} + V_{DD}}{1 + \sqrt{2}}$

易得：

$$\frac{V_{TN} + V_{DD}}{3} < \frac{(\sqrt{2}-1)V_{TN} + V_{DD}}{1 + \sqrt{2}} < \frac{V_{DD}}{2}$$

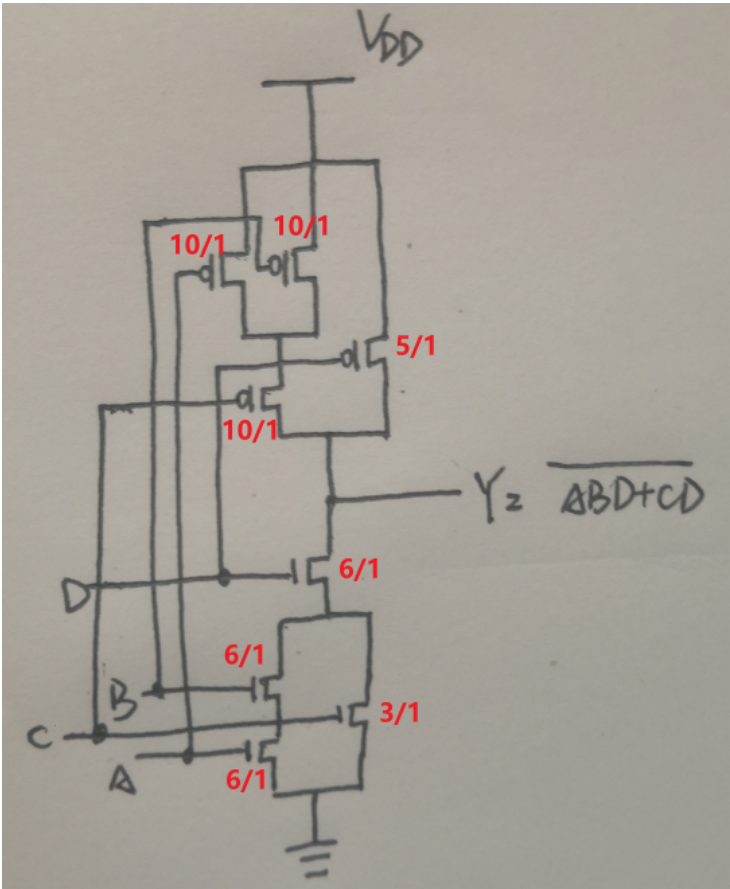
故画出如下定性图：



题目二解答

首先把表达式 $\overline{ABD + CD}$ 变化成 $\overline{(AB + C)D}$

画出电路图：



分析可知两个网络的最差情况分别是：上升延迟 $2t_r$ ，下降延迟 $3t_f$

需要增大导电因子来抵消MOS管串联导致的延迟增加。

所以对于最差路径上的MOS管的宽长比都增加对应倍数，在得到其他路径上的宽长比。

最终结果标注在上图中。

题目三解答

(a)  $C_{out}$  真值表

A	B	$C_{in}$	$C_{out}$
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1

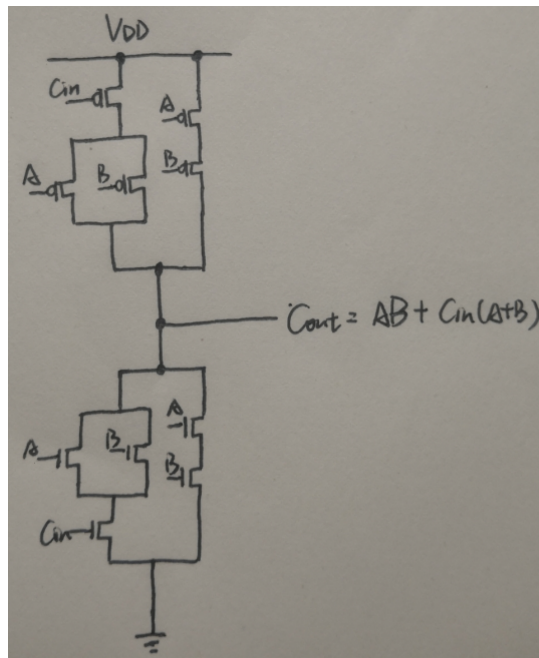
$A$	$B$	$C_{in}$	$C_{out}$
1	1	0	1
1	1	1	1

### (b) 镜像电路图

写出输出表达式：

$$C_{out} = ABC_{in} + \overline{ABC_{in}} + \overline{ABC_{in}} + \overline{ABC_{in}} = AB + C_{in}(A + B)$$

故可得镜像电路：



### 题目四解答

由于使用PMOS传输门，放电不完全，设最终放电后得到输出电压为 $V_{out}$ ，在进入截止区瞬间则有：

$$V_{TP} = V_{T0} - \gamma(\sqrt{2\psi_F + V_{BS}} - \sqrt{2\psi_F}) = -1 - 0.5 * (\sqrt{0.6 + 5 - V_{out}} - \sqrt{0.6})$$

$$V_{GS} = 0 - V_{out} = V_{TP}$$

联立上述两式：

$$-V_{out} = -1 - 0.5 * (\sqrt{0.6 + 5 - V_{out}} - \sqrt{0.6})$$

换元：令 $t = 5 - V_{out}$ ，化简得到：

$$2t - 8 = \sqrt{0.6} - \sqrt{0.6 + t}$$

换元：令 $u = \sqrt{0.6 + t}$ ，化简得到：

$$2 * (u^2 - 0.6) - 8 = \sqrt{0.6} - u$$

即：

$$2u^2 + u - (9.2 + \sqrt{0.6}) = 0$$

解近似解得：

$$t_1 = 1.99, t_2 = -2.49$$

舍去负解，换元代回得到：

$$V_{out} = 1.61V$$

故最终输出的低电平  $V_{OL} = 1.61V$

## 题目五解答

### (a)逻辑表达式

易得  $M = \overline{AB}$ ，故二级电路的逻辑表达式为：

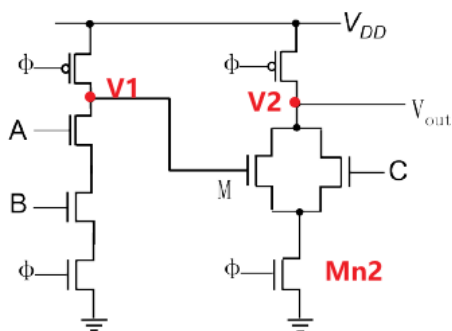
$$V_{out} = \overline{\overline{AB} + C} = ABC;$$

### (b)工作分析

#### ■ 预充电阶段：

M管栅极电压  $V_G$  被充电至  $V_{DD}$ ，此时M管的漏端电压  $V_D$  也被充电至  $V_{DD}$ ，又  $V_S = 0$ ，所以  $V_{GS} > V_{TN}$ ，M管导通。

#### ■ 求值阶段：



由于预充电，使得  $v_1, v_2$  都到到高电平。

求值阶段开始， $\Phi = 1$ ， $A = B = 1, C = 0$ ，上级电路的下拉网络导通、下级电路中的  $Mn_2$  也导通。

由于对  $v_1$  的放电需要时间响应，在这段时间内， $v_1$  通过上级电路放电的同时，下级电路中的  $M$  管和  $Mn_2$  也一起导通，导致  $v_2$  开始放电。由于在求值阶段没有正电荷补充，所以  $v_2$  电平下降后无法恢复到合格的高电平，这导致在求值阶段结束之后， $V_{out}$  无法输出高电平。