

《VLSI 设计》SPICE 实验报告

姓名： 肖 鹏

学号： 201808010718

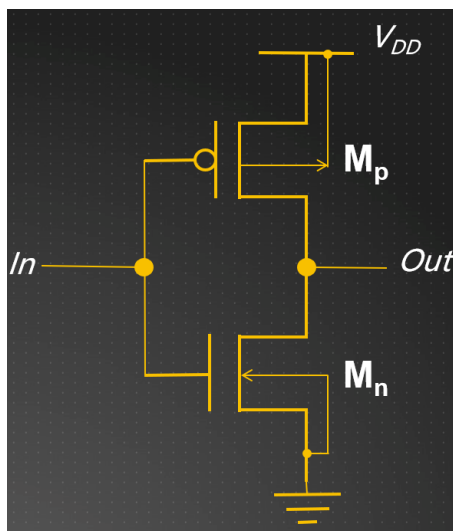
湖南大学信息学院软件工程系

2020 年 12 月 04 日

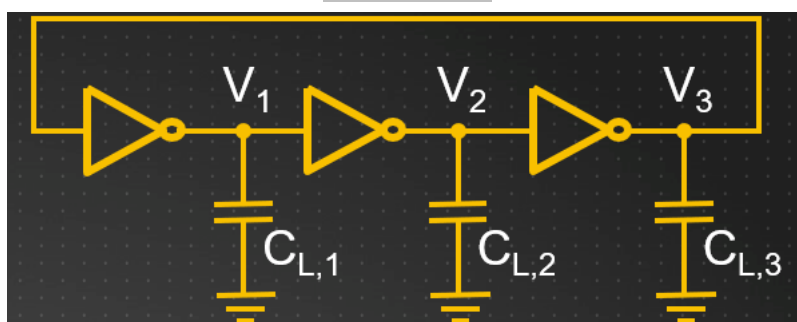
实验二 CMOS 电路 SPICE 实验

1. SPICE 电路结构与网表

电路结构：



(第一部分)

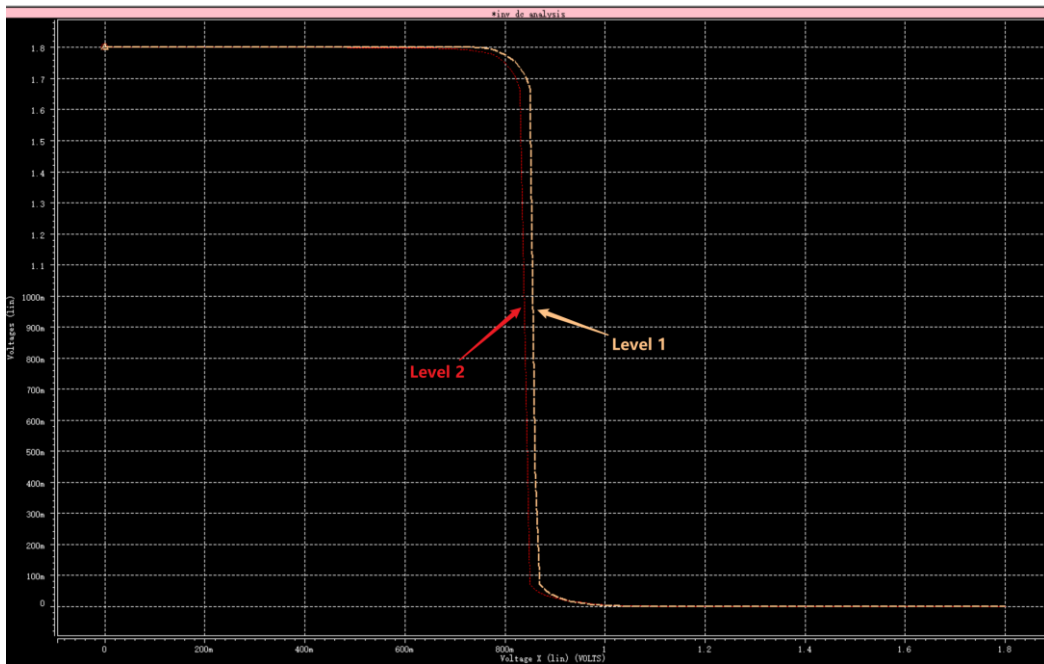


(第二部分)

2. 电路仿真结果-基础部分

第一部分

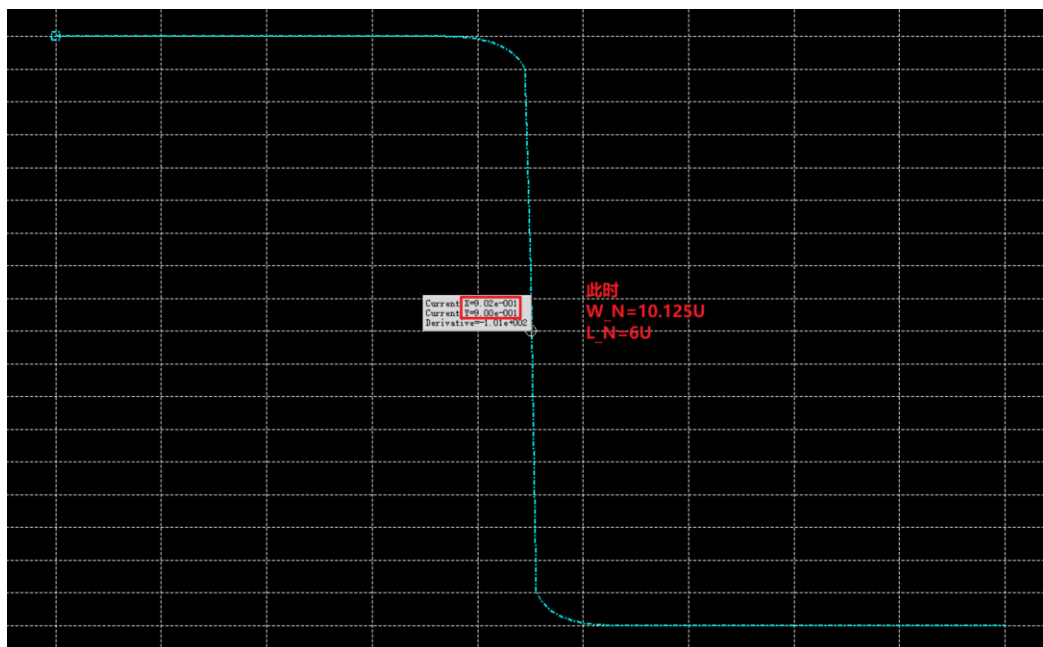
①Level1 和 Level2 仿真直流电压传输特性，对比仿真结果并分析产生结果差异的原因



②根据给出的 mos 管 level1 模型手动计算 想要达到转换电压为 $V_{DD}/2$,所需的 NMOS 和 PMOS 的 W 和 L 各为多少, 并仿真验证:

$$W_p = 30U, L_p = 6U, K_p = 2.7 * 10^{-5}, L_N = 6U, K_N = 8 * 10^{-5},$$

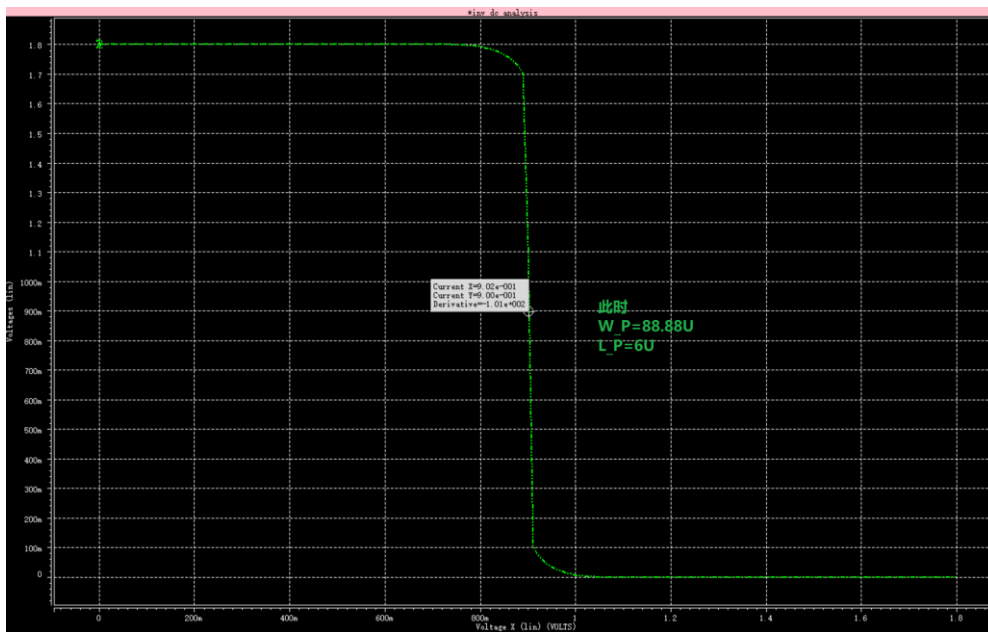
$$W_N = 10.125U$$



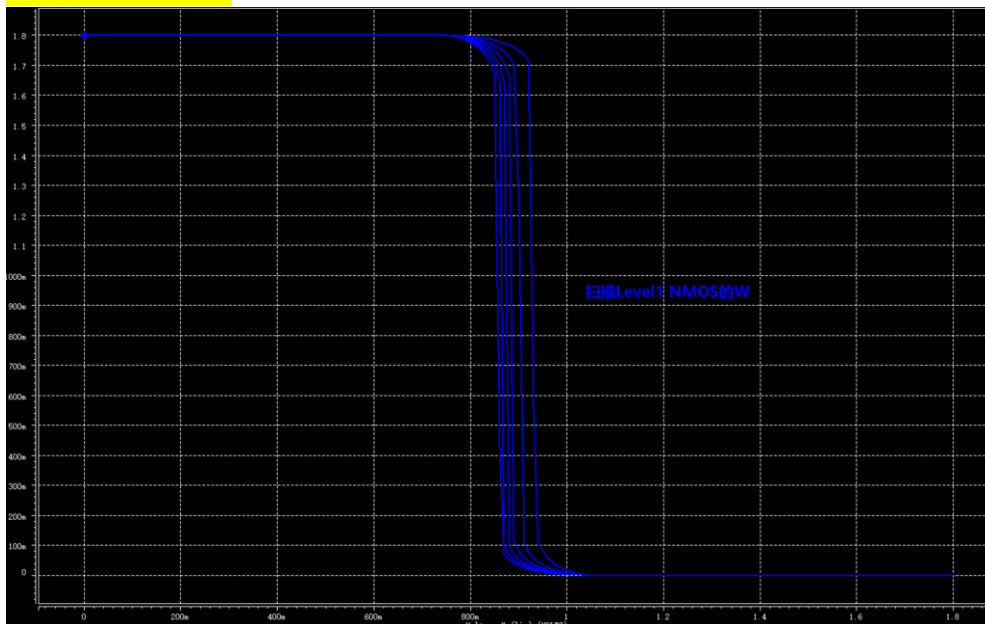
$$W_N = 30U, L_N = 6U, K_N = 8 * 10^{-5}, L_p = 6U, K_p = 2.7 * 10^{-5},$$

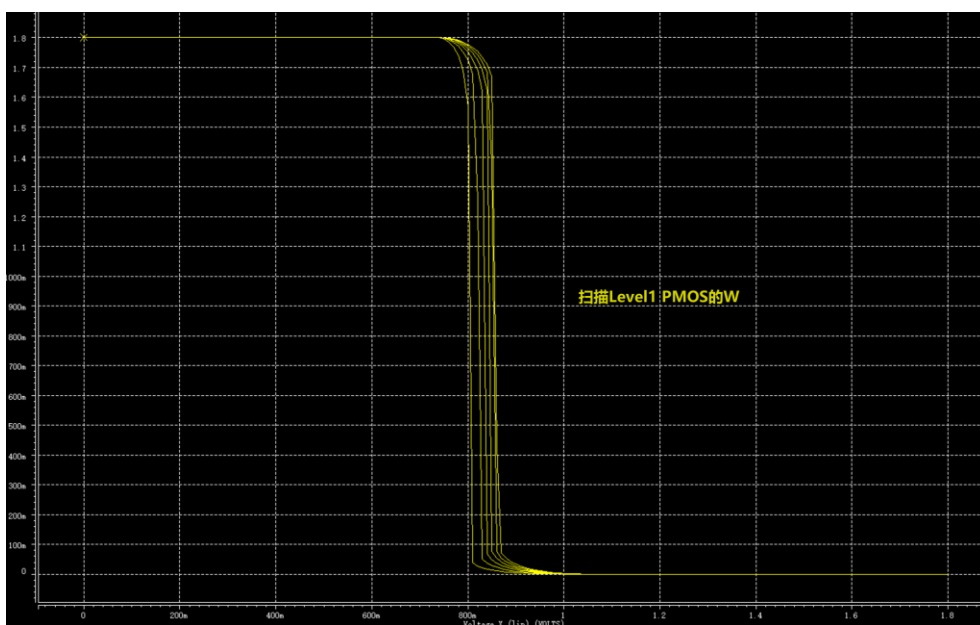
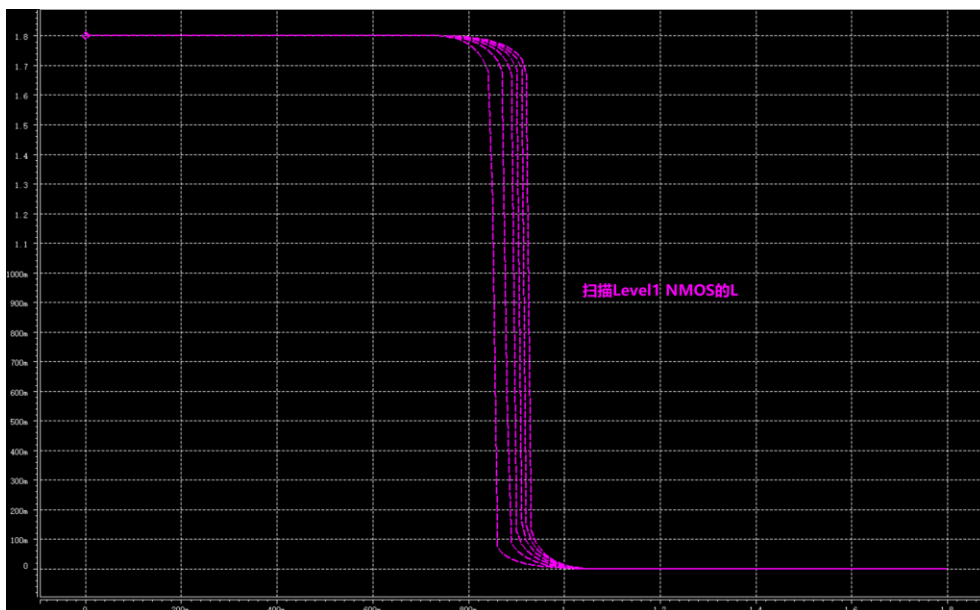
$$W_N = 88.8888U$$

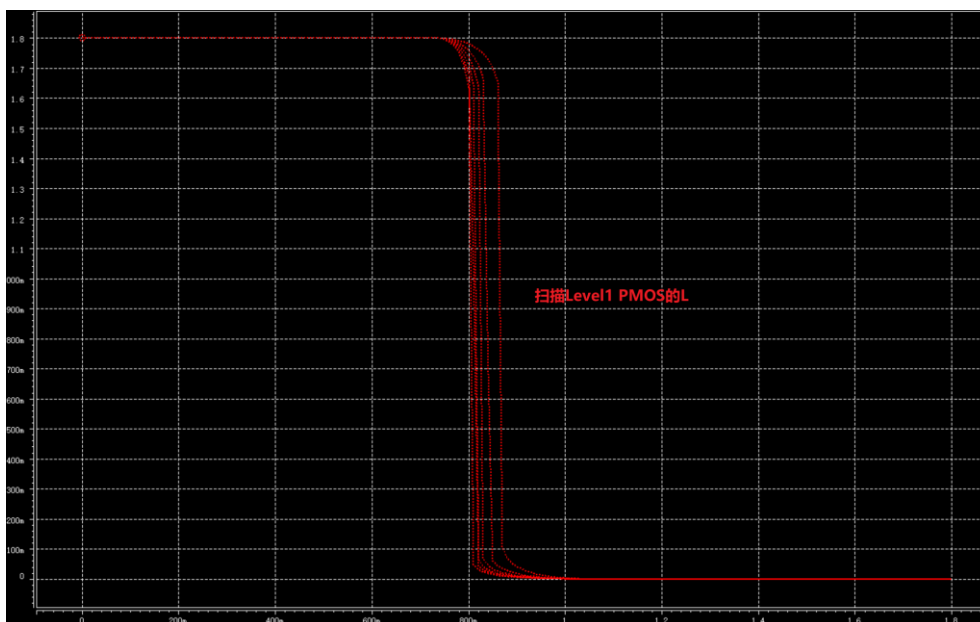
验证正确：



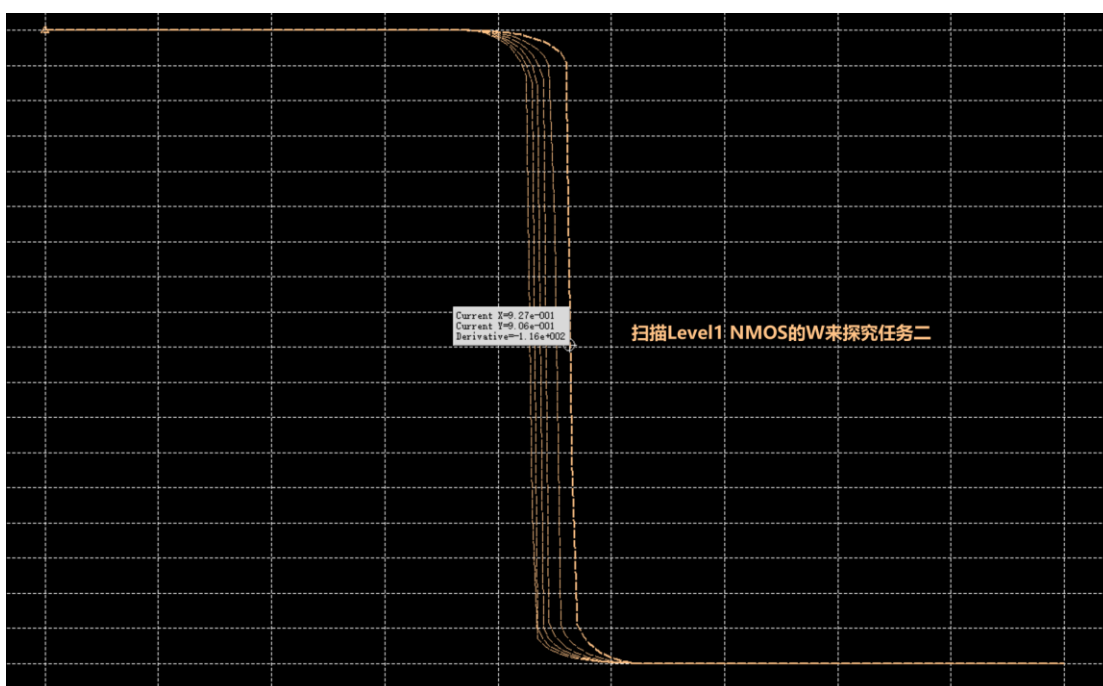
③Level1 模型下分别扫描 NMOS 管和 PMOS 管的宽度，查看 K_n 和 K_p 对传输特性的影响







④改用 gd018 的工艺库尝试做第二个任务（如果不能通过计算得到 $V_{DD}/2$ 翻转时的 W/L ，则通过扫描 W 来探究



第二部分

①使用 measure 语句测量反相器的最大、最小输出电压

*ac analysis for inv

```
***** transient analysis tnom= 25.000 temp= 25.000 *****
vmax= 2.6471 at= 2.0282e-08
      from= 1.0000e-08 to= 5.0000e-08
vmin= -0.85967 at= 3.5786e-08
      from= 1.0000e-08 to= 5.0000e-08
```

②使用 measure 语句测量上升、下降、平均延迟时间

*ac analysis for inv

```
***** transient analysis tnom= 25.000 temp= 25.000 *****
vomax= 2.6471 at= 2.0282e-08
      from= 1.0000e-08 to= 5.0000e-08
vomin= -0.85967 at= 3.5786e-08
      from= 1.0000e-08 to= 5.0000e-08
vimax= 1.8000 at= 1.0500e-08
      from= 1.0000e-08 to= 5.0000e-08
vimin= 0. at= 1.0000e-08
      from= 1.0000e-08 to= 5.0000e-08
tphl= 6.9681e-10 targ= 9.4681e-10 trig= 2.5000e-10
tplh= 1.8831e-09 targ= 7.6331e-09 trig= 5.7500e-09
```

③使用 measure 语句测量震荡器的周期

```
***** transient analysis tnom= 25.000 temp= 25.000 *****
vo_max_1= 1.8492 at= 1.0000e-08
      from= 1.0000e-08 to= 5.0000e-08
vo_min_1= -0.14318 at= 4.3523e-08
      from= 1.0000e-08 to= 5.0000e-08
vo_max_2= 1.6643 at= 5.0000e-08
      from= 1.0000e-08 to= 5.0000e-08
vo_min_2= -0.14168 at= 2.1488e-08
      from= 1.0000e-08 to= 5.0000e-08
vo_max_3= 1.7756 at= 3.0827e-08
      from= 1.0000e-08 to= 5.0000e-08
vo_min_3= 3.1103e-02 at= 5.0000e-08
      from= 1.0000e-08 to= 5.0000e-08
tp_hl_2= 8.2001e-09 targ= 6.4062e-08 trig= 5.5862e-08
tp_lh_3= 1.5202e-08 targ= 7.9264e-08 trig= 6.4062e-08
tp_hl_1= 6.8290e-09 targ= 8.6093e-08 trig= 7.9264e-08
tp_lh_2= 1.3597e-08 targ= 9.9690e-08 trig= 8.6093e-08
tp_hl_3= 8.7182e-09 targ= 1.0841e-07 trig= 9.9690e-08
tp_lh_1= 1.5265e-08 targ= 1.2367e-07 trig= 1.0841e-07
```

T总=6.78113e-8

3. 电路仿真结果-探索部分

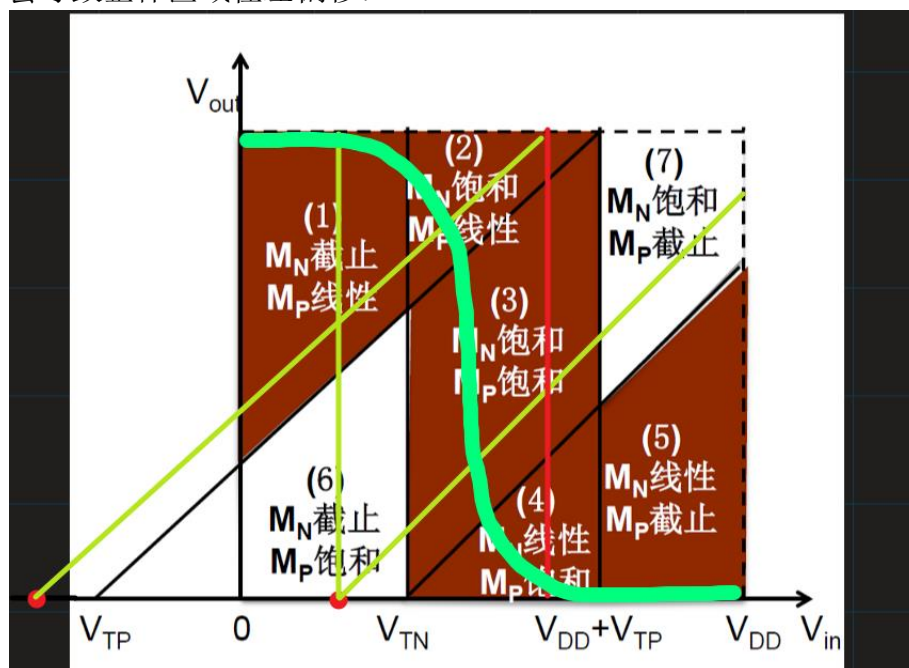
无

4. 实验结果分析

第一部分

①Level1 和 Level2 仿真直流电压传输特性，对比仿真结果并分析产生结果差异的原因

分析差异原因：由于仿真精度增加，影响 N/PMOS 管阈值电压的因素变多，导致阈值电压 V_{TN} 和 V_{TP} 的绝对值都减小，从下图可以看出，随着阈值电压的减小，会导致整体区域往左偏移：



也就会导致 V_{it} 的变小；

所以整体的饱和区都会向左偏移，也就是说，Level2 下的 cmos 管比 Level1 下的更先达到两个饱和和工作区，所以在图中会呈现出比 Level1 先下降的现象。

②根据给出的 mos 管 level1 模型手动计算 想要达到转换电压为 $V_{DD}/2$,所需的 NMOS 和 PMOS 的 W 和 L 各为多少，并仿真验证：

1.计算 W_p, L_p 不变时，使二者导电因子相等时， W_n, L_n 的值：

$$W_p = 30U, L_p = 6U, K_p = 2.7 * 10^{-5}$$

$$L_n = 6U, K_n = 8 * 10^{-5}$$

求出：

$$W_N = 10.125U$$

2.同理，计算 W_N, L_N 不变时，使二者导电因子相等时， W_P, L_P 的值

$$W_N = 30U, L_N = 6U, K_N = 8 * 10^{-5}$$

$$L_P = 6U, K_P = 2.7 * 10^{-5}$$

求出：

$$W_N = 88.8888U$$

③Level1 模型下分别扫描 NMOS 管和 PMOS 管的宽度，查看 K_n 和 K_p 对传输特性的影响

NMOS 分析：扫描 NMOS 的 W 和 L ，分别使得反相器比例因子 K_R 增大/减小，当扫描 NMOS 的 W 时，也就是 K_R 随着扫描增大时， V_{it} 会增大，也就是说 W 随着扫描的增大会导致逻辑阈值电平增大（右移），相反，扫描 L ， L 随着扫描的增大会导致 V_{it} 的减小（左移）。

逻辑阈值电平增大意味着低电平输入噪声容限增加，反之，意味着高电平输入噪声容限增加。

也就是说，扫描 NMOS 的 W 会使得 CMOS 反相器的低电平输入噪声容限增加、扫描 NMOS 的 L 会使得 CMOS 反相器的高电平输入噪声容限增加；

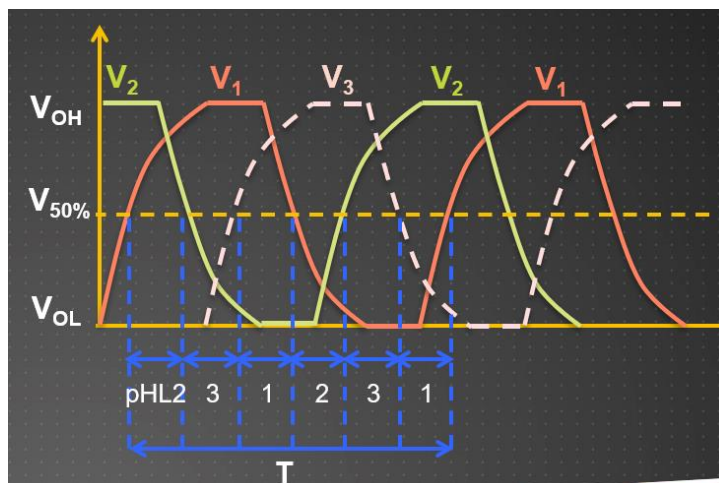
$$K_N (V_{in} - V_{TN})^2 = K_P (V_{in} - V_{TP} - V_{DD})^2$$
$$V_{it} = \frac{\sqrt{K_r} V_{TN} + (V_{DD} + V_{TP})}{1 + \sqrt{K_r}}$$

PMOS 分析：扫描 PMOS 的 W 和 L ，由于比例因子 $K_R = K_N/K_P$ ，所以会使得反相器比例因子 K_R 减小/增大，当扫描 PMOS 的 W 时，也就是 K_R 随着扫描增大时， V_{it} 会减小，也就是说 W 随着扫描的增大会导致逻辑阈值电平增减小（左移），相反，扫描 L ， L 随着扫描的增大会导致 V_{it} 的增大（右移）。

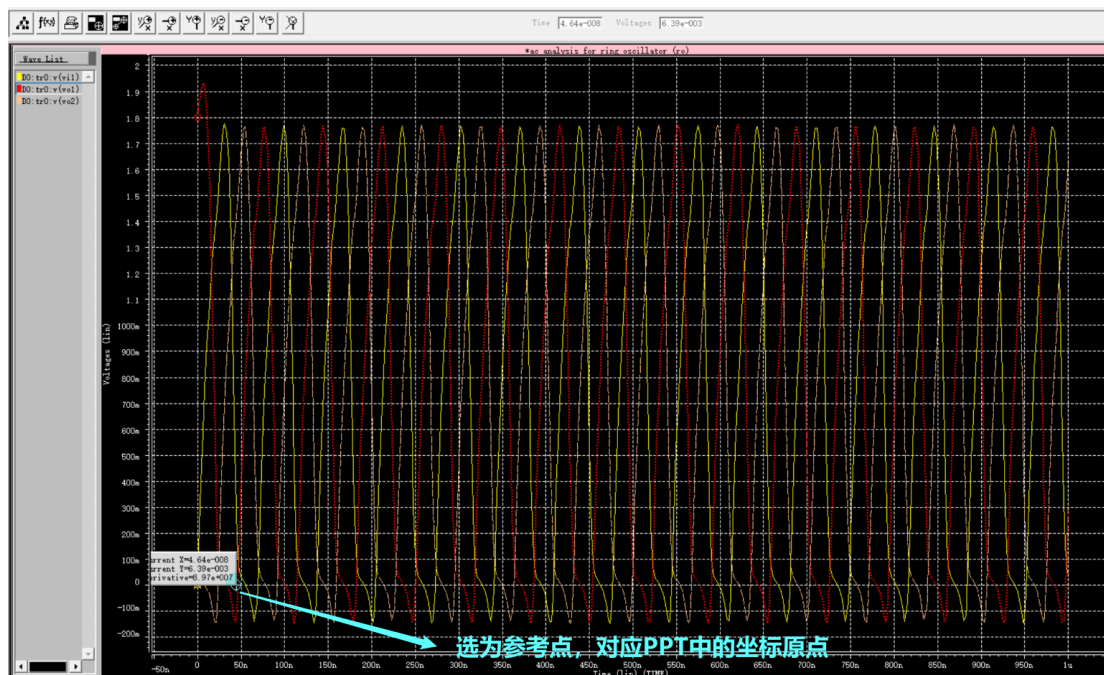
也就是说，扫描 PMOS 的 W 会使得 CMOS 反相器的高电平输入噪声容限增加、扫描 PMOS 的 L 会使得 CMOS 反相器的低电平输入噪声容限增加；

第二部分

①对振荡器周期的测量中，参照 PPT 中的波形示意图：



但是这个示意图和我们实际的波形并不一样，不能够直接拿来计算对应的上升/下降延迟，因为 PPT 中图示的并不完整，这意味着其中波形出现的并不是像图中这样第一次出现，对于有些波形已经处于第二次上升/下降中，我们先得到仿真的实际波形，进行分析：



从波形图看出，如果以作为标准参考，那么对应于 PPT 中坐标轴起点的应该是途中标着的点，而不是 0 时刻的；

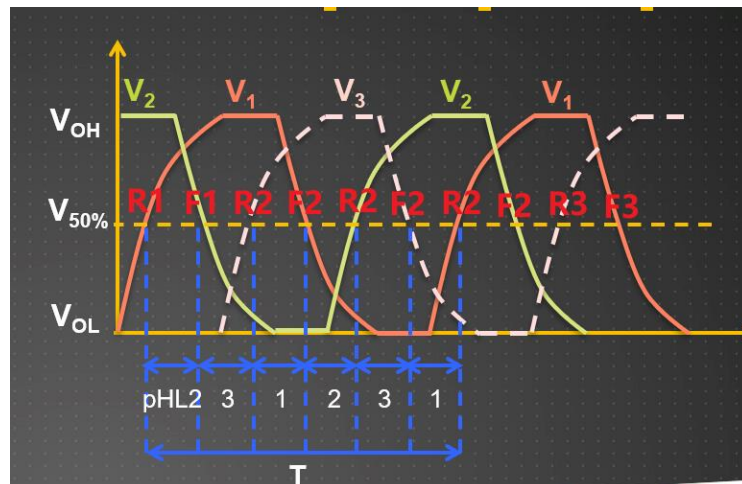
所以，以该点为参考，在该点之前：

已经下降一次

已经上升一次

已经上升、下降各一次

所以重新标记 PPT 中的点：

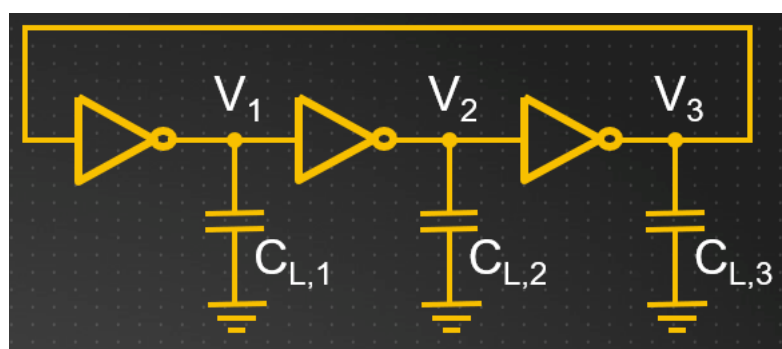


所以我们可以根据以上分析，图中标记的 R1 代表该波形曲线实际的第一次上升、F1 表示该波形曲线实际的第一次下降；根据这些标记，我们可以写出计算代码：

```
.measure tran vo_max_1 max v(vo1) from 10n to 100n
.measure tran vo_min_1 min v(vo1) from 10n to 100n
.measure tran vo_max_2 max v(vo2) from 10n to 100n
.measure tran vo_min_2 min v(vo2) from 10n to 100n
.measure tran vo_max_3 max v(vi1) from 10n to 100n
.measure tran vo_min_3 min v(vi1) from 10n to 100n

.measure tran tp_hl_2 trig v(vo1) val='0.5*(vo_min_1+vo_max_1)' rise=1 targ v(vo2) val='0.5*(vo_min_2+vo_max_2)' fall=1
.measure tran tp_lh_3 trig v(vo2) val='0.5*(vo_min_2+vo_max_2)' fall=1 targ v(vi1) val='0.5*(vo_min_3+vo_max_3)' rise=2
.measure tran tp_hl_1 trig v(vi1) val='0.5*(vo_min_3+vo_max_3)' rise=2 targ v(vo1) val='0.5*(vo_min_1+vo_max_1)' fall=2
.measure tran tp_lh_2 trig v(vo1) val='0.5*(vo_min_1+vo_max_1)' fall=2 targ v(vo2) val='0.5*(vo_min_2+vo_max_2)' rise=2
.measure tran tp_hl_3 trig v(vo2) val='0.5*(vo_min_2+vo_max_2)' rise=2 targ v(vi1) val='0.5*(vo_min_3+vo_max_3)' fall=2
.measure tran tp_lh_1 trig v(vi1) val='0.5*(vo_min_3+vo_max_3)' fall=2 targ v(vo1) val='0.5*(vo_min_1+vo_max_1)' rise=2
```

另外还需要注意的是，在该环形连接的反向器中，v1 的输出即是 v2 的输入、v3 的输出是 v1 的输入。



5. 实验总结

5.1 实验中遇到的问题与解决办法

这次实验中遇到的问题就是在求振荡器周期时，出现了一些周期的负值。当时仿真的阶段并没有考虑到实际波形的情况，所以便按照 PPT 中的波形示意图计算周期，在仿真的时候也没有发现周期出现的异常，直到最后累加计算周期时发现，后来考虑到需要根据实际波

形分析，最终得到正确结果。

5.2 实验收获与不足

分析了对 N/PMOS 的仿真精度、宽/长扫描时对比例因子的影响从而导致对 V_{it} 的改变，并且通过波形仿真验证；

了解了振荡器周期的求法，并通过具体的实例进行实现；

5.3 其它感想（欢迎吐槽）

无