

# 《VLSI 设计》SPICE 实验报告

姓名： 肖 鹏

学号： 201808010718

湖南大学信息学院软件工程系

2020 年 12 月 12 日

## 目录——重点快速引导

- [基础部分——NAND](#)
- [基础部分——NOR](#)
- [基础部分——XOR 的四种实现](#)
- [基础部分——四选一多路选择器实现](#)
- [探究部分——宽长比对仿真值的影响](#)
- [探究部分——XOR 的另外一种实现](#)
- [分析部分——XOR 各种实现的效果对比](#)
- [分析部分——多路选择器波形验证](#)

# 实验三 四种门电路 SPICE 实验

## 1. SPICE 电路结构与网表

## 2. 电路仿真结果-基础部分

### 第一部分

#### 一、2-输入 NAND 门

网表：

```

.TEMP      25.0000

.option abstol=1e-6 reltol=1e-6 post ingold

.lib 'gd018.1' TT

*VDD
V1 1 0 dc=1.8

*Input A
VA A 0 pulse(0 1.8 0 1m 1m 19m 40m)

*Input B
VB B 0 pulse(0 1.8 0 1m 1m 8m 20m)

*Two P-types in Parallel
Mp1 vo A 1 1 PCH W=5u L=1u
Mp2 vo B 1 1 PCH W=5u L=1u

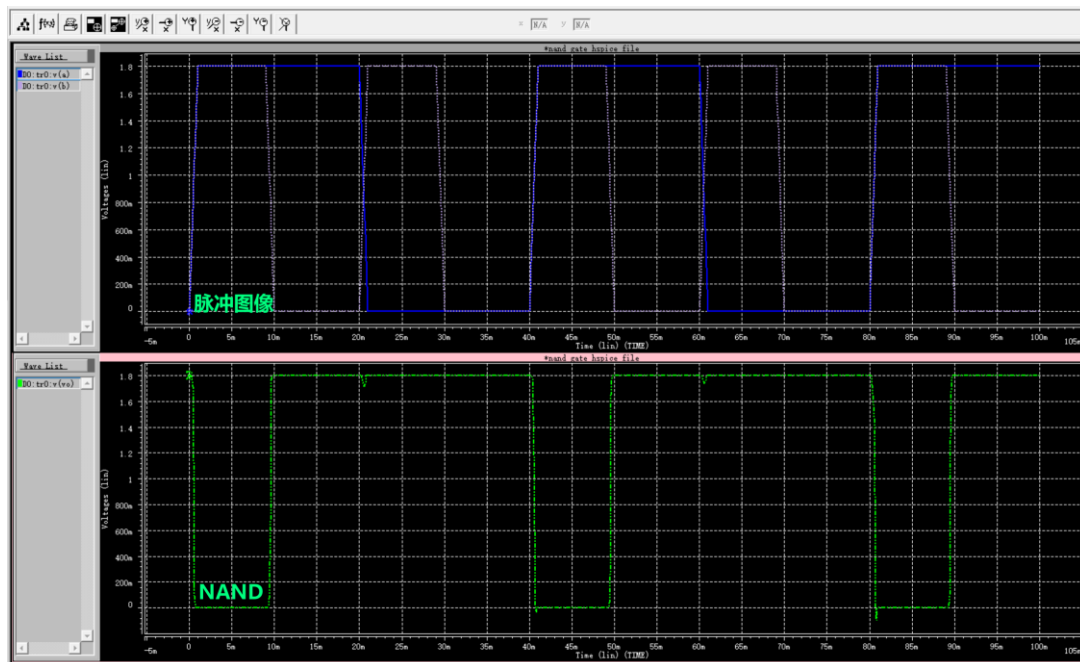
*Two N-types in Series
Mn1 vo A vn 0 NCH W=2u L=1u
Mn2 vn B 0 0 NCH W=2u L=1u

.trans 1m 100m
.op
.end

```

**NAND**

仿真波形：



## 二、2-输入 NOR 门

网表：

```

*NAND gate hspice file

.TEMP      25.0000

.option abstol=1e-6 reltol=1e-6 post ingold

.lib 'gd018.1' TT

*VDD
V1 1 0 dc=1.8

*Input A
VA A 0 pulse(0 1.8 0 1m 1m 19m 40m)

*Input B
VB B 0 pulse(0 1.8 0 1m 1m 8m 20m)

*Two P-types in Parallel
Mp1 vn A 1 1 PCH W=5u L=1u
Mp2 vo B vn 1 PCH W=5u L=1u

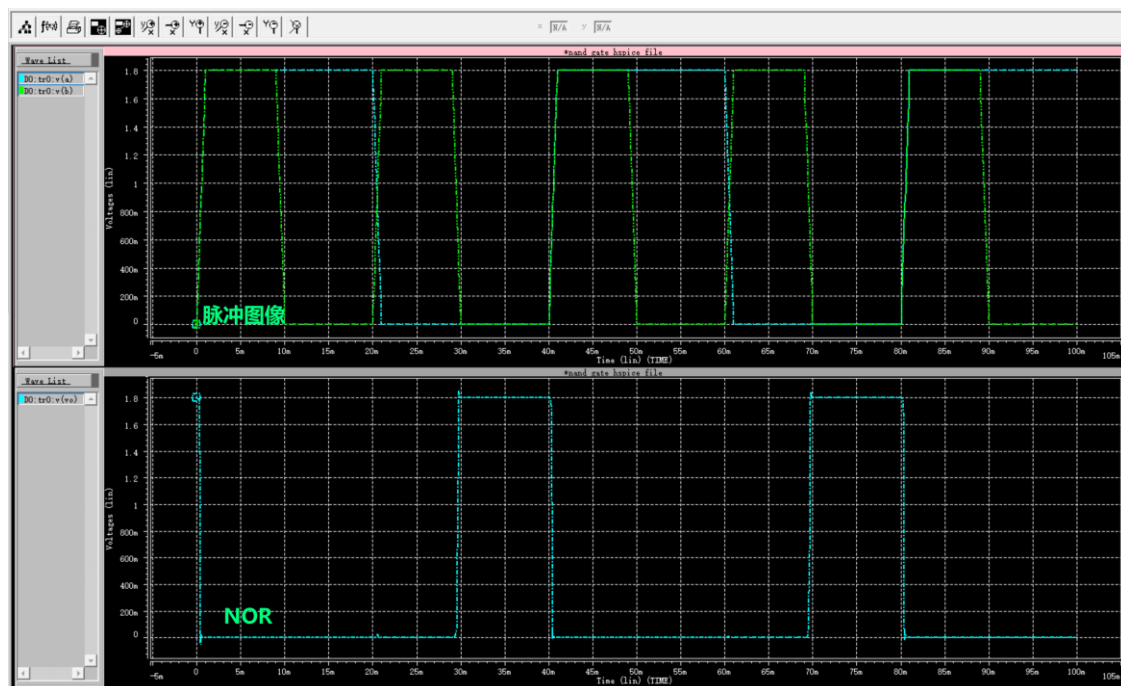
*Two N-types in Series
Mn1 vo A 0 0 NCH W=2u L=1u
Mn2 vo B 0 0 NCH W=2u L=1u

.trans 1m 100m
.op
.end

```

**NOR**

仿真波形：



## 第二部分

### 一、NMOS 传输管实现 XOR

网格：

```

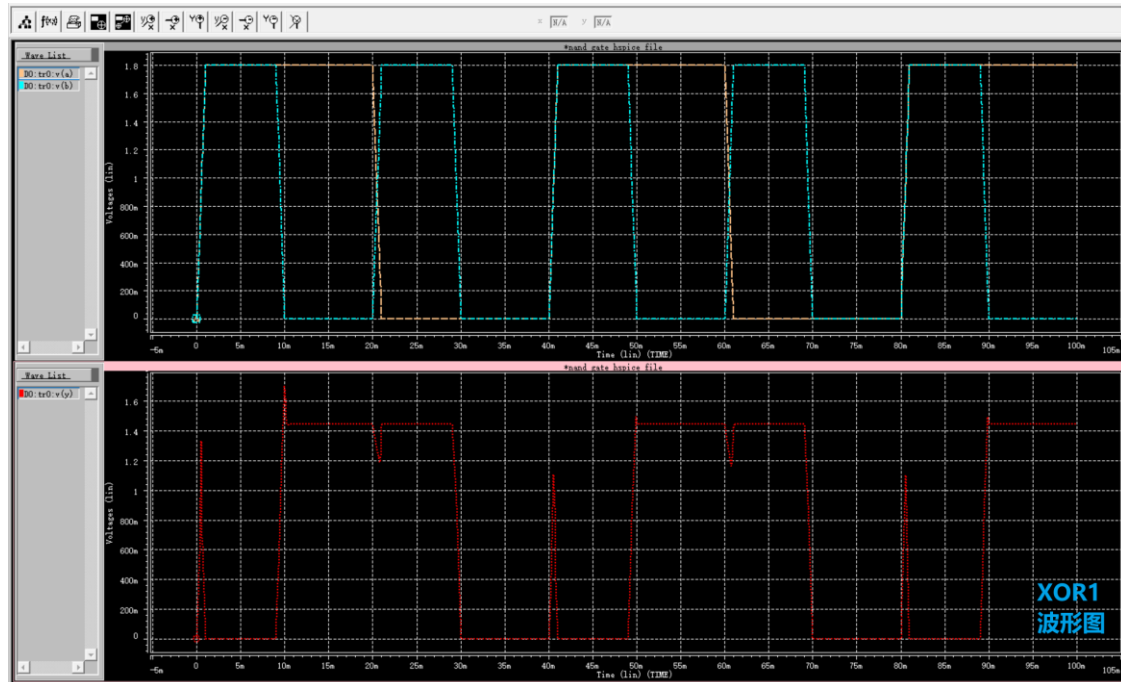
*Input A NA B NB
VA A 0 pulse(0 1.8 0 1m 1m 19m 40m)
VNA NA 0 pulse(1.8 0 0 1m 1m 19m 40m)
VB B 0 pulse(0 1.8 0 1m 1m 8m 20m)
VNB NB 0 pulse(1.8 0 0 1m 1m 8m 20m)

Mn1 y A NB 0 NCH W=5u L=1u
Mn2 y NA B 0 NCH W=5u L=1u

```

**XOR1**

仿真波形：



## 二、CMOS 传输门实现 XOR

网络：

```

*Input A NA B NB
VA A 0 pulse(0 1.8 0 1m 1m 19m 40m)
VNA NA 0 pulse(1.8 0 0 1m 1m 19m 40m)
VB B 0 pulse(0 1.8 0 1m 1m 8m 20m)
VNB NB 0 pulse(1.8 0 0 1m 1m 8m 20m)

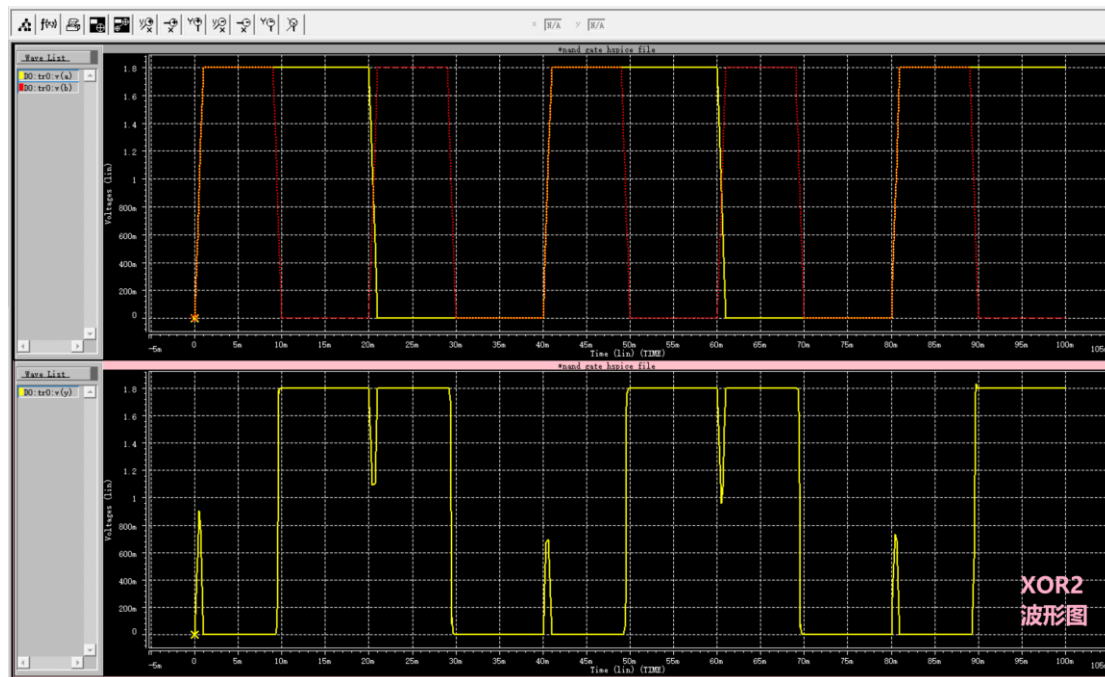
Mn1 y NB A 0 nch W=2u L=1u
Mp1 y B A 1 pch w=5u L=1u

Mn2 y B NA 0 nch W=2u L=1u
Mp2 y NB NA 1 pch w=5u L=1u

```

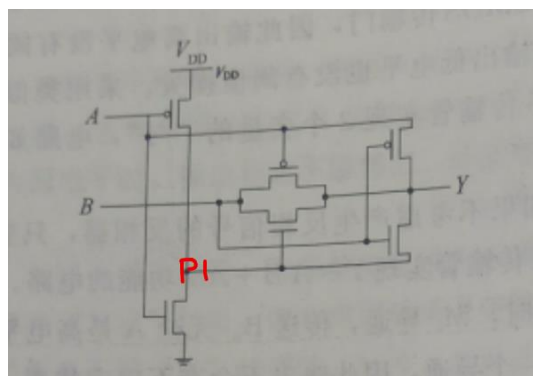
**XOR2**

仿真波形：



### 三、CMOS 传输门和反相器实现 XOR

实现参考图：



网格：

```
*Input A NA B NB
VA A 0 pulse(0 1.8 0 1m 1m 19m 40m)
VNA NA 0 pulse(1.8 0 0 1m 1m 19m 40m)
VB B 0 pulse(0 1.8 0 1m 1m 8m 20m)
VNB NB 0 pulse(1.8 0 0 1m 1m 8m 20m)

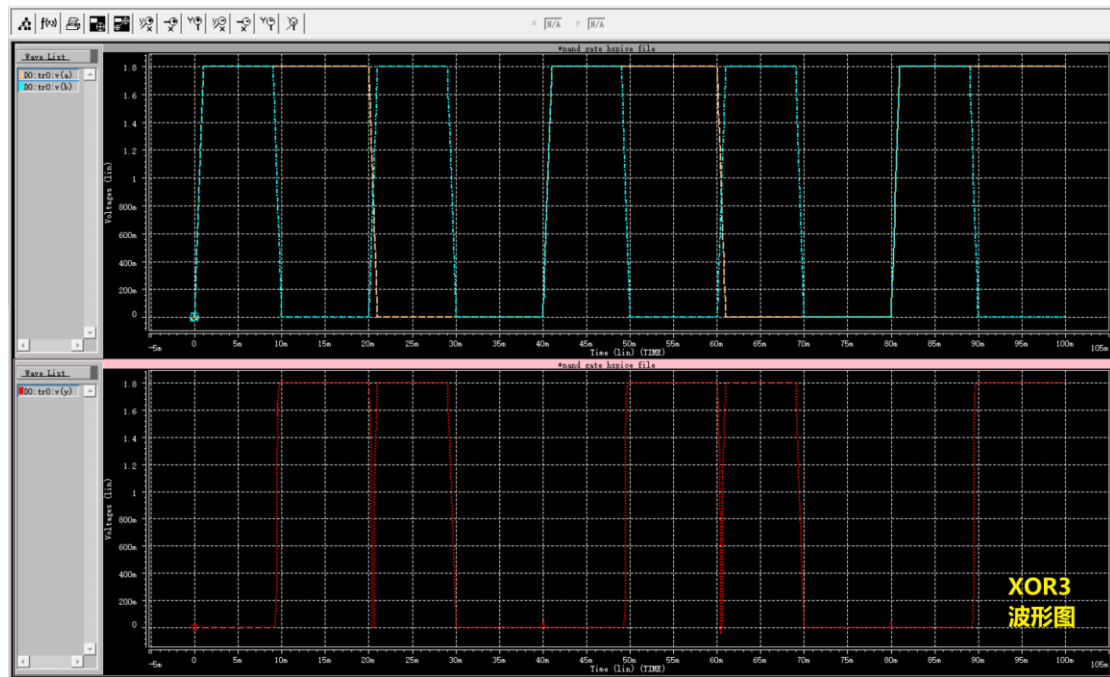
Mp1 p1 A 1.8 1.8 pch w=5u L=1u
Mn1 p1 A 0 0 nch w=2u L=1u

Mn2 y p1 B 0 nch W=2u L=1U
Mp2 y A B 1.8 pch w=5u L=1u

Mn3 y B p1 0 nch W=2u L=1U
Mp3 y B A 1.8 pch w=5u L=1u
```

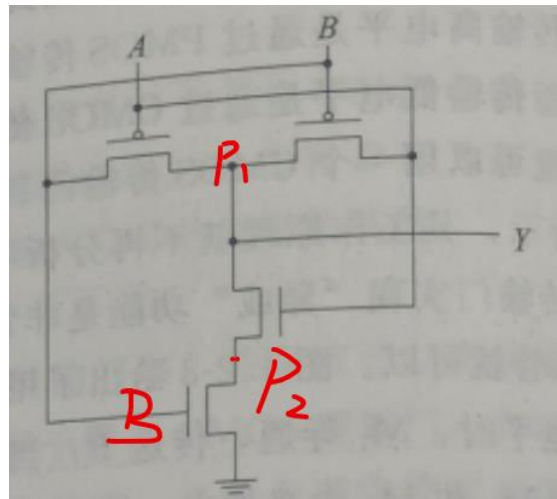
**XOR3**

仿真波形：



#### 四、传输管实现 XOR

实现参考图：



网格：

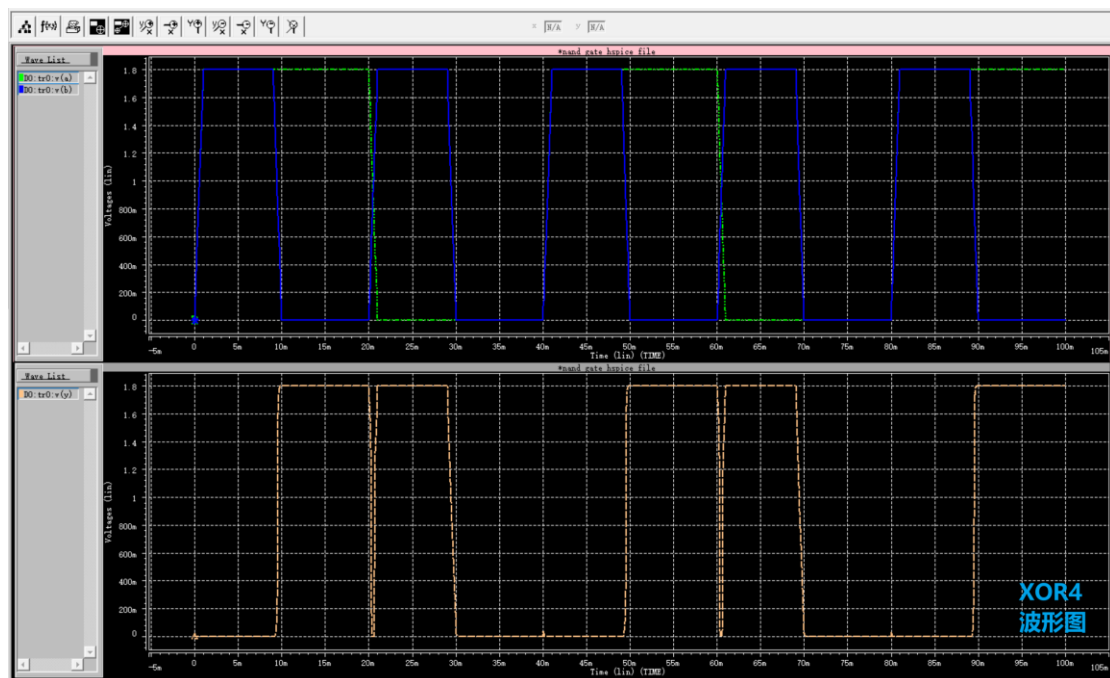
```
*Input A NA B NB
VA A 0 pulse(0 1.8 0 1m 1m 19m 40m)
VB B 0 pulse(0 1.8 0 1m 1m 8m 20m)

Mp1 y A B 1.8 pch w=5u L=1u
Mp2 y B A 1.8 pch w=5u L=1u

Mn1 y A p2 0 nch w=2u L=1u
Mn2 p2 B 0 0 nch w=2u L=1u
```

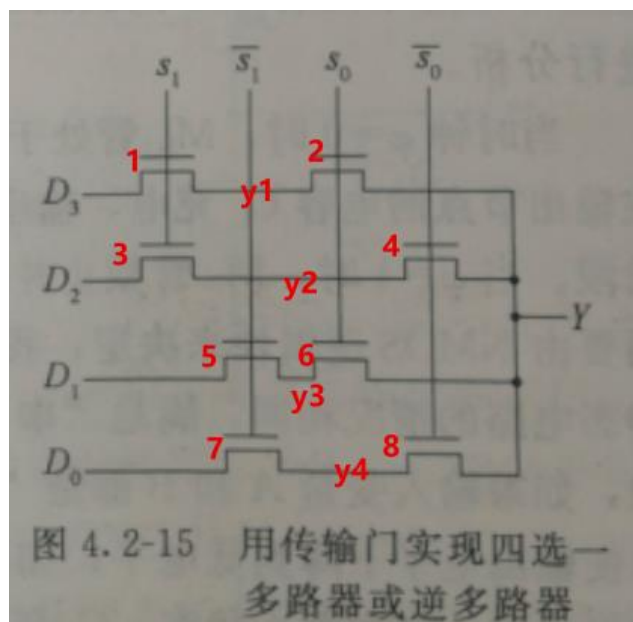
**XOR4**

仿真波形：



## 五、传输门实现 4 选 1 多路选择器

实现参考图：



网表：



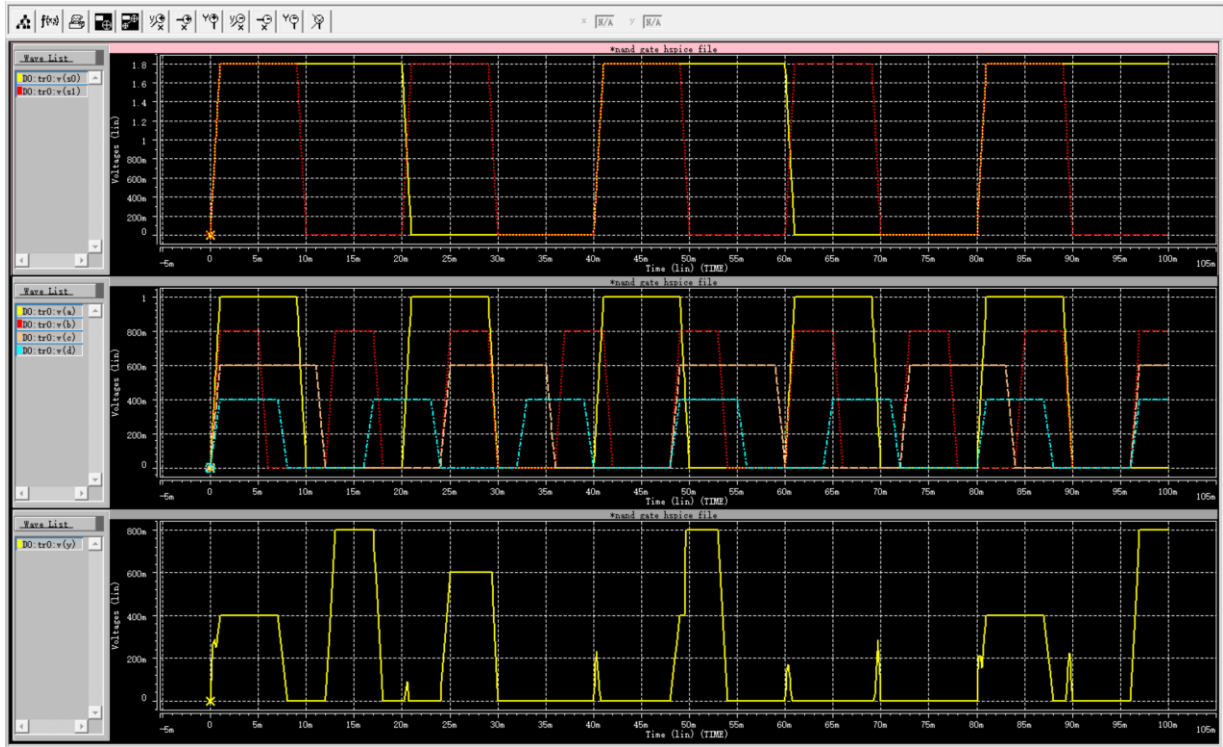
```
*Input
VS0 S0 0 pulse(0 1.8 0 1m 1m 19m 40m)
VNS0 NS0 0 pulse(1.8 0 0 1m 1m 19m 40m)
VS1 S1 0 pulse(0 1.8 0 1m 1m 8m 20m)
VNS1 NS1 0 pulse(1.8 0 0 1m 1m 8m 20m)

VA A 0 pulse(0 1.0 0 1m 1m 8m 20m)
VB B 0 pulse(0 0.8 0 1m 1m 4m 12m)
VC C 0 pulse(0 0.6 0 1m 1m 10m 24m)
VD D 0 pulse(0 0.4 0 1m 1m 6m 16m)

Mn1 y1 S1 D 0 NCH W=2u L=1u
Mn2 y S0 y1 0 NCH W=2u L=1u
Mn3 y2 S1 C 0 NCH W=2u L=1u
Mn4 y NS0 y2 0 NCH W=2u L=1u
Mn5 y3 NS1 B 0 NCH W=2u L=1u
Mn6 y S0 y3 0 NCH W=2u L=1u
Mn7 y4 NS1 A 0 NCH W=2u L=1u
Mn8 y NS0 y4 0 NCH W=2u L=1u
```

4 to 1

仿真波形：



3. 电路仿真结果-探索部分

一、探究 NAND 门中 $\frac{(W/L)_P}{(W/L)_N}$ 不同值对仿真的影响

网表：

```

*NAND gate hspice file

.TEMP      25.0000

.option abstol=1e-6 reltol=1e-6 post ingold

.lib 'gd018.1' TT

*VDD
V1 1 0 dc=1.8

*Input A
VA A 0 dc=1.8
*Input B
VB B 0 dc=0

.param w1=1u

*Two P-types in Parallel
Mp1 vo A 1 1 PCH W=w1 L=1u
Mp2 vo B 1 1 PCH W=w1 L=1u

*Two N-types in Series
Mn1 vo A vn 0 NCH W=2u L=1u
Mn2 vn B 0 0 NCH W=2u L=1u

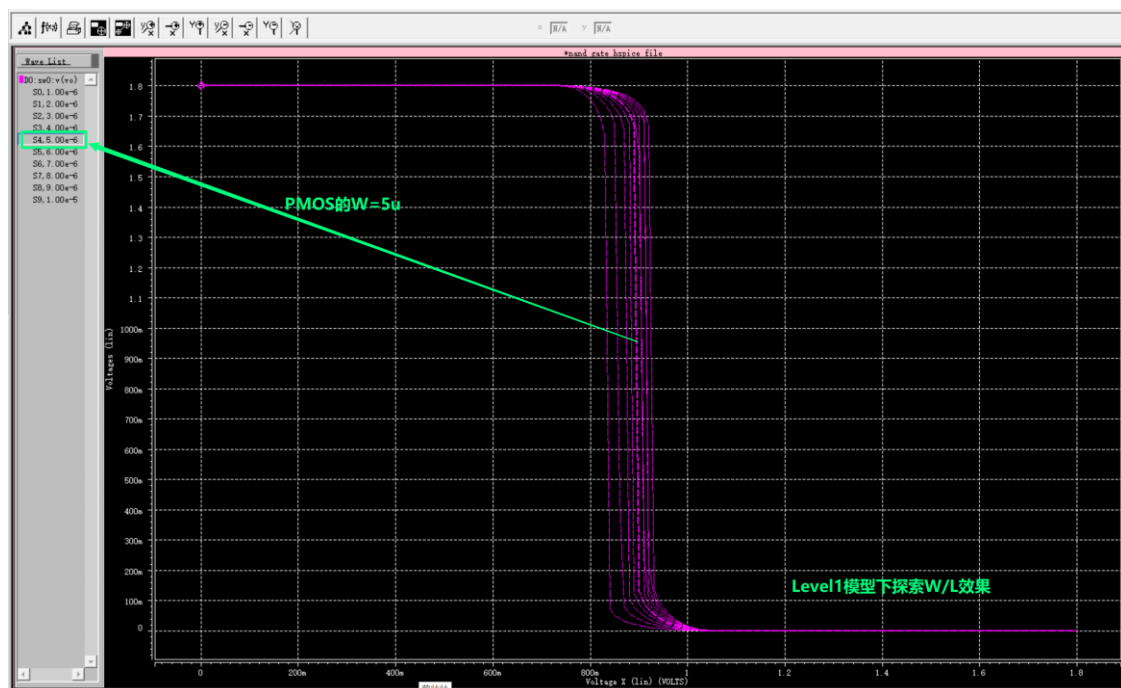
.dc VB START=0 STOP=1.8 STEP=.01 sweep w1 1u 10u 1u

.op
.end

```

**对PMOS的W/L实验效果探究**

验证波形：

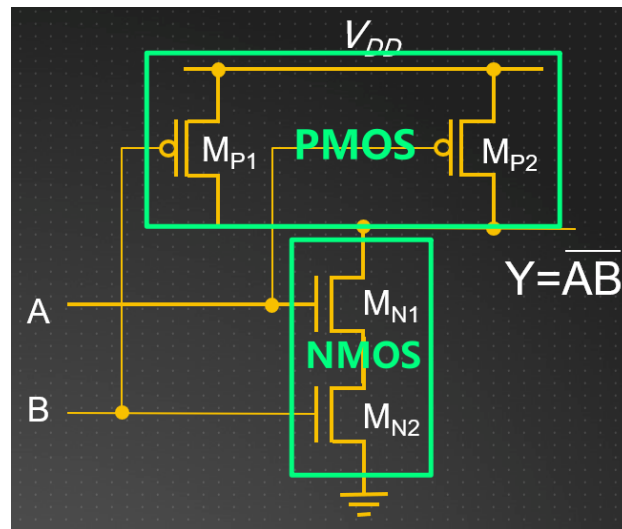


结果现象：发现当逻辑转移电平 $V_{it} = \frac{V_{DD}}{2}$ 时，此时的 PMOS 的 W 刚好是 $5u$ ；

由于我们只对 PMOS 的 W 扫描，所以 $(W/L)_N = 2/1$ ， $(W/L)_P = 5/1$ ；

此时 $\frac{(W/L)_P}{(W/L)_N} = 2.5$ ，达到最好效果；

**结果分析：**此时可将 NAND 的电路中的上拉网络、下拉网络分别等效成一个 PMOS、NMOS, 这样我们可以把这个 NAND 网络当成一个 CMOS 电路来分析：



当等效后的  $K'_P = 2.5K'_N$  时, 可以使得最后二者的等效导电因子  $K_P = K_N$ , 从而构成对称 CMOS 电路, 使得电路充放电时间大致相等, 达到最好的效果。

使用 Level1 使得  $V_{it} = \frac{V_{DD}}{2}$ : 从上图中可发现, 即使达到对称等效 CMOS 模

型的时候,  $V_{it}$  的实际值也并没有达到理想的  $\frac{V_{DD}}{2} = 900m$ , 而是稍小的  $800m$  左右;

询问老师后, 得到是由于仿真精度所导致的差异, 通过 Level1 模型的仿真可以解决此问题, 达到理想逻辑转移电平值;

下面给出 Level1 模型下的网表:

```

*NAND gate hspice file

.TEMP 25.0000

.option abstol=1e-6 reltol=1e-6 post ingold

.lib 'gd018.1' TT

*VDD
V1 1 0 dc=1.8

*Input A
VA A 0 dc=1.8
*Input B
VB B 0 dc=0

.param wl=1u

*Two P-types in Parallel
Mp1 vo A 1 1 P1 W=wi L=1u
Mp2 vo B 1 1 P1 W=wi L=1u

.MODEL P1 PMOS (level=1 ld=0.15u tox=200e-10 vto=-0.74 kp=2.7e-5
+nsb=4.33e15 gamma=0.58 phi=0.6 u0=262 uexp=0.324 ucirt=65720
+delta=1.79 vmax=25694 xj=0.25u lambda=0.061 nfs=1e12 neff=1.001
+nss=1e11 tpg=-1 rsh=121 pb=0.64 cgdo=4.3e-10 cgso=4.3e-10 cj=0.0005 mj=0.51
+cjsw=1.35e-10 mjsw=0.24)

*Two N-types in Series
Mn1 vo A vn 0 N1 W=2u L=1u
Mn2 vn B 0 0 N1 W=2u L=1u

.MODEL N1 NMOS (level=1 ld=0.15u tox=200e-10 vto=0.74 kp=8e-5
+nsb=5.37e15 gamma=0.54 phi=0.6 u0=656 uexp=0.157 ucirt=31444
+delta=2.34 vmax=55261 xj=0.25u lambda=0.037 nfs=1e12 neff=1.001
+nss=1e11 tpg=1 rsh=70 pb=0.58 cgdo=4.3e-10 cgso=4.3e-10 cj=0.0003 mj=0.66
+cjsw=8e-10 mjsw=0.24
)

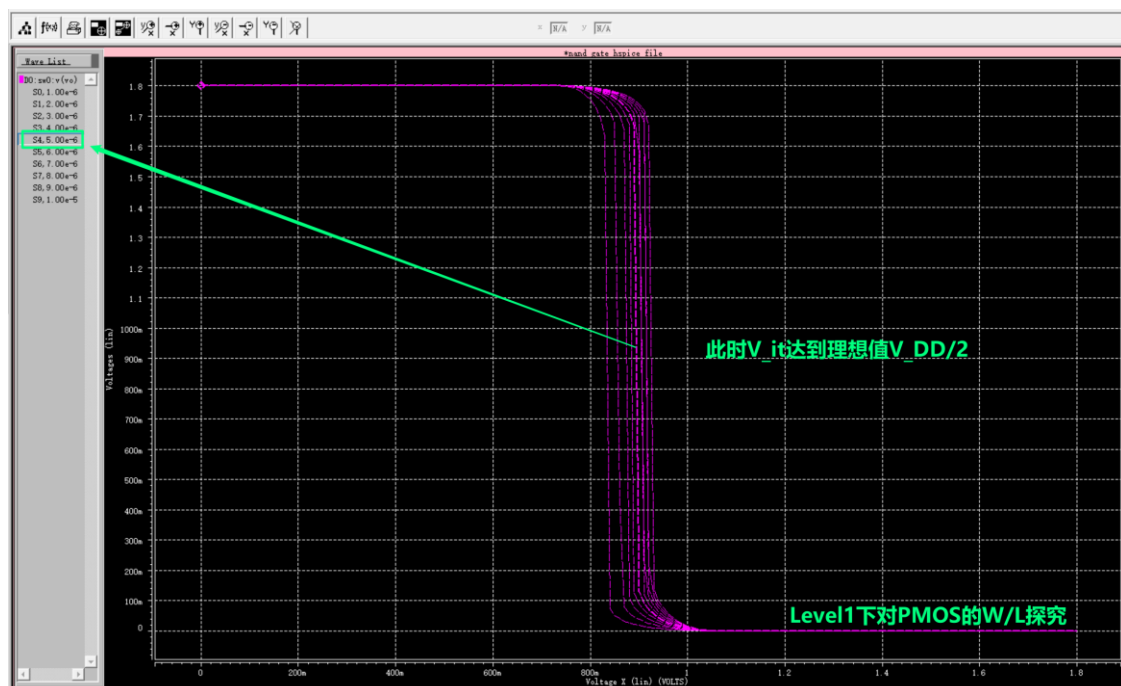
.dc VB START=0 STOP=1.8 STEP=.01 sweep wi 1u 10u 1u

.op
.end

```

Level1下对PMOS的W/L探究

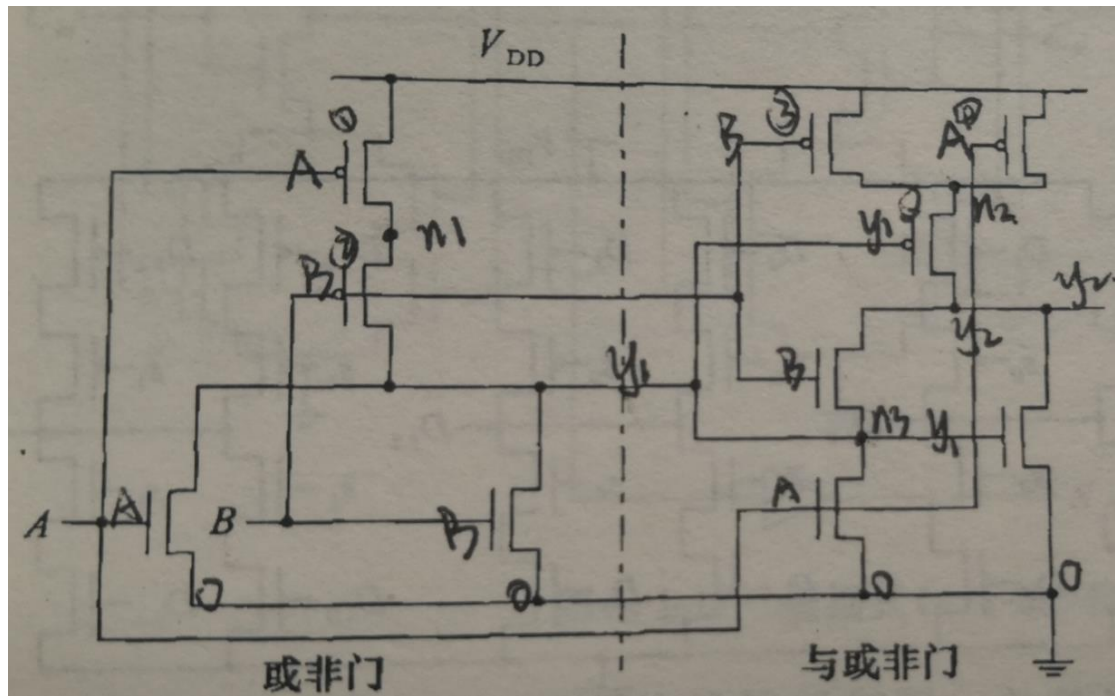
验证波形图：



从波形结果可以看到，通过修改仿真精度，此时的阈值  $V_{it}$  恰好达到了  $V_{DD}/2$ ，为理想状态下的值。

## 二、XOR 门的另一种实现——10 管

书上给出了除以上四种实现 XOR 门的方式以外，还给出了一种使用 10 个 CMOS 管的实现方法，电路原理图如下：



按照上图标出的中间节点，写出下面的网表代码：

网表：

```
*VA and VB is the input voltage
*Vout is at node vo
*=====

*Input A
VA A 0 pulse(0 1.8 0 1m 1m 19m 40m)

*Input B
VB B 0 pulse(0 1.8 0 1m 1m 8m 20m)

*5 P-types in Parallel
*   D G S B
Mp1 n1 A 1 1 PCH W=5u L=1u
Mp2 y1 B n1 1 PCH W=5u L=1u

Mp3 n2 B 1 1 PCH W=5u L=1u
Mp4 n2 A 1 1 PCH W=5u L=1u
Mp5 y2 y1 n2 1 PCH W=5u L=1u

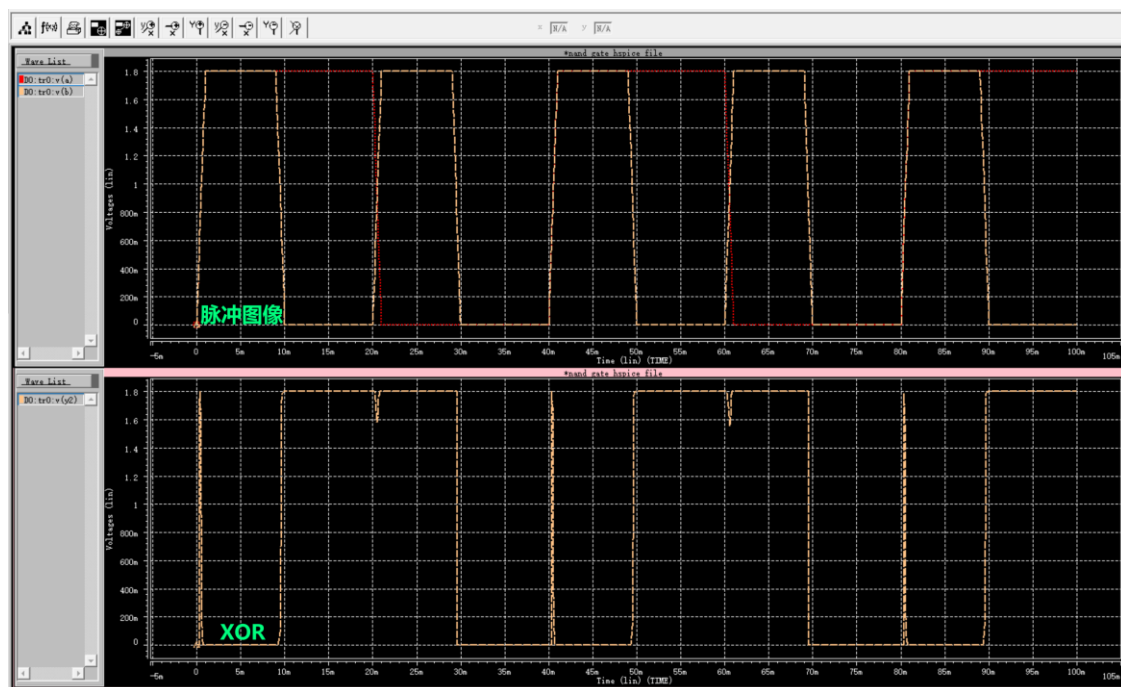
*5 N-types in Series
Mn1 y1 A 0 0 NCH W=2u L=1u
Mn2 y1 B 0 0 NCH W=2u L=1u

Mn3 n3 A 0 0 NCH W=2u L=1u
Mn4 y2 B n3 0 NCH W=2u L=1u
Mn5 y2 y1 0 0 NCH W=2u L=1u

.trans 1m 100m
.op
.end
```

**XOR**

仿真波形：



## 4. 实验结果分析

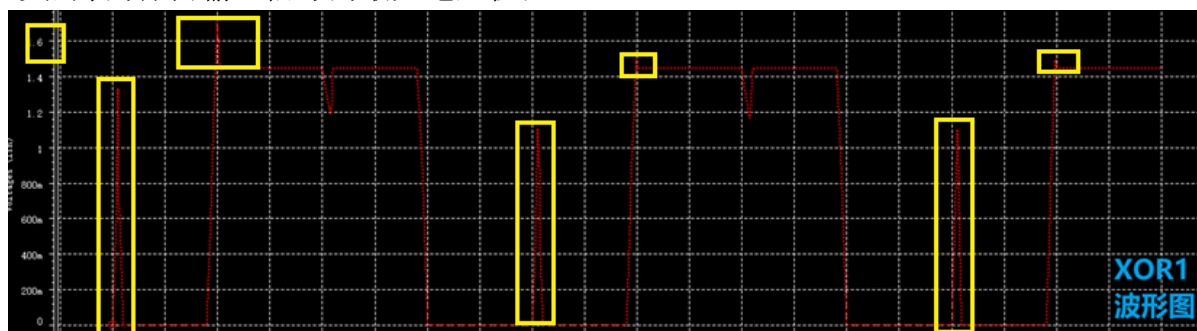
输入脉冲说明：为了避免产生过于过的突刺，把两个输入波形的上升沿、下降沿都调整至  $1ms$ ；

实验中用到的所有 PMOS、NMOS 宽长比为  $5:1$ 、 $2:1$ ；

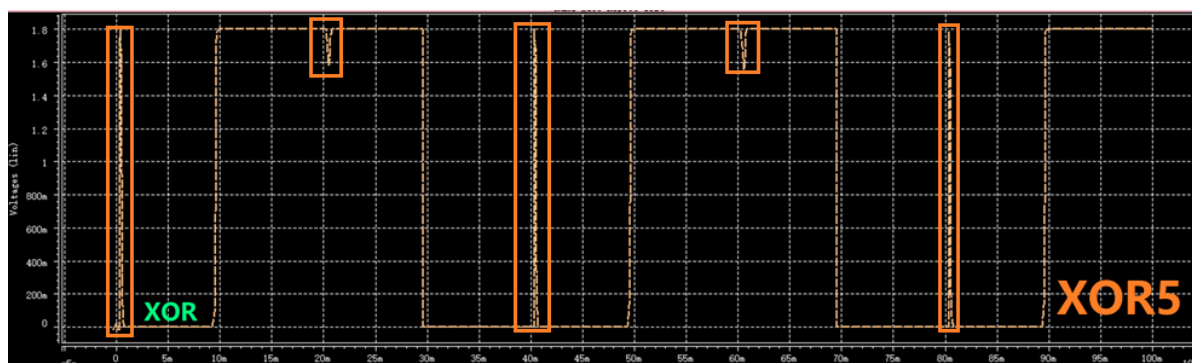
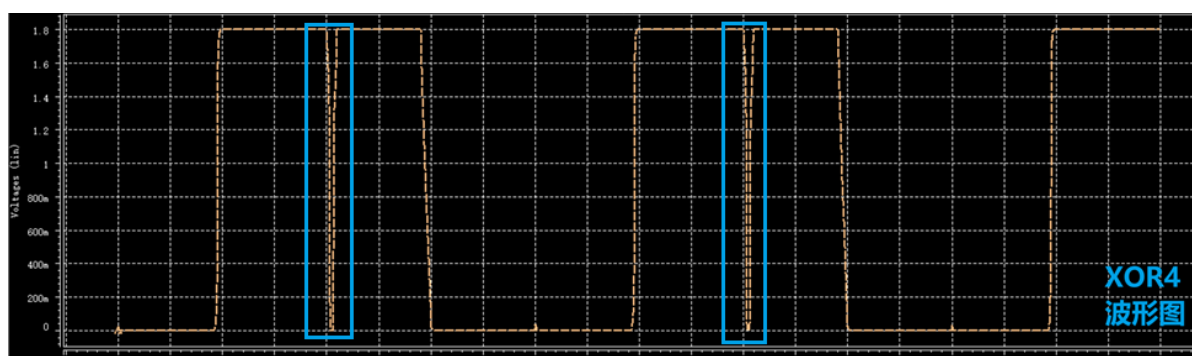
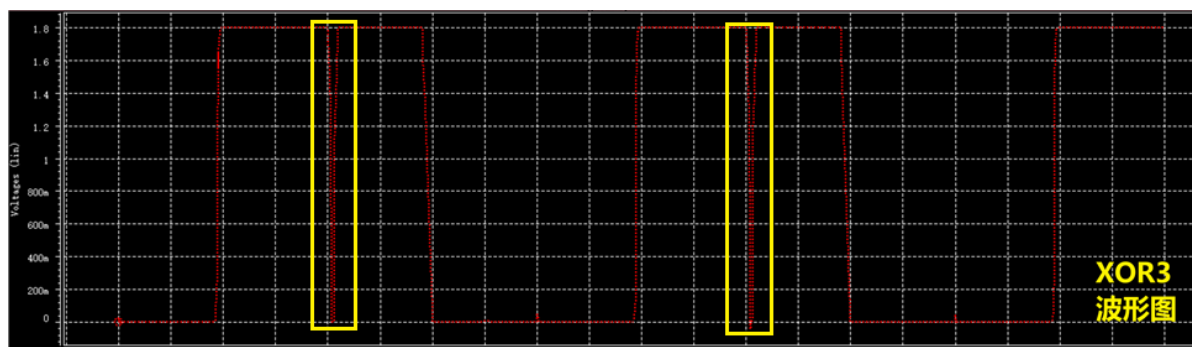
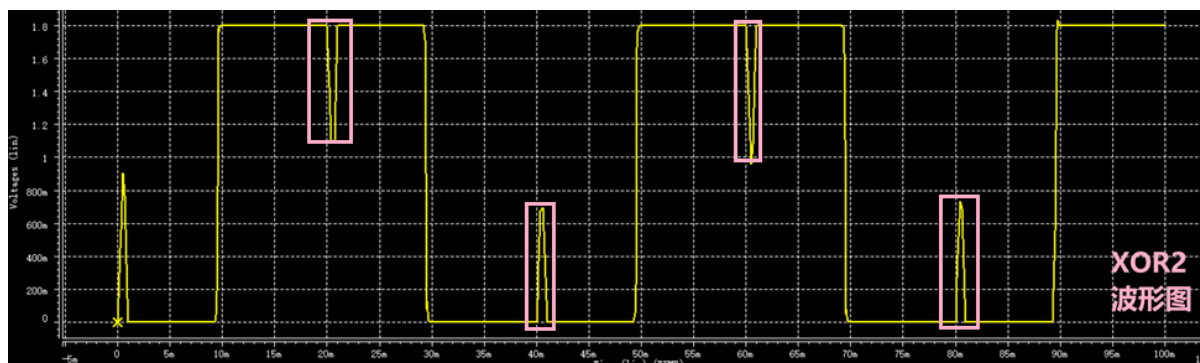
### 一、四种 XOR 实现的效果对比

观察波形可得，在整体波形上来看：XOR1 也就是由 NMOS 管实现的 XOR 是最差的，相比于其余三种实现方法，出现了比较多的突刺；

从输出电压的最大值来看：XOR1 也是最不理想的，原本最高电压  $1.8v$  的输入，在经过 XOR1 后只有  $1.6v$  左右，而对于其他三种 XOR 门的实现方式，都能够很好的保留输入信号的最大电压值；







除 XOR1 外，对于其他 4 种 XOR 的实现，从输出电压的阈值情况来看，都能达到输入时候的最值：1.8v，所以都能够保持强驱动。

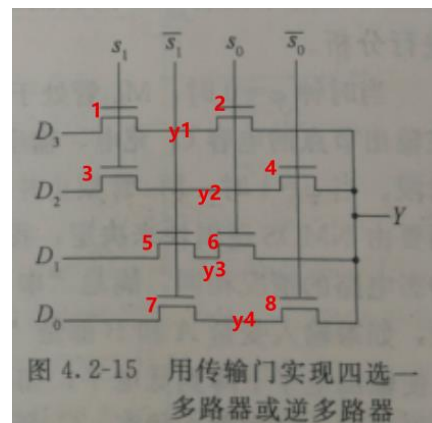
但是在相同输入的情况下，XOR1 明显有更多的突刺，也就是对于输入的适应能力更差；其余的两个输入的上升沿和下降沿重合时，都会有不同程度的波动，受影响最小的是 XOR5，但 XOR5 在两者的上升沿重合时受波动最大。

总体上来看：在相同输入信号的情况下，XOR3、XOR4 在波形上能够保证完整性和准确性，能够减少突刺的数量，使得波形更为美观；除 XOR1 之外，其余的实现都能够保留输入信号的电压值；

故，效果最优的应该是 CMOS 传输门和反相器实现的 XOR3、传输管实现的 XOR4 和探索部分 10 管实现的 XOR5。

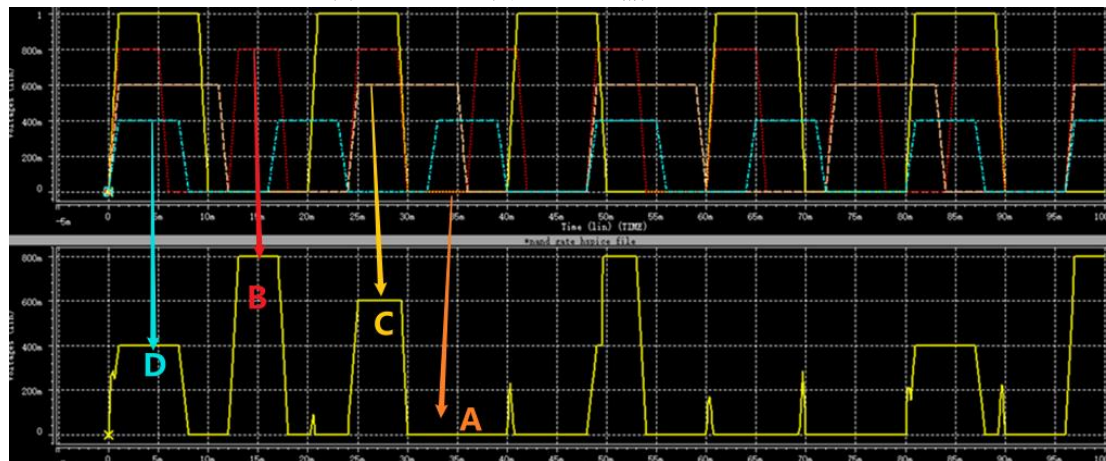
## 二、4 选 1 多路选择器的波形分析

选择当输入信号(S1, S0)为(1,1)时的输出波形进行验证；



当输入信号为(1,1)时，在同一条支路上被导通的为 D3，也就是说只有 D3 支路上的两个 NMOS 管同时导通形成通路，所以此时的输出应该为 D3；

我们分别用 A、B、C、D 来表示 D0、D1、D2、D3，所以此时应该输出的波形为 D，同理可分析得到同周期内的其他输出：



## 5. 实验总结

### 5.1 实验中遇到的问题与解决办法

无

### 5.2 实验收获与不足

收获：

- ①实现了 XOR 的 5 种不同实现方式，并且比较了不同实现的原理、仿真效果，对于 XOR 门有了更进一步的认实；
- ②了解了传输门和传输管的使用；



### 5.3 其它感想（欢迎吐槽）

无