

第四章作业

1. 用静态 CMOS 电路:

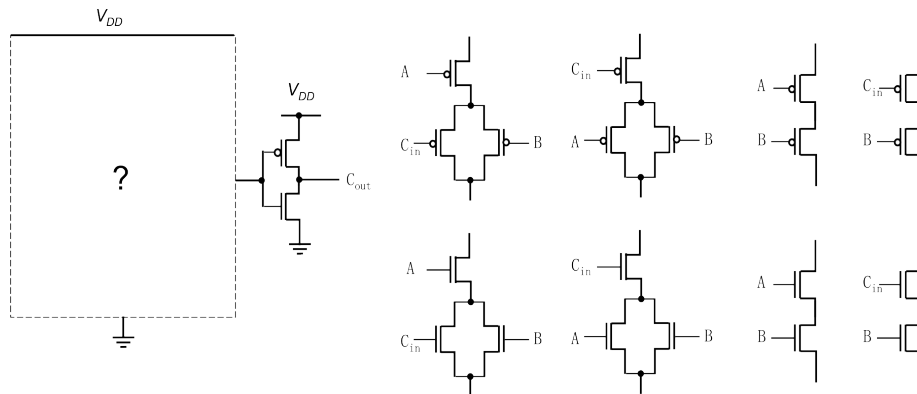
(a) 实现两输入或非门

(b) 如果电路中各管的导电因子相同, 即 $K_N=K_P$, $V_{TN}=-V_{TP}$, 求输入 A 和 B 同步变化下的 $K_{N,eff}$, $K_{P,eff}$, V_{it} ; 求输入 $A=0V$, B 变化下的 $K_{N,eff}$, $K_{P,eff}$, V_{it}

(c) 根据(b)的结果参考教材图 4.1-9 试定性的画出两输入或非门直流电压传输特性

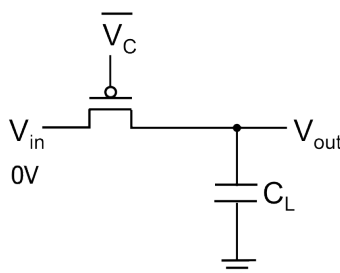
2. 画出利用静态电路实现 $Y = \overline{ABD+CD}$ 的电路图, 要求使用的 MOS 管最少; 假定 $V_{TN}=-V_{TP}$, NMOS 载流子迁移率为 PMOS 管的 2.5 倍, 设计每个管子的宽长比, 使得电路在最坏情况下的上升时间和下降时间相等。
(假设 NMOS 工艺的最小 W/L 为 2/1)

3. 一位全加器的输入为 A, B, C_{in} , 其中 A, B 为操作数, C_{in} 为进位输入, 设此一位全加器的进位输出为 C_{out} 。(a) 请根据 A, B, C_{in} 的不同逻辑取值, 列出 C_{out} 真值表; (b) 根据上问得到的真值表, 选取下面正确的一些 CMOS 静态电路的组件拼接成镜像一位加法器的进位 C_{out} 电路。



4. 下图用单管 PMOS 当传输开关, $|V_{T0}|=1V$, $\gamma=0.5V^{1/2}$, $2\Phi_F=0.6V$, $V_{DD}=5V$ 。当 $V_C=V_{DD}$, $V_{in}=0V$, V_{out} 一开始是高电平的情况下, 最终输出的低电平 V_{OL} 是多少?
(注意: $V_{TP}<0$, $V_{T0}<0$, $V_B=V_{DD}$)

提示: $V_{TP} = V_{T0} - \gamma(\sqrt{2\phi_F + V_{BS}} - \sqrt{2\phi_F})$



5. 下图中，两级动态电路都是富 NMOS 电路，其中，上级的电路输出，是下级的电路输入变量之一。请问：(a)此两级电路要完成的逻辑表达式？(b)在预充阶段 ($\phi=0$)，M 是否导通？在求值阶段，设 $A=B=1, C=0$ ， V_{out} 是否能输出高电平？为什么？

