

《VLSI 设计》SPICE 实验报告

姓名： 肖 鹏

学号： 201808010718

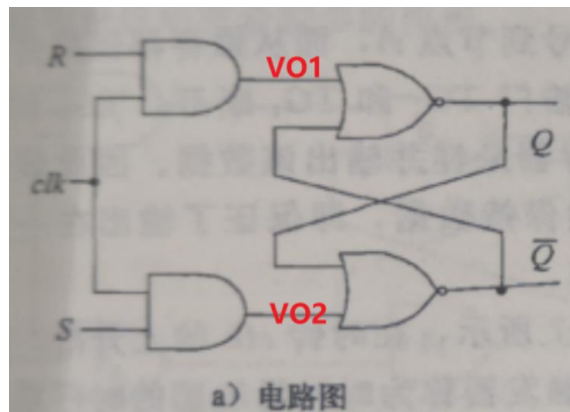
湖南大学信息学院软件工程系

2020 年 12 月 26 日

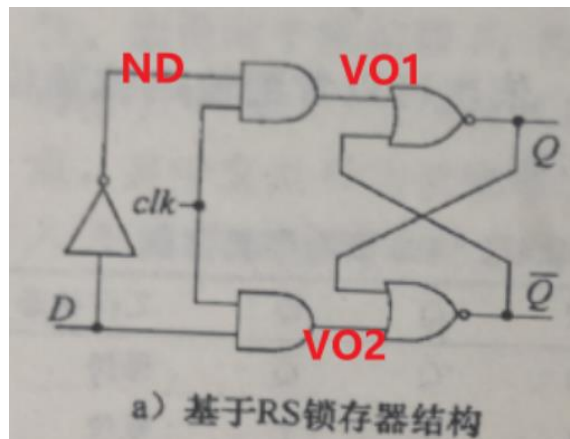
实验三 四种门电路 SPICE 实验

1. SPICE 电路结构与网表

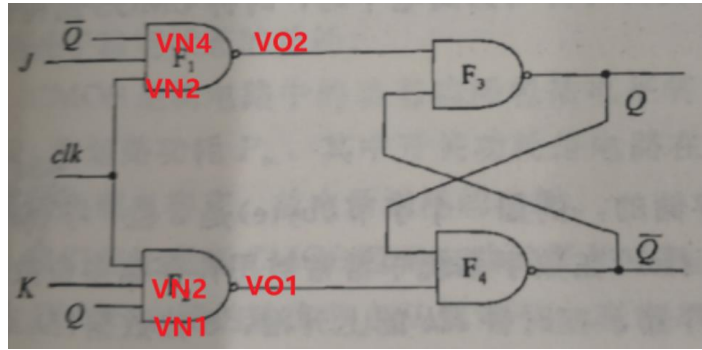
电路结构：



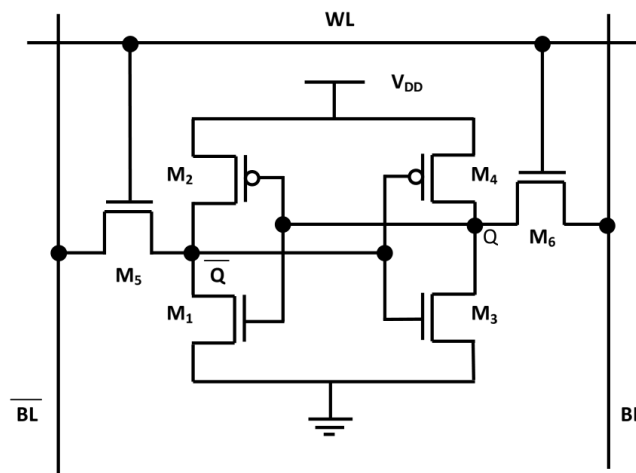
(RS-Latch)



(基于RS 锁存器的D 触发器)



(基于RS 锁存器的JK 锁存器)



(6T1-SRAM)

2. 电路仿真结果-基础部分

第一部分

一、RS 锁存器

网表:

```

.option abstol=1e-6 reltol=1e-6 post ingold

.lib 'gd018.1' TT

*VDD
V1 1 0 dc=1.8

*Input
VA CLK 0 pulse(0 1.8 0 1m 1m 19m 40m)
VR R 0 pulse(0 1.8 19m 1m 1m 8m 20m)
VS S 0 pulse(0 1.8 3m 1m 1m 8m 20m)
*X1 A B VO AND

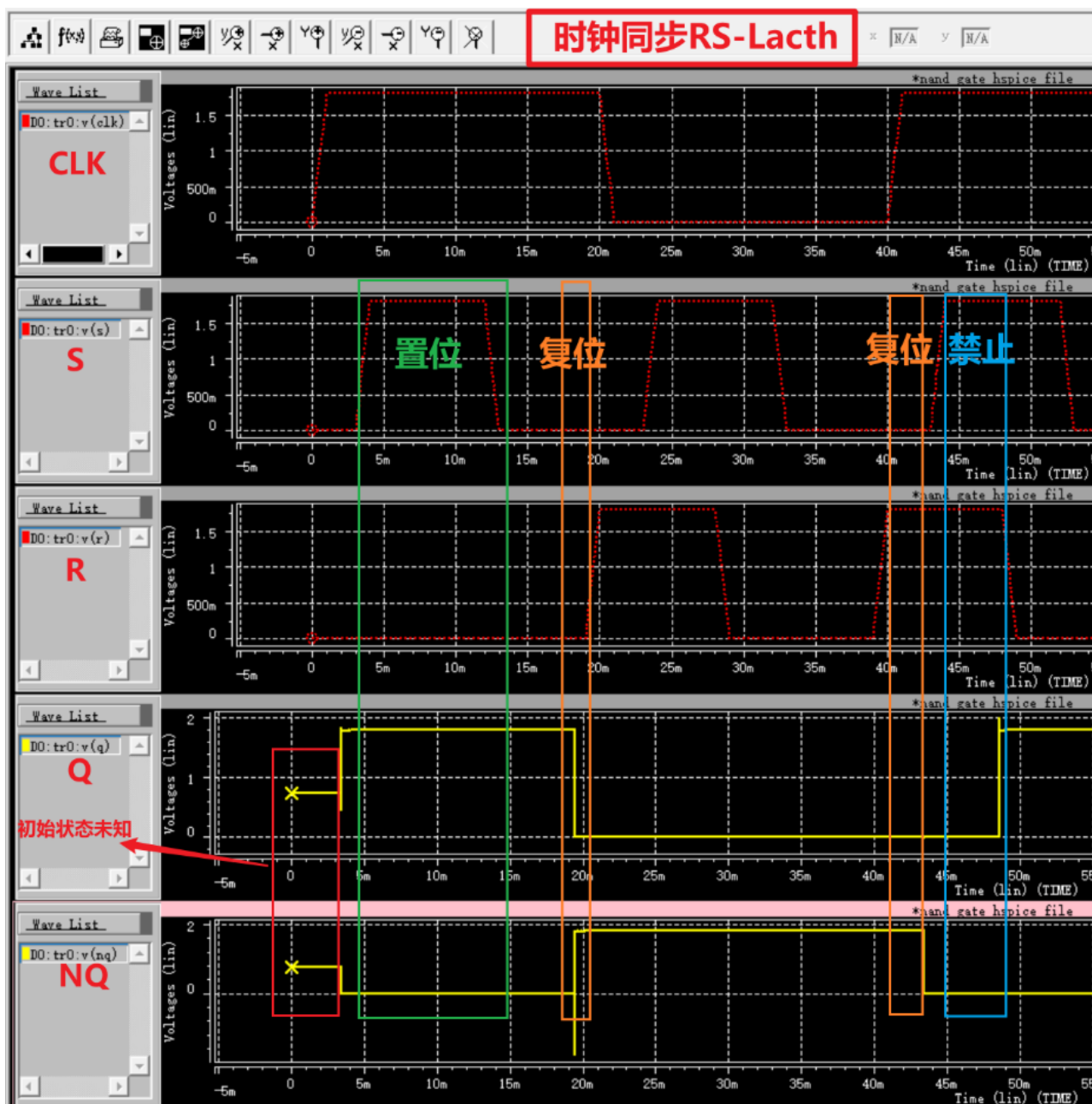
*AND1
Mp1 TMP_OUT_1 CLK 1 1 PCH W=5u L=1u
Mp2 TMP_OUT_1 R 1 1 PCH W=5u L=1u
Mn1 TMP_OUT_1 CLK vn_1 0 NCH W=2u L=1u
Mn2 vn_1 R 0 0 NCH W=2u L=1u
Mp3 VO1 TMP_OUT_1 1 1 PCH W=5u L=1u
Mn3 VO1 TMP_OUT_1 0 0 NCH W=2u L=1u
*AND2
Mp4 TMP_OUT_2 CLK 1 1 PCH W=5u L=1u
Mp5 TMP_OUT_2 S 1 1 PCH W=5u L=1u
Mn4 TMP_OUT_2 CLK vn_2 0 NCH W=2u L=1u
Mn5 vn_2 S 0 0 NCH W=2u L=1u
Mp6 VO2 TMP_OUT_2 1 1 PCH W=5u L=1u
Mn6 VO2 TMP_OUT_2 0 0 NCH W=2u L=1u
*NOR1
Mp7 vn_3 VO1 1 1 PCH W=5u L=1u
Mp8 Q NQ vn_3 1 PCH W=5u L=1u
Mn7 Q VO1 0 0 NCH W=2u L=1u
Mn8 Q NQ 0 0 NCH W=2u L=1u
*NOR2
Mp9 vn_4 VO2 1 1 PCH W=5u L=1u
Mp10 NQ Q vn_4 1 PCH W=5u L=1u
Mn9 NQ VO2 0 0 NCH W=2u L=1u
Mn10 NQ Q 0 0 NCH W=2u L=1u

.trans 1m 100m
.op
.end

```

时钟同步RS-Lacth

仿真波形



二、基于 RS 锁存器的 D 触发器

网表:

```

*Input
VA CLK 0 pulse(0 1.8 0 1m 1m 19m 40m)
VD D 0 pulse(0 1.8 4m 1m 1m 8m 20m)

*NOT1
Mp0 ND      D 1      1      PCH W=5u L=1u
Mn0 ND      D 0      0      NCH W=2u L=1u

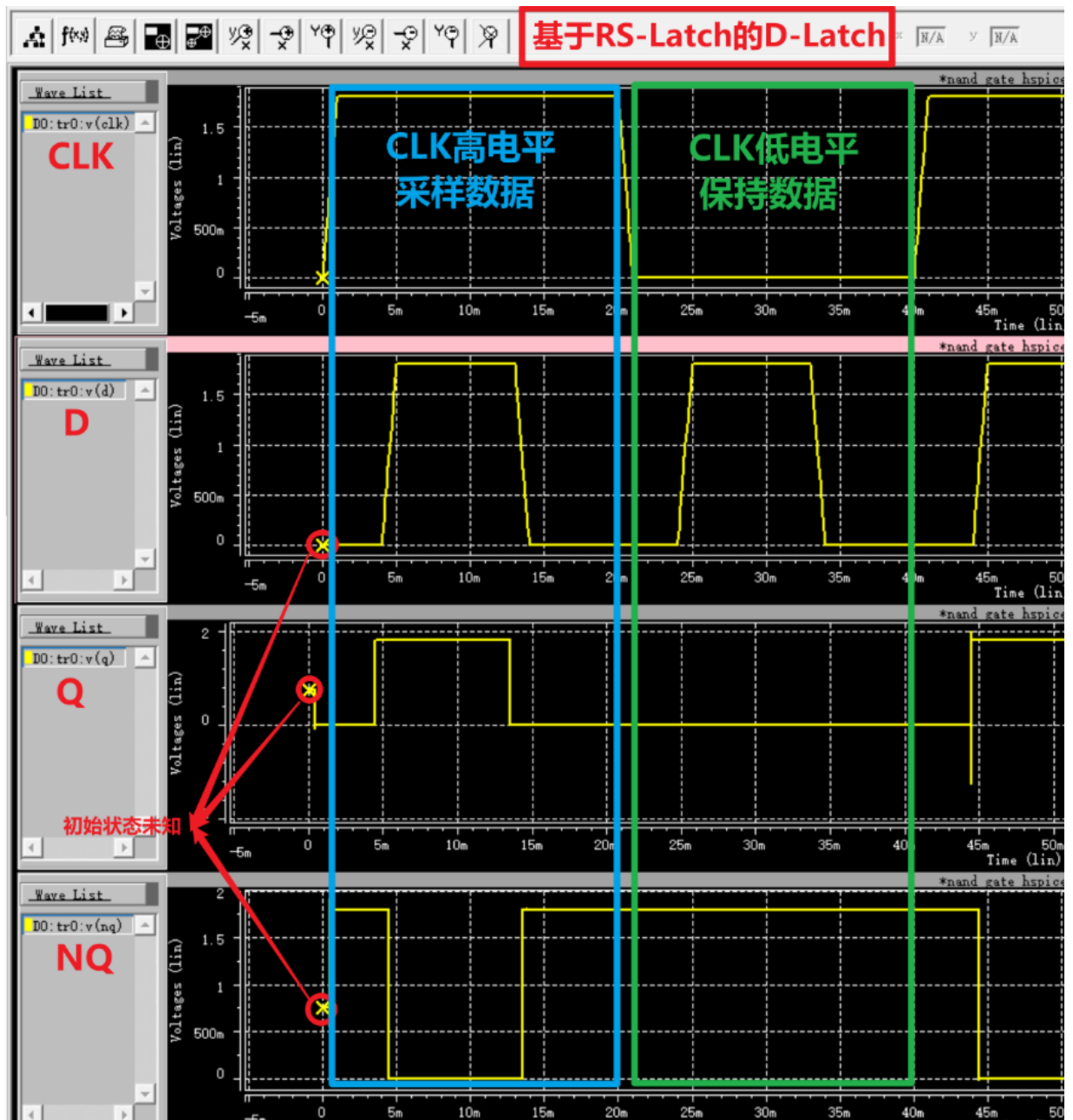
*AND1
Mp1 TMP_OUT_1 CLK      1      1      PCH W=5u L=1u
Mp2 TMP_OUT_1 ND      1      1      PCH W=5u L=1u
Mn1 TMP_OUT_1 CLK      vn_1 0      NCH W=2u L=1u
Mn2 vn_1      ND      0      0      NCH W=2u L=1u
Mp3 VO1      TMP_OUT_1 1      1      PCH W=5u L=1u
Mn3 VO1      TMP_OUT_1 0      0      NCH W=2u L=1u
*AND2
Mp4 TMP_OUT_2 CLK      1      1      PCH W=5u L=1u
Mp5 TMP_OUT_2 D      1      1      PCH W=5u L=1u
Mn4 TMP_OUT_2 CLK      vn_2 0      NCH W=2u L=1u
Mn5 vn_2      D      0      0      NCH W=2u L=1u
Mp6 VO2      TMP_OUT_2 1      1      PCH W=5u L=1u
Mn6 VO2      TMP_OUT_2 0      0      NCH W=2u L=1u
*NOR1
Mp7 vn_3      VO1      1      1 PCH W=5u L=1u
Mp8 Q      NQ      vn_3 1 PCH W=5u L=1u
Mn7 Q      VO1      0      0 NCH W=2u L=1u
Mn8 Q      NQ      0      0 NCH W=2u L=1u
*NOR2
Mp9 vn_4      VO2      1      1 PCH W=5u L=1u
Mp10 NQ      Q      vn_4 1 PCH W=5u L=1u
Mn9 NQ      VO2      0      0 NCH W=2u L=1u
Mn10 NQ      Q      0      0 NCH W=2u L=1u

.trans 1m 100m
.op
.end

```

基于RS-Latch的D-Latch

仿真波形：



三、基于 RS 锁存器的 JK 锁存器

网表:

```

*VDD
V1 1 0 dc=1.8

*Input
VA CLK 0 pulse(0 1.8 0 1m 1m 19m 40m)
VJ J 0 pulse(0 1.8 3m 1m 1m 8m 20m)
VK K 0 pulse(0 1.8 19m 1m 1m 8m 20m)

*3 NAND1
Mp1 VO1 CLK 1 1 PCH W=5u L=1u
Mp2 VO1 K 1 1 PCH W=5u L=1u
Mp3 VO1 Q 1 1 PCH W=5u L=1u

Mn1 VO1 CLK VN2 0 NCH W=2u L=1u
Mn2 VN2 K VN1 0 NCH W=2u L=1u
Mn3 VN1 Q 0 0 NCH W=2u L=1u

*3 NAND2
Mp4 VO2 NQ 1 1 PCH W=5u L=1u
Mp5 VO2 J 1 1 PCH W=5u L=1u
Mp6 VO2 CLK 1 1 PCH W=5u L=1u

Mn4 VO2 NQ VN4 0 NCH W=2u L=1u
Mn5 VN4 J VN3 0 NCH W=2u L=1u
Mn6 VN3 CLK 0 0 NCH W=2u L=1u

*NAND1
Mp7 Q VO2 1 1 PCH W=5u L=1u
Mp8 Q NQ 1 1 PCH W=5u L=1u

Mn7 Q VO2 VN5 0 NCH W=2u L=1u
Mn8 VN5 NQ 0 0 NCH W=2u L=1u

*NAND2
Mp9 NQ Q 1 1 PCH W=5u L=1u
Mp10 NQ VO1 1 1 PCH W=5u L=1u

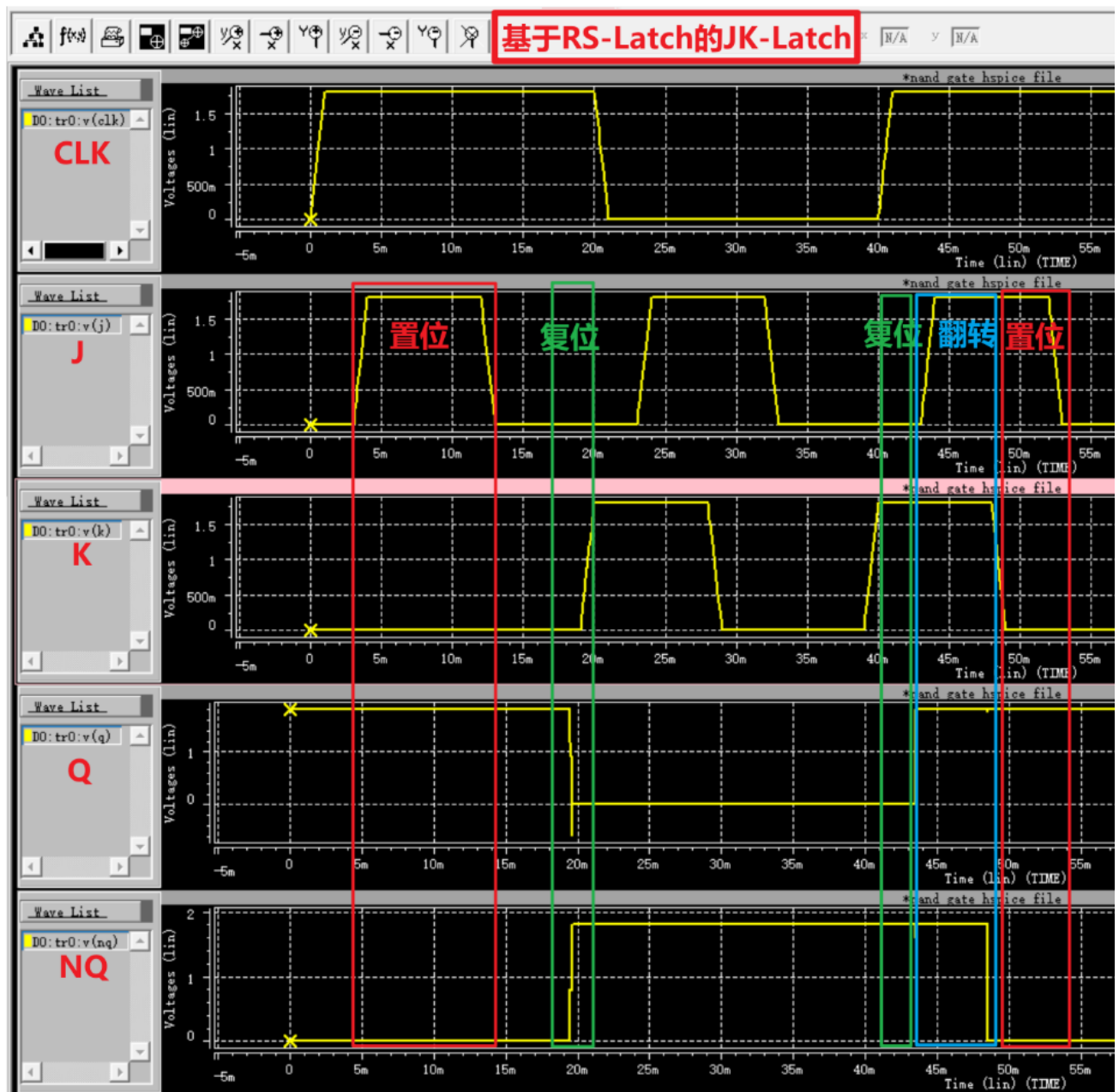
Mn9 NQ Q VN6 0 NCH W=2u L=1u
Mn10 VN6 VO1 0 0 NCH W=2u L=1u

.trans 1m 100m
.op
.end

```

基于RS-Lacth的JK-Lacth

仿真波形:



第二部分

一、

网格：

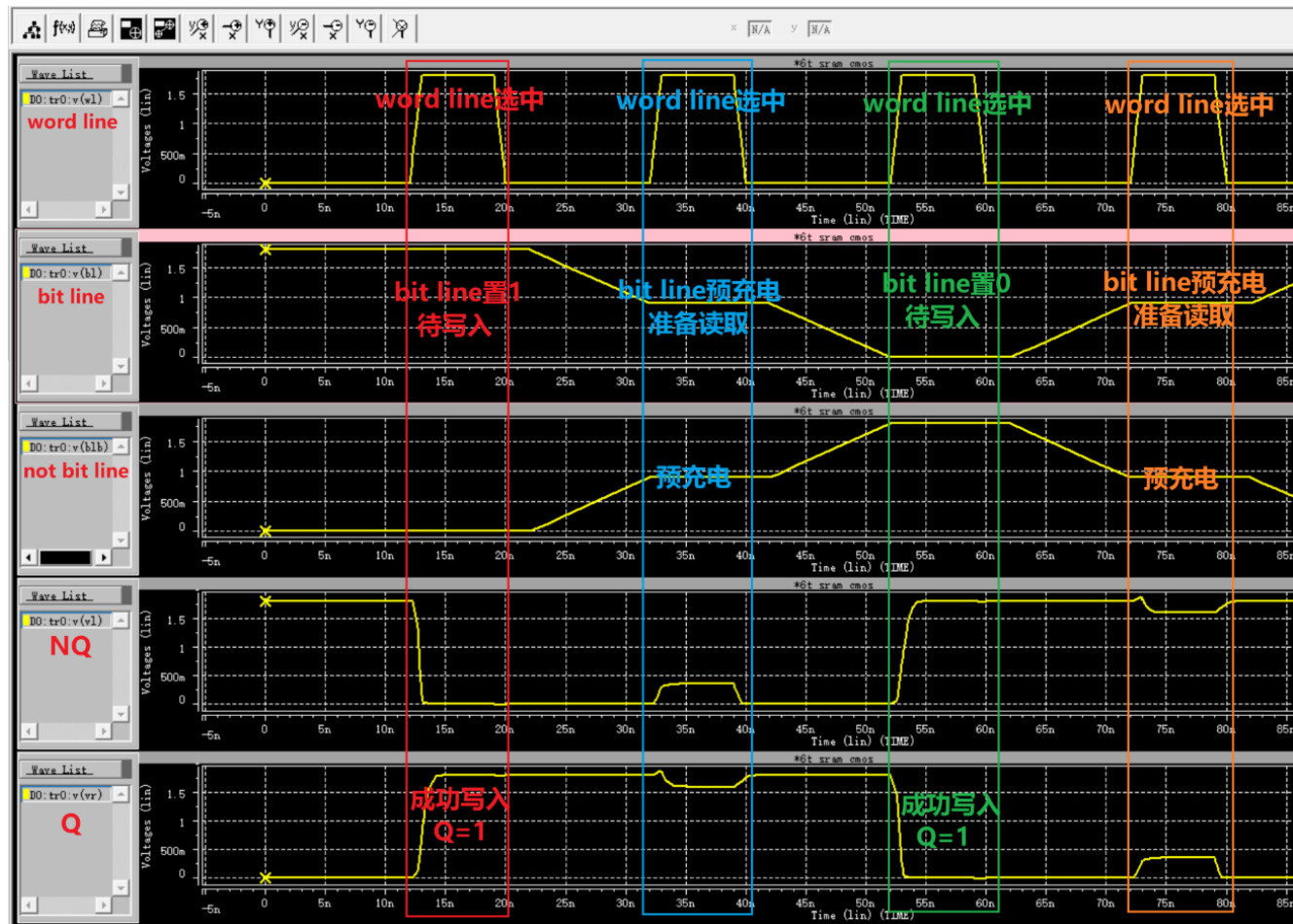
```

1  *6T SRAM CMOS
2  .OPTIONS LIST NODE POST
3  .lib 'gd018.1' TT
4  .OP
5  .TRAN 200P 100N
6
7
8
9  M5 NBL WL NQ 0 NCH W=2U L=1U
10
11 M1 NQ Q 0 0 NCH W=2U L=1U
12
13 M2 VDD Q NQ VDD PCH W=5U L=1U
14
15 M4 Q NQ VDD VDD PCH W=5U L=1U
16
17 M3 Q NQ 0 0 NCH W=2U L=1U
18
19 M6 Q WL BL 0 NCH W=2U L=1U
20
21 Vdd VDD 0 1.8
22 VWL WL 0 PULSE 0 1.8 12N 1N 1N 6N 20N
23 VBNL NBL 0 PWL 12N 0V, 22N 0V, 32N 0.9V, 42N 0.9V, 52N 1.8V, 62N 1.8V, 72N 0.9V, 82N 0.9V, 92N 0V, R 12N
24 VBL BL 0 PWL 12N 1.8V, 22N 1.8V, 32N 0.9V, 42N 0.9V, 52N 0V, 62N 0V, 72N 0.9V, 82N 0.9V, 92N 1.8V, R 12N
25 C1 NBL 0 50f
26 C2 BL 0 50f
27 .print tran i(Max1)
28 .END

```

T6-SRAM

仿真波形：

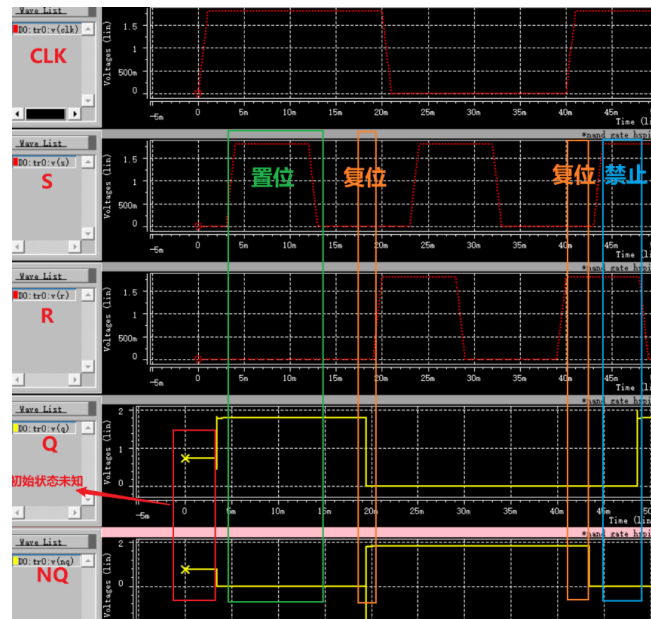


3. 电路仿真结果-探索部分

无。

4. 实验结果分析

①时钟同步 RS-LATCH



在 CLK 高电平时，如果 $S=1$ 且 $R=0$ ，那么表示置位，从图可看出，锁存器中的值从一开始的未知状态下降到了低电平；

如果 $S=0$ 且 $R=1$ ，那么表示复位，可看到复位后恢复到高电平。

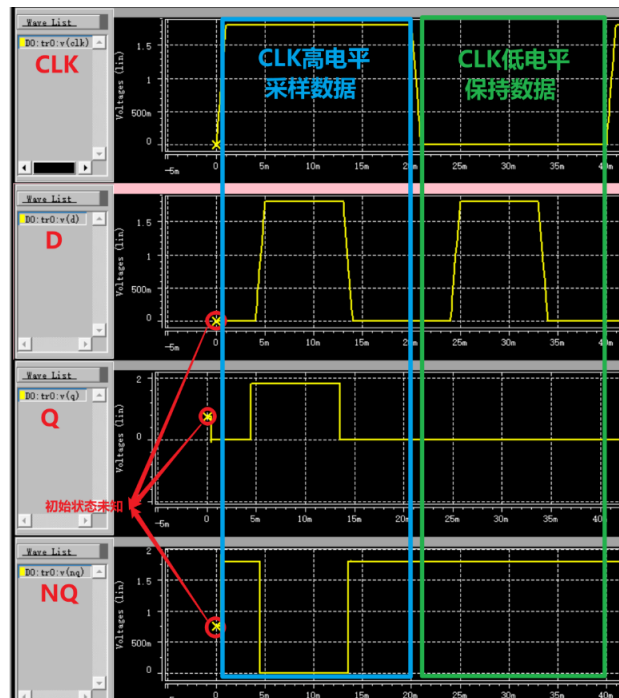
此外 $S=0$ 且 $R=0$ 表示保持状态， $S=1$ 且 $R=1$ 为未定义的静止状态。

注意!!! RS 不能同时为 1 如果 RS 同时为 1，那么根据电路图可以推导出两个输出全为 0，有人可能会说这有什么大不了，但是接下去当 RS 同时变为 0 的时候，问题来了!!!

由于 RS 不可能同时变为 0（电路时延不可能完全相同），那么就存在先后问题，就会给电路带来不确定性！因为我们不知道是谁先变成 0，就更不知道输出会变成什么样！

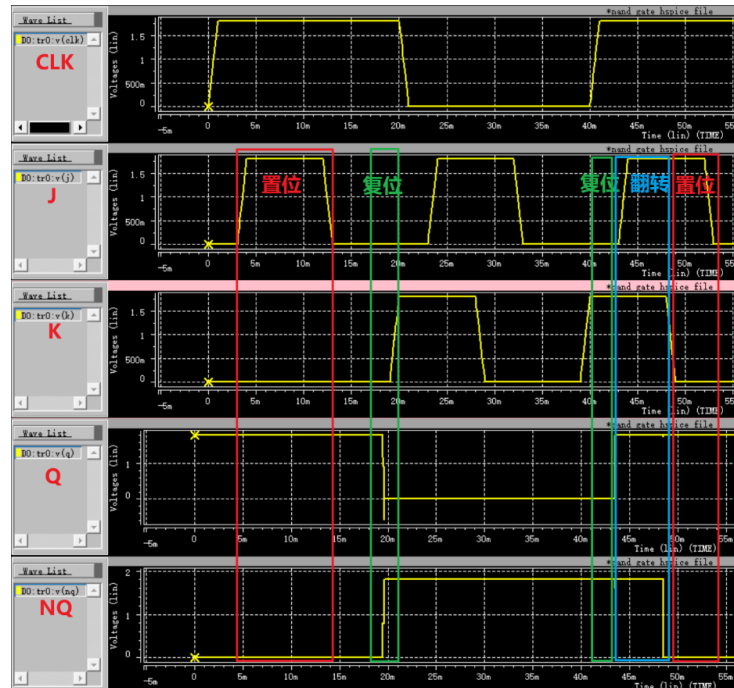
②基于 RS-LATCH 的 D-LATCH

在 CLK 高电平时，锁存器采集数据，内部呈现数据线上的值；低电平保持数据；

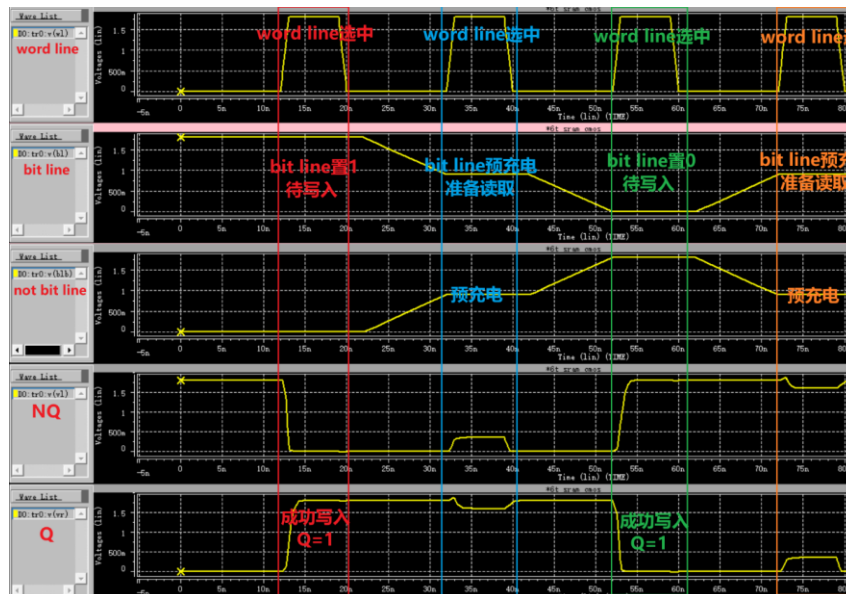


③基于 RS-LATCH 的 JK-LATCH

当 CLK 为高电平时，J=1 且 K=0 时，表现为置位；当 J=0 且 K=1 时，表现为复位；当 J=0 且 K=0 时，为保持态；当 J=1 且 K=1 时，内部数据强制翻转；



④T6-SRAM CELL



【波形说明】

V(bl):

位线 BL 电压，是我们写入数据的“负值”，也就是说，如果写入数据为 1，那么此信号为低电平；当写入数据为 0 时，此信号为高电平。这里我给的是一个 0~22ns 为 1.8V，22ns~32ns 下降到 0.9V，32ns~42ns 保持 0.9V 中位电平，42ns~52ns 下降到 0V 低电平，52ns~62ns 保持 0V 低电平，62ns~72ns 上升到 0.9V 中位电平，72ns~82ns 保持 0.9V 中位电平，82ns~92ns 上升到 1.8V 高电平，然后保持 12ns 终止。

V(blb):

位线 BLB 电压，是我们写入数据的“正值”，也就是说，如果写入数据为 1，那么此信号为高电平；当写入数据为 0 时，此信号为低电平。这里我给的是一个 0~22ns 为 0V，22ns~32ns 上升到 0.9V，32ns~42ns 保持 0.9V 中位电平，42ns~52ns 上升到 1.8V 高电平，52ns~62ns 保持 1.8V 高电平，62ns~72ns 下降到 0.9V 中位电平，72ns~82ns 保持 0.9V 中位电平，82ns~92ns 下降到 0V 低电平，然后保持 12ns 终止。

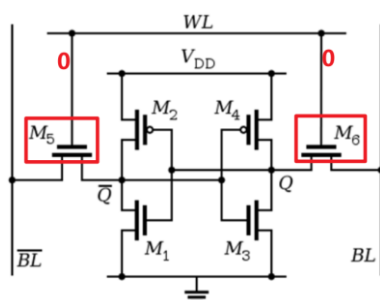
V(vl):

v1 节点电压，即存储器中的值。这里是我们的输出量。 V(wl): 字线 WL 电压，是我们的输入写信号，这里我给的是一个输入高电平为 1.8V，低电平为 0V，12ns 延时，上升延时为 1ns，下降延迟为 1ns，脉冲宽度为 6ns，周期为 20ns 的周期信号

【原理分析】

下面对 T6 SRAM 存储单元的三种工作状态 standby（电路处于空闲），reading（读）与 writing（修改内容）进行分析：

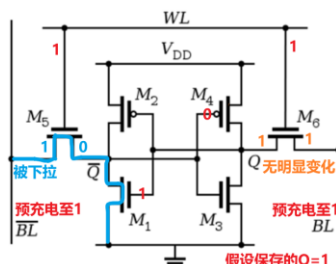
1) standby:



1) standby:

字线 (Word Line) 没有被选为高电平，
那么作为控制用的M5与M6两个晶体管处于断路，
把基本单元与位线隔离。

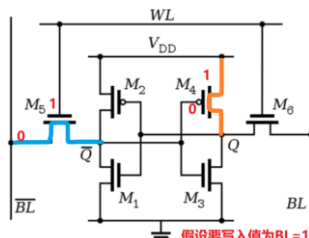
由M1 – M4组成的两个反相器继续保持其状态。



2) reading (假定存储的Q=1) :

①读周期之初，BL、BL-bar的电压precharge为VDD，逻辑上值BL、BL-bar=1；
随后字线WL充高电平，使得M5 – M1导通；
导致BL被M5下拉、BL保持；

②导通充/放电结束后，把BL、BL-bar (均可看作电容)
接入Sense and Amplify，判断BL、BL-bar哪个电压下降了。
然后将电压较高者BL保持在‘1’、较低者BL-bar discharge to ‘0’；
这样BL便获取了储存的数据‘1’。



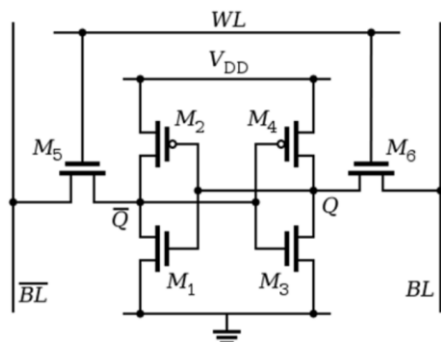
3) writing (假定写入值BL = 0) :

①写周期之初，BL、BL-bar分别置为0、1；

②随后字线WL充高电平，使得M6与M2导通；
由于“由BL输入驱动的晶体管”被设计为比“基本单元晶体管”更强壮；
这使得位线BL的状态可以覆盖单元交叉耦合反相器以前的状态！

③M6导通之后，Q被覆盖为‘0’；导致M2导通，使得Q被覆盖为‘1’；写入完成；

而且，为了保证在读操作时不会对储存的数据造成错误的“写”，6个mos管的“强度”也就是导通的阈值电压是不一样的。



在上图中，6个mos管的强度应该按照下面的关系设计：

M1 > M5 > M2 (and M3 > M6 > M4).

5. 实验总结

5.1 实验中遇到的问题与解决办法

无

5.2 实验收获与不足

收获：实现了三种不同的寄存器以及6管SRAM储存单元，对于双稳态电路有了理论之上

的理解；

5.3 其它感想（欢迎吐槽）

无