

Proyecto 2. Diseño e implementación de una ALU

1. Objetivos

- Comprender el proceso de diseño y verificación de los sistemas digitales.
- Utilizar estructuras lógicas en un proceso de diseño.
- Familiarizar al estudiante con el uso de los lenguajes de descripción de hardware.

2. Descripción del proyecto

Diseñe una unidad aritmético lógica (ALU) la cual deberá realizar todas las operaciones descritas en la Tabla 1. En cuanto a las entradas de datos, se tienen dos operandos llamados A y B de 6 bits cada uno, y un selector de operación llamado SEL de longitud igual a 3 bits. Por su parte, la salida será nombrada como Y y tendrá igualmente una longitud de 6 bits, para mantener un ancho de palabra homogéneo. La ALU operará bajo el sistema de complemento a dos, por lo tanto, el bit más significativo de los operandos A, B y el resultado Y, indican el signo del número y los restantes 5 bits indican la magnitud. Finalmente, la ALU tiene 2 banderas de salida, rotuladas como ZF, PF, y OF, donde ZF es la bandera cero, PF es la bandera de paridad par y OF es la bandera de desbordamiento (Overflow).

Tabla 1. Descripción de las operaciones de la ALU.

SEL [2:0]	Tipo de Operación	Y
000	XOR	$Y = A \oplus B$
001	AND	$Y = A \& B$
010	OR	$Y = A \mid B$
011	Desplazamiento lógico a la derecha	$Y = A \gg 1$
100	Suma con signo	$Y = A + B$
101	Multiplicación con signo	$Y = A * B$
110	Resta con signo	$Y = A - B$
111	Quintuplicado de un número	$Y = 5 * A$

3. Requerimientos de la ALU

A continuación, se muestran los requerimientos que posee el sistema:

- Tanto el código fuente como la simulación del diseño deberán ser implementadas en Verilog.
- El circuito deberá tener únicamente tres entradas y cuatro salidas. Las tres entradas serán nombradas A, B y SEL y las salidas deberán llamarse Y, ZF, PF y OF. En la Figura 1, se muestra el diagrama de entradas y salidas del circuito de unidad aritmético lógico.

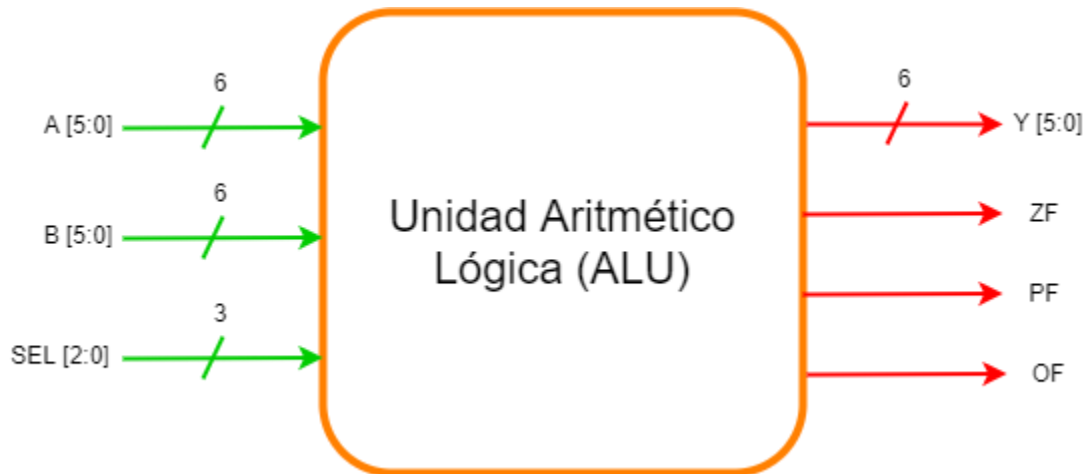


Figura 1. Diagrama de entradas y salidas del sistema a diseñar

- Los operandos A y B en complemento a dos de seis bits deberán ser suministrados al sistema por medio del puerto serial de la FPGA.
- La entrada SEL de 3 bits se suministrará al sistema por medio de los switches de la FPGA.
- Todas las salidas del sistema se deberán observar a través de los LED's de la FPGA. (El grupo de trabajo determinará cuáles LEDs utilizará para cada salida a su conveniencia)
- Se deberá elaborar un archivo de verificación en Verilog, el cual deberá permitir observar la ejecución de cada una de las operaciones de la ALU para dos operandos distintos. Además, debe contener escenarios en los cuales se enciendan cada una de las banderas.
- La simulación del sistema debe permitir observar de forma clara y precisa la ejecución de las operaciones de la ALU así como la activación de las respectivas banderas.
- Su implementación deberá ser una copia fiel de su diseño sin excepción.

4. Metodología.

El proyecto se realizará en grupos de máximo 5 personas. Cada grupo debe seguir el siguiente proceso de ingeniería para solucionar el proyecto:

- Elaborar un diseño del proyecto aplicando las técnicas de diseño modular, es decir, identificar las entradas y salidas del sistema, luego, particionar el sistema a desarrollar en subsistemas más pequeños y finalmente, diseñar digitalmente el funcionamiento de cada subsistema.
- Simular cada subsistema en algún software de diseño y simulación digital como Proteus y MultiSim.

- Implementar el diseño utilizando el lenguaje de descripción de hardware Verilog utilizando la herramienta VIVADO.
- Verificar mediante una simulación post-synthesis funcional el correcto funcionamiento de la implementación en Verilog.
- Configurar en la FPGA xc7a35tcpg236-2L provista el diseño propuesto.

5. Rúbrica de evaluación

Ítem	Valor	Indicador de cumplimiento
Diagrama de bloques del diseño propuesto en forma detallada	30%	Se presenta todo el diseño propuesto del circuito digital encargado de resolver el problema planteado de forma correcta en un documento pdf.
Simulación de comportamiento del diseño propuesto mediante el visor de ondas.	15%	Se demuestra que el diseño implementado en el lenguaje de descripción de hardware es completamente funcional. La simulación debe considerar varios escenarios de prueba para las funciones de la ALU, no solo casos triviales.
Implementación del diseño propuesto en la placa de desarrollo BASYS 3	40%	Se demuestra mediante el uso de la FPGA que el diseño propuesto es capaz de realizar todas las funciones solicitadas para la ALU.
Informe Final	15%	Informe final en formato IEEE con una extensión máxima de 4 páginas, que explique el problema a resolver, la solución propuesta, todos los detalles de diseño de su circuito digital, así como los diagramas de bloques y la estrategia de verificación utilizada. Así mismo, deberá mostrar los resultados obtenidos tales como: consumo de potencia, frecuencia máxima de operación y recursos lógicos requeridos para su diseño. Finalmente deberá agregar las conclusiones y recomendaciones más relevantes. Se colocará una rúbrica donde se explicará detalladamente que aspectos debe contener el informe.
Extra: Representación del resultado de las operaciones aritméticas en los display 7 segmentos (incluido el signo)	5%	El resultado de las operaciones matemáticas se presenta de forma correcta, incluyendo el signo, utilizando los displays 7 segmentos provistos en la FPGA.

6. Fecha de entrega

La entrega del proyecto se realizará en la semana 12 del semestre, en el horario de la clase. Se coordinará una reunión con cada grupo el día de clase correspondiente para la presentación del proyecto. Cada grupo dispondrá de aproximadamente quince minutos para presentar su proyecto ante el profesor, el integrante que tenga la FPGA en el momento de la entrega debe tener disponible una cámara web para demostrar el funcionamiento de su diseño.

Se tendrán 2 espacios para subir los respectivos documentos:

1. **Evaluación del Proyecto:** Deberá crear una carpeta llamada Proyecto2_PrimerApellidoEstudiante1_PrimerApellidoEstudiante2, la cual deberá contener en su interior un archivo llamado Diseño.pdf, que incluya todos los diagramas completos de su diseño. Adicionalmente, deberá contener una carpeta llamada Verilog, la cual deberá albergar absolutamente todos los archivos “.v” utilizados en su diseño. Finalmente comprima la carpeta y súbala al TecDigital en la asignación Evaluación del Proyecto a más tardar al inicio de la clase de semana 12, donde se realizará la revisión.

2. **Informe final:** espacio habilitado para que suban el informe final de su proyecto. Este debe ser en formato pdf y seguir todas las indicaciones de la rúbrica. Se debe colocar el archivo en el TecDigital a más tardar el viernes 22 de octubre a las 7:30 a.m. No se aceptarán entregas tardías ni a través de otro medio que no sea el TecDigital. El informe deberá realizarse en LaTeX sin excepción (No se calificarán aquellos elaborados en Microsoft Word) y deberá cumplir con lo que establece la rúbrica asociada a la actividad de informe final. La extensión máxima del informe es de 4 página, en ninguna circunstancia se calificarán informes que excedan este máximo. **La entrega del informe es obligatoria, si algún grupo no entrega el informe final dentro del plazo establecido, automáticamente perderá los puntos que ya ganó en la evaluación del proyecto.**

La entrega de los archivos descritos en el punto 1 es de carácter obligatorio. No se calificará ningún proyecto de aquellos estudiantes que no hayan cumplido con esta entrega.

Todos los códigos en Verilog de los dos grupos de laboratorio (Grupo 1, 2 y 3), serán sometidos en conjunto a una revisión utilizando la herramienta Turnitin, esto para tratar de buscar coincidencias entre los códigos y así determinar situaciones de plagio en caso de que existan. Debe mencionarse que en caso de que existan coincidencias, se le otorgará automáticamente la nota mínima a los implicados y se procederá según lo estipulado en el reglamento del Régimen de Enseñanza-Aprendizaje de la institución.

Para la presentación del proyecto, todos los integrantes tienen que presentar de forma equitativa el trabajo realizado. Si alguno de ellos no participa en la presentación, o no demuestra que conoce cómo se desarrolló el proyecto, tanto parcial o de forma total, se le asignará una nota diferenciada a criterio del profesor, donde incluso, al integrante que no participe, se le podrá asignar la nota mínima.

Se permitirá la entrega tardía del proyecto con penalización de puntos dentro de un plazo de una semana adicional al vencimiento del día de la clase. Cualquier grupo que aplique por la entrega tardía se le calificará con una escala máxima de 75 y se lo debe comunicar al profesor con al menos un día de antelación a la fecha original de defensa.

Pasada esta fecha se les calificará con la nota mínima.