

## Tarea de diseño 1: Sumador en código ASCII

### Pregunta 1. Diseño (5pts)

Diseñe un circuito digital que realice la suma de dos números A y B codificados en ASCII estándar en 7 bits. Tanto el operando A como el operando B contienen dos dígitos, es decir, las unidades y las decenas. Cada dígito se representa individualmente usando codificación ASCII estándar en 7 bits.

Por su parte el resultado, tendrá 3 dígitos, es decir, unidades, decenas y centenas, esto para evitar desbordamiento. Estos 3 dígitos estarán codificados igualmente en código ASCII estándar en 7 bits.

Como restricción adicional, la suma de los dos operandos deberá realizarse en binario natural, por lo tanto, deberá convertir de alguna forma los operandos de entrada a binario natural para después proceder a realizar la suma.

Finalmente tenga en cuenta que tanto A como B siempre serán números positivos, mayores o iguales que cero. Por lo tanto, no se requiere del uso de un bit de signo, ya que los operandos siempre serán números positivos.

### Implementación en Verilog (5pts)

Implemente en Verilog su diseño propuesto. **Su implementación debe ser fiel al diseño propuesto en la pregunta 1**, de lo contrario no será revisado. Además, deberá tener cuatro entradas de 7 bits cada una, nombradas AU, AD, BU y BD, donde AU representa las unidades del dígito A, AD representa las decenas del dígito A, BU representa las unidades del dígito B y finalmente BD representa las decenas del dígito B.

Con respecto a la salida, se cuenta con 3 salidas de 7 bits cada una, nombradas como YU, YD y YC, donde YU representa las unidades, YD representa las decenas, y YC representa las centenas. El módulo principal deberá nombrarse como main. Su implementación debe ser sintetizable para la FPGA estudiada en el curso.

## Construcción de un ambiente de verificación en Verilog (5pts)

Implemente un test de verificación (tesbench) para el módulo implementado en el punto anterior. Asegúrese que su testbench tenga una amplia cobertura de casos de prueba y no se reduzca simplemente a probar unos cuantos casos puntuales. Deberá nombrar este archivo como main\_tb.

## Consideraciones generales

- ✓ La tarea tiene un valor de 15 puntos y su valor porcentual para efectos de la nota final del curso es de 5%.
- ✓ Si el diseño implementado en Verilog no es sintetizable, no será revisado.
- ✓ No está permitido colocar como representación de su diseño, una captura de pantalla del RTL generado del circuito por la herramienta Vivado.
- ✓ La tarea deberá ser resuelta en grupos de 3 personas, previamente asignados.
- ✓ La fecha máxima para entregar esta asignación es el viernes 1 de octubre a las 7:30a.m.
- ✓ Deberá crear una carpeta nombrada como Tarea1\_PrimerApellidoEstudiante1\_PrimerApellidoEstudiante2\_PrimerApellidoEstudiante3 la cual deberá contener en su interior un archivo de tipo pdf nombrado como “design.pdf”, donde se detalle todo el desarrollo seguido en su diseño y su propuesta final del circuito. Adicionalmente, deberá contener una subcarpeta llamada “implementation”, en la cual deberá agregar todos los archivos .v que componen su implementación y el archivo.v de su simulación. Finalmente, comprima esta carpeta y súbala al TEC Digital en la sección de Evaluaciones, asociado a la actividad Tarea de diseño 1. En caso de no seguir esta instrucción, tanto parcial como totalmente, se le descontarán 20 puntos de su calificación final obtenida.
- ✓ No se aceptan entregas tardías.
- ✓ No se permiten tareas entregadas con soluciones elaboradas a lápiz y colocadas en el documento mediante un escaneo de esta. La solución deberá tener todas las tablas, circuitos, figuras que considere necesaria con una excelente calidad visual. De no seguir esta instrucción, se le asignará la nota mínima.