

Nombre: Gabriel González, David Rodríguez, Emmanuel NaranjoEstudiante: ☒ Funcionario: ☐ Otro: ☐Nombre del Proyecto: Laboratorio de Electrónica DigitalNúmero de Proyecto: MT-4002Experimento: Familia de compuertas lógicas e interfacesFecha: 11/08/21

1) Objetivos

1. Comprender las características eléctricas y diferencias de las familias TTL y CMOS.
2. Verificar el comportamiento no ideal de las familias TTL y CMOS.
3. Comprender la importancia de las interfaces para lograr compatibilidad entre las familias TTL y CMOS.

2) Materiales y Software

- Computadora portátil o de escritorio
- Software: Multisim
- Software: TinkerCAD

3) Cuestionario Previo

1. Investigue el significado de las siguientes características de las compuertas TTL y CMOS: V_{IH} , I_{IH} , V_{OL} , I_{OL} , V_{IL} , V_{OH} , I_{IL} , I_{OH} , t_{PHL} , t_{PLH}

- V_{IH} : Tensión mínima de entrada para que se considere un uno lógico.
- I_{IH} : Corriente mínima de entrada que se admite como un uno lógico.
- V_{OL} : Tensión de salida que se reconoce como un cero lógico.
- I_{OL} : Corriente de salida de nivel bajo (cero lógico).
- V_{IL} : Voltaje mínimo de entrada que representa un cero lógico.
- I_{IL} : Corriente de entrada que representa un cero lógico.
- V_{OH} : Voltaje de salida de nivel alto.
- I_{OH} : Corriente de salida mínima que representa un uno lógico.
- t_{PHL} : Tiempo de paso del nivel alto a bajo (de 1 a 0).
- t_{PLH} : Tiempo de paso de nivel bajo a alto (de 0 a 1).

Autenticaciones:

Ana María Murillo

Firma Responsable

Emmanuel Naranjo Gabriel González David Rodríguez

Firma Testigo

Nombre: _____

Estudiante: ☐ Funcionario: ☐ Otro: ☐

Nombre del Proyecto: _____

Número de Proyecto: _____

Experimento: _____

Fecha: _____

2. ¿Qué relación debe haber entre VIH, VOL, VIL y VOH para asegurar la compatibilidad entre compuertas?

Para asegurar que dos compuertas diferentes sean compatibles nos tenemos que asegurar que la corriente de salida de uno debe ser suficiente para la entrada del otro circuito, e igual para el voltaje. El V_{OH} máximo de uno debe ser suficiente para el V_{IH} del otro y el V_{OL} máximo de uno debe estar dentro del rango del V_{IL} del otro.

3. Defina el concepto de fan-out y fan-in para compuertas lógicas. ¿Cómo se calcula el valor del fan-out utilizando algunos de los parámetros del punto 1?**Fan-out:**

Fan-out se refiere al número y tipo de entradas que pueden estar conectadas a una salida dada para que su funcionamiento sea el correcto. Este parámetro también puede afectar la velocidad a la que la salida cambia de un estado a otro.

El valor del fan-out se puede calcular mediante la siguiente expresión.

$$FAN - OUT_1 = \frac{I_{OH}(MAX)}{I_{IH}(MAX)}$$

$$FAN - OUT_0 = \frac{I_{OL}(MAX)}{I_{IL}(MAX)}$$

Fan-in:

Fan-in se refiere al número de entradas que una compuerta lógica tiene o puede admitir en una determinada familia.

Autenticaciones:

Firma Responsable_____
Firma Testigo

Nombre: _____

Estudiante: ☐ Funcionario: ☐ Otro: ☐

Nombre del Proyecto: _____

Número de Proyecto: _____

Experimento: _____

Fecha: _____

4. Investigue acerca de las subfamilias 74LS, 74ALS, 74HC, 74AC y 74AHC.

Los CIs se clasifican en distintas series. Una de ellas es la familia lógica TTL y la familia CMOS, las cuales se estudian en la presente práctica de acuerdo con Tocci (2007).

En cuanto a la familia TTL, se utilizan transistores bipolares y se encuentran las series 74, 74LS, 74S, entre otras:

Serie TTL	Prefijo	CI de ejemplo
TTL estándar	74	7404 (INVERSOR hex)
TTL Schottky	74S	74S04 (INVERSOR hex)
TTL Schottky de bajo consumo de energía	74LS	74LS04 (INVERSOR hex)
TTL Schottky avanzado	74AS	74AS04 (INVERSOR hex)
TTL Schottky avanzado de bajo consumo de energía	74ALS	74ALS04 (INVERSOR hex)

Figura 1. Características de la serie TTL.

Fuente: Tocci (2007).

74LS: Esta es parte de la serie TTL mejorada Schottky avanzado, que proporciona mejoras en velocidad y requieren menor energía que la serie 74S. A su vez, presenta varias ventajas, dado que su disipación de potencia es baja y requiere menores corrientes de entrada.

74ALS: La presente serie es una mejora de la 74LS tanto en velocidad como en disipación de potencia, y se clasifica en TTL Schottky avanzado de baja potencia. De hecho, 74ALS se caracteriza por tener la menor disipación de potencia de todas las compuertas TTL.

En cuanto a dispositivos CMOS, se utilizan transistores MOSFET unipolares y se encuentran los 74C, 74HC, 74HCT, 74AC, 74ACT, entre otros:

Autenticaciones:

Firma Responsable

Firma Testigo

Nombre: _____

Estudiante: ☐ Funcionario: ☐ Otro: ☐

Nombre del Proyecto: _____

Número de Proyecto: _____

Experimento: _____

Fecha: _____

Serie CMOS	Prefijo	CI de ejemplo
CMOS de compuerta de metal	40	4001 (cuatro compuertas NOR)
Compuerta de metal, compatible con las terminales de TTL	74C	74C02 (cuatro compuertas NOR)
Compuerta de silicio de alta velocidad, compatible con las terminales TTL	74HC	74HC02 (cuatro compuertas NOR)
Compuerta de silicio de alta velocidad, compatible con las terminales y eléctricamente compatible con la familia TTL	74HCT	74HCT02 (cuatro compuertas NOR)
CMOS con desempeño avanzado, no es compatible con las terminales ni es eléctricamente compatible con la familia TTL	74AC	74AC02 (cuatro compuertas NOR)
CMOS con desempeño avanzado, no es compatible con las terminales de TTL , pero es eléctricamente compatible	74ACT	74ACT02 (cuatro compuertas NOR)

Figura 2. Características de la serie CMOS.

Fuente: Tocci (2007).

74HC: Esta serie fue diseñada para incrementar 10 veces la velocidad de conmutación en comparación con los dispositivos 74LS, así como aumentar la capacidad de corriente de salida que los CIs 7400 CMOS. Además, los 74HC no son eléctricamente compatibles con TTL.

74AC: Esta serie es conocida como ACL (por lógica común avanzada). Su funcionalidad es equivalente a diversas series TTL, además se caracteriza por mejorar su inmunidad al ruido. La serie AC presenta ventajas en comparación con la serie HC en cuanto a tiempos de propagación y velocidad máxima del reloj.

Autenticaciones:

Firma Responsable

Firma Testigo

Nombre: _____

Estudiante: ☐ Funcionario: ☐ Otro: ☐

Nombre del Proyecto: _____

Número de Proyecto: _____

Experimento: _____

Fecha: _____

74AHC: Esta consiste en una serie avanzada de alta velocidad, cuyas aplicaciones son rápidas, de baja potencia y de control bajo. Estos dispositivos pueden usarse en reemplazo de la serie HC dado que además de su alta inmunidad al ruido, no presentan los problemas de sobredisparo y subdisparo asociados a características de control alto.

5. Complete el siguiente cuadro para las compuertas lógicas 74LS00, 74HC00 y CD4011

Comp.	V _{CC}	V _{OH}	V _{OL}	V _{IH}	V _{IL}	I _{OL}	I _{OH}	I _{IL}	I _{LH}
74LS00	5V	2.7V	0.5V	2V	0.8V	8mA	-0.4mA	-0.36mA	20μA
74HC00	5V	4.5V	0.001V	2.4V	2.1V	20μA	-20μA	-	-
CD4011	5V	5V	0.05V	3V	2V	0.88mA	-0.88mA	-	-
CD4011	10V	10V	0.05V	6V	4V	2.25mA	-2.25mA	-	-

6. Investigue el uso de los integrados 4050 y 4504.

El circuito integrado **4050** es un buffer no inversor, por lo que su función es la de brindar como salida el mismo valor lógico que recibe a la entrada. Se utiliza principalmente para acople de impedancias (para evitar efectos indeseados sobre la tensión en las distintas etapas del circuito).

El integrado **4504** es un cambiador de nivel, esto significa que cambia las señales de un dominio lógico a otro. Esto permite la compatibilidad de dispositivos que trabajan con diferentes niveles de voltaje como los TTL y CMOS, y diferentes tipos de procesadores, sensores y otros circuitos.

Autenticaciones:

Firma Responsable

Firma Testigo

Nombre: _____

Estudiante: ☐ Funcionario: ☐ Otro: ☐

Nombre del Proyecto: _____

Número de Proyecto: _____

Experimento: _____

Fecha: _____

7. Investigue acerca del modo de simulación “parameter sweep” en el software Multisim y cómo utilizarlo correctamente.

Este modo permite realizar varias simulaciones variando algún parámetro definido con anterioridad para cada simulación. Para utilizarlo, en Multisim, seguir el siguiente procedimiento:

1. Ir a la configuración del programa y abrir los ajustes de simulación
2. Seleccionar la opción ‘Parameter Sweep’
3. Seleccionar el tipo de análisis
4. Seleccionar el componente que posee el parámetro a estudiar y luego seleccionar el parámetro específico
5. Ajustar el resto de la configuración
6. Correr la simulación

Autenticaciones:

Firma Responsable

Firma Testigo

Nombre: _____

Estudiante: ☐ Funcionario: ☐ Otro: ☐

Nombre del Proyecto: _____

Número de Proyecto: _____

Experimento: _____

Fecha: _____

4) Procedimiento y Circuitos de Medición

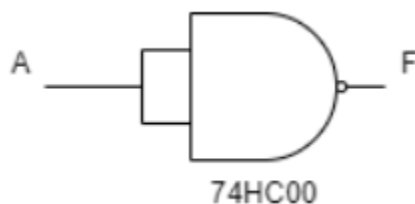


Figura 3. Circuito de medición 1.

1. Arme el circuito mostrado en la Figura 3 en la plataforma de TinkerCAD, llene la Tabla 1-1 según la tensión de entrada que se indica. Considere que la tensión de alimentación de la compuerta es de 5V.

Tabla 1-1. Medición de tensión de salida para el circuito de medición.

A (± 0.01)V	F(± 0.01)V	A(± 0.01)V	F(± 0.01)V	A(± 0.01)V	F(± 0.01)V
0.00	5.00	2.00	5.00	3.80	0.00
0.20	5.00	2.20	5.00	4.00	0.00
0.40	5.00	2.40	5.00	4.20	0.00
0.80	5.00	2.60	0.00	4.40	0.00
1.00	5.00	2.80	0.00	4.60	0.00
1.20	5.00	3.00	0.00	4.80	0.00
1.40	5.00	3.20	0.00	5.00	0.00
1.60	5.00	3.40	0.00	-	-
1.80	5.00	3.60	0.00	-	-

Autenticaciones:

Firma Responsable

Firma Testigo

Nombre: _____

Estudiante: ☐ Funcionario: ☐ Otro: ☐

Nombre del Proyecto: _____

Número de Proyecto: _____

Experimento: _____

Fecha: _____

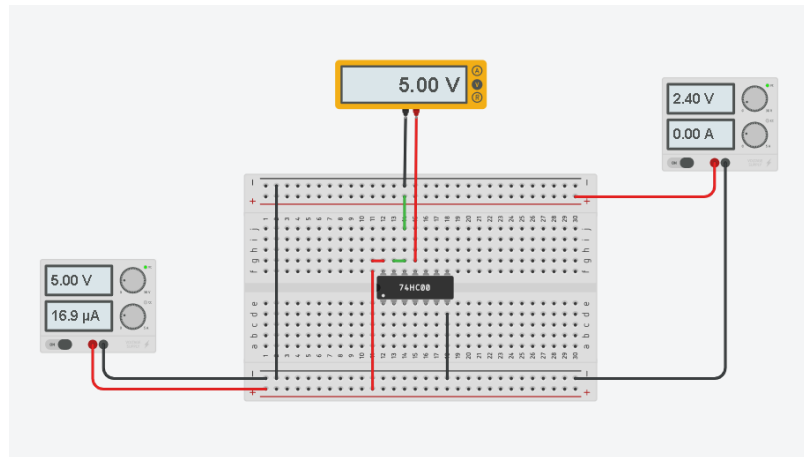


Figura 4. Medición con 2.4V de entrada para el circuito de la figura 3

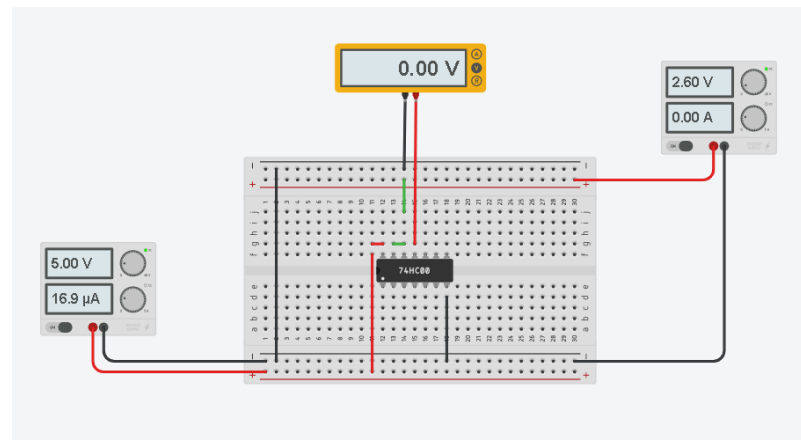


Figura 5. Medición con 2.6V de entrada para el circuito de la figura 3

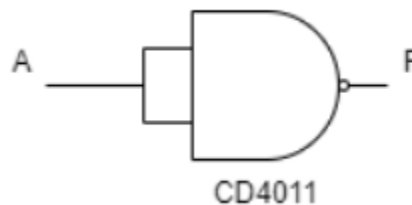


Figura 6. Circuito de medición 2.

Autenticaciones:

Firma Responsable

Firma Testigo

Nombre: _____

Estudiante: ☐ Funcionario: ☐ Otro: ☐

Nombre del Proyecto: _____

Número de Proyecto: _____

Experimento: _____

Fecha: _____

2. Arme el circuito mostrado en la Figura 6 en Multisim, llene la Tabla 1-2 según la tensión de entrada que se indica. Considere que la tensión de alimentación de la compuerta es de 10V. (Puede utilizar el tipo de simulación “parameter sweep” para agilizar sus mediciones)

Tabla 1-2. Medición de tensión de salida para el circuito de medición 2.

A(±0.1)V	F(±1)V	A(±0.1)V	F(±1)V	A(±0.1)V	F(±1)V
0	10	3.6	10	7.2	0
0.4	10	4.0	10	7.6	0
0.8	10	4.4	10	8.0	0
1.2	10	4.8	10	8.4	0
1.6	10	5.2	0	8.8	0
2.0	10	5.6	0	9.0	0
2.4	10	6.0	0		
2.8	10	6.4	0		
3.2	10	6.8	0		

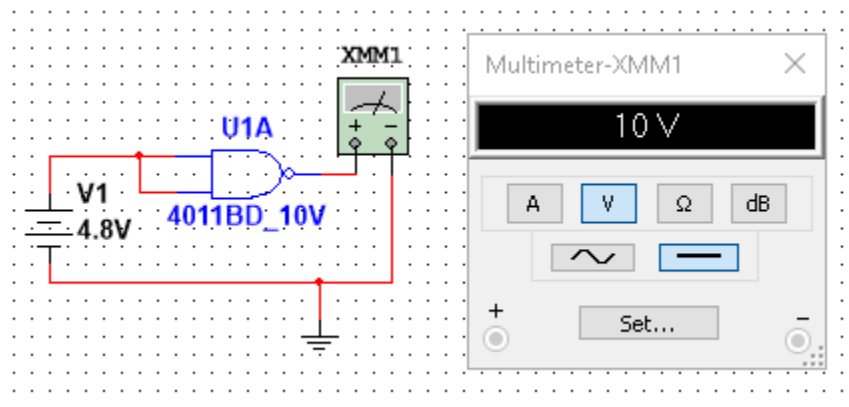


Figura 7. Medición con 4.8V de entrada para el circuito de la figura 6

Autenticaciones:

Firma Responsable

Firma Testigo

Nombre: _____

Estudiante: ☐ Funcionario: ☐ Otro: ☐

Nombre del Proyecto: _____

Número de Proyecto: _____

Experimento: _____

Fecha: _____

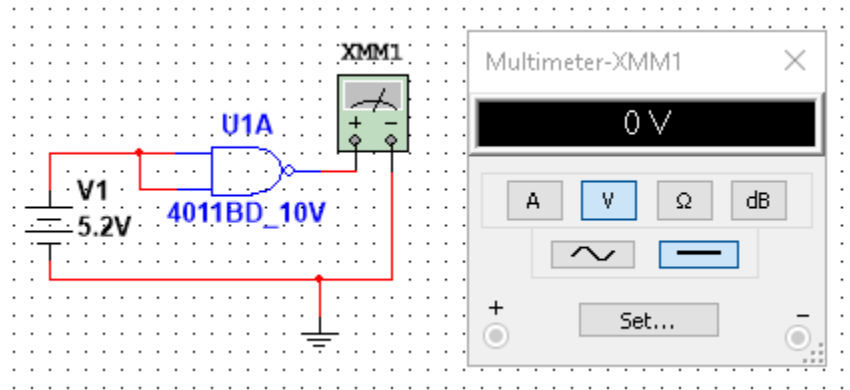


Figura 8. Medición con 5.2V de entrada para el circuito de la figura 6

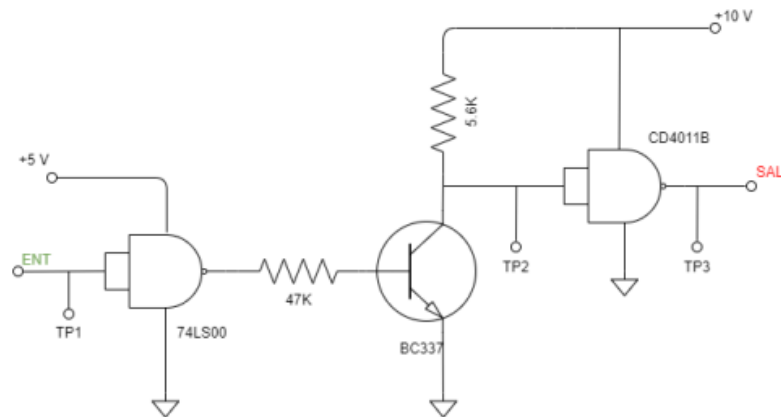


Figura 9. Circuito de medición 3.

- Arme el circuito mostrado en la Figura 9 en Multisim, excite la entrada con un 0 y 1 lógico (5V). Mida la tensión en los puntos indicados según la Tabla 1-3.

Autenticaciones:

Firma Responsable

Firma Testigo

Nombre: _____

Estudiante: ☐ Funcionario: ☐ Otro: ☐

Nombre del Proyecto: _____

Número de Proyecto: _____

Experimento: _____

Fecha: _____

Tabla 1-3. Medición de tensión de salida para el circuito de medición 3.

Punto de prueba	ENT = 0	ENT = 1
TP1	0 V	5 V
TP2	42.009 mV	10 V
TP3	10 V	0 V

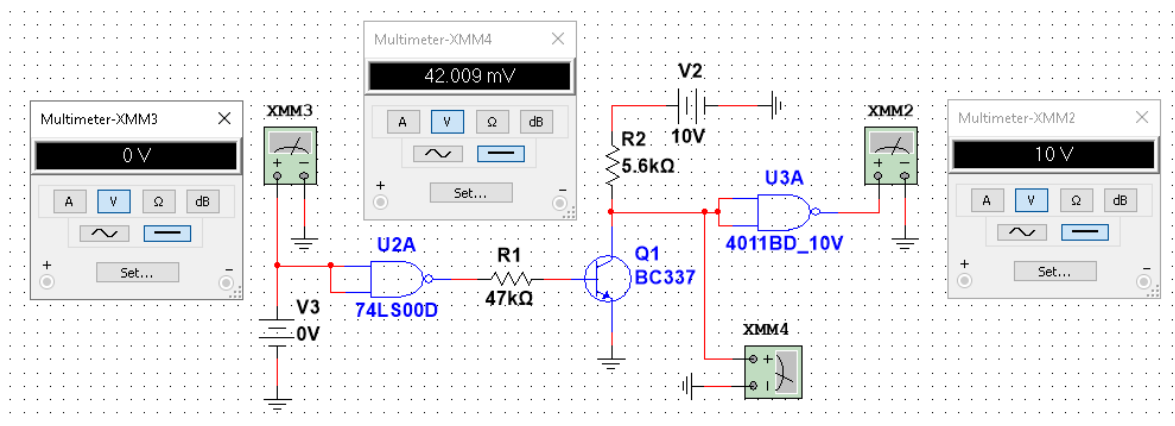


Figura 10. Medición con 0V de entrada para el circuito de la figura 9

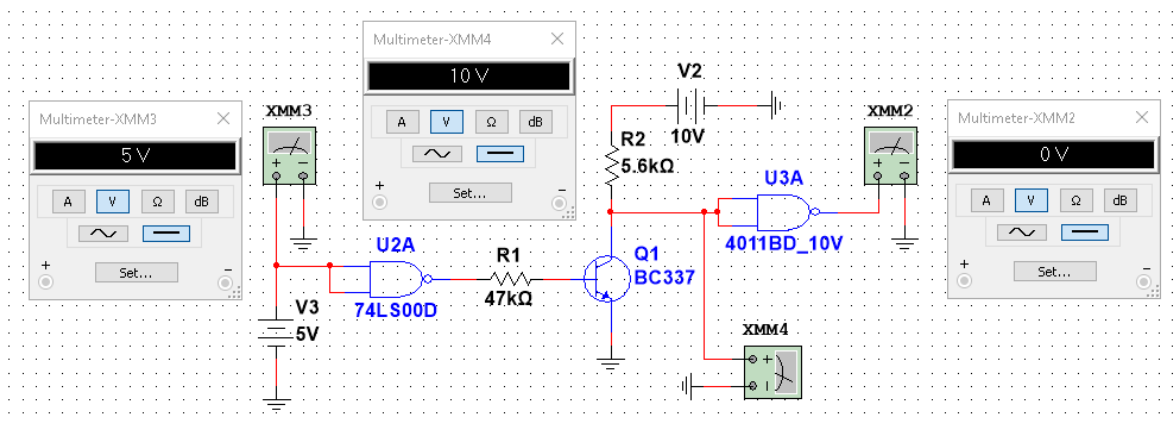


Figura 11. Medición con 5V de entrada para el circuito de la figura 9

Autenticaciones:

Firma Responsable

Firma Testigo

Nombre: _____

Estudiante: ☐ Funcionario: ☐ Otro: ☐

Nombre del Proyecto: _____

Número de Proyecto: _____

Experimento: _____

Fecha: _____

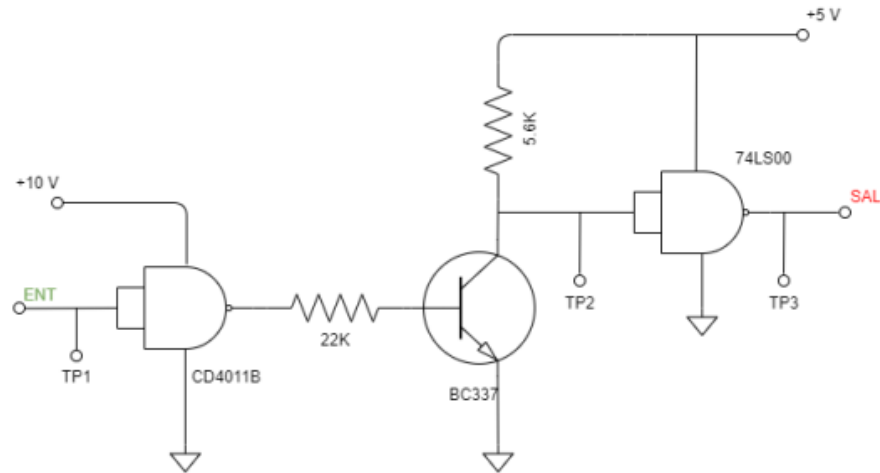


Figura 12. Circuito de medición 4.

4. Arme el circuito mostrado en la Figura 12 en Multisim, excite la entrada con un 0 y 1 lógico (10V). Mida la tensión en los puntos indicados según la Tabla 1-4.

Tabla 1-4. Medición de tensión de salida para el circuito de medición 4.

Punto de prueba	ENT = 0	ENT = 1
TP1	0 V	10 V
TP2	-517.153 μ V	5 V
TP3	5V	0 V

Autenticaciones:

Firma Responsable

Firma Testigo

Nombre: _____

Estudiante: ☐ Funcionario: ☐ Otro: ☐

Nombre del Proyecto: _____

Número de Proyecto: _____

Experimento: _____

Fecha: _____

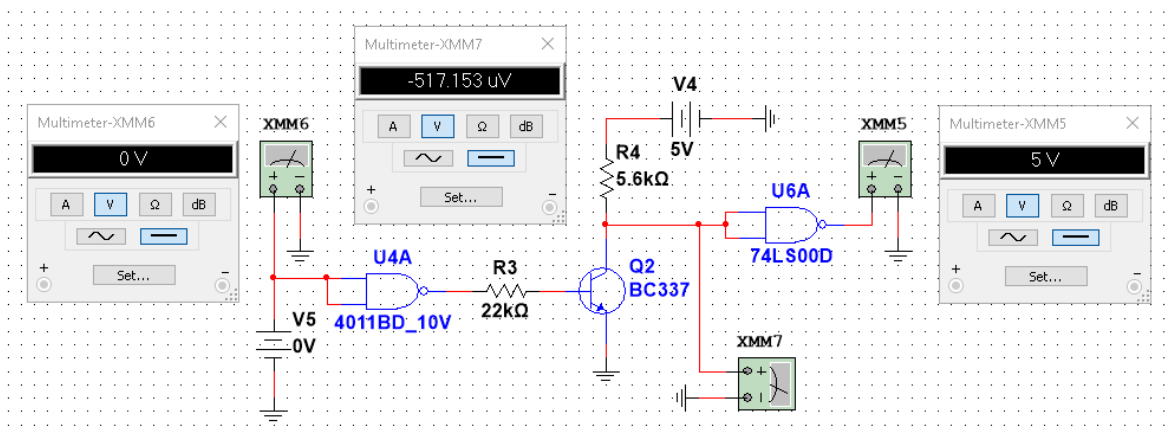


Figura 13. Medición con 0V de entrada para el circuito de la figura 12

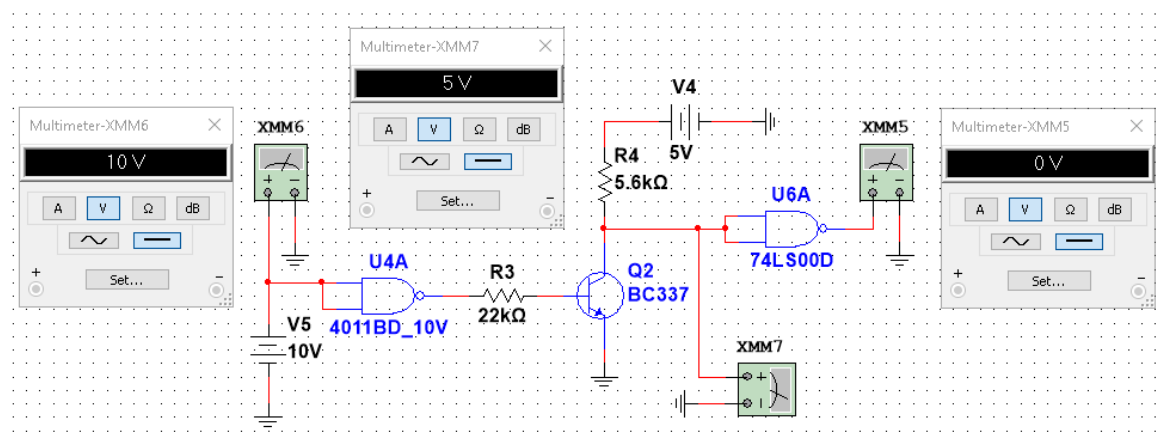


Figura 14. Medición con 10V de entrada para el circuito de la figura 12

Autenticaciones:

Firma Responsable

Firma Testigo

Nombre: _____

Estudiante: ☐ Funcionario: ☐ Otro: ☐

Nombre del Proyecto: _____

Número de Proyecto: _____

Experimento: _____

Fecha: _____

5) Observaciones e incidencias

- Con los circuitos de medición 3 y 4 no se dio los valores necesarios al principio porque se habían puesto valores erróneos para las resistencias así que se tuvo que tomar todos los datos otra vez.
- El resto de las mediciones se dieron de forma correcta y no hubo mayor complicación.

6) Evaluación**1. Compare los valores experimentales en la Tabla 1-1 y Tabla 1-2 de VIH y VIL con los teóricos del cuestionario previo.**

Para el **74HC00** se tenía que teóricamente **VIH** era de **2.4V** y **VIL** de **2.1V**, sin embargo, se obtuvo experimentalmente, para estos mismos datos, **2.6V** y **2.4V**, respectivamente. Se observa entonces que el rango de rango indeterminado (donde no se obtiene ni un cero ni un uno lógico) para los datos experimentales posee tensiones un poco mayores a las teóricas, y además es ligeramente menor.

Para el **CD4011** se tenía que teóricamente **VIH** era de **6V** y **VIL** de **4V**, sin embargo, se obtuvo experimentalmente, para estos mismos datos, **5.2V** y **4.8V**, respectivamente. Se observa entonces que el rango de indeterminado obtenido experimentalmente se encuentra dentro del rango indeterminado teórico, sin embargo, este es considerablemente menor que el teórico.

De estos resultados podemos comprobar que estas dos compuertas lógicas son incompatibles, no solo por ser de familias distintas sino también porque trabajan con tensiones de alimentación distintas. Para poder trabajar con ellos dentro del mismo circuito es necesario utilizar algún tipo de traductor de nivel, a como se hace en los circuitos de las figuras 5 y 6 con el transistor BJT.

Autenticaciones:

Firma Responsable_____
Firma Testigo

Nombre: _____

Estudiante: ☐ Funcionario: ☐ Otro: ☐

Nombre del Proyecto: _____

Número de Proyecto: _____

Experimento: _____

Fecha: _____

2. ¿Qué función cumple el transistor en los circuitos de medición 3 y 4?

El transistor en esa posición tiene la función como traductor de niveles, porque si en la base le llega una corriente muy pequeña este va a tener una corriente grande en el colector y en el emisor; esta cuál es la necesaria para darle un 1 lógico a las entradas de la segunda compuerta. Si el transistor recibe una corriente alta en la base este va a tener una corriente pequeña entre el emisor y colector; esto le va a dar un cero lógico a las entradas de la segunda compuerta.

3. ¿Por qué es necesario agregar una compuerta con sus entradas cortocircuitadas y unidas al colector del transistor en los circuitos de medición 3 y 4?

Dado que ambos dispositivos utilizados no podían conectarse directamente en conjunto, como se explicó anteriormente, se utilizó un traductor de voltaje donde la tensión de entrada del CI de salida fue suministrada por el colector del transistor. La finalidad de que ambas entradas estuvieran conectadas consistió en evitar factores de ruido que podrían provocar que la compuerta trabaje de forma inapropiada, así como de evitar variaciones de corrientes que modificarían las tensiones de las entradas y alterar la salida.

Además, cualquier expresión lógica es posible implementarse mediante compuertas NAND. En la presente práctica se estudió la conmutación mediante los distintos voltajes de acuerdo con los parámetros VIH y VIL. De lo cual, al cortocircuitar las entradas de los circuitos de medición, la compuerta NAND actuó como un inversor NOT como se muestra en la Figura 15. Por lo tanto, al obtener ambas entradas en alto, la salida fue en bajo, y viceversa.

Autenticaciones:

Firma Responsable_____
Firma Testigo

Nombre: Gabriel González, David Rodríguez, Emmanuel NaranjoEstudiante: ☒ Funcionario: ☐ Otro: ☐Nombre del Proyecto: Laboratorio de Electrónica DigitalNúmero de Proyecto: MT-4002Experimento: Familia de compuertas lógicas e interfacesFecha: 11/08/21

Figura 15. Compuerta NAND funcionando como INVERSOR.

Fuente: Tocci (2007).

Bibliografía

Balla, F. Quito, H. Sánchez J. Morocho, W. Quito, D. y Jiménez D. Interfaces entre TTL y CMOS y entre otra familia lógica. Recuperado de <https://slideplayer.es/slide/17022596/>

Intersil (1999). CD4504BT. Recuperado de <https://pdf1.alldatasheet.com/datasheet-pdf/view/66461/INTERSIL/CD4504.html>

MecatrónicaLATAM. (2021). Compuertas Lógicas. Recuperado de https://www.mecatronicalatam.com/es/tutoriales/electronica/compuertas-logicas/#niveles_logicos_ttl

MultisimLive (2021). Parameter Sweep. Recuperado de <https://www.multisim.com/help/simulation/grapher/parameter-sweep-results/>

Schweber, William L. (1986), *Integrated Circuits for Computers: Principles and Applications*, McGraw-Hill, pp. 157–158

Texas Instruments (2004). CD4049UB, CD4050B. Recuperado de https://www.electronicaembajadores.com/datos/pdf1/sm/smci/4049_te.pdf

Tocci, R. (2007). *Sistemas. Digitales: Principios y aplicaciones*. (10a. ed.). Prentice Hall.

Universitat de València. Curso de electrónica digital (II). Recuperado de <https://www.uv.es/marinjl/electro/digital2.html#AD>

Autenticaciones:

Ana María Murillo

Firma Responsable

Emmanuel Naranjo Gabriel González David Rodríguez

Firma Testigo

Nombre: Gabriel González, David Rodríguez, Emmanuel NaranjoEstudiante: ☒ Funcionario: ☐ Otro: ☐Nombre del Proyecto: Laboratorio de Electrónica DigitalNúmero de Proyecto: MT-4002Experimento: Técnicas especiales para el control lógicoFecha: 11/08/21**1) Cuestionario Previo.****1. Busque información del concepto, función y aplicación de un Schmitt trigger.**

De acuerdo con Wakerly (2001),

Concepto: El Schmitt trigger es un circuito especial que usa retroalimentación interna para cambiar el umbral de conmutación dependiendo de si la entrada que está cambiando es de bajo a alto, o de alto a bajo

función: La principal ventaja de los Schmitt triggers es que son capaces de limpiar señales ruidosas mientras mantienen una alta tasa de flujo de datos.

aplicación: Los dispositivos de disparo Schmitt tienen aplicaciones en acondicionamiento de señales para eliminar el ruido de las señales usadas en circuitos digitales, tienen gran inmunidad de ruido cuando se trata de señales que contienen reflexiones de la línea de transmisión, también pueden transformar ondas analógicas en señales digitales ON-OFF con transiciones de borde rápidas.

2. Explique el concepto de histéresis para los Schmitt trigger.

En el caso de la histéresis para los Schmitt trigger significa que el circuito se activa a diferentes voltajes para cambiar la salida de un estado a otro, o sea cuando la entrada está debajo del umbral inferior la salida va a ser baja, pero si la entrada está entre los dos niveles o sobre el umbral superior la salida conserva su valor. Dicha característica se presenta en la Figura 1.

Autenticaciones:

Ana María Murillo

Firma Responsable

Emmanuel Naranjo Gabriel González David Rodríguez

Firma Testigo

Nombre: _____

Estudiante: ☐ Funcionario: ☐ Otro: ☐

Nombre del Proyecto: _____

Número de Proyecto: _____

Experimento: _____

Fecha: _____

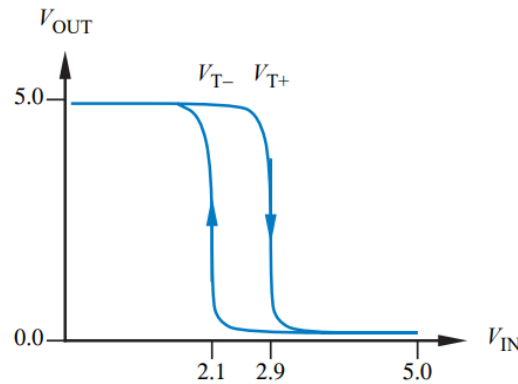


Figura 1. Características de entrada y salida de un Schmitt trigger.

Fuente: Wakerly (2001).

3. Busque información del concepto, función y aplicación del tercer estado.

Al tercer estado, en lo que refiere a control lógico, se le llama también *estado de alta impedancia (Hi-Z)*. Este consiste en un estado distinto al alto (1) y al bajo (0) y que no se considera una salida lógica. Cuando este tercer estado está activado la salida se comporta a como si no estuviera conectada al circuito (un abierto) y cuando sí está activa sí deja pasar la señal (un corto).

Una función de este tercer estado es con los buffers de tres estados que se utilizan para controlar el estado de una señal lógica. Como generalmente los dispositivos de tres estados se diseñan de forma en que el retardo de habilitación sea más largo que el de desactivación, esto permite garantizar que un dispositivo que entra en este estado (Hi-Z) no va a recibir datos de algún otro que se activó (desactivó el estado de alta impedancia, dejando así pasar los datos) al mismo tiempo (Wakerly, 2001).

Los dispositivos de tres estados por lo general poseen una entrada extra específicamente para controlar el estado de alta impedancia.

Autenticaciones:

Firma Responsable

Firma Testigo

Nombre: _____

Estudiante: ☐ Funcionario: ☐ Otro: ☐

Nombre del Proyecto: _____

Número de Proyecto: _____

Experimento: _____

Fecha: _____

4. Busque información del concepto, función y aplicación del colector abierto.

El colector abierto es un tipo de compuerta lógica cuya salida es abierta o sin resistencia en el colector del transistor de salida. Este tipo de compuerta sirve para fijar valores altos y bajos de tensión según las necesidades haciendo posible el acoplamiento entre dos compuertas diferentes y también garantiza la salida de corriente necesaria para conectar varias compuertas lógicas.

Estas sirven para construir sistemas de bus común, para realizar lógica alambrada o para impulsar una lámpara o relevador.

5. Investigue el concepto de lógica alambrada y resistencia de pull up.

De acuerdo con Wakerly (2001),

Lógica alambrada: Este concepto se relaciona

Resistencia de pull up: Esta resistencia tiene en los circuitos lógicos, tiene la función de asegurar un estado en alto para una señal de forma correcta. Usualmente, es utilizada junto a componentes como interruptores, donde en ocasiones, el circuito queda flotando y habría un voltaje indeterminado. La finalidad de esta resistencia es asegurar la tensión en el resto del circuito que indica un 1 lógico. Por el contrario, la resistencia de pull down, está relacionada con el 0 lógico.

Un ejemplo se presenta en la siguiente Figura.

Autenticaciones:

Firma Responsable_____
Firma Testigo

Nombre: _____

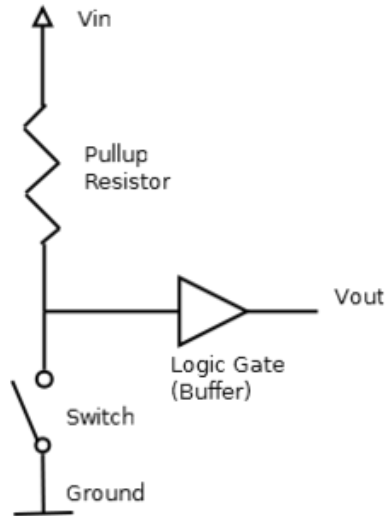
Estudiante: ☐ Funcionario: ☐ Otro: ☐

Nombre del Proyecto: _____

Número de Proyecto: _____

Experimento: _____

Fecha: _____



Resistencia de pull up.

Autenticaciones:

Firma Responsable

Firma Testigo

Nombre: Gabriel González, David Rodríguez, Emmanuel Naranjo

Estudiante: ☒ Funcionario: ☐ Otro: ☐

Nombre del Proyecto: Laboratorio de Electrónica Digital

Número de Proyecto: MT-4002

Experimento: Técnicas especiales para el control lógico

Fecha: 11/08/21

2) Resultados

3) Evaluación

Bibliografía

Descubre Arduino. (2014). *Schmitt Trigger: ¿Qué es y cómo funciona?*

<https://descubrearduino.com/schmitt-trigger-que-es-y-como-funciona/#:~:text=Qu%C3%A9%20es%20la%20hist%C3%A9resis,de%20un%20estado%20a%20otro.&text=A%20medida%20que%20aumenta%20la,p or%20ejemplo%205%2C5%20voltios>.

Ingeniería Mecafenix. (2017). *Compuertas lógicas de colector abierto*. Recuperado de <https://www.ingmecafenix.com/electronica/compuertas-logicas-colector-abierto/>

Wakerly, J. F. (2001). *Diseño digital*. Pearson educación.

Autenticaciones:

Ana María Murillo

Firma Responsable

Emmanuel Naranjo Gabriel González David Rodríguez

Firma Testigo