

Tarea de diseño 2: Contador de milisegundos

Pregunta 1. Diseño (5pts)

Diseñe un circuito digital encargado de contar los milisegundos que transcurren después de que se genera un pulso introducido mediante una señal nombrada como "Start". El circuito debe cumplir con una serie de requerimientos que a continuación se presentan aquí:

- El circuito deberá tener las mismas entradas y salidas descritas en la Figura 1.
- El reloj del sistema nombrado como CLK, deberá operar a una frecuencia de 100MHz.
- El reset del sistema, nombrado como RST, es asíncronico y se activa en alto.
- La señal de Start, es un pulso con duración de un periodo de reloj, la cual indicará cuando debe iniciar el conteo. Tan pronto como ocurra un flanco positivo de reloj y la señal de Start esté en alto, el sistema deberá contar los milisegundos transcurridos.
- La salida Count, es un vector de 8 bits, codificado en BCD, es decir, los primeros 4 bits llevan el valor del conteo en las unidades, y los últimos 4 bits llevan el control de las decenas.
- La salida Count, la cual lleva el conteo, siempre estará en cero, tan pronto como se genere un pulso de Start, el conteo de los milisegundos iniciará, hasta llegar finalmente al valor de 99. Luego de que se alcance el valor de 99, el conteo pasará nuevamente a 0 y se detendrá en este valor. El conteo sólo volverá a iniciar en caso de que se vuelva a generar otro pulso de Start.

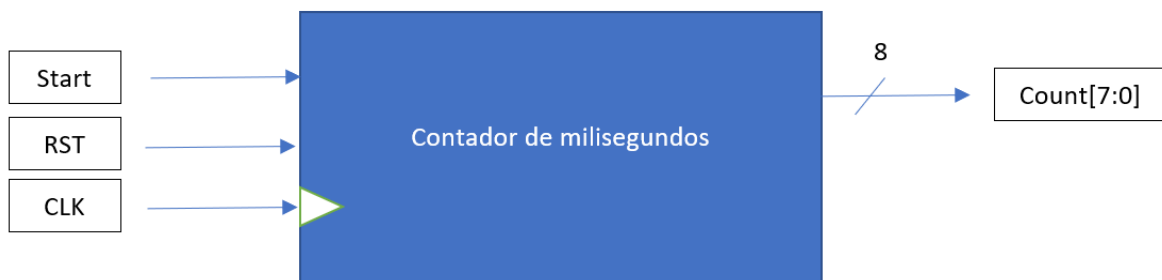


Figura 1. Diagrama de entradas y salidas del sistema a diseñar

Implementación en Verilog (5pts)

Implemente en Verilog su diseño propuesto. Su implementación **debe ser fiel al diseño propuesto en la pregunta 1**, de lo contrario no será revisado. Asegúrese que las entradas y salidas del sistema coincidan en nombre y en cantidad de bits, a las descritas en la Figura 1. El módulo principal **deberá** nombrarse como **main**. Tenga en cuenta que la implementación de su circuito será revisada utilizando el testbench que se muestra abajo, por lo tanto, de no seguir las instrucciones, tales como el nombre de los puertos de entrada y salida, o el nombre del módulo principal, su diseño no podrá ser revisado y, por lo tanto, no se le asignarán puntos en esta pregunta. Además, su diseño debe ser sintetizable para la FPGA que se utiliza en el laboratorio, en caso de que no lo sea, tampoco será revisado.

Ambiente de verificación:

Su implementación en Verilog será revisada por su profesor utilizando el testbench que se muestra aquí. Asegúrese de adaptar su circuito para que funcione correctamente con este TestBench, para ello, su módulo principal deberá nombrarse como main. Las entradas y salidas deberán nombrarse exactamente de la misma forma que la Figura 1. Tenga en cuenta que Verilog es sensible a mayúsculas y minúsculas, por lo tanto, asegúrese de colocar las entradas y salidas en mayúscula o minúscula según corresponda.

Es su responsabilidad asegurarse que el circuito implementado pueda ser verificado utilizando este testbench, sin excepción.

```
module main_tb;
    // Inputs
    reg CLK;
    reg RST;
    reg Start;
    // Outputs
    wire [7:0] Count;
    // Instantiate the Unit Under Test (UUT)
    main uut (
        .CLK(CLK),
        .RST(RST),
        .Start(Start),
        .Count(Count)
    );
    initial begin
        // Initialize Inputs
        Start = 0;
```

```

RST = 0;
CLK = 0;

#100 RST = 1;
#100 RST = 0;

#100 Start = 1;
#10 Start = 0;

#200000000 Start = 1;
#10 Start = 0;
// Wait 100 ns for global reset to finish
#100;

end
always #5 CLK = ~CLK;
endmodule

```

Consideraciones generales

- ✓ La tarea tiene un valor de 10 puntos y su valor porcentual para efectos de la nota final del curso es de 5%.
- ✓ Si el diseño implementado en Verilog no es sintetizable, no será revisado.
- ✓ No está permitido colocar como representación de su diseño, una captura de pantalla del RTL generado del circuito por la herramienta Vivado.
- ✓ La tarea deberá ser resuelta en grupos de 3 personas, previamente asignados.
- ✓ La fecha máxima para entregar esta asignación es el martes 26 de octubre a las 7:30 a.m.
- ✓ Deberá crear una carpeta nombrada como Tarea2_PrimerApellidoEstudiante1_PrimerApellidoEstudiante2_PrimerApellidoEstudiante3 la cual deberá contener en su interior un archivo de tipo pdf nombrado como “design.pdf”, donde se detalle todo el desarrollo seguido en su diseño y su propuesta final del circuito. Adicionalmente, deberá contener una subcarpeta llamada “implementation”, en la cual deberá agregar todos los archivos .v que componen su implementación. Finalmente, comprima esta carpeta y súbala al TEC Digital. En caso de no seguir esta instrucción, tanto parcial como totalmente, se le descontarán 15 puntos de su calificación final obtenida.
- ✓ No se aceptan entregas tardías.
- ✓ No se permiten tareas entregadas con soluciones elaboradas a lápiz y colocadas en el documento mediante un escaneo de esta. La solución deberá tener todas las tablas, circuitos, figuras que considere necesaria con una excelente calidad visual. De no seguir esta instrucción, se le asignará la nota mínima.