

Tarea de diseño 3: Contador de milisegundos

Pregunta 1. Diseño (5pts)

Diseñe un circuito secuencial que permita llevar el conteo del número de pulsos de entrada, los cuales ingresarán al circuito por medio del puerto de entrada llamado “Pulse”. Para que un pulso de entrada sea detectado como un pulso válido, y no como ruido producto de señales espurias, el pulso deberá tener una duración mínima de 4 ciclos de reloj. En caso de que el pulso tenga una duración menor a 4 ciclos de reloj, este no deberá ser contabilizado. La salida del sistema serán dos señales de 4 bits cada una, la primera llamada “Units” la cual muestra las unidades del conteo en BCD y la segunda nombrada como “Tens”, la cual es la encargada de llevar las decenas del conteo igualmente en BCD. Además, se cuenta con una entrada llamada “CLK”, el cual es el reloj principal del sistema y trabaja a una frecuencia de operación de 100MHz. Por otra parte, se cuenta con una entrada llamada “Reset”, la cual es encargada de regresar el circuito al estado inicial y restaurar el conteo siempre que se pone en alto de manera síncrona con el reloj. Como restricción del sistema digital, la cantidad máxima de números que el sistema puede contar es igual a 20, luego de esto, el sistema vuelve a cero en caso de que se presente un nuevo pulso de entrada. Asegúrese de anotar todos los pasos necesarios que permitan comprender como desarrolló su diseño.

Implementación en Verilog (5pts)

Implemente en Verilog su diseño propuesto. **Su implementación debe ser fiel al diseño propuesto en la pregunta 1, de lo contrario no será revisado.** Debe asegurarse que las entradas sean nombradas como CLK, Reset y Pulse y que estas tres sean de un bit cada una. Además, deberá tener dos salidas de 4 bits cada una, nombradas como “Units” y “Tens”. El módulo principal deberá nombrarse como “main”. **No varíe el nombre de las entradas ni su tamaño de lo contrario su solución no será revisada.** De no seguir estas instrucciones, no se le asignarán puntos en este rubro.

Ambiente de verificación:

Su implementación en Verilog será revisada por su profesor utilizando el testbench que se muestra aquí. Asegúrese de adaptar su circuito para que funcione correctamente con este TestBench, para ello, su módulo principal deberá nombrarse como main.v y las entradas y salidas deberán nombrarse como lo dice el enunciado. **En caso de que su circuito no sea compatible con este testbench, su implementación no será revisada.**

Es su responsabilidad asegurarse que el circuito implementado pueda ser verificado utilizando este testbench, sin excepción. De no ser compatible con éste, significa que no cumplió los requerimientos del rubro implementación, y, por lo tanto, no se le asignarán puntos en dicho rubro.

```
module main_tb;

// Inputs
reg CLK;
reg Reset;
reg Pulse;
// Outputs
wire [3:0] Units;
wire [3:0] Tens;
// Instantiate the Unit Under Test (UUT)
main uut (
    .CLK(CLK),
    .Reset(Reset),
    .Pulse(Pulse),
    .Units(Units),
    .Tens(Tens)
);

initial begin
    // Initialize Inputs
    CLK = 0;
    Reset = 1;
    Pulse = 0;
    #100 Reset = 0;
    #10 Pulse = 1;
```

[illegible]

[illegible]

Consideraciones generales

- ✓ La tarea tiene un valor de 10 puntos y su valor porcentual para efectos de la nota final del curso es de 5%.
- ✓ La tarea deberá ser resuelta en grupos de 3 personas, los mismos definidos a mediados del semestre.
- ✓ La fecha máxima para entregar esta asignación es el viernes 05 de noviembre a las 7:30 a.m.
- ✓ Deberá crear una carpeta nombrada como Tarea3_PrimerApellidoEstudiante1_PrimerApellidoEstudiante2_PrimerApellidoEstudiante3 la cual deberá contener en su interior un archivo de tipo pdf nombrado como “design.pdf”, donde se detalle todo el desarrollo seguido en su diseño y su propuesta final del circuito (solución a la pregunta 1). Adicionalmente, deberá contener una subcarpeta llamada “implementation”, en la cual deberá agregar todos los archivos .v que componen su implementación. **No agregue el testbench, solo agregue los módulos que implementan su diseño.** Finalmente, comprima esta carpeta y súbala al TECDigital. En caso de no seguir esta instrucción, tanto parcial como totalmente, se le descontarán 20 puntos de su calificación final obtenida.
- ✓ No se aceptan entregas tardías en ninguna circunstancia.
- ✓ No se permiten tareas entregadas con soluciones elaboradas a lápiz y colocadas en el documento mediante un escaneo de esta. Tampoco se permiten soluciones que hayan sido dibujadas a mano en alguna tableta de dibujo, los diagramas solamente serán aceptados si están hechos de forma digital con alguna herramienta de dibujo. La solución deberá tener todas las tablas, circuitos, figuras que considere necesaria con una excelente calidad visual. Anote todas las consideraciones de diseño utilizadas. De no seguir esta instrucción, se le asignará la nota mínima.