

## Proyecto 3. Transmisor de mensajes por código Morse

### 1. Objetivos

- Comprender el proceso de diseño y verificación de los sistemas digitales.
- Utilizar estructuras lógicas en un proceso de diseño.
- Introducir al estudiante en el uso de circuitos secuenciales.
- Familiarizar al estudiante con el uso de los lenguajes de descripción de hardware.

### 2. Descripción del proyecto

El código Morse es un sistema de representación de letras y números mediante señales emitidas de manera intermitente. Así, cada letra y número se representa mediante una combinación de puntos y guiones, donde los puntos y los guiones, en realidad representan la duración de las señales en alto. A continuación, se muestra el código Morse internacional para las letras y los números.

A	• —	U	• • —
B	• — • •	V	• • — •
C	— • — •	W	• — • —
D	• — • •	X	• — • — •
E	•	Y	• — • — • —
F	• • — •	Z	• — • — • •
G	• — — •		
H	• • • •		
I	• •		
J	• — • — —		
K	• — • —		
L	• — • •		
M	— • —		
N	• — •		
O	— • — •		
P	• — • — •		
Q	• — • — • —		
R	• — • •		
S	• • •		
T	— •		
		1	• — • — • —
		2	• • — • — •
		3	• • • — • —
		4	• • • • —
		5	• • • • •
		6	• — • • •
		7	• — • • • •
		8	• — • — • •
		9	• — • — • • •
		0	• — • — • — •

**Figura 1:** Representación de letras y números mediante el código Morse internacional.

Para realizar el código Morse se tienen una serie de reglas, las cuales se detallan a continuación:

- Un punto tiene una duración de una unidad de tiempo.
- El guion tiene una duración de tres unidades de tiempo.
- El espacio entre señales de una misma letra tiene la misma longitud que un punto.
- El espacio entre letras es de tres unidades de tiempo.
- El espacio entre palabras es de 7 unidades de tiempo.

Con este tercer proyecto de curso, se busca que se diseñe un sistema digital que sea capaz de transmitir un mensaje en código Morse.

### 3. Requerimientos del sistema transmisor de código Morse

A continuación, se muestran los requerimientos que posee el sistema:

- Tanto el código fuente como la simulación del diseño deberán ser implementadas en Verilog.
- El circuito deberá tener **únicamente** tres entradas y una salida, todas de un bit de longitud. Las tres entradas serán nombradas como Start, RST, y RX y la salida deberá llamarse como Y. En la Figura 1, se muestra el diagrama de entradas y salidas del circuito transmisor de código Morse.

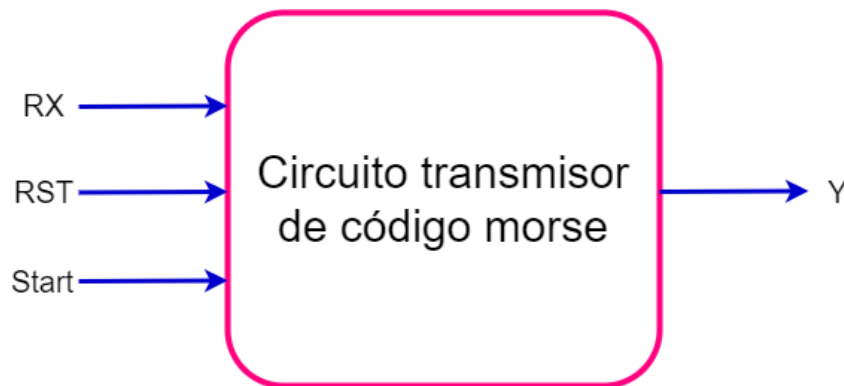


Figura 1. Diagrama de entradas y salidas del circuito transmisor de código Morse.

- El reloj principal del sistema deberá operar a una frecuencia de 100 MHz.
- El reset (RST) del sistema deberá ser activo en alto.
- La máxima longitud del mensaje a transmitir deberá ser de 12 caracteres.
- El mensaje por transmitir deberá ser suministrado al sistema por medio del puerto serial de la FPGA mediante el protocolo de comunicación serial UART.
- La salida Y deberá representarse por medio de uno de los LEDs provistos en la FPGA.
- Se deberá elaborar un archivo de verificación en Verilog el cual deberá permitir observar, todo el mensaje transmitido en código Morse en función del tiempo.
- El grupo de trabajo deberá definir a cuántos ciclos de reloj equivale la mínima unidad de tiempo del transmisor.
- La simulación del sistema debe permitir observar de forma clara y precisa toda la transmisión del mensaje introducido por el usuario en su equivalente en código Morse.
- Su implementación deberá ser una copia fiel de su diseño sin excepción.

#### 4. Metodología.

El proyecto se realizará en los grupos de trabajo definidos para el segundo proyecto del curso. Cada grupo debe seguir el siguiente proceso de ingeniería para solucionar el proyecto:

- Elaborar un diseño del proyecto aplicando las técnicas de diseño modular, es decir, identificar las entradas y salidas del sistema, luego, particionar el sistema a desarrollar en subsistemas más pequeños y finalmente, diseñar digitalmente el funcionamiento de cada subsistema.
- Simular cada subsistema en algún software de diseño y simulación digital como Proteus y MultiSim. Se puede omitir la comunicación serial únicamente en la simulación.
- Implementar el diseño utilizando el lenguaje de descripción de hardware Verilog utilizando la herramienta VIVADO.
- Verificar mediante una simulación post-synthesis funcional el correcto funcionamiento de la implementación en Verilog. Se puede omitir la comunicación serial únicamente en la simulación.
- Configurar en la FPGA xc7a35tcpg236-2L provista el diseño propuesto.

#### 5. Rúbrica de evaluación

Ítem	Valor	Indicador de cumplimiento
Diagrama de bloques del diseño propuesto en forma detallada	10%	Se presenta todo el diseño propuesto del circuito digital encargado de resolver el problema planteado de forma correcta en un documento pdf.
Simulación post-synthesis del diseño propuesto mediante el visor de ondas.	15%	Se demuestra mediante simulación que el transmisor es capaz de enviar todo el mensaje introducido por el usuario en código Morse utilizando el visor de ondas del simulador que presenta VIVADO.
Implementación del diseño propuesto en la placa de desarrollo BASYS 3	60%	Se demuestra mediante el uso de la FPGA que el diseño propuesto es capaz de enviar todo el mensaje introducido por el usuario mediante comunicación serial.
Informe Final	15%	Informe final en formato IEEE con una extensión máxima de 4 páginas, que explique el problema a resolver, la solución propuesta, todos los detalles de diseño de su circuito digital, así como los diagramas de bloques y la estrategia de verificación utilizada. Así mismo, deberá mostrar los resultados obtenidos tales como: consumo de potencia, frecuencia máxima de operación y recursos lógicos requeridos para su diseño. Finalmente deberá agregar las conclusiones y recomendaciones más relevantes. Se colocará una rúbrica donde se explicará detalladamente que debe contener el informe.

## 6. Fecha de entrega

La entrega del proyecto se realizará en la semana 16 del semestre, en el horario de la clase. Se coordinará una reunión con cada grupo el día de clase correspondiente para la presentación del proyecto. Cada grupo dispondrá de aproximadamente quince minutos para presentar su proyecto ante el profesor, el integrante que tenga la FPGA en el momento de la entrega debe tener disponible una cámara web para demostrar el funcionamiento de su diseño.

Se tendrán 2 espacios para subir los respectivos documentos:

1. **Evaluación del Proyecto:** Deberá crear una carpeta llamada Proyecto3\_PrimerApellidoEstudiante1\_PrimerApellidoEstudiante2\_PrimerApellidoEstudiante3\_PrimerApellidoEstudiante4\_PrimerApellidoEstudiante5, la cual deberá contener en su interior un archivo llamado Diseño.pdf, que incluya todos los diagramas de bloque completos de su diseño. Adicionalmente, deberá contener una carpeta llamada Verilog, la cual deberá albergar absolutamente todos los archivos “.v” utilizados en su diseño. Finalmente comprima la carpeta y súbala al TecDigital en la asignación Evaluación del Proyecto a más tardar al inicio de la clase de semana 16, donde se realizará la revisión. No se aceptarán entregas tardías ni a través de otro medio que no sea el TecDigital.
2. **Informe final:** espacio habilitado para que suban el informe final de su proyecto. Este debe ser en formato pdf y seguir todas las indicaciones de la rúbrica. Se debe colocar el archivo en el TecDigital a más tardar el viernes 12 de noviembre a las 23:59. No se aceptarán entregas tardías ni a través de otro medio que no sea el TecDigital. El informe deberá realizarse en LaTeX sin excepción (No se calificarán aquellos elaborados en Microsoft Word) y deberá cumplir con lo que establece la rúbrica asociada a la actividad de informe final. La extensión máxima del informe es de 4 página, en ninguna circunstancia se calificarán informes que excedan este máximo. **La entrega del informe es obligatoria, si algún grupo no entrega el informe final dentro del plazo establecido, automáticamente perderá los puntos que ya ganó en la evaluación del proyecto.**

La entrega de los archivos descritos en el punto 1 es de carácter obligatorio. **No se calificará ningún proyecto de aquellos estudiantes que no hayan cumplido con esta entrega.**

Todos los códigos en Verilog de los grupos de laboratorio (Grupo 1, 2 y 3), serán sometidos en conjunto a una revisión utilizando la herramienta Turnitin, esto para tratar de buscar coincidencias entre los códigos y así determinar situaciones de plagio en caso de que existan. Debe mencionarse que en caso de que existan coincidencias, se le otorgará automáticamente la nota mínima a los implicados y se procederá según lo estipulado en el reglamento del Régimen de Enseñanza-Aprendizaje de la institución.

Para la presentación del proyecto, todos los integrantes tienen que presentar de forma equitativa el trabajo realizado. Si alguno de ellos no participa en la presentación, o no demuestra que conoce

cómo se desarrolló el proyecto, tanto parcial o de forma total, se le asignará una nota diferenciada a criterio del profesor, donde incluso, al integrante que no participe, se le podrá asignar la nota mínima.