

컴퓨터 공학 기초 설계 및 실험1

결과 보고서

실험제목: Latch & flip flop

실험일자: 2023년 03월 31일 (금)

제출일자: 2023년 04월 03일 (월)

학 과: 컴퓨터정보공학부

담당교수: 신동화 교수님

실습분반: 03

학 번: 2022202065

성 명: 박나림

결과보고서

1. 제목 및 목적

A. 제목

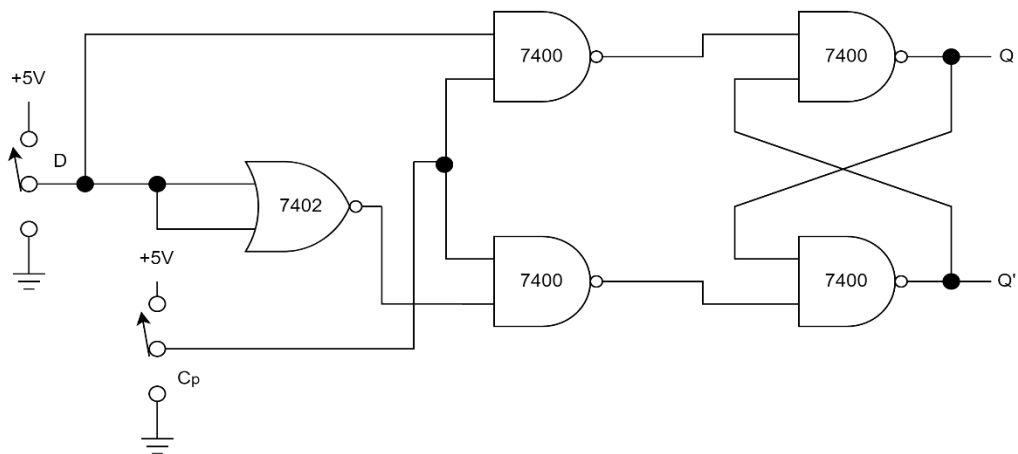
Latch & flip flop

B. 목적

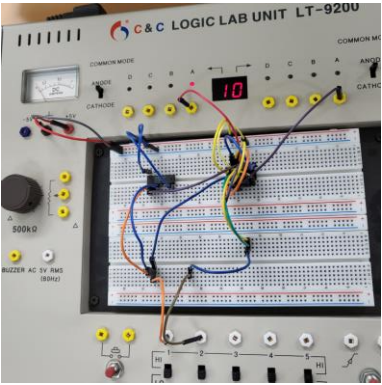
기억소자 기능을 하는 Latch에 대해 알아본다. 여러 Latch의 기능을 이해하고 동작 원리를 이해할 수 있도록 한다. 또한 flip flop의 기능도 이해하여 같이 원리와 특성을 이해하도록 한다.

2. 실험 결과

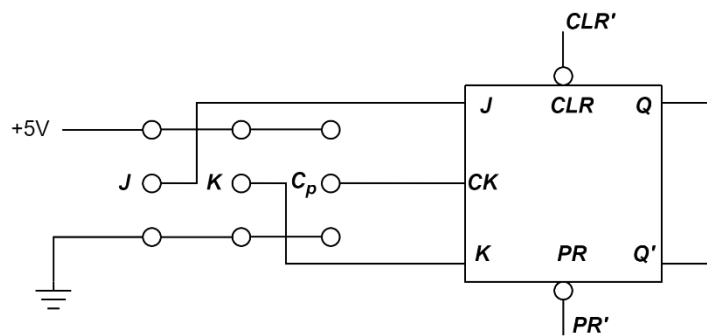
<실험 9-4>



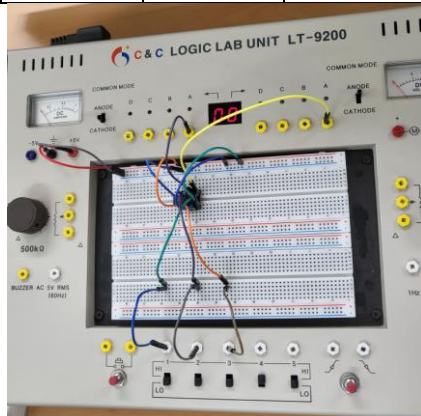
순서	입력		출력	
	C _p	D	Q	Q'
1	+5	0	0	1
2	+5	+5	1	0
3	0	+5	1	0
4	0	0	1	0



<실험 10-3>



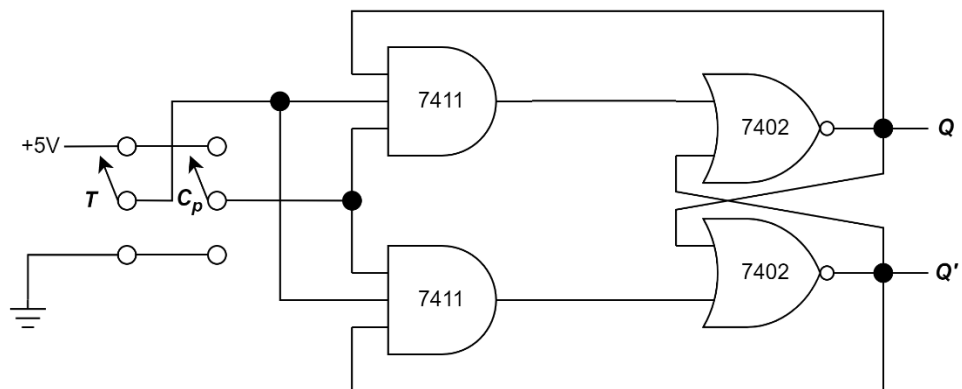
순서	입력					출력	
	PR'	CLR'	C _p	J	K	Q	Q'
1	0	+5	X	X	X	1	0
2	+5	0	X	X	X	0	1
3	+5	+5	0	+5	0	0	1
4	+5	+5	+5	+5	0	0	1
5	+5	+5	0	+5	0	1	0
6	+5	+5	0	+5	+5	1	0
7	+5	+5	+5	+5	+5	1	0
8	+5	+5	0	+5	+5	0	1
9	+5	+5	0	0	0	1	1
10	+5	+5	+5	0	0	0	1
11	+5	+5	0	0	0	0	1
12	+5	+5	0	0	+5	0	1
13	+5	+5	+5	0	+5	0	1
14	+5	+5	0	0	+5	0	1
15	+5	+5	0	0	0	0	1
16	+5	+5	+5	0	0	0	1
17	+5	+5	0	0	0	0	1

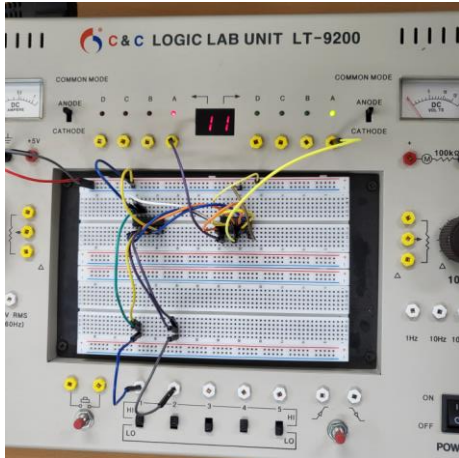


PR'	CLR'	C	J	K	Q_{n+1}
1	1	↓	0	0	0
1	1	↓	0	1	0
1	1	↓	1	0	0
1	1	↓	1	1	1
0	1	x	x	x	0
1	0	x	x	x	0

C_p								
PR'								
CLR'								
J								
K								
Q								

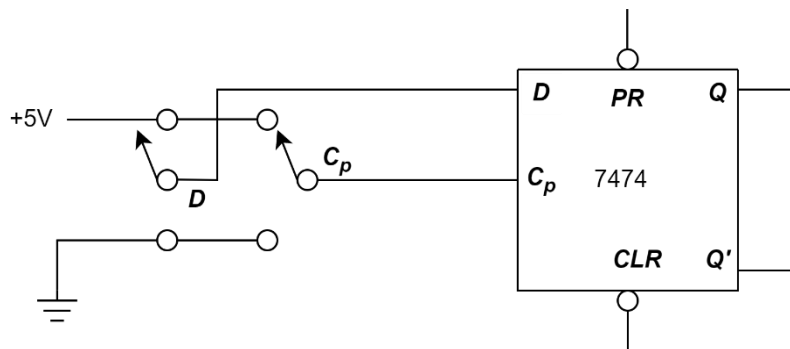
<실험 10-4>



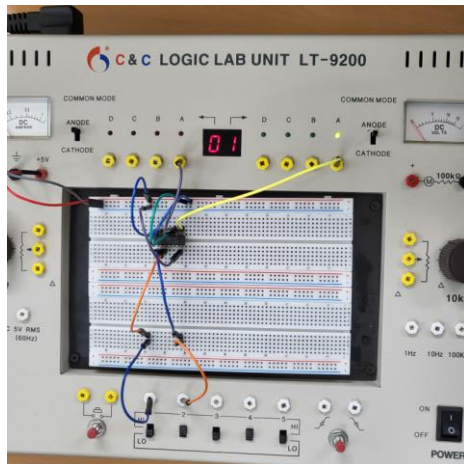


입력		출력	
C_p	T	Q	Q'
0	X	0	1
+5	0	0	1
+5	+5	1	0

<실험 10-5>



순서	입력				출력	
	PR'	CLR'	C_p	D	Q	Q'
1	0	+5	X	X	1	0
2	+5	0	X	X	0	1
3	0	0	X	X	1	1
4	+5	+5	0	0	1	0
5	+5	+5	+5	0	0	1
6	+5	+5	0	0	0	1
7	+5	+5	0	+5	0	1
8	+5	+5	+5	+5	1	0
9	+5	+5	0	+5	1	0



3. 고찰

이번 실험에서 J flip flop을 연결하는 과정에서 CLR과 PR을 어디 쪽으로 연결해야 될지에 대해 시행착오를 겪었다. 처음에는 같은 이름인 반대쪽 CLR'과 서로 연결하는 방식으로 진행하였었는데, 값이 제대로 나오지를 않았다. 후에 그렇게 연결하는 게 아니라 V_{DD} 인 +쪽과 GRD인 -쪽으로 각각 연결하면서 +5V일 때와 0일 때를 조절해주면서 하는 방식이란 걸 배웠다. 그런 식으로 바뀌서 연결해보니 값이 성공적으로 나올 수 있었다. Latch와 flip flop의 연결 방식에 대해 조금 더 알아봐야겠다고 느꼈다.