

컴퓨터 공학 기초 설계 및 실험1

결과 보고서

실험제목: Half-adder and Full-adder &

Multiplexer and de-multiplexer

실험일자: 2023년 05월 19일 (금)

제출일자: 2023년 05월 20일 (토)

학 과: 컴퓨터정보공학부

담당교수: 신동화 교수님

실습분반: 03

학 번: 2022202065

성 명: 박나림

결과보고서

1. 제목 및 목적

A. 제목

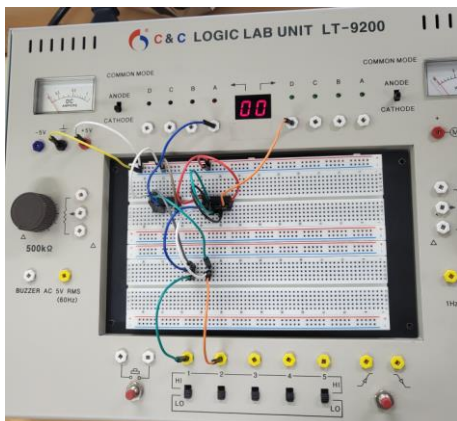
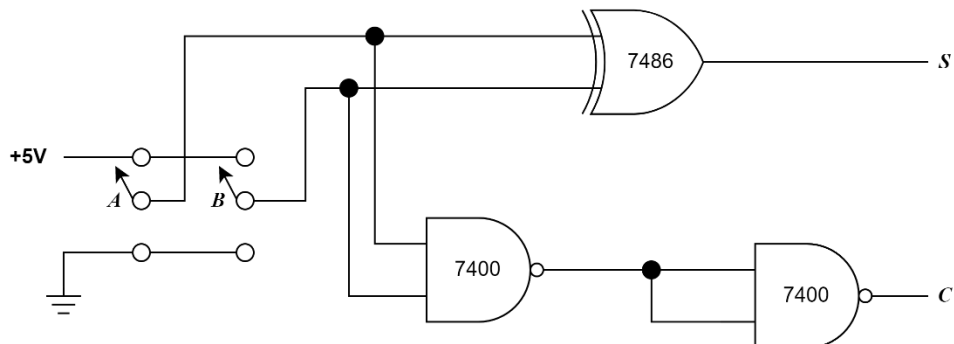
Half-adder and Full-adder & Multiplexer and de-multiplexer

B. 목적

반가산기, 반감산기의 동작, 구성 원리를 이해하도록 한다. 또한 전가산기, 전감산기의 동작과 구성 원리도 이해하여 가산기의 연산장치를 알아보도록 한다. 마지막으로 멀티플렉서와 디멀티플렉서의 동작, 구성원리까지 이해하는 데 목적을 둔다.

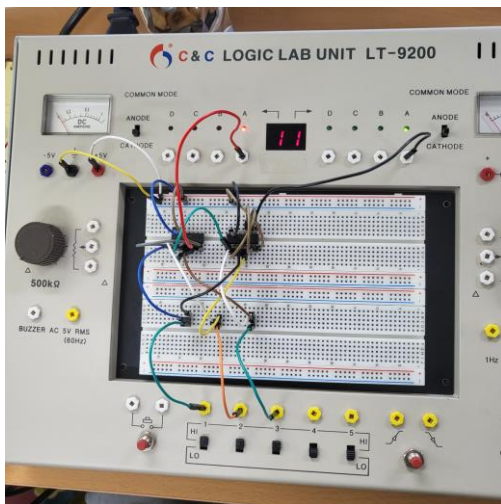
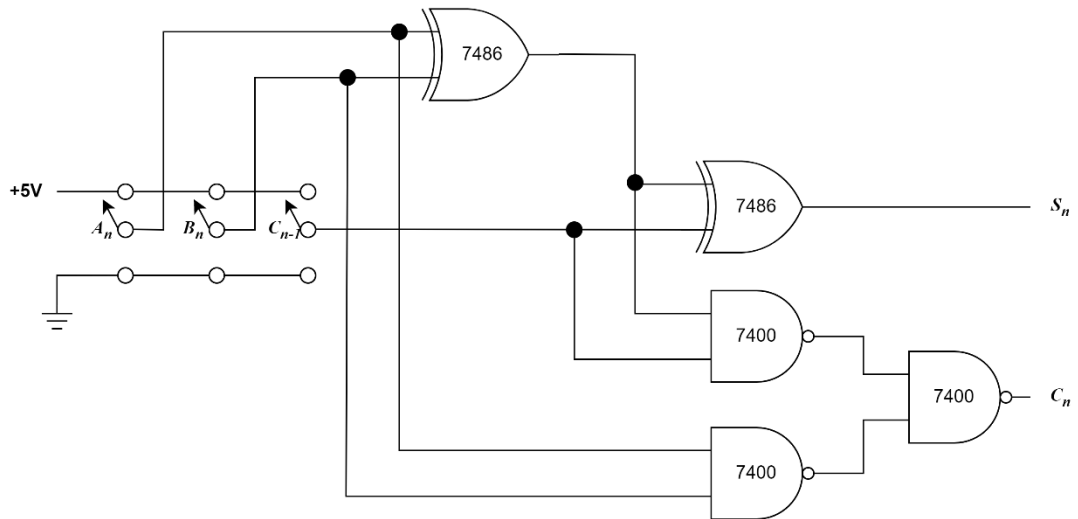
2. 실험 결과

<실험 6-2>



입력		출력	
A	B	S	C
0	0	0	0
0	+5	1	0
+5	0	1	0
+5	+5	0	1

<실험 7-1>

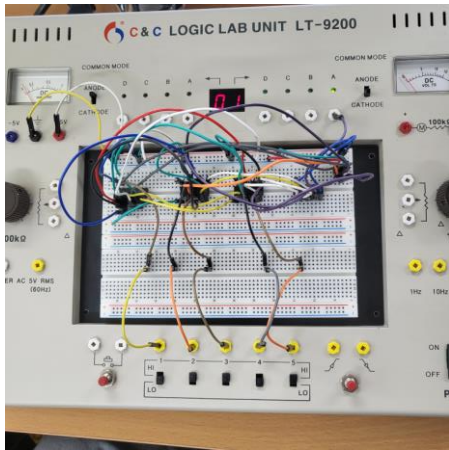
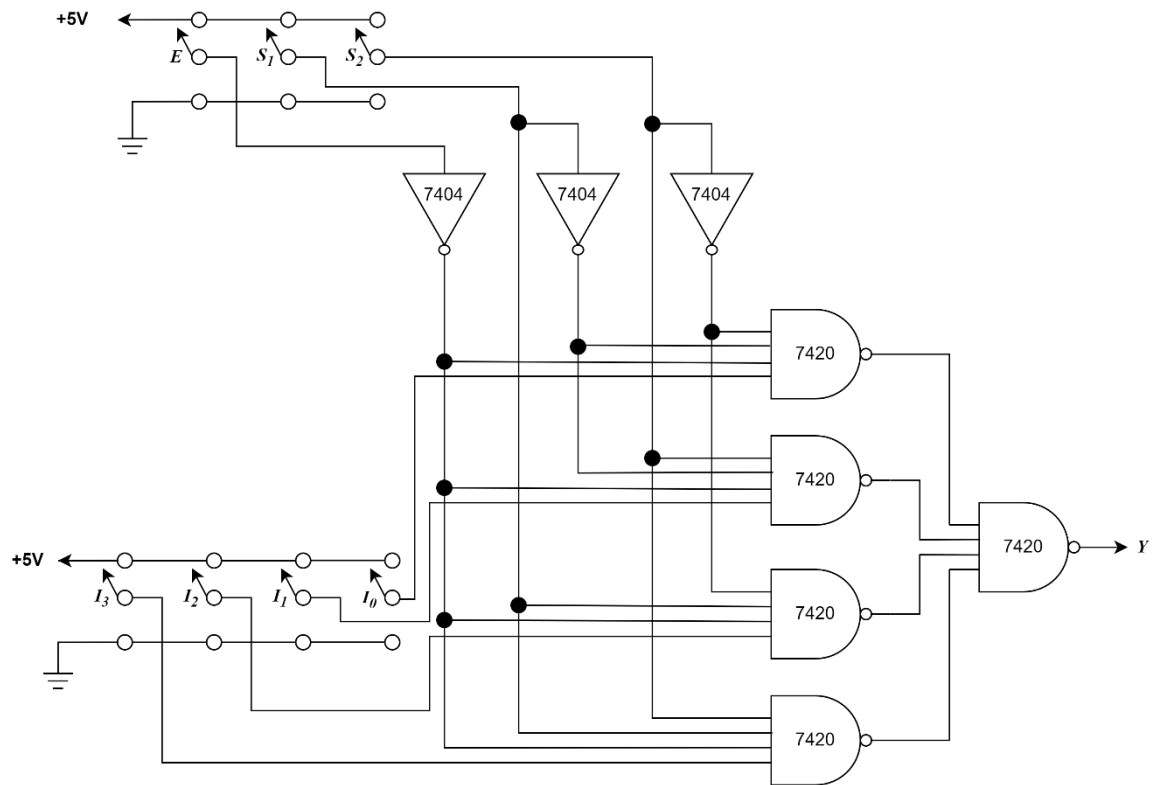


$$S_n = A_n \oplus B_n \oplus C_{n-1}$$

$$C_n = A_n B_n + (A_n \oplus B_n) C_{n-1}$$

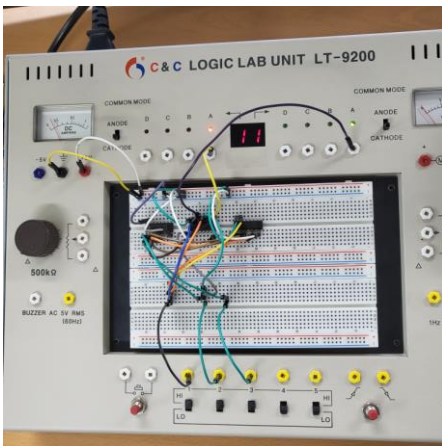
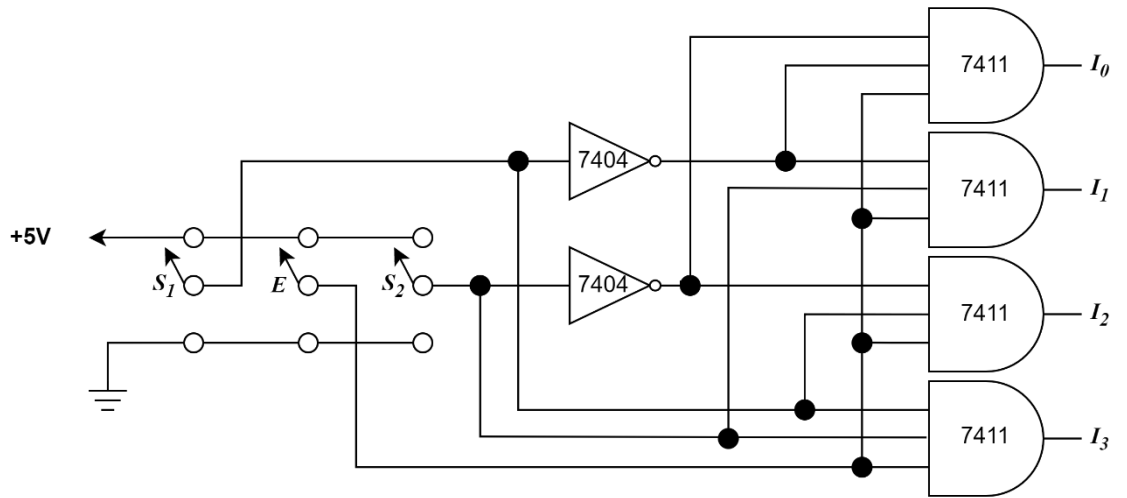
입력			출력	
A_n	B_n	C_{n-1}	S_n	C_n
0	0	0	0	0
0	0	+5	1	0
0	+5	0	1	0
0	+5	+5	0	1
+5	0	0	1	0
+5	0	+5	0	1
+5	+5	0	0	1
+5	+5	+5	1	1

<실험 16-1>



입력							출력
E	S_1	S_2	I_0	I_1	I_2	I_3	Y
+5	x	x	x	x	x	x	0
0	0	0	0	+5	+5	+5	0
0	0	0	+5	0	0	0	1
0	0	+5	0	+5	0	0	1
0	0	+5	+5	0	+5	+5	1
0	+5	0	0	0	+5	0	1
0	+5	0	+5	+5	0	+5	0
0	+5	+5	0	0	0	+5	1
0	+5	+5	+5	+5	+5	0	0

<실험 16-3>



입력			출력			
E	S_1	S_2	I_0	I_1	I_2	I_3
0	x	x	0	0	0	0
+5	0	0	1	0	0	0
+5	0	+5	0	1	0	0
+5	+5	0	0	0	1	1
+5	+5	+5	0	0	0	1

3. 고찰

이번 실험을 진행하면서, 실험 16번쪽에서 결과 값이 잘못 나온 경우가 있었다. 회로를 다시 확인해 보고 몇 개의 전선을 교체해봤지만 그대로 나와서, ANODE와 CATHODE 모드를 번갈아 가면서 바꾸니 결과 값이 정상적으로 나올 수 있었다. 또한 실험 16-1에서는 입력이 총 7개가 필요했는데, 여기에선 5개의 스위치를 사용할 수 있으니 어떤 식으로 만들어야 될지 처음에는 바로 생각이 안 났었다. 그래서 그 전 실험 내용들을 떠올려 보니 직접 +단자와 -단자에 연결하는 방식으로 하였어서, 이번에도 그런 식으로 입력 S_1 과 S_2 는 따로 조정해서 설계하였다.