

# 컴퓨터 공학 기초 설계 및 실험1

## 결과 보고서

실험제목: Adder & Subtractor using 2's  
complement

실험일자: 2023년 05월 26일 (금)

제출일자: 2023년 05월 27일 (토)

학 과: 컴퓨터정보공학부

담당교수: 신동화 교수님

실습분반: 03

학 번: 2022202065

성 명: 박나림

# 결과보고서

## 1. 제목 및 목적

### A. 제목

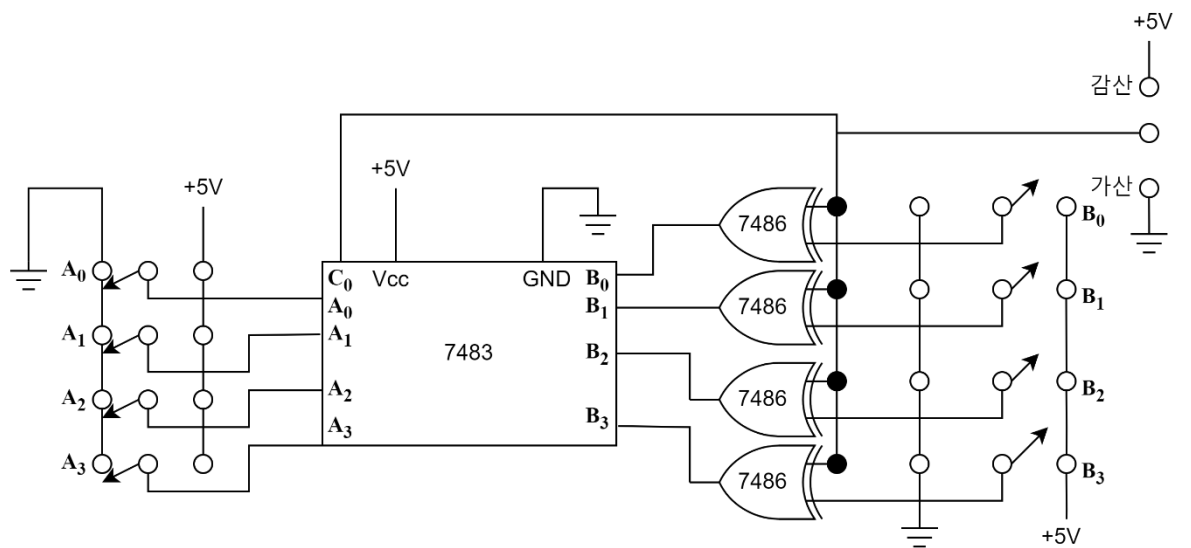
Adder & Subtractor using 2's complement

### B. 목적

보수를 취하는 방법을 이해하도록 한다. 이러한 보수를 이용하여 병렬 가감산기 회로를 설계하고 동작을 확인한다.

## 2. 실험 결과

### <실험 8-1>

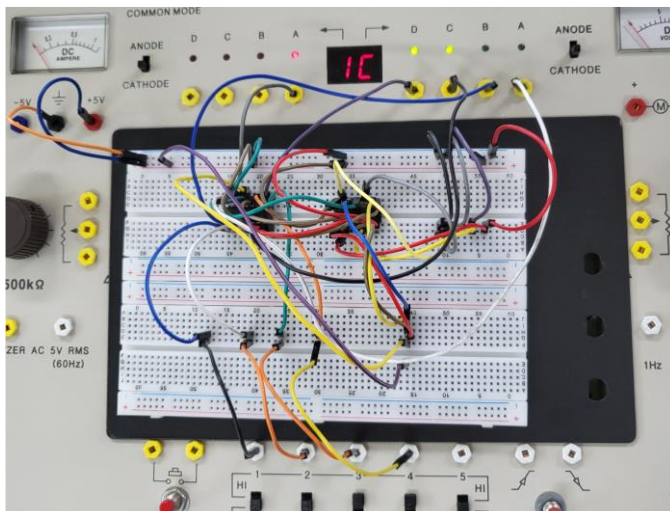


### 1. 전가산기

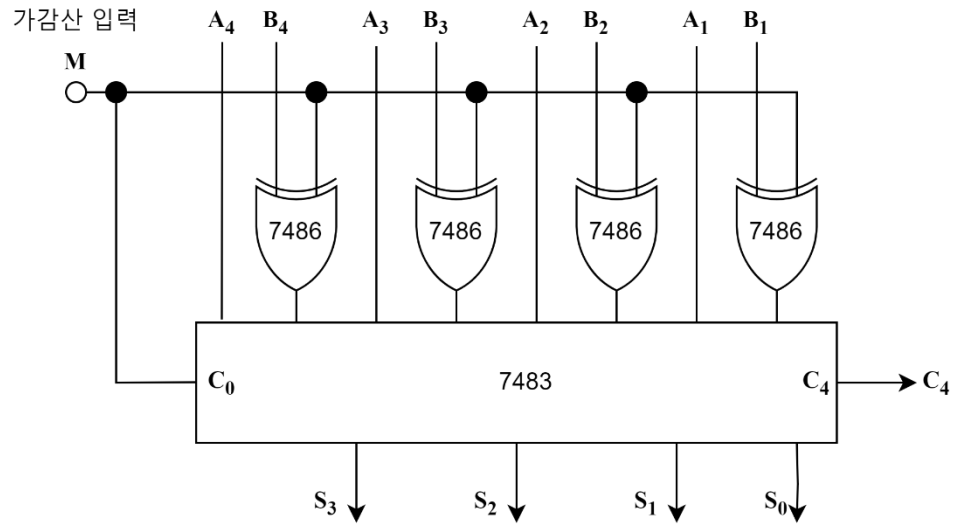
입력 A				입력 B				출력				
A <sub>3</sub>	A <sub>2</sub>	A <sub>1</sub>	A <sub>0</sub>	B <sub>3</sub>	B <sub>2</sub>	B <sub>1</sub>	B <sub>0</sub>	C <sub>4</sub>	S <sub>3</sub>	S <sub>2</sub>	S <sub>1</sub>	S <sub>0</sub>
1	1	1	1	0	0	0	1	1	0	0	0	0
1	1	1	0	0	0	1	0	1	0	0	0	0
1	1	0	1	0	1	0	1	1	0	0	1	0
1	0	1	1	0	1	1	0	1	0	0	0	1
1	0	1	0	0	1	1	1	1	0	0	0	1
1	0	0	1	1	0	1	0	1	0	0	1	1
0	1	1	1	1	0	0	1	1	0	0	0	0
0	1	0	1	0	1	1	0	0	1	0	1	1
0	1	0	0	0	0	1	1	0	0	1	1	1

## 2. 전감산기

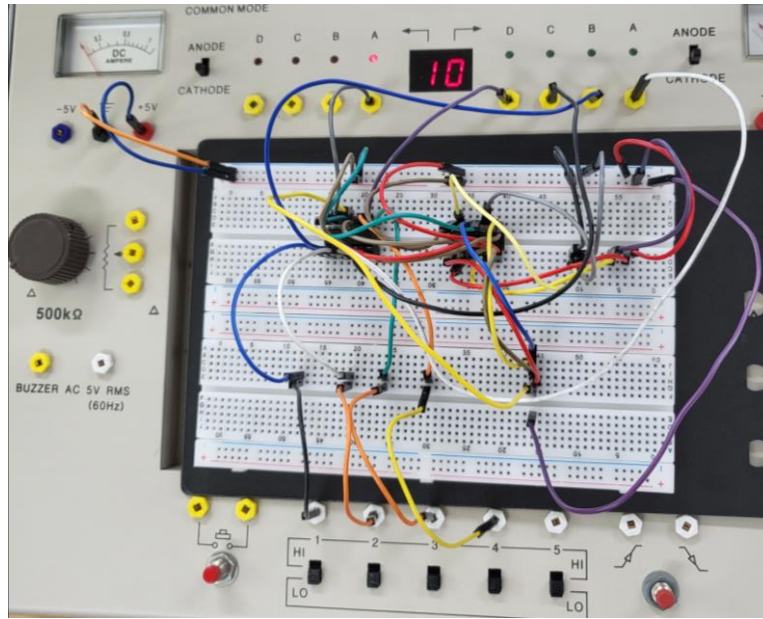
입력 A				입력 B				출력				
A <sub>3</sub>	A <sub>2</sub>	A <sub>1</sub>	A <sub>0</sub>	B <sub>3</sub>	B <sub>2</sub>	B <sub>1</sub>	B <sub>0</sub>	b <sub>4</sub>	d <sub>3</sub>	d <sub>2</sub>	d <sub>1</sub>	d <sub>0</sub>
1	0	1	0	0	1	0	1	1	0	1	0	1
1	0	1	1	0	1	1	0	1	0	1	0	1
1	1	0	0	0	1	1	1	1	0	1	0	1
1	1	1	1	1	1	1	1	1	0	0	0	0
1	0	0	1	1	0	1	0	0	1	1	1	1
0	1	1	0	1	0	0	0	0	1	1	1	0
0	1	0	0	0	1	0	0	1	0	0	0	0
0	1	0	1	1	0	1	1	0	1	0	1	0
0	0	1	1	0	0	1	0	1	0	0	0	1



<실험 8-2>



입력 A					입력 B				출력				
A <sub>4</sub>	A <sub>3</sub>	A <sub>2</sub>	A <sub>1</sub>	M	B <sub>4</sub>	B <sub>3</sub>	B <sub>2</sub>	B <sub>1</sub>	C <sub>4</sub>	S <sub>3</sub>	S <sub>2</sub>	S <sub>1</sub>	S <sub>0</sub>
0	1	1	0	0	0	0	1	1	0	1	0	0	1
0	0	1	1	0	0	1	1	1	0	1	0	1	0
0	1	1	1	0	0	0	0	1	0	1	0	0	0
1	0	1	0	0	1	0	1	0	1	0	1	0	0
1	0	1	1	0	1	0	0	1	1	0	1	0	0
1	0	1	1	0	1	1	0	0	1	0	1	1	1
1	1	1	1	1	0	1	1	1	1	1	0	0	0
1	1	1	0	1	0	0	0	1	1	1	1	0	1
1	1	0	0	1	0	1	0	0	1	0	0	0	0
1	0	1	1	1	0	1	1	1	1	0	1	0	0
1	0	1	0	1	0	1	1	0	1	0	1	0	0
1	1	0	1	1	1	0	1	0	1	0	0	1	1
1	1	1	1	1	1	0	0	1	1	0	1	1	0



### 3. 고찰

두 개의 실험을 진행하면서, 두 실험 모두 회로는 같게 작용한다는 것을 실험을 진행하면서 깨달았다. 첫번째 회로에서는 감산과 가산을  $V_{cc}$  또는 GND에 연결하여 덧셈과 뺄셈 연산을 바꾸고, 두번째 회로에서는 M이 0과 1일 때를 기준으로 가감산기가 같이 작동된다는 것이, 결국에는 첫번째와 동일하게  $V_{cc}$ 와 GND를 바꿔서 0일 땐 가산기가, 1일 땐 감산기가 작동된다는 것을 알 수 있었다. 하지만 실험 당시, 처음에는 회로를 잘못 구성하여 가감산기에 대한 연산 결과가 제대로 나오지 않았다. 이에 회로를 수정하여 다시 작동시켰더니 연산 결과가 제대로 나오는 것을 확인할 수 있었다.