

컴퓨터 공학 기초 설계 및 실험1

결과 보고서

실험제목: Asynchronous & synchronous counter circuit

실험일자: 2023년 04월 07일 (금)

제출일자: 2023년 04월 10일 (월)

학 과: 컴퓨터정보공학부

담당교수: 신동화 교수님

실습분반: 03

학 번: 2022202065

성 명: 박나림

결과보고서

1. 제목 및 목적

A. 제목

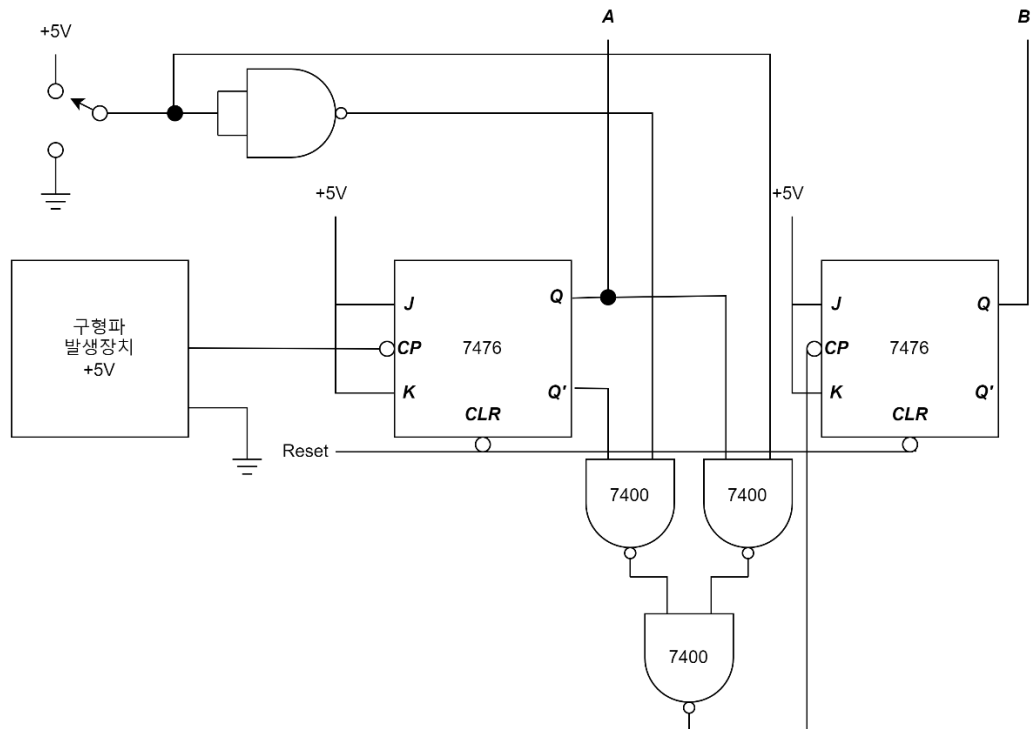
Asynchronous & synchronous counter circuit

B. 목적

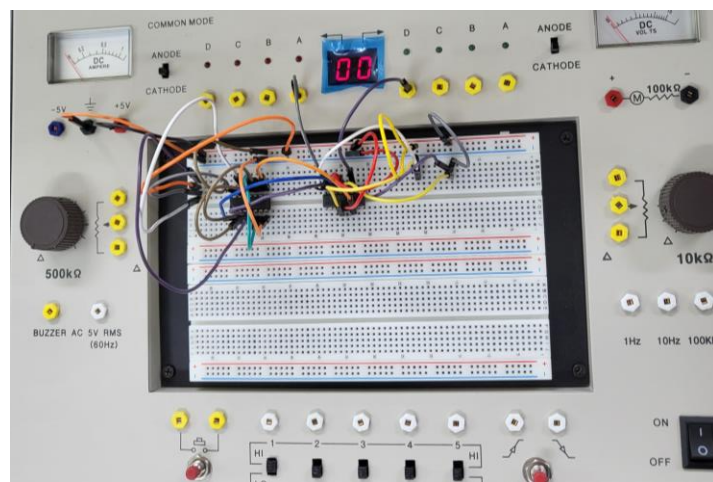
비동기 계수회로의 특성을 이해하고 flip flop과의 응용 방법을 알아본다. 가산, 감산 계수회로의 원리를 이해하고 구성해보도록 한다. 이러한 비동기 계수회로와 동기 계수회로의 차이점을 알아보고 응용할 수 있도록 만든다.

2. 실험 결과

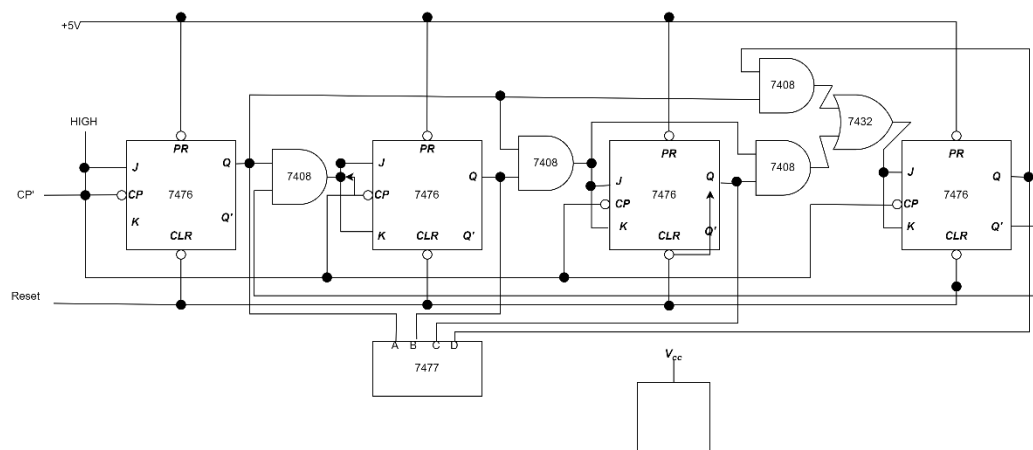
<실험 11-5>



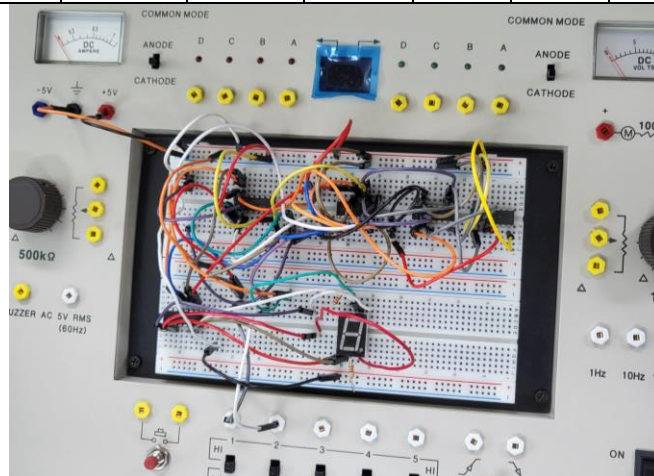
입력	출력			
클럭펄스의 수	가산(업)	+5V	감산(다운)	0
	B	A	B	A
0	0	0	1	1
1	0	1	1	0
2	1	0	0	1
3	1	1	0	0
4	0	0	1	1
5	0	1	1	0



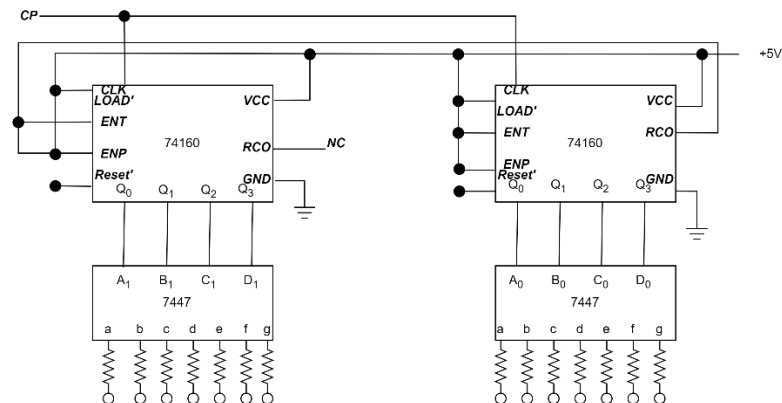
<실험 12-3>



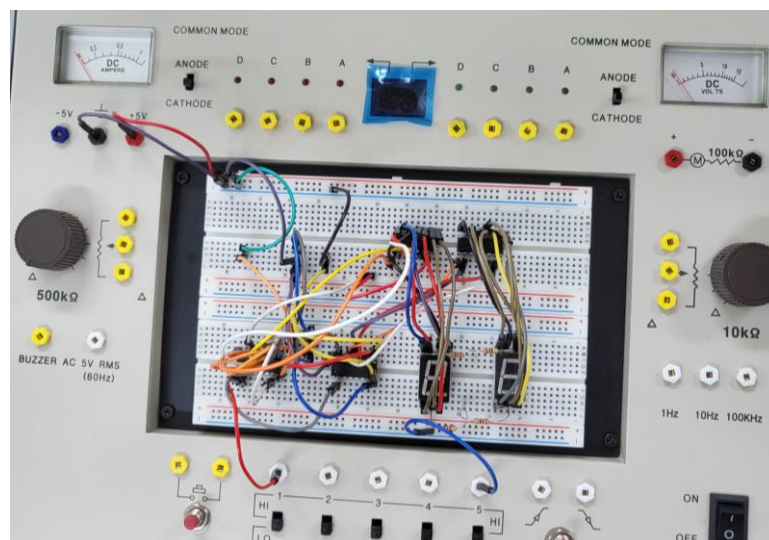
입력	출력							
클럭펄스의 수	FFD		FFC		FFB		FFA	
	D	Q'	C	Q'	B	Q'	A	Q'
0	0		0		0		0	
1	0		0		0		1	
2	0		0		1		0	
3	0		0		1		1	
4	0		1		0		0	
5	0		1		0		1	
6	0		1		1		0	
7	0		1		1		1	
8	1		0		0		0	
9	1		0		0		1	
10	0		0		0		0	



<실험 12-4>



입력	출력							
클럭펄스의 수	D ₁	C ₁	B ₁	A ₁	D ₀	C ₀	B ₀	A ₀
0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1
2	0	0	1	0	0	0	0	1
3	0	0	1	1	0	0	0	1
4	0	1	0	0	0	0	0	1
5	0	1	0	1	0	0	0	1
6	0	1	1	0	0	0	0	1
7	0	1	1	1	0	0	0	1
8	1	0	0	0	0	0	0	1
9	1	0	0	1	0	0	1	0
10	0	0	0	0	0	0	1	0
11	0	0	0	1	0	0	1	0
12	0	0	1	0	0	0	1	0
13	0	0	1	1	0	0	1	0
14	0	1	0	0	0	0	1	0
15	0	1	0	1	0	0	1	0
16	0	1	1	0	0	0	1	0



3. 고찰

첫번째 실험은 결과 값이 제대로 나왔으나 두번째 실험부터 결과 값이 잘 나오지 않았다. 회로 연결을 해도 7 Segment에 불이 들어오지 않았기 때문이다. 저항 부분을 잘 연결해야 타지 않고 불이 들어오는 형태인데, 타지는 않은 것으로 보아 저항은 잘 연결했으나 그 외 회로부분에서 어딘가 잘못 연결한 것 같다. 회로가 복잡해질 수록 실수하지 않게 더 신중히 연결해야겠다고 느꼈다. 특히 이런 회로에서는 완성 후에 잘못된 걸 찾으려면 더 어려워서 다시 처음부터 만들어야 하니, 시간 안에 실험을 성공적으로 끝내기 위해서는 처음부터 잘 확인하고 해야 될 것 같다. 플립플롭에 대한 회로 연결 법에 조금 더 알아봐야겠다.