

컴퓨터 공학 기초 설계 및 실험1

예비 보고서

실험제목: Half-adder and Full-adder &
Multiplexer and de-multiplexer

실험일자: 2023년 05월 19일 (금)

제출일자: 2023년 05월 16일 (화)

학 과: 컴퓨터정보공학부

담당교수: 신동화 교수님

실습분반: 03

학 번: 2022202065

성 명: 박나림

예비보고서

1. 제목 및 목적

A. 제목

Half-adder and Full-adder & Multiplexer and de-multiplexer

B. 목적

반가산기, 반감산기의 동작, 구성 원리를 이해하도록 한다. 또한 전가산기, 전감산기의 동작과 구성 원리도 이해하여 가산기의 연산장치를 알아보도록 한다. 마지막으로 멀티플렉서와 디멀티플렉서의 동작, 구성원리까지 이해하는 데 목적을 둔다.

2. 원리(배경지식)

A. Half Adder & Half Subtractor

AND, OR, NOT 게이트로 총 3종류의 게이트로만 논리회로를 구성할 수 있으며, 이진수의 한자릿수를 연산하여 자릿수가 올라갈 땐 다음 자리로 자리올림수 출력을 하는 것을 반가산기라고 한다. 마찬가지로 이진수로 감산하는 것은 반감산기라고 한다.

반가산기의 두 입력 A, B가 있을 때 자리올림수 출력 C, 출력 S를 오른쪽 표로, 수식은 아래와 같이 나타낼 수 있다.

$$S = A'B + AB' = A \oplus B$$

$$C = AB$$

A	B	C	S
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

반감산기의 두 입력 A, B가 있을 때 빌림 수 b, 차 d를 오른쪽 표로, 수식은 아래와 같이 나타낼 수 있다.

$$d = A'B + AB' = A \oplus B$$

$$b = A'B$$

A	B	b	D
0	0	0	0
0	1	1	1
1	0	0	1
1	1	0	0

B. Full Adder & Full Subtractor

이진수의 한자리수를 연산한 후 하위 자리올림수 입력을 포함하여 출력하는 것을 전가산기라고 한다. 하위 자리올림수 출력과 상위 자리올림수 입력을 연결하는 것으로 임의의 자리수의 이진수 덧셈이 가능해지는 것이다. 이러한 전가산기는 두개의 반가산기와 하나의 OR 게이트로 구성할 수 있다.

전가산기의 두 입력 A, B와 자리올림수 입력 X, 자리올림수 출력 C, 출력 S를 오른쪽 표1로, 수식은 아래와 같이 나타낼 수 있다.

$$S = A \oplus B \oplus X$$

$$C = AB + (A \oplus B)X$$

전감산기도 마찬가지로, 입력 변수 3자리의 뺄셈에서 자리내림수 b, 차 d로 하여

다음과 같이 표2와 수식을 나타낼 수 있다. $d = A \oplus B \oplus b$ / $b = A'B + (A \oplus B)b$

A	B	X	C	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

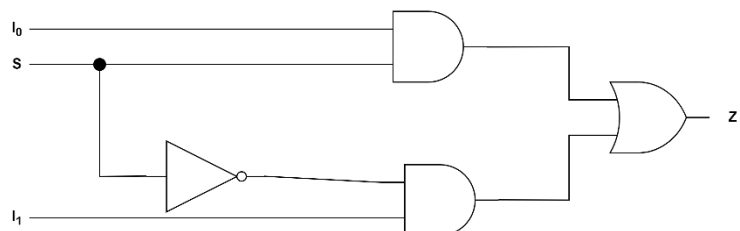
A	B	X	b	d
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	1	0
1	0	0	0	1
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

C. Multiplexer & Demultiplexer

여러 아날로그나 디지털 입력 신호 중 하나를 선택하여 그 입력을 하나의 라인에 전달하는 장치를 멀티플렉서, mux라고 한다. 입력 신호 당 하나의 장치를 보유하지 않고, A/D 변환기(아날로그/디지털 변환기)나 하나의 장치를 공유할 수 있게 만들어 주는 역할이다. 이때 입력 신호의 선택은 선택 입력에 의해서 제어된다.

이와 반대로 디멀티플렉서는 한가지 입력 신호를 받으면 출력을 여러가지로 동시에 내보내는 역할을 한다. 아래는 2입력 멀티플렉서의 진리표, 회로도 예시이다.

S	Z
0	I_0
1	I_1



3. 참고문헌

가산기, 감산기 / <https://url.kr/49pmgw>

멀티플렉서 / <https://url.kr/yvchst>