

컴퓨터 공학 기초 실험2 보고서

실험제목: Latch & flip-flop design with/without
reset/set

실험일자: 2023년 10월 09일 (월)

제출일자: 2023년 10월 12일 (목)

학 과: 컴퓨터공학과

담당교수: 이준환 교수님

실습분반: 월요일 0, 1, 2

학 번: 2022202065

성 명: 박나림

1. 제목 및 목적

A. 제목

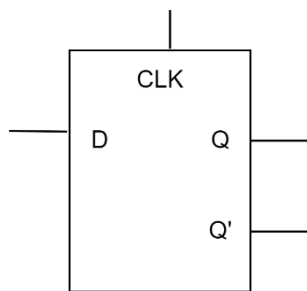
Latch & flip-flop design with/without reset/set

B. 목적

D latch와 이를 이용하여 D flip-flop까지 설계하여 본다. 추가로 reset, enable이 들어간 flip flop도 만들어 본다. 이러한 flip-flop을 이용하여 N-bit register을 설계하고, 동기식과 비동기식의 회로도 설계할 수 있도록 한다.

2. 원리(배경지식)

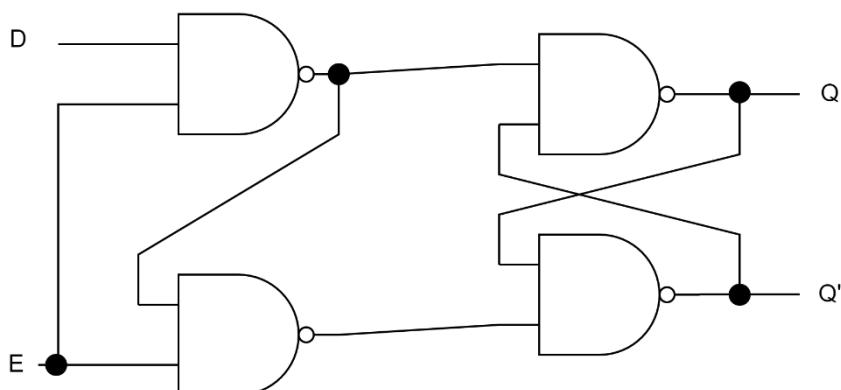
A. D latch



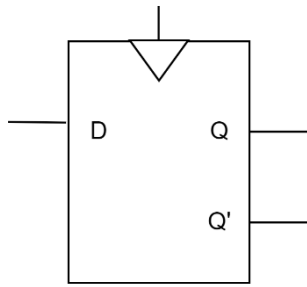
Clock 신호에 따라 Q값을 업데이트 시키는 저장 소자이다. clock이 1인 동안에 D값을 Q값으로 업데이트 시키며, clock이 0인 동안에는 이전 Q값을 유지함으로써 저장 소자 역할을 하게 된다.

-nand gate 4개로 D latch 구현하는 법

D latch는 AND, NOR, NOT gate들로 구성할 수도 있지만, NAND gate 4개만으로도 D latch를 설계할 수 있다. 설계한 회로도는 아래와 같이 나온다. 여기서 E는 clock신호와 같다.

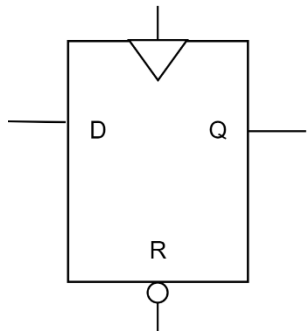


B. D flip-flop



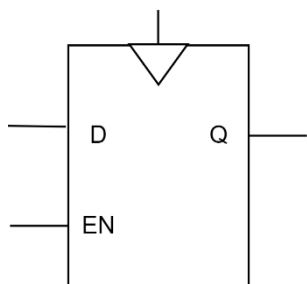
Clock이 rising edge일 때만 Q값을 D값으로 업데이트 하는 저장 소자이다. D latch에서는 clock이 1인 동안 내내 업데이트 하는 것이었지만, D flip-flop에서는 해당 edge에서만 작동하게 되는 것이다. 그 외에는 이전 Q값을 유지하게 된다.

이러한 D flip-flop에 reset을 추가하면 다음과 같다.



실습에서는 active low에 동작하도록 설계하는데, 이는 reset이 0일 때 동작하게 한다. Reset이 0이 되면 clock이나 D값에 상관없이 Q값은 무조건 0이 된다. Reset이 1인 동안에는 기존의 flip-flop과 동일한 방식으로 작동된다.

D flip-flop에 Enable을 추가하면 다음과 같다.



Enable 신호는 MUX에서 D값과 함께 들어와서 만약 Enable이 1이라면 기존 flip-flop과 동일하게 작동하고, 0이라면 clock이나 D값에 관계없이 항상 Q값이 상태를 유지한다.

-실습과 다른 방법으로 enabled D flip-flop 구현하는 법

MUX를 이용하지 않고 Enable과 clock신호를 AND gate를 통해 연결하여 그 결과를 D flip-flop의 clock으로 보내는 식으로도 구현할 수도 있다. 하지만 이는 clock이 바로 들어오지 않고 게이트를 거쳐야 되기 때문에, 타이밍 오류 등이 발생할 수 있어 주의해야 한다.

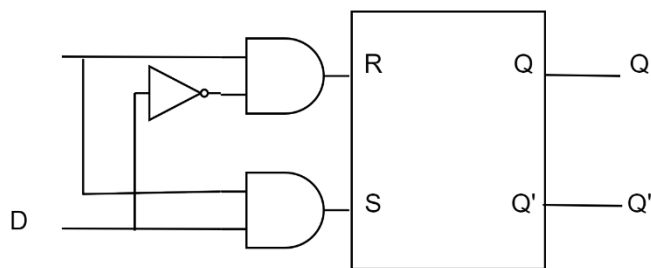
3. 설계 세부사항

A. D latch

1) Truth table

CLK	Q
0	이전 Q
1	D

2) 회로도

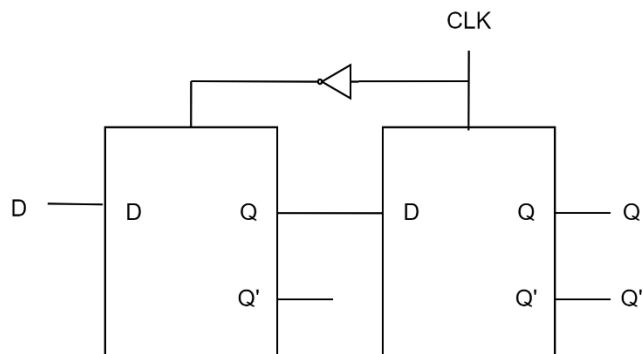


B. D flip-flop

1) Truth table

CLK	Q
↑	D
그 외	이전 Q

2) 회로도

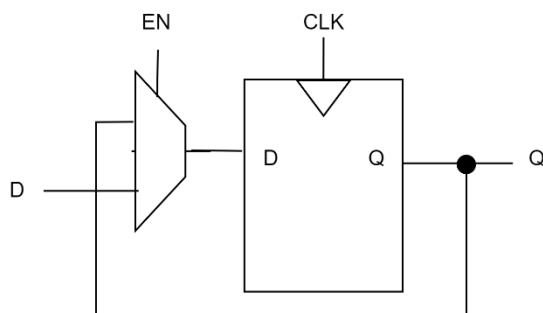


C. Enable D flip-flop

1) Truth table

EN	D	CLK	Q
0	X	X	이전 Q
1	0	↑	0
1	1	↑	1
1	X	그 외	이전 Q

2) 회로도

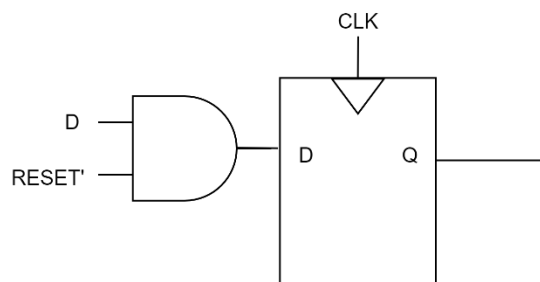


D. Resettable D flip-flop

1) Truth table

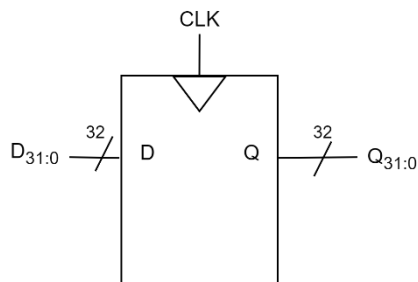
R	D	CLK	Q
0	X	X	0
1	0	↑	0
1	1	↑	1
1	X	그 외	이전 Q

2) 회로도



E. 32-bits Register

1) 회로도



4. 설계 검증 및 실험 결과

A. 시뮬레이션 결과

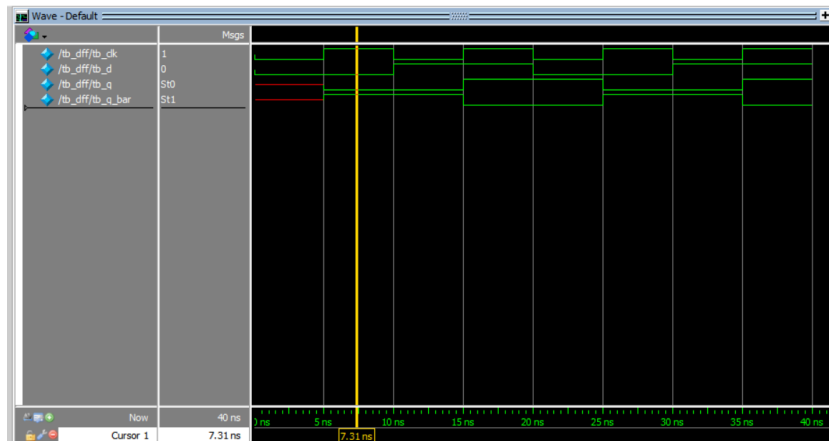
1) D latch

Clock이 1인 동안에 D값을 Q값으로 업데이트 하며, Q'는 반대의 결과로 출력되게 된다.



2) D filp-flop

Clock이 1로 상승하는 순간에 D값이 Q값으로 업데이트 된다. 마찬가지로 Q'는 반대의 결과로 출력되게 된다.



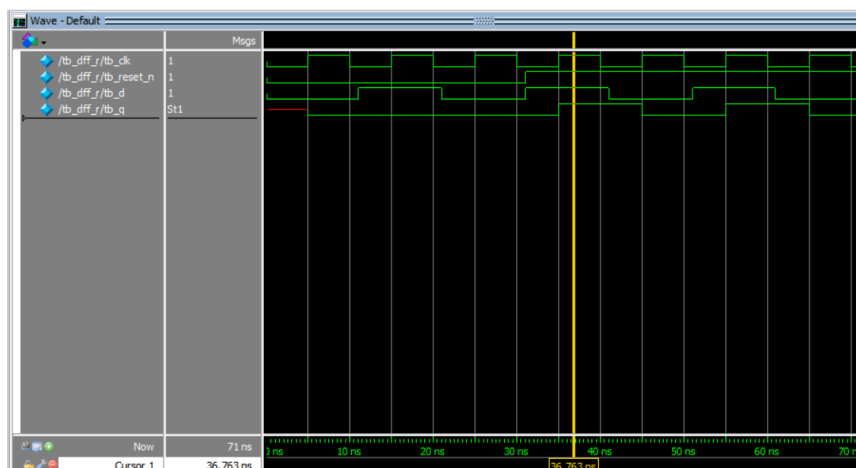
3) Enabled D flip-flop

Enable 신호가 1일 때는 일반적인 flip-flop방식과 동일하게 작동된다. 신호가 0이 되면 clock에 관계없이 Q값은 계속 이전 값을 유지하게 된다.



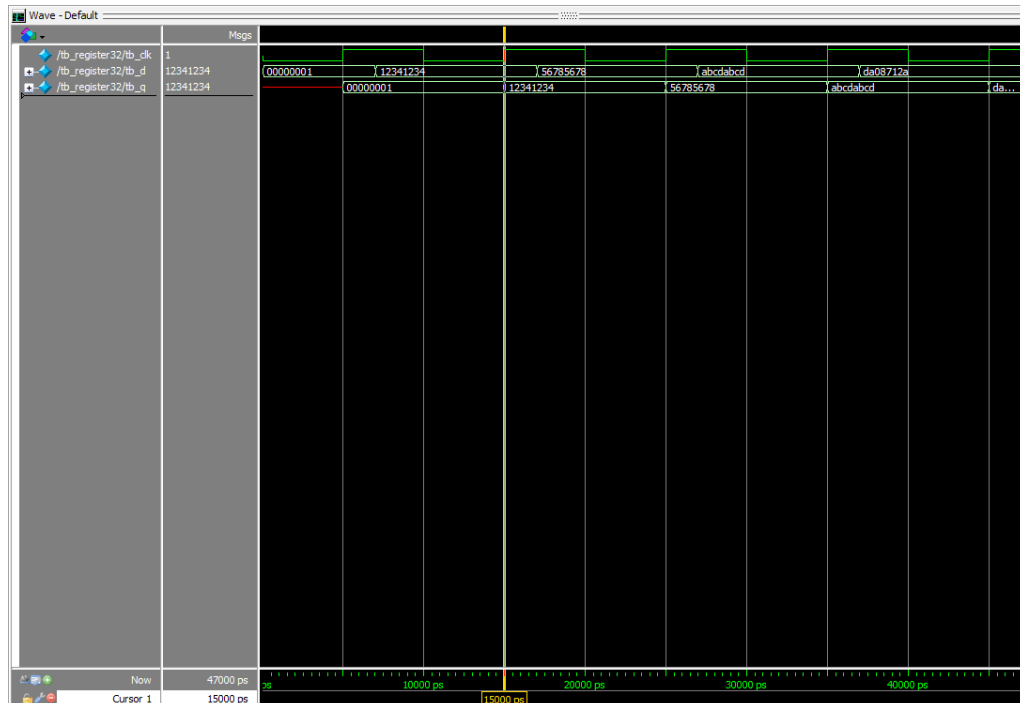
4) Resettable D flip-flop

Reset이 0일 때는 다른 값들에 관계없이 q는 무조건 0으로 나온다. Reset이 1로 되면 일반적인 flip-flop과 동일하게 동작된다.



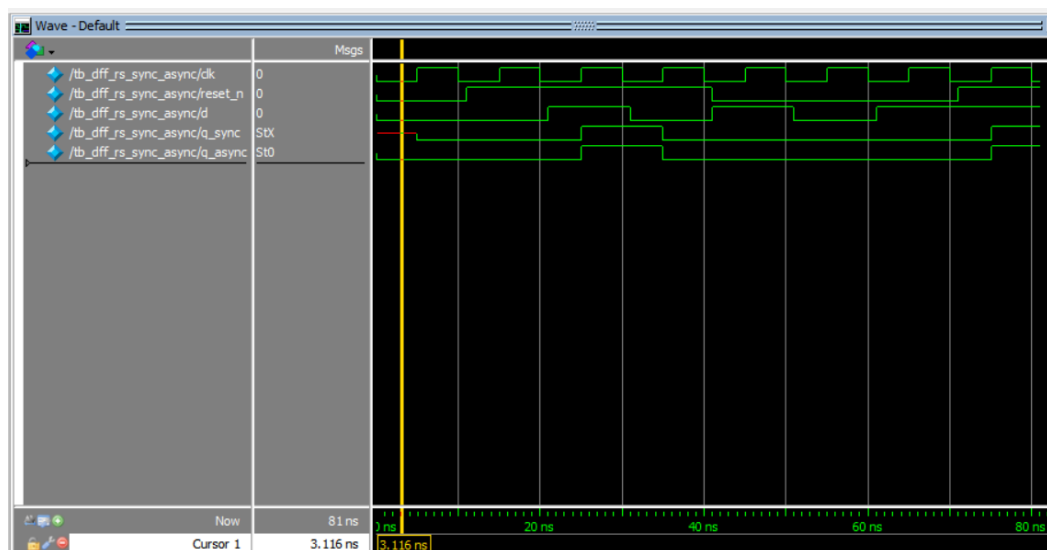
5) 32 bits register

Clock이 1이 되는 순간에 Q값을 D값으로 업데이트 한다. 기존의 flip-flop에서 32bits 형태로 출력되게 하는데, 아래는 hexadecimal로 출력한 결과이다.



6) Async/sync resettable D flip-flop

비동기식 / 동기식으로 flip-flop을 차이를 두고 설계하여 출력한 결과이다. sync q일 때는 clock에 모두 동기화 되어 이를 우선시로 따지므로, 처음에 clock이 0인 동안에는 x값으로 출력이 된다. Async q일 때는 reset이 clock에 관계없이 작동하므로, 처음에 clock이 0 이더라도 reset이 0이므로 값이 0으로 된 것을 볼 수 있다.

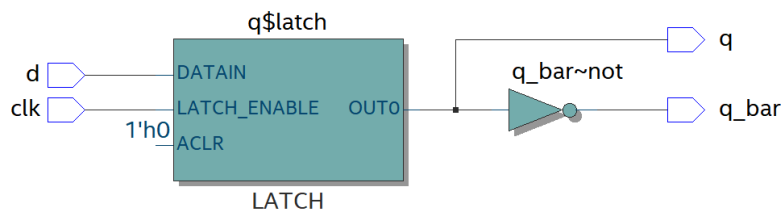


B. 합성(synthesis) 결과

1) D latch

D latch에 대한 RTL viewer와 Flow summary로, 간단한 회로라서 회로의 크기가 1로 작게 나온 것을 볼 수 있다.

-RTL viewer



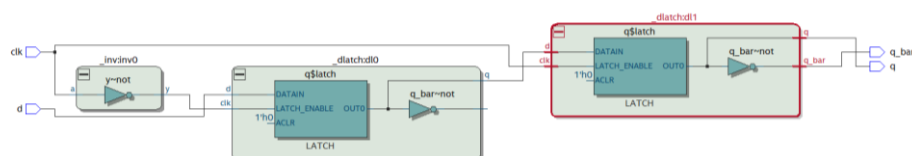
-Flow summary

Flow Summary	
<<Filter>>	
Flow Status	Successful - Mon Oct 09 20:40:59 2023
Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition
Revision Name	_dlatch
Top-level Entity Name	_dlatch
Family	Cyclone V
Device	5CSXFC6D6F31C6
Timing Models	Final
Logic utilization (in ALMs)	1 / 41,910 (< 1 %)
Total registers	0
Total pins	4 / 499 (< 1 %)
Total virtual pins	0
Total block memory bits	0 / 5,662,720 (0 %)
Total DSP Blocks	0 / 112 (0 %)
Total HSSI RX PCSs	0 / 9 (0 %)
Total HSSI PMA RX Deserializers	0 / 9 (0 %)
Total HSSI TX PCSs	0 / 9 (0 %)
Total HSSI PMA TX Serializers	0 / 9 (0 %)
Total PLLs	0 / 15 (0 %)
Total DLLs	0 / 4 (0 %)

2) D flip-flop

D flip-flop에 대한 RTL viewer와 Flow summary로, flip-flop은 latch를 2개 연결하여 설계 되므로 회로의 크기도 2배인 2가 나온 것을 볼 수 있다.

-RTL viewer



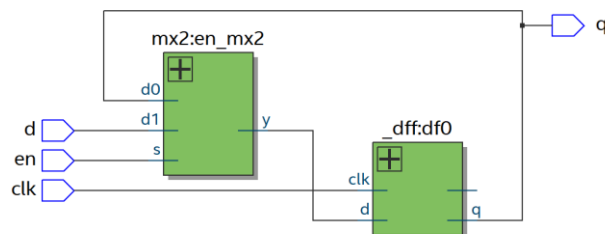
-Flow summary

Flow Summary	
<<Filter>>	
Flow Status	Successful - Mon Oct 09 21:00:11 2023
Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition
Revision Name	_dff
Top-level Entity Name	_dff
Family	Cyclone V
Device	5CSXFC6D6F31C6
Timing Models	Final
Logic utilization (in ALMs)	2 / 41,910 (< 1 %)
Total registers	0
Total pins	4 / 499 (< 1 %)
Total virtual pins	0
Total block memory bits	0 / 5,662,720 (0 %)
Total DSP Blocks	0 / 112 (0 %)
Total HSSI RX PCSs	0 / 9 (0 %)
Total HSSI PMA RX Deserializers	0 / 9 (0 %)
Total HSSI TX PCSs	0 / 9 (0 %)
Total HSSI PMA TX Serializers	0 / 9 (0 %)
Total PLLs	0 / 15 (0 %)
Total DLLs	0 / 4 (0 %)

3) Enabled D flip-flop

Enabled D flip-flop에 대한 RTL viewer와 Flow summary로, 위와 같은 회로의 크기가 나온다.

-RTL viewer



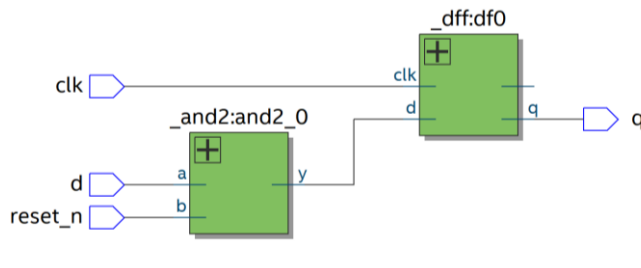
-Flow summary

Flow Summary	
<<Filter>>	
Flow Status	Successful - Mon Oct 09 21:26:02 2023
Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition
Revision Name	_dff_en
Top-level Entity Name	_dff_en
Family	Cyclone V
Device	5CSXFC6D6F31C6
Timing Models	Final
Logic utilization (in ALMs)	2 / 41,910 (< 1 %)
Total registers	0
Total pins	4 / 499 (< 1 %)
Total virtual pins	0
Total block memory bits	0 / 5,662,720 (0 %)
Total DSP Blocks	0 / 112 (0 %)
Total HSSI RX PCSs	0 / 9 (0 %)
Total HSSI PMA RX Deserializers	0 / 9 (0 %)
Total HSSI TX PCSs	0 / 9 (0 %)
Total HSSI PMA TX Serializers	0 / 9 (0 %)
Total PLLs	0 / 15 (0 %)
Total DLLs	0 / 4 (0 %)

4) Resettable D flip-flop

Resettable D flip-flop에 대한 RTL viewer와 Flow summary로, 위와 같은 회로의 크기가 나온다.

-RTL viewer



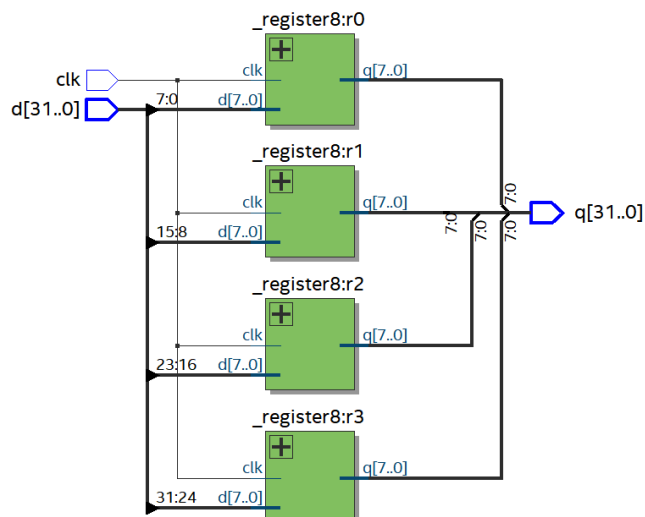
-Flow summary

Flow Summary	
Filter	
Flow Status	Successful - Mon Oct 09 21:44:49 2023
Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition
Revision Name	_dff_r
Top-level Entity Name	_dff_r
Family	Cyclone V
Device	5CSXFC6D6F31C6
Timing Models	Final
Logic utilization (in ALMs)	2 / 41,910 (< 1 %)
Total registers	0
Total pins	4 / 499 (< 1 %)
Total virtual pins	0
Total block memory bits	0 / 5,662,720 (0 %)
Total DSP Blocks	0 / 112 (0 %)
Total HSSI RX PCSs	0 / 9 (0 %)
Total HSSI PMA RX Deserializers	0 / 9 (0 %)
Total HSSI TX PCSs	0 / 9 (0 %)
Total HSSI PMA TX Serializers	0 / 9 (0 %)
Total PLLs	0 / 15 (0 %)
Total DLLs	0 / 4 (0 %)

5) 32 bits register

32 bits register에 대한 RTL viewer와 Flow summary로, 32개의 레지스터로 구성되어 있어 회로의 크기도 그만큼 커진 것을 볼 수 있다.

-RTL viewer



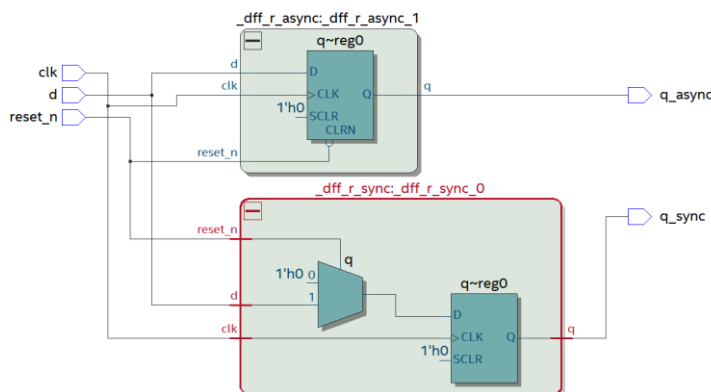
-Flow summary

Flow Summary	
<<Filter>>	
Flow Status	Successful - Mon Oct 09 22:07:30 2023
Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition
Revision Name	_register32
Top-level Entity Name	_register32
Family	Cyclone V
Device	5CSXFC6D6F31C6
Timing Models	Final
Logic utilization (in ALMs)	33 / 41,910 (< 1 %)
Total registers	0
Total pins	65 / 499 (13 %)
Total virtual pins	0
Total block memory bits	0 / 5,662,720 (0 %)
Total DSP Blocks	0 / 112 (0 %)
Total HSSI RX PCSs	0 / 9 (0 %)
Total HSSI PMA RX Deserializers	0 / 9 (0 %)
Total HSSI TX PCSs	0 / 9 (0 %)
Total HSSI PMA TX Serializers	0 / 9 (0 %)
Total PLLs	0 / 15 (0 %)
Total DLLs	0 / 4 (0 %)

6) Async/sync resettable D flip-flop

Async/sync resettable D flip-flop에 대한 RTL viewer와 Flow summary로, 회로의 크기가 작게 나온 것을 확인할 수 있다.

-RTL viewer



-Flow summary

Flow Summary	
<<Filter>>	
Flow Status	Successful - Tue Oct 10 13:31:20 2023
Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition
Revision Name	_dff_r_sync_async
Top-level Entity Name	_dff_r_sync_async
Family	Cyclone V
Device	5CSXFC6D6F31C6
Timing Models	Final
Logic utilization (in ALMs)	1 / 41,910 (< 1 %)
Total registers	2
Total pins	5 / 499 (1 %)
Total virtual pins	0
Total block memory bits	0 / 5,662,720 (0 %)
Total DSP Blocks	0 / 112 (0 %)
Total HSSI RX PCSs	0 / 9 (0 %)
Total HSSI PMA RX Deserializers	0 / 9 (0 %)
Total HSSI TX PCSs	0 / 9 (0 %)
Total HSSI PMA TX Serializers	0 / 9 (0 %)
Total PLLs	0 / 15 (0 %)
Total DLLs	0 / 4 (0 %)

5. 고찰 및 결론

A. 고찰

32 bits register를 설계할 때, 웨이브폼을 돌리는 과정에서 'code 7'로 에러가 나며 화면이 나오지 않았다. 이에 관련 오류 해결방안을 찾아본 결과, 여러 원인이 있을 수 있지만 주로 윈도우 이름이 영어가 아닌 경우 발생하는 문제로 보였다. 그래서 영어 이름의 다른 컴퓨터에서 같은 코드로 다시 돌려 보니 정상적으로 출력될 수 있었다.

B. 결론

D latch와 여러 종류의 D flip-flop에 대해 직접 구현해보면서 각 역할을 자세히 알 수 있었다. 특히 동기식 / 비동기식 D flip-flop에 대한 차이를 확실히 알 수 있었는데, 그 차이는 다음과 같다.

-D FF with active-low synchronous reset and set과 D FF with active-low asynchronous reset and set의 차이

Synchronous의 reset은 clock에 의해 설정되므로, 실습에서도 처음 clock이 0인 동안에는 reset에 관계없이 Q값이 x가 되는 것을 확인하였다. 또한 reset이 active-low에서 활성화 되면 다음 clock의 edge까지 Q값은 무조건 0이 되는 방식이다. 이러한 동기식 flip-flop은 clock이 우선시되므로, always 구문을 사용할 때도 그 조건이 'posedge clk'식으로만 들어가게 된다. Clock이 상승하는 순간에 들어가서 그 다음 if문으로 reset이 활성화 되어 있는지 확인하게 되는 것이다.

Asynchronous의 reset은 clock과 독립적으로 작동된다. Reset이 active-low에서 활성화되면 clock을 확인할 필요 없이 그 즉시 Q값은 0이 되는 방식이다. 처음에 clock이 0이더라도 reset이 0이면 Q값은 바로 0이 되는 것을 실습에서 확인하였다. 이러한 비동기식 flip-flop은 clock과 reset이 독립적으로 작동되기 때문에 always 구문을 사용할 때도 그 조건이 'posedge clk or negedge reset'식으로 들어가게 된다. Clock이 상승하는 순간 또는 reset이 0인 순간에 들어가서 if문으로 reset이 0인지 아닌지에 따라 값을 할당한다. 위 동기식 구문과 비교하였을 때, 안쪽의 if문은 동일하지만 그 조건이 되는 always 구문은 다르게 작성된다. 또한 일반적으로 동기식 회로보다 비동기식 회로가 빠르지만, reset과 관련하여 metastability 문제가 발생할 수 있기 때문에 설계 회로에 따라 그에 맞는 방식으로 사용하는게 좋다.

6. 참고문헌

David Money Harris and Sarah L. Harris / Digital Design and Computer Architecture / Elsevier / 2007