



ΕΘΝΙΚΟ ΜΕΤΣΟΒΙΟ ΠΟΛΥΤΕΧΝΕΙΟ

ΣΧΟΛΗ ΗΛΕΚΤΡΟΛΟΓΩΝ ΜΗΧΑΝΙΚΩΝ ΚΑΙ ΜΗΧΑΝΙΚΩΝ ΥΠΟΛΟΓΙΣΤΩΝ

ΤΟΜΕΑΣ ΤΕΧΝΟΛΟΓΙΑΣ ΠΛΗΡΟΦΟΡΙΚΗΣ ΚΑΙ ΥΠΟΛΟΓΙΣΤΩΝ

ΕΡΓΑΣΤΗΡΙΟ ΜΙΚΡΟΥΠΟΛΟΓΙΣΤΩΝ ΚΑΙ ΨΗΦΙΑΚΩΝ ΣΥΣΤΗΜΑΤΩΝ

Ψηφιακά Συστήματα VLSI

2η Εργαστηριακή Άσκηση

Σχεδιασμός Αριθμητικών Μονάδων με Ιεραρχική Σχεδίαση & Εφαρμογή της Τεχνικής Pipelining

Σκοπός της εργαστηριακής άσκησης είναι: (i) η περαιτέρω εξοικείωση με τους τρεις τρόπους περιγραφής κυκλωμάτων με χρήση της γλώσσας περιγραφής υλικού VHDL, (ii) η κατανόηση της διαφοράς ενός συνδυαστικού κυκλώματος (combinational circuit) και ενός ακολουθιακού κυκλώματος (sequential circuit) και (iii) ο σχεδιασμός πολύπλοκων αριθμητικών κυκλωμάτων κάνοντας χρήση απλούστερων δομικών μονάδων.

Τα ζητήματα της άσκησης είναι:

- 1) Να υλοποιήσετε συνδυαστικό Ημιαθροιστή (Half Adder - HA) με **περιγραφή ροής δεδομένων (Dataflow)**.
- 2) Να υλοποιήσετε Πλήρη Αθροιστή (Full Adder - FA) με τους ακόλουθους τρόπους:
 - a) με **περιγραφή δομής (Structural)** και **βασιζόμενοι στην δομική μονάδα του Ζητήματος 1**, καθώς και χρήση επιπλέον λογικής που θεωρείτε απαραίτητη. Να σχεδιαστεί συνδυαστικό και ακολουθιακό κύκλωμα.
 - b) με **περιγραφή συμπεριφοράς (Behavioral)** και **χρησιμοποιώντας τον τελεστή '+' της VHDL**. Να σχεδιαστεί συνδυαστικό και ακολουθιακό κύκλωμα.Τα **ακολουθιακά κυκλώματα** θα πρέπει να έχουν **σύγχρονη είσοδο μηδενισμού** (σύγχρονο reset), η οποία ενεργοποιείται στην τιμή '1'.
- 3) Να υλοποιήσετε Παράλληλο Αθροιστή Διάδοσης Κρατουμένου (Ripple-Carry Adder - RCA) των 4 bits (4-bit RCA) με **περιγραφή δομής (Structural)**. Συγκεκριμένα:
 - a) **βασιζόμενοι στην δομική μονάδα του συνδυαστικού FA του Ζητήματος 2.a ή 2.b**, να σχεδιάσετε έναν συνδυαστικό 4-bit RCA.
 - b) **βασιζόμενοι στην δομική μονάδα του ακολουθιακού FA του Ζητήματος 2.a ή 2.b**, να σχεδιάσετε έναν ακολουθιακό 4-bit RCA με χρήση της τεχνικής **Pipeline**. Το κύκλωμα θα πρέπει να τροφοδοτείται με ένα **διαφορετικό ζεύγος εισόδων σε κάθε κύκλο ρολογιού** και να δίνει αντίστοιχα **ορθό αποτέλεσμα σε κάθε κύκλο ρολογιού** έπειτα από κάποια αρχική καθυστέρηση $T_{latency}$. Να κάνετε χρήση επιπλέον λογικής που θεωρείτε απαραίτητη.
- 4) Να υλοποιήσετε έναν συνδυαστικό BCD Πλήρη Αθροιστή (BCD Full Adder - BCD FA) με **περιγραφή δομής (Structural)**. Να χρησιμοποιήσετε τη δομική μονάδα που υλοποιήθηκε στο **Ζήτημα 3.a**, οποιαδήποτε συνδυαστική δομική μονάδα από τα προηγούμενα ερωτήματα, καθώς και επιπλέον λογική που θεωρείτε απαραίτητη.
- 5) Να υλοποιήσετε έναν Παράλληλο BCD Αθροιστή των 4 ψηφίων (4-BCD Parallel Adder - 4-BCD PA) με **περιγραφή δομής (Structural)**, **βασιζόμενοι στην δομική μονάδα του Ζητήματος 4**.
- 6) Να υλοποιήσετε ένα συστολικό (είδος pipeline) Πολλαπλασιαστή Διάδοσης Κρατουμένων των 4 bits **κάνοντας χρήση ακολουθιακών FA που σχεδιάσατε στο Ζήτημα 2.a ή 2.b**. Το κύκλωμα θα πρέπει να τροφοδοτείται με ένα **διαφορετικό ζεύγος εισόδων σε κάθε κύκλο ρολογιού** και να δίνει αντίστοιχα **ορθό αποτέλεσμα σε κάθε κύκλο ρολογιού** έπειτα από κάποια αρχική καθυστέρηση $T_{latency}$.

Για κάθε ένα από τα ζητούμενα (1)-(6) της άσκησης θα πρέπει:

- A. Να παρουσιάσετε το δομικό διάγραμμα (RTL schematic) της αρχιτεκτονικής του κυκλώματος.
- B. Να δημιουργήσετε σχετικό testbench με το οποίο θα γίνεται ο έλεγχος της ορθής λειτουργίας του κυκλώματος.
- C. Να βρείτε και να αναφέρετε το κρίσιμο μονοπάτι (critical path) του κυκλώματος, καθώς επίσης και την χρονική του καθυστέρηση, αφού κάνετε σύνθεση (synthesis) του κυκλώματός σας με το εργαλείο Xilinx Vivado.
- D. Να καταγράψετε την κατανάλωση πόρων του FPGA (resource utilization) για την υλοποίηση του κυκλώματος, με χρήση του εργαλείου Xilinx Vivado.

=====

Ερωτήματα θεωρίας:

- I. Ποια είναι η διαφορά ενός ακολουθιακού κυκλώματος που έχει σύγχρονα σήματα ελέγχου σε σχέση με το ίδιο ακολουθιακό κύκλωμα που έχει ασύγχρονα σήματα ελέγχου (π.χ reset, enable, load, etc.); Πως διαφοροποιείται η λειτουργία τους;
 - II. Για ποιο λόγο πραγματοποιείται η σύνθεση του κυκλώματος αφού ο σχεδιαστής έχει υλοποιήσει το κύκλωμα του με VHDL και έχει ελέγξει τη ορθή λειτουργία του με χρήση testbench; Τι παίρνει ως είσοδο το στάδιο της σύνθεσης και τι παράγει ως έξοδο;
 - III. Να επισημάνετε και να δικαιολογήσετε τις διαφορές που υπάρχουν μεταξύ ενός testbench για συνδυαστικό κύκλωμα και ενός testbench για ακολουθιακό κύκλωμα.
 - IV. Να σχολιάσετε και να αιτιολογήσετε τις διαφορές που παρατηρείτε στο κρίσιμο μονοπάτι και στην κατανάλωση πόρων του FPGA για τα κυκλώματα που υλοποιήθηκαν στο ζητούμενο 3.
- =====

Υπόδειξη: Πληροφορίες για την εύρεση του κρίσιμου μονοπατιού (critical path) και την κατανάλωση πόρων (resource utilization) μετά το στάδιο της σύνθεσης, θα βρείτε στον οδηγό χρήσης του εργαλείου Vivado στη σελίδα του εργαστηρίου στο mycourses.

=====

Σημείωση: Η αναφορά της **2ης Εργαστηριακής Άσκησης** θα περιλαμβάνει τις απαντήσεις σε ΟΛΑ τα ανωτέρω ζητήματα και ερωτήματα της άσκησης.