

numele și grupa : Plesca Natalia 333AB

La modulul sensors\_input:

În cazul în care un senzor e zero, perechea lui se anulează. Verificăm cel mai semnificativ bit, bitul 0, la semnalele senzorilor rămași să fie egali, deoarece la adunarea a două numere pare sau a două numere impare, rezultatul va fi par, deci se va împărți la 2, dacă nu se adună 1 la suma semnalelor.

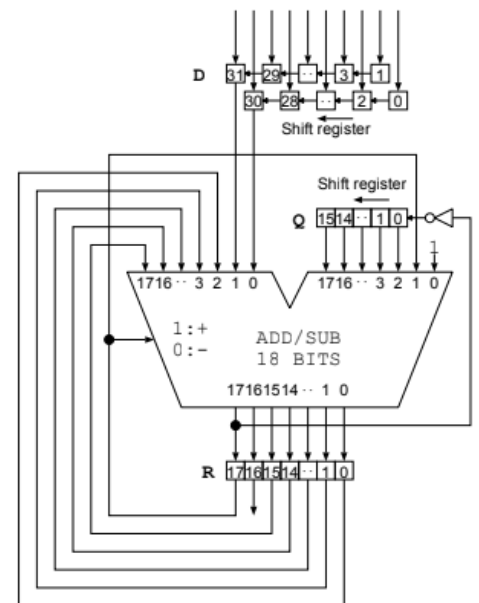
În cazul în care nu se anulează nici un semnal, verificăm ca ultimii 2 cei mai ne semnificativi biți ai sumei semnalelor să fie 0, dacă nu, se adună la suma 2.

La modulul square\_root am implementat VLSI versiunea iterativă pentru că asta mi s-a părut mai simplu de implementat.

Aici "d" este numărul de intrare și e shiftat cu 2 cifre la stânga la fiecare iteratie.

"q" conține rădăcina pătrată a lui „d” și este inițializat cu zero la început apoi va fi shiftat cu 1 cifră la stânga la fiecare iteratie.

"r" este restul operației pentru pătratele neperfecte.



La modulul display\_and\_drop am verificat cazurile de egalitate între timpuri și a lui drop\_en cu 1, apoi am reprezentat pe display cu case-uri pentru fiecare segment