

Logika cyfrowa

Programistyczna lista zadań nr 7

Termin: 20 kwietnia 2020

Uwaga! Poniższe zadania należy rozwiązać przy użyciu języka SystemVerilog, sprawdzić w DigitalJS oraz wysłać w systemie Web-CAT na SKOS. Należy pamiętać, aby nazwy portów nadesłanego modułu zgadzały się z podanymi w treści zadania. Wysłany plik powinien mieć nazwę `toplevel.sv`. **Nie przestrzeganie tych zasad będzie skutkować przyznaniem 0 punktów.**

1. Zaimplementuj układ czterobitowego licznika synchronicznego, którego wartość w każdym cyklu zegara zwiększa się lub zmniejsza o 1 lub o 2. Możesz w tym celu wykorzystać dowolny wybrany rodzaj przerzutnika. Układ powinien mieć następujące wejścia i wyjścia:

- `clk` – wejście sygnału zegara,
- `nrst` – wejście sygnału resetu asynchronicznego (zanegowane – stan niski oznacza reset),
- `step` – stan niski oznacza krok 1, stan wysoki – krok 2,
- `down` – stan niski oznacza odliczanie w górę, wysoki – w dół,
- `out` – czterobitowe wyjście, stan licznika.

Kod powinien specyfikować model bramkowy – nie używaj arytmetyki SystemVeriloga. Dozwolone są multipleksery specyfikowane przez wyrażenia warunkowe.