

Logika cyfrowa

Programistyczna lista zadań nr 3

Termin: 22 marca 2020

Uwaga! Poniższe zadania należy rozwiązać przy użyciu języka SystemVerilog, sprawdzić w DigitalJS oraz wysłać w systemie Web-CAT na SKOS. Należy pamiętać, aby nazwy portów nadesłanego modułu zgadzały się z podanymi w treści zadania. Wysłany plik powinien mieć nazwę `toplevel.sv`. **Nie przestrzeganie tych zasad będzie skutkować przyznaniem 0 punktów.**

1. Zaimplementuj układ dodajco-odejmujący dla liczb dwucyfrowych w formacie BCD. Operacje powinny być wykonywane modulo 100; przykładowo, wynikiem dodawania liczb 60 i 50 powinno być 10. Nie używaj operatorów arytmetycznych SystemVeriloga.

Główny moduł powinien posiadać wejścia ośmiobitowe `a` oraz `b`, jedno wejście jednobitowe `sub` oraz jedno wyjście ośmiobitowe `o`. Wejścia oraz wyjścia oznaczają liczby BCD, gdzie każdy półbajt oznacza jedną cyfrę dziesiętną. Gdy wejście `sub` ma stan wysoki, układ powinien wykonać operację odejmowania; gdy ma stan niski, dodawania.

2. Zaimplementuj 16-bitowy sumator hierarchiczny z przewidywaniem przeniesienia wykorzystujący grupy czterobitowe. Ścieżka krytyczna w zaimplementowanym układzie nie powinna być dłuższa niż 16 bramek (oczywiście może być krótsza). Nie używaj operatorów arytmetycznych SystemVeriloga.

Główny moduł powinien posiadać wejścia szesnastobitowe `a` oraz `b` oraz jedno wyjście szesnastobitowe `o`.