

Logika cyfrowa

Programistyczna lista zadań nr 6

Termin: 15 kwietnia 2020

Uwaga! Poniższe zadania należy rozwiązać przy użyciu języka SystemVerilog, sprawdzić w DigitalJS oraz wysłać w systemie Web-CAT na SKOS. Należy pamiętać, aby nazwy portów nadesłanego modułu zgadzały się z podanymi w treści zadania. Wysłany plik powinien mieć nazwę `toplevel.sv`. **Nie przestrzeganie tych zasad będzie skutkować przyznaniem 0 punktów.**

1. Zaimplementuj w SystemVerilogu układ znany jako uniwersalny rejestr przesuwny. Jest to układ rejestru, który w zależności od wejść sterujących wykonuje na zboczu narastającym zegara albo załadowanie bitu z lewej lub prawej strony, albo załadowanie równoległe wszystkich bitów. Układ powinien mieć następujące wejścia i wyjścia:

- `q` – ośmiobitowe wyjście,
- `d` – ośmiobitowe wejście ładowania równoległego,
- `i` – jednobitowe wejście ładowania szeregowego,
- `c` – jednobitowe wejście sygnału zegara,
- `l` – jednobitowe wejście wybierające ładowanie z lewej strony (MSB),
- `r` – jednobitowe wejście wybierające ładowanie z prawej strony (LSB).

Kiedy zarówno `l` oraz `r` mają stan niski, impuls zegara powinien nie zmieniać stanu układu. Kiedy zarówno `l` oraz `r` mają stan wysoki, impuls zegara powinien wywołać ładowanie równoległe.

Układ powinien być modelem bramkowym – nie wolno w tym zadaniu korzystać z wbudowanej arytmetyki, w tym z operatora przesunięcia bitowego. Wolno specyfikować multipleksery przy użyciu wyrażenia warunkowego.