



**UNIVERSIDADE FEDERAL DE SÃO PAULO**

**NATHÁLIA CRISTINA PIRES VIDAL**

**RA:139958**

**IMPLEMENTAÇÃO POR MÁQUINA DE ESTADOS MOORE:  
CONTADOR CRESCENTE E DECRESCENTE**

**SÃO JOSÉ DOS CAMPOS, DEZEMBRO 2022**

# **IMPLEMENTAÇÃO POR MÁQUINA DE ESTADOS MOORE: CONTADOR CRESCENTE E DECRESCENTE**

Relatório apresentado à Universidade Federal de São Paulo como parte dos requisitos para aprovação na disciplina de Laboratório de Sistemas Computacionais: Circuitos Digitais.

Docente: Prof. Dr. Lauro Paulo da Silva Neto  
Universidade Federal de São Paulo- UNIFESP  
Instituto de Ciência e Tecnologia - Campus São José dos Campos-SP

**SÃO JOSÉ DOS CAMPOS, DEZEMBRO/2022**

## RESUMO

Máquina de estados finitos são autômatos finitos que produzem uma saída de dados baseando-se no estado em que se encontram e na entrada de dados. Neste projeto, utilizou-se uma máquina de estados finitos do tipo Moore. A máquina de estados Moore possui dez estados e alterna entre eles através de quatro funções: estado atual, próximo estado, estado anterior e display apagado, combinando o estado atual com as entradas UP e DOWN. Utilizando-se uma frequência de 1Hz e um clock de 50 MHz, a máquina percorre a sequência de números 0-8-2-4-5-4-9-0-3, a qual mostrou-se no display de sete segmentos. A implementação foi feita no Software Quartus em esquemático e carregada na placa FPGA DE2-215.

**Palavras-chaves:** Máquina de estados, Moore, Display de Sete Segmentos, Quartus.

## LISTA DE ILUSTRAÇÕES

Figura 1 - Porta AND .....	9
Figura 2 - Porta OR .....	10
Figura 3 - Porta NOT .....	10
Figura 4 - Elementos de memória.....	11
Figura 5- Máquina de Estados Finitos .....	11
Figura 6 - Modelo Máquina Moore .....	12
Figura 7- Forma de onda de um Divisor de Frequência .....	12
Figura 8- Bloco decodificador de 7 segmentos .....	13
Figura 9 - Display de 7 segmentos. ....	13
Figura 10 - Divisor de frequência.....	15
Figura 11 - Representação Display de Sete Seguimentos .....	15
Figura 12 - Tabela verdade para o Display de 7 segmentos.....	15
Figura 13 - Esquemático Decodificador BCD.....	16
Figura 14 - Diagrama de estados .....	17
Figura 15- Circuito combinacional para os bits 3 e 2.....	18
Figura 16 - Circuito combinacional para os bits 1 e 0.....	18
Figura 17 - Circuito combinacional de saída.....	19
Figura 18 - Circuito Final do contador .....	19

## LISTA DE TABELAS

Tabela 1 - Tabela-verdade Porta AND .....	9
Tabela 2 - Tabela-verdade Porta OR .....	10
Tabela 3 - Tabela-verdade Porta NOT .....	10
Tabela 4 - Tabela-verdade máquina de estados.....	16
Tabela 5 - Transição de estados.....	17

## SUMÁRIO

<b>1. INTRODUÇÃO .....</b>	<b>7</b>
<b>2. OBJETIVOS.....</b>	<b>8</b>
2.1 Gerais.....	8
2.2 Específicos.....	8
<b>3. FUNDAMENTAÇÃO TEORICA.....</b>	<b>9</b>
3.1 Elementos básicos de Circuitos Digitais.....	9
3.1.1 Portas Lógicas.....	9
3.1.2 Elementos de Memória.....	10
3.2 Máquina de estados finitos.....	11
3.3 Divisor de frequência.....	12
3.4 Decodificador BCD.....	13
<b>4. DESENVOLVIMENTO DO TRABALHO .....</b>	<b>14</b>
4.1 Divisor de frequencia.....	14
4.2 Decodificador BCD.....	15
4.3 Máquina de Estados.....	16
4.4 Circuito final.....	19
<b>5. RESULTADOS OBTIDOS E DISCUSSÃO.....</b>	<b>20</b>
<b>6. CONSIDERAÇÕES FINAIS.....</b>	<b>20</b>
<b>REFERÊNCIAS.....</b>	<b>21</b>

## **1. INTRODUÇÃO**

Atualmente as novas tecnologias estão presentes no dia a dia de todos, sendo utilizadas para diversas funcionalidades. Partindo desse atual contexto histórico, temos os circuitos digitais, o qual possui diversas vantagens e serve como base para diversos estudos principalmente na área da computação.

Nesse projeto trabalhamos com o conceito de máquina de estados, nesse caso, a máquina de estados Moore, a qual possui dez estados. Para esse projeto, utilizaremos: Um divisor de frequência e um decodificador BCD os quais serão explicadas ao decorrer deste relatório, formando-se assim um contador crescente e decrescente.

## 2. OBJETIVOS

### 2.1 Gerais:

Desenvolver um contador para a sequência 0-8-2-4-5-4-9-0-3 através de uma máquina de estados do tipo Moore, com um tempo de transição de um segundo, que possua três sinais de entrada *up*, *down* e *reset*. Utilizando um desses sinais, ou a combinação deles devemos fazer com que a sequência seja apresentada em um display de sete segmentos, podendo manter o estado, ir para o estado seguinte, ir para o estado anterior e display desligado.

### 2.2 Específicos:

- Implementar um divisor de frequências responsável por converter o sinal do clock de 50,0 MHz para 1,0 Hz, fazendo com que um ciclo ocorra a cada um segundo;
- Desenvolver um diagrama de estados;
- Projetar o circuito da Máquina de Estados;
- Implementar um decodificador de saída BCD responsável por transformar o sinal obtido do circuito combinacional de saída em um número que será representado em um display de sete segmentos;
- Projetar o circuito da Máquina de Estados;
- Combinar os circuitos produzidos;
- Analisar os resultados.



### 3. FUNDAMENTAÇÃO TEORICA

#### 3.1 Elementos básicos de Circuitos Digitais

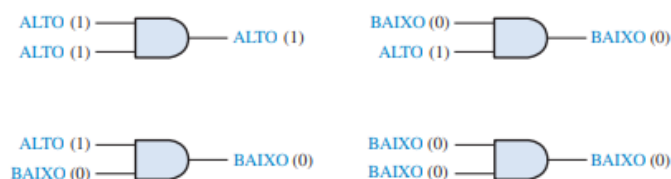
##### 3.1.1 Portas Lógicas

Portas lógicas são dispositivos que trabalham com um ou mais sinais de entrada e o transformam em um único sinal de saída. Combinados dão origem aos circuitos lógicos, tornando possível realizar diversas operações. Cada uma possui suas características, mas o que difere um do outro é que dados armazenados de saídas anteriores podem alterar as próximas.

Dentro das portas lógicas fundamentais, existem os principais operadores: AND, OR e NOT.

- **Porta AND:** Consiste em valores de saída com nível lógico alto sempre que qualquer uma das variáveis de entrada apresentar nível lógico alto.

*Figura 1- Porta AND*



Fonte: Sistemas Digitais (1).

Como podemos observar na tabela verdade abaixo, a saída (S) apresenta o valor “1” apenas se as duas entradas (x1 e x2) apresentarem o valor “1”.

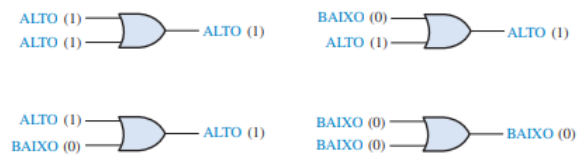
*Tabela 1 - Tabela-verdade Porta AND*

AND		
x1	x2	S
0	0	0
0	1	0
1	0	0
1	1	1

Fonte: Autor

- **Porta OR:** Consiste em valores de saída com nível lógico alto sempre que qualquer uma das variáveis de entrada apresentarem nível alto.

Figura 2 - Porta OR



Fonte: Sistemas Digitais (1).

- Como podemos observar na tabela verdade abaixo, a saída (S) apresenta o valor “1” se qualquer uma das as duas entradas (x1 e x2) apresentarem o valor “1”.

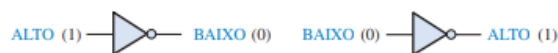
Tabela 2 - Tabela-verdade Porta OR

OR		
x1	x2	S
0	0	0
0	1	1
1	0	1
1	1	1

Fonte: Autor

- **Porta NOT:** A saída corresponde ao valor oposto ao valor de entrada. Ou seja, a Porta NOT inverte o valor da entrada.

Figura 3 - Porta NOT



Fonte: Sistemas Digitais (1).

Tabela 3 - Tabela-verdade Porta NOT

NOT	
x1	S
1	0
0	1

Fonte: Autor.

### 3.1.2 Elementos de Memória

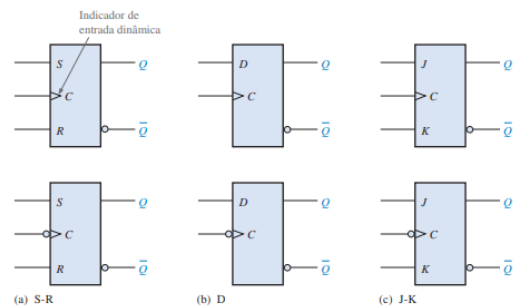
Um *flip-flop* é um circuito lógico com dois estados estáveis, armazena um bit de cada vez, podendo ser 1 ou 0. A saída de um *flip-flop* indica qual bit está armazenado. Um nível ALTO na saída indica que um 1 está armazenado e um

nível BAIXO na saída indica que um 0 está armazenado. Seu funcionamento é sensível a uma entrada que chamamos de clock, que nada mais é uma onda que assume valores altos e baixos determinados por uma frequência que o mesmo possui.

O do tipo D conduz a entrada para saída, ou seja, quando a entrada for 0 teremos esse valor na saída e o mesmo acontece para o bit 1,

Já o JK, é mais completo, possuindo as funções de manter, setar e resetar

Figura 4 - Elementos de memória

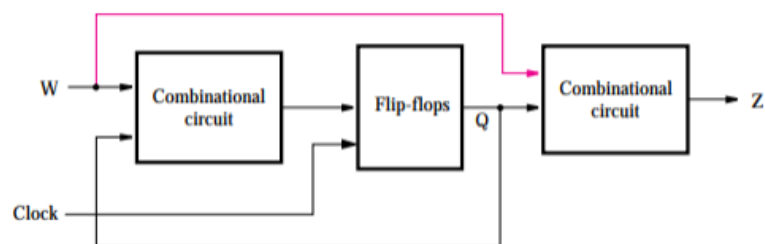


Fonte: Sistemas Digitais (1).

### 3.2 Máquina de estados finitos

Máquina de Estados Finitos é uma maquina abstrata que possui um número finito de estados. A máquina está em apenas um estado por vez, chamado de estado atual, podendo fazer transições. Essas transições são mudanças de estado, armazenando sempre informações de entrada e saída. A máquina é formada por um circuito combinacional de entrada, que definirá o próximo estado, um conjunto de Flip-Flops para armazenar o estado atual, e outro circuito combinacional que diz a lógica da saída que pode ou não depender da entrada. A máquina de estados pode ser do tipo Moore ou Mealy, sendo que a diferença entre elas é que na máquina Mealy a entrada também influencia o valor de saída.

Figura 5- Máquina de Estados Finitos



Fonte: Fundamentals of Digital Logic with VHDL Desgin (2)

A Máquina de Moore gera uma saída enquanto o circuito está em um estado ao invés de uma transição, isto é, a saída depende apenas do estado atual.

Figura 6 - Modelo Máquina Moore

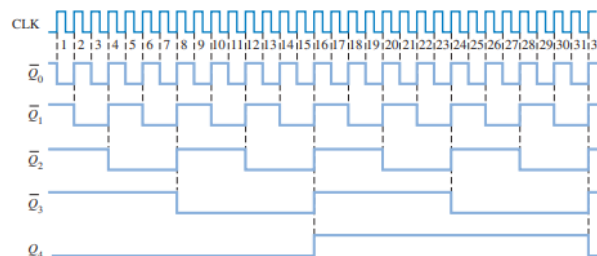


Fonte: Autor

### 3.3 Divisor de frequência

Um divisor de frequência é um contador com unidades de memória conhecidos como *Flip-Flops* ordenados em sequência. Possuem a função de dividir a frequência fundamental de entrada por dois, ou seja, a cada *Flip-Flop*, a frequência cai pela metade, como podemos observar na figura:

Figura 7- Forma de onda de um Divisor de Frequência



Fonte: Sistemas Digitais: Fundamentos e Aplicações, p. 473 (1)

O divisor de frequência é um contador binário, onde o bit mais significativo é o que possui o maior tempo de mudança de estado.

Assim, para descobrirmos a quantidade necessária de *Flip-Flops* temos as equações:

$$T = \frac{1}{f} \quad (3.1)$$

onde,  $f$  é a frequência do Clock e  $T$  o tempo de ciclo do Clock.

Através do tempo de ciclo  $T$  devemos descobrir quantos ciclos de clock,  $X$ , precisamos para atingir a frequência desejada  $F$ , temos que:

$$X = \frac{F}{T} \quad (3.2)$$

Assim, para determinar a quantidade de *Flip-Flops*,  $N$ , temos:

$$2^N = X \Rightarrow N = \frac{\log_{10} X}{\log_{10} 2} \quad (3.3)$$

### 3.4 Decodificador bcd

Decodificador bcd é um decodificador que transforma um número binário que representa um certo estado, em um número decimal a ser projetado no display de sete segmentos, como mostrado na Figura 3 a seguir:

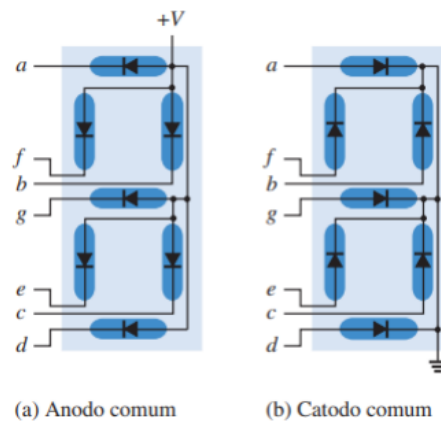
Figura 8- Bloco decodificador de 7 segmentos



Fonte: João Marcos de Aguiar

Esse decodificador é ligado ao display de 7 segmentos, o qual é um grupo de LEDs que em conjunto são capazes de formar letras e números de acordo com as entradas. O display pode ser do tipo cátodo ou ânodo comum, o que significa que ou os LEDs estão com os terminais positivos em comum ou os negativos, portanto para cada tipo, o valor de entrada para ligá-los é diferente.

Figura 9 - Display de 7 segmentos.



Fonte: Sistemas Digitais (1)

## 4. DESENVOLVIMENTO DO TRABALHO

A proposta do projeto é construir um contador que funciona de forma crescente e decrescente e percorresse por uma sequência destinada a cada aluno, de forma individual, através de uma Máquina de Estados Finitos desenvolvido no software Quartus Prime.

A sequência a ser percorrida é 0-8-2-4-5-4-9-0-3 e o tipo de máquina de estados é a Moore. Para melhor compreensão e entendimento, o projeto foi dividido em: Projetar um divisor de frequência para a contagem de 1 segundo, projetar uma Máquina de Estados e projetar um decodificador BCD para o Display de 7 segmentos.

### 4.1 Divisor de frequência

O divisor de frequência deverá alterar a contagem, atrasar o sinal do clock recebido, a cada segundo, ou seja, a cada 1 hertz, possibilitando assim, a manipulação do tempo da troca de estados. A saída terá o nível alto “1” após 1 segundo ou 1 Hz, portanto é necessário que se utilize um divisor de frequências.

Para sabermos o tempo de ciclo do Clock,  $T$ , da FPGA, para isso, utilizamos a equação 3.1:

$$T = 150 * 106 = 20 * 10^{-9} s \quad (4.1)$$

Portanto, temos que o tempo do ciclo de Clock da FPGA é de 20ns. Como a frequência desejada,  $F$ , é 1Hz, utilizamos a equação 3.2 para descobrir em quantos ciclos de clock,  $X$ , atingimos em 1s:

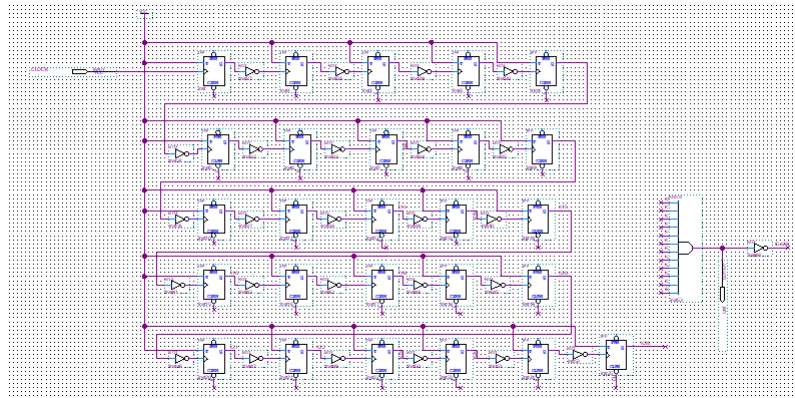
$$X = 120 * 10^{-9} = 50 * 106 \text{ ciclos} \quad (4.2)$$

Sabendo que precisamos de 50 milhões de ciclo de clock, utilizamos a equação 3.4 para encontrarmos quantos Flip-Flops,  $N$ , precisamos:

$$N = \frac{\log_{10} 50 * 10^6}{\log_{10} 2} = 25,57 \quad (4.3)$$

Assim, chegamos ao número de 26 Flip-Flops, temos o circuito resultante abaixo:

Figura 10 - Divisor de frequência

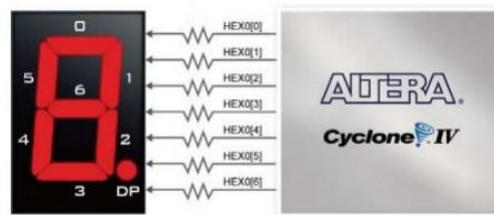


Fonte: Autor.

## 4.2 Decodificador BCD

Para esse projeto, devemos projetar um circuito que satisfaça a projeção de números de 0 a 9 no Display de 7 segmentos, transformando assim, os 4 bits provenientes do circuito combinacional de saída em um número decimal a ser representado. Assim como representado na Figura 11, a seguir:

Figura 11 - Representação Display de Sete Segamentos



Fonte: Manual DE2-115 (3).

Assim, teremos a seguinte tabela verdade:

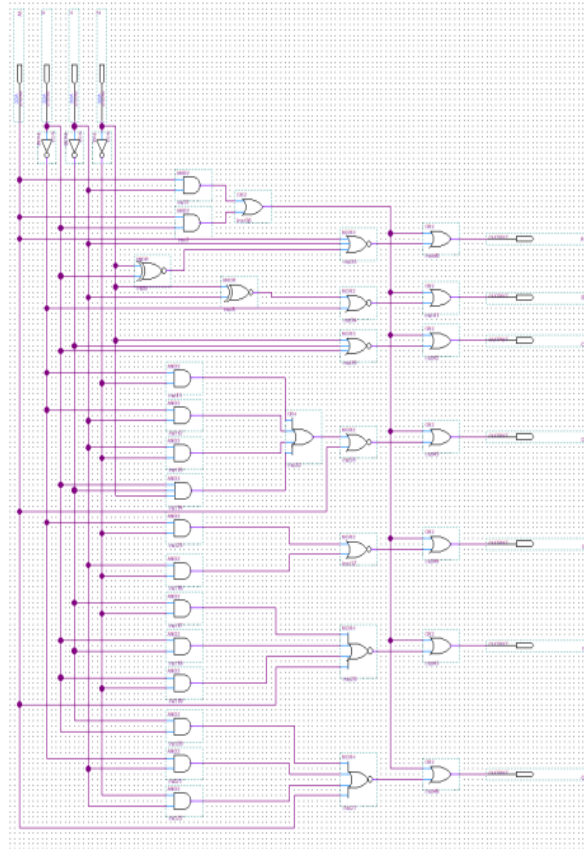
Figura 12 - Tabela verdade para o Display de 7 segmentos

ENTRADAS				SAÍDA DISPLAY 7 SEGMENTOS							NÚMERO
W	X	Y	Z	a	b	c	d	e	f	g	-
0	0	0	0	1	1	1	1	1	1	0	0
0	0	0	1	0	1	1	0	0	0	0	1
0	0	1	0	1	1	0	1	1	0	1	2
0	0	1	1	1	1	1	1	0	0	1	3
0	1	0	0	0	1	1	0	0	1	1	4
0	1	0	1	1	0	1	1	0	1	1	5
0	1	1	0	1	0	1	1	1	1	1	6
0	1	1	1	1	1	1	0	0	0	0	7
1	0	0	0	1	1	1	1	1	1	1	8
1	0	0	1	1	1	1	1	0	1	1	9

Fonte: Autor.

Através de um mapa de Karnaugh para cada saída de a a g, que foi resolvido através do website 32x8.com (5), o circuito resultante é:

Figura 13 - Esquemático Decodificador BCD



Fonte: Autor

### 4.3 Máquina de Estados

A máquina de estados deve conter dez estados, onde nove serão representados por números decimais, e o décimo estado será o display apagado. A mudança de

estados é coordenada por duas entradas denominadas UP e DOWN, como mostrado a seguir:

Tabela 4 - Tabela-verdade máquina de estados

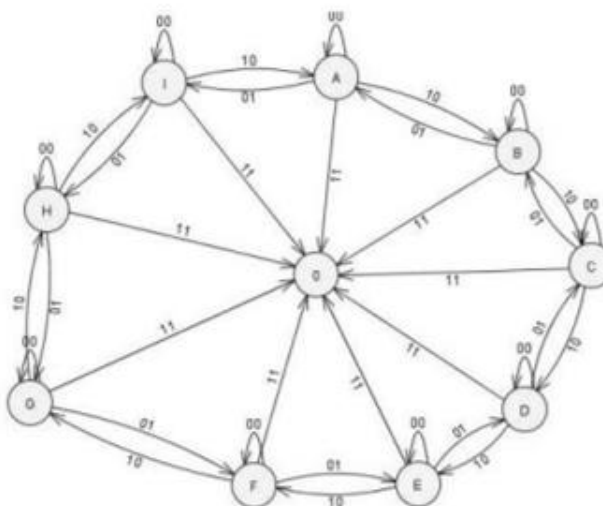
UP	DOWN	SAÍDA
0	0	MANTER ESTADO
0	1	DECRESCENTE
1	0	CRESCENTE
1	1	APAGAR DISPLAY

Fonte: Autor



Com os dados da tabela verdade podemos montar um diagrama de estados para compreender e analisar todas as utilidades. Usando o software chamado de JFLAP (4) podemos gerar o diagrama da Figura 14:

Figura 14 - Diagrama de estados



Fonte: Autor.

Baseado no diagrama de estados, temos que gerar uma tabela que abranja todas as possibilidades de transição.

Tabela 5 - Transição de estados

ESTADO	ESTADO ATUAL				PRÓXIMO ESTADO				SAÍDA
	E3	E2	E1	E0	U,D = 0,0	U,D = 0,1	U,D = 1,0	U,D = 1,1	
A	0	0	0	0	0,0,0,0	1,0,0,0	0,0,0,1	1,0,0,1	0
B	0	0	0	1	0,0,0,1	0,0,0,0	0,0,1,0	1,0,0,1	8
C	0	0	1	0	0,0,1,0	0,0,0,1	0,0,1,1	1,0,0,1	2
D	0	0	1	1	0,0,1,1	0,0,1,0	0,1,0,0	1,0,0,1	4
E	0	1	0	0	0,1,0,0	0,0,1,1	0,1,0,1	1,0,0,1	5
F	0	1	0	1	0,1,0,1	0,1,0,0	0,1,1,0	1,0,0,1	4
G	0	1	1	0	0,1,1,0	0,1,0,1	0,1,1,1	1,0,0,1	9
H	0	1	1	1	0,1,1,1	0,1,1,0	1,0,0,0	1,0,0,1	0
I	1	0	0	0	1,0,0,0	0,1,1,1	0,0,0,0	1,0,0,1	3
APAGADO	1	0	0	1	1,0,0,1	0,0,0,0	0,0,0,0	1,0,0,1	OFF

Fonte: Autor.

Assim, com a tabela montada, utilizamos mapa de Karnaugh para gerar o circuito combinacional de entrada, o mapa de Karnaugh foi resolvido utilizando o website 32x8.com (2).

As equações obtidas para as entradas dos registradores são:

$$Y3 = UD + U'D'y3 + Uy2y1y0 + Dy3'y2'y1'y0' \quad (4.4)$$

$$Y2 = D' y2y1' + D' y2y0' + U' y2y0 + U' y2y1 + U' Dy3y0' + UD' y2' y1y0 \quad (4.5)$$

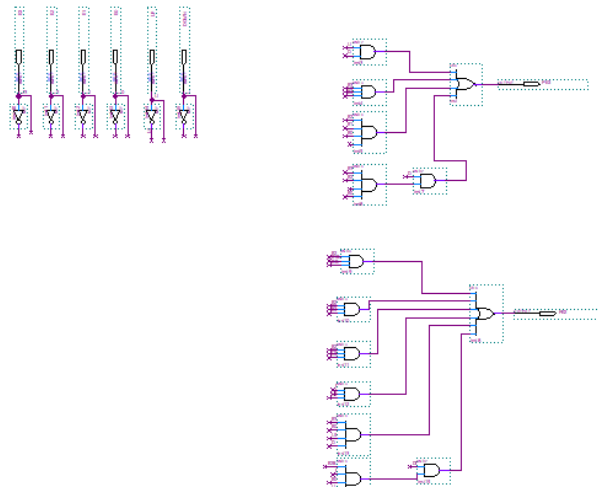
$$Y1 = D' y1y0' + U' y1y0 + U' Dy3y0' + UD' y3' y1' y0 + U' Dy2y1' y0' \quad (4.6)$$

$$Y0 = UD + Uy3' y0' + U' D' y0 + Dy1' y0' + Dy2y0' + Dy3y0' \quad (4.7)$$

Onde Y3,Y2,Y1,Y0 são as entradas dos registradores, y3,y2,y1,y0 são as saídas dos registradores, U,D são as entradas Up e Down, respectivamente.

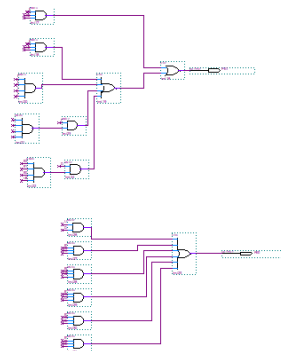
Com essas expressões podemos reproduzi-las no esquemático e fazer um circuito de transição de estados e circuito de saída. Figura 15 para os bits 3 e 2 de próximo estado, para os bits 1 e 0 temos a figura 16. Na figura 17 temos circuito combinacional de saída.

*Figura 15- Circuito combinacional para os bits 3 e 2*



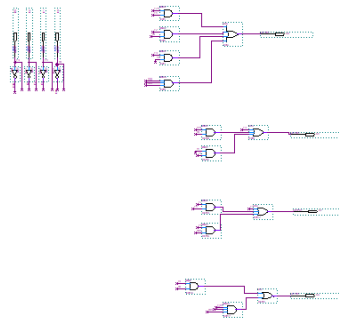
Fonte: Autor.

*Figura 16 - Circuito combinacional para os bits 1 e 0*



Fonte: Autor.

Figura 17 - Circuito combinacional de saída.



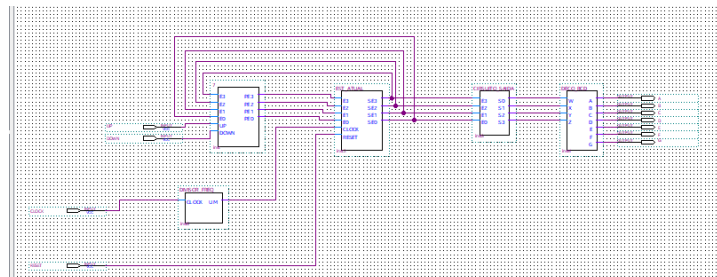
Fonte: Autor.

Para finalizar a máquina de estados foi necessário um banco de registrador que será usado para armazenar o estado atual. Foi usado 4 *Flip-Flops* do tipo D pois temos 4 bits de estados. Os flip-flops terão o clock de um segundo e a chave *reset* para voltarmos ao estado inicial 000, que é o primeiro número da sequência.

#### 4.4 Circuito Final

Logo, a circuito final será:

Figura 18 - Circuito Final do contador



Fonte: Autor.

As entradas UP e Down será conectada apenas no circuito combinacional de transição de estados, que será conectada ao banco de registradores. A saída do circuito de estado atual será conectada ao circuito combinacional de saída que será ligado ao Decodificado BCD para Display de 7 segmentos.

## **5.RESULTADOS OBTIDOS E DISCUSSÃO**

As etapas durante o projeto foram testadas no ambiente virtual fornecido pela UNIFESP. Podemos observar que os resultados ocorreram como o esperado em todas as contagens, além de manter um número e apagar o display. Porém, por algum erro a sequência mostrada no display não foi a sequência pré definida pelo professor.

O contador implementado pela máquina de estados Moore funcionou fazendo a contagem em um segundo tanto na interação crescer e decrescer, demonstrando a sequência no display HEX 0, seguindo o planejado para o projeto.

## **6.CONSIDERAÇÕES FINAIS**

Com o término do trabalho podemos observar que o conceito de máquina de estados pode ser muito útil na resolução de alguns problemas. Porém, sua implementação através do esquemático é complexa por conta da grande quantidade de informações e muitas ligações de fios o que pode gerar diversos erros.

O projeto foi descarregado na placa Intel FPGA e mostrado ao professor na bancada.

## REFERÊNCIAS

1. FLOYD, T. L. (s.d.). *Sistemas Digitais: Fundamentos e Aplicações*. 9a.
2. BROWN, S. D., & VRANESIC, Z. (2009). *Fundamentals of Digital Logic with VHDL Desgin*. New York: McGraw-Hill.
3. DE2-115. (s.d.). Fonte: User Manual:  
[https://grad.sead.unifesp.br/pluginfile.php/371633/mod\\_resource/content/1/DE2-115%20Manual.pdf](https://grad.sead.unifesp.br/pluginfile.php/371633/mod_resource/content/1/DE2-115%20Manual.pdf)
4. 32x8.com. (s.d.). Fonte: ONLINE Karnaugh map solver with circuit for up to 8 variables.2014: 32x8.com