



# تمرین سری ۵

درس معماری کامپیوتر

نیم سال دوم ۱۴۰۱-۱۴۰۲

۱. فرض کنید در طراحی پردازنده چند سیکل RISC-V، امکان به کارگیری Register File با سه ورودی نباشد و فقط Register File با یک ورودی خواندنی/نوشتنی داشته باشیم (مانند حافظه data). تغییرات لازم جهت پشتیبانی از این بلوک را در Datapath (شکل ۷.۲۷) اعمال کنید و همینطور FSM (شکل ۷.۴۵) تغییر یافته را بکشید.

۲. کارکرد کد را نیز به اختصار توضیح دهید و مشخص کنید در اجرای این برنامه هر خط چند بار اجرا می شود. برای اجرای برنامه زیر در پردازنده چند سیکل RISC-V، به چند کلاک نیاز داریم؟ در نهایت مقدار CPI را محاسبه کنید.

```
li t0, 0x10010
li t1, 7
li t2, 0
li t3, 1
li t5, 1
sb t2, 0 (t0)
sb t3, 1 (t0)
loop:
    bgt t5, t1, end
    addi t5, t5, 1
    add t4, t2, t3
    add t0, t0, t5
    sb t4, 0 (t0)
    mv t2, t3
    sub t0, t0, t5
    j loop
end: j end
```

۳. هدف این تمرین افزودن یک دستور جدید به پردازنده مولتی سیکل RISC-V است. پردازنده چند سیکل RISC-V را طوری تغییر دهید که دستور srai را پیاده سازی کند. توضیحات اضافی درباره این دستور را می توانید در پیوست B مرجع هریس مشاهده کنید. تغییرات ایجاد شده را به دقت بیان کنید و اگر نیاز به اعمال تغییراتی در مسیر داده یا واحد کنترلی است، روی شکل ها و جداول مربوطه نشان دهید.

فایل نهایی آپلود شده باید شامل موارد زیر باشد.

- تصاویر مسیر داده و ماشین حالت تغییر یافته به صورت کامل و واضح.

توجه:

- تمرین های درس معماری به صورت گروه های دو نفره انجام داده شده و تحویل می شوند.
  - نکته مهم این است تمامی افراد گروه باید به همه جوانب و جزئیات تمرین ها مسلط باشند که این نکته توسط دستیاران آموزشی موقع تحویل به دقت بررسی خواهد شد.
  - هر گروه باید به صورت مجزا تمرین را انجام داده و از کپی تمرین های گروه های دیگر خودداری کند.
  - به منظور ایجاد شرایط یکسان برای تمامی گروه ها و فاصله داشتن زمان آپلود و تحویل، به هنگام تحویل، اعضای گروه، در همان زمان تمرین خود را از درس افزار دانلود کرده و روی سیستم خود تحویل می دهند.
- موفق باشید