



**INSTITUTO POLITECNICO NACIONAL**

**ESCUELA SUPERIOR DE COMPUTO**

**DISEÑO DE SISTEMAS DIGITALES**

**PROFESOR:**

**MUJICA ASCENCIO CÉSAR**

**PRACTICA**

**CONTADOR DE BOLETAS**

**INTEGRANTES:**

**ARROYO GARCÍA JAIRO ANDREY**

**URIBE RETANA JESÚS EVERARDO**

**VALLARTA MENESES CRISTIAN**

**4CM3**

## Contenido

Introducción .....	3
Desarrollo .....	4
Diseño.....	5
Conclusión Grupal .....	7
Referencias Bibliográficas.....	7

## Introducción

El presente proyecto consiste en el diseño e implementación de un sistema digital para la visualización secuencial de números almacenados en boletas, utilizando un display de 7 segmentos y LEDs indicadores. La lógica fue desarrollada en VHDL, un lenguaje de descripción de hardware que permite modelar sistemas digitales a nivel estructural y de comportamiento.

El sistema utiliza un contador binario implementado con flip-flops tipo T, que genera una secuencia de 10 estados (de 0 a 9) para recorrer los dígitos de una boleta. El contador está sincronizado mediante un divisor de frecuencia que reduce la velocidad del reloj de entrada (CLK), permitiendo que la actualización de los dígitos sea perceptible para el ojo humano.

Cada boleta está representada como un arreglo estático de códigos binarios de 4 bits, que corresponden a números decimales codificados en binario. Un multiplexor basado en el selector de boleta (SELECTOR\_BOLETA) permite elegir cuál de las tres boletas se despliega.

Para la visualización, el código binario de cada dígito es decodificado a la configuración de segmentos que controla un display de 7 segmentos, mostrando los números correspondientes en formato legible. Paralelamente, los LEDs indican el valor binario del dígito actual.

Conceptos clave utilizados en este diseño incluyen:

- **Flip-flops tipo T:** dispositivos de memoria que cambian de estado con cada pulso del reloj si la entrada T está activa, usados para construir contadores.
- **Divisor de frecuencia:** circuito que reduce la frecuencia de la señal de reloj para adecuar la velocidad de operación del sistema.
- **Multiplexación:** técnica para seleccionar una entre varias señales de entrada para su procesamiento o visualización.
- **Decodificador de 7 segmentos:** lógica que traduce valores binarios a señales que controlan cada uno de los segmentos del display para mostrar números.

Este diseño ejemplifica la integración de conceptos digitales fundamentales para la creación de sistemas secuenciales con interfaces visuales, facilitando la lectura y control de información numérica en hardware.

## Desarrollo

El sistema desarrollado tiene como finalidad mostrar de forma secuencial los dígitos almacenados en tres boletas predefinidas, utilizando una combinación de lógica secuencial, decodificadores y multiplexores implementados en VHDL. Cada boleta contiene una secuencia de 10 dígitos codificados en binario de 4 bits, y puede ser seleccionada mediante un vector de entrada de 2 bits. Los dígitos son desplegados uno a uno en un display de 7 segmentos, mientras que su valor binario también se representa con un conjunto de LEDs.

El proceso inicia con la selección de una de las tres boletas mediante el vector `SELECTOR_BOLETA`. Una vez seleccionada, un contador secuencial empieza a recorrer cada uno de los 10 dígitos que la componen. El conteo se realiza mediante un conjunto de flip-flops tipo T conectados en cascada, los cuales avanzan su estado únicamente cuando reciben un pulso desde el divisor de frecuencia.

Este divisor se encarga de reducir la velocidad del reloj principal (CLK) para que el cambio de dígito ocurra a un ritmo legible para el usuario. Cada vez que se detecta un flanco ascendente en la señal de reloj reducida (ESTADOCLK), el contador incrementa su valor binario y accede al siguiente dígito de la boleta.

La salida del contador se utiliza como índice para acceder al dígito correspondiente de la boleta seleccionada. Este dígito se codifica en formato BCD y se utiliza tanto para iluminar LEDs representativos (DIGITO\_LED) como para ser decodificado y desplegado en un display de 7 segmentos (DISPLAY). Un decodificador transforma el valor binario del dígito a la señal de control adecuada para activar los segmentos correspondientes y mostrar los números del 0 al 9. En caso de recibir un valor fuera de rango, el display se apaga.

El sistema trabaja de forma continua, mostrando en bucle los diez dígitos de la boleta activa, y reiniciando el conteo automáticamente después del dígito 9. Además, se implementa un control de selección fija (`SELECTOR <= "1011"`) para indicar que solamente se utiliza un único display físico en esta versión del sistema.

## Diseño

Uno de los componentes principales del sistema es el contador de 4 bits construido mediante flip-flops tipo T, los cuales se activan según condiciones lógicas específicas. El diseño del contador está basado en el análisis de su tabla de transición, donde se identifican los valores necesarios en las entradas T para lograr los cambios deseados en cada bit del contador.

Q0	Q1	Q2	Q3	Q0'	Q1'	Q2'	Q3'	T0	T1	T2	T3
0	0	0	0	1	0	0	0	1	0	0	0
1	0	0	0	0	1	0	0	1	1	0	0
0	1	0	0	1	1	0	0	1	0	0	0
1	1	0	0	0	0	1	0	1	1	1	0
0	0	1	0	1	0	1	0	1	0	0	0
1	0	1	0	0	1	1	0	1	1	0	0
0	1	1	0	1	1	1	0	1	0	0	0
1	1	1	0	0	0	0	1	1	1	1	1
0	0	0	1	1	0	0	1	1	0	0	0
1	0	0	1	0	1	0	1	1	1	0	0
0	1	0	1	1	1	0	1	1	0	0	0
1	1	0	1	0	0	1	1	1	1	1	0
0	0	1	1	1	0	1	1	1	0	0	0
1	0	1	1	0	1	1	1	1	1	0	0
0	1	1	1	1	1	1	1	1	0	0	0
1	1	1	1	0	0	0	0	1	1	1	1

A partir del análisis de esta tabla, se derivaron las siguientes expresiones lógicas para las entradas T de cada flip-flop:

		Q2 Q3			
		00	01	11	10
Q0 Q1	00	1	1	1	1
	01	1	1	1	1
	11	1	1	1	1
	10	1	1	1	1

$$T_0 = 1$$

Q2 Q3 \ Q0 Q1	00	01	11	10
00				
01				
11	1	1	1	1
10				

$$T_2 = Q_0 \wedge Q_1$$

Q2 Q3 \ Q0 Q1	00	01	11	10
00				
01				
11	1	1	1	1
10	1	1	1	1

$$T_1 = Q_0$$

Q2 Q3 \ Q0 Q1	00	01	11	10
00				
01				
11		1	1	
10				

$$T_3 = Q_0 \wedge Q_1 \wedge Q_2$$

Estas ecuaciones garantizan que el contador avance de forma binaria desde "0000" hasta "1001" (decimal 9), reiniciándose automáticamente a "0000" al completar el ciclo. Esta lógica fue codificada dentro de un proceso sensible al flanco de subida del reloj dividido, con un control asíncrono de reinicio (RESET) que fuerza el contador a su estado inicial cuando se activa.

Asimismo, se diseñó un módulo de selección (multiplexor) que permite escoger una de las tres boletas disponibles. Dependiendo del valor binario de `SELECTOR_BOLETA`, se carga una boleta distinta en la señal interna `BOLETA_ACTUAL`, permitiendo al sistema mostrar dígitos diferentes sin alterar la estructura del contador.

Por último, se integró un decodificador de 7 segmentos capaz de representar en formato visual los dígitos binarios del 0 al 9. Cada combinación de 4 bits es transformada a una señal de 8 bits que controla los segmentos del display, asegurando una presentación clara y precisa de los datos.

## Conclusión Grupal

Durante el desarrollo de este proyecto, trabajamos de forma colaborativa para diseñar, modelar e implementar un sistema secuencial orientado a la visualización dinámica de datos numéricos almacenados en memoria. La práctica integró múltiples conceptos fundamentales del diseño digital, como el uso de flip-flops tipo T, contadores binarios, divisores de frecuencia, decodificadores para displays de 7 segmentos y estructuras de datos implementadas como arreglos estáticos. Todo el sistema fue codificado en VHDL, permitiendo una descripción estructurada y precisa del hardware.

Este ejercicio nos permitió aplicar de manera práctica los conocimientos adquiridos en torno al comportamiento de circuitos secuenciales, la implementación de lógica síncrona y el uso eficiente de procesos combinacionales para el manejo de señales. Al desarrollar el contador mediante flip-flops tipo T, analizamos tablas de transición y obtuvimos expresiones lógicas mínimas que garantizan un conteo binario controlado.

Uno de los principales desafíos técnicos fue lograr una correcta sincronización del sistema mediante un divisor de frecuencia, lo cual fue crucial para garantizar una visualización estable de los dígitos en el display. Asimismo, el diseño modular del sistema incluyendo selección de boleta, conteo de dígitos y decodificación nos permitió estructurar el código de manera escalable y fácilmente reutilizable.

## Referencias Bibliográficas

- Brown, S. (2006). Fundamentos de lógica digital con diseño VHDL. McGraw
- Hill. ISBN: 9701056094.
- Floyd, T. (2016). Fundamentos de diseño digital. Pearson. ISBN: 849035300X.
- Morris, M. (2013). Diseño digital. Pearson Prentice Hall. ISBN: 6073220405.
- Pedroni, V. (2010). Circuit design with VHDL. Cambridge. ISBN: 0262014335.
- Tocci, G., Ronald, J., Widmer, N. & Moss. (2017). Sistemas digitales: principios y aplicaciones. Pearson. ISBN: 6073241542.