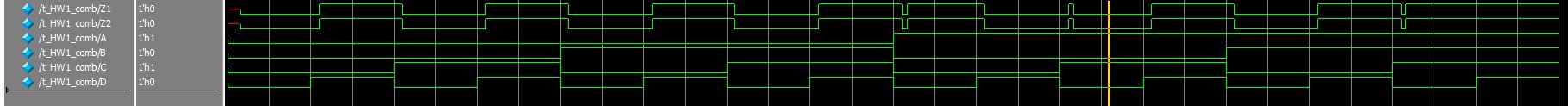
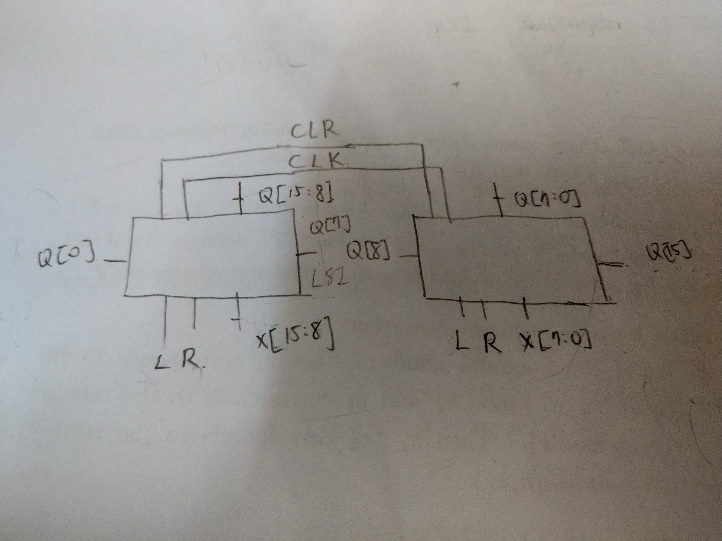
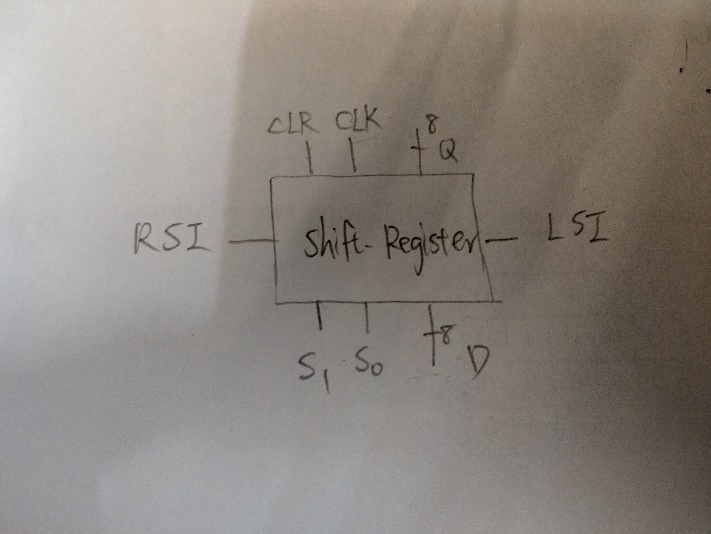
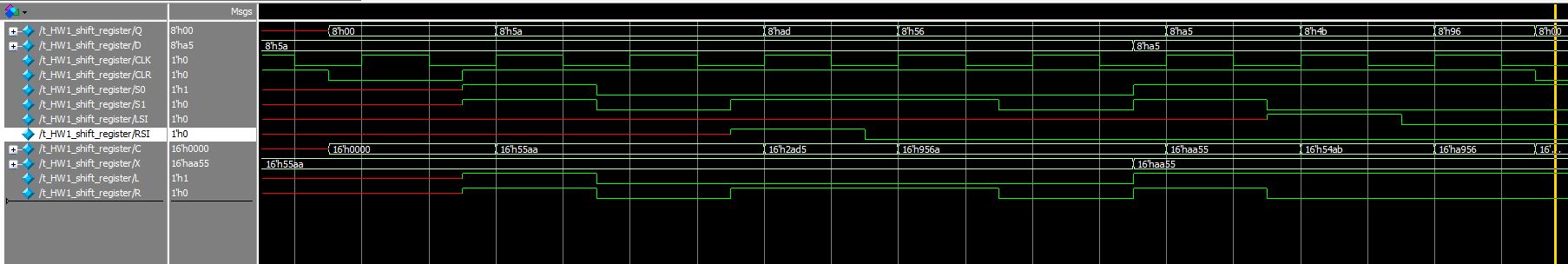
1.



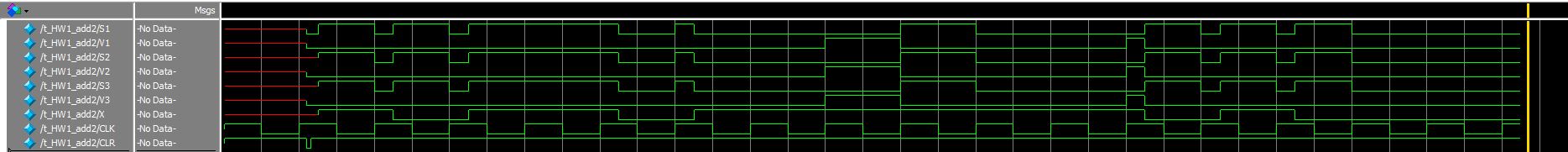
由於not gate 和其他 gate 各有2 ns 及 5ns 的延遲，所以等到output Z 有確切值時，需要 5\*3+2= 17ns， 到達17ns時，將A,B,C,D帶入布林式之後，和Z相同，2波形圖正確。

2.





將output改為2進位數，逐一檢查左移、右移、不變、LOAD ，8bit 和16bit shift register 皆正確。

3.

在22ns時將狀態CLEAR到S0，接著依照input X跟著state diagram檢查，output S 和 V皆正確 。