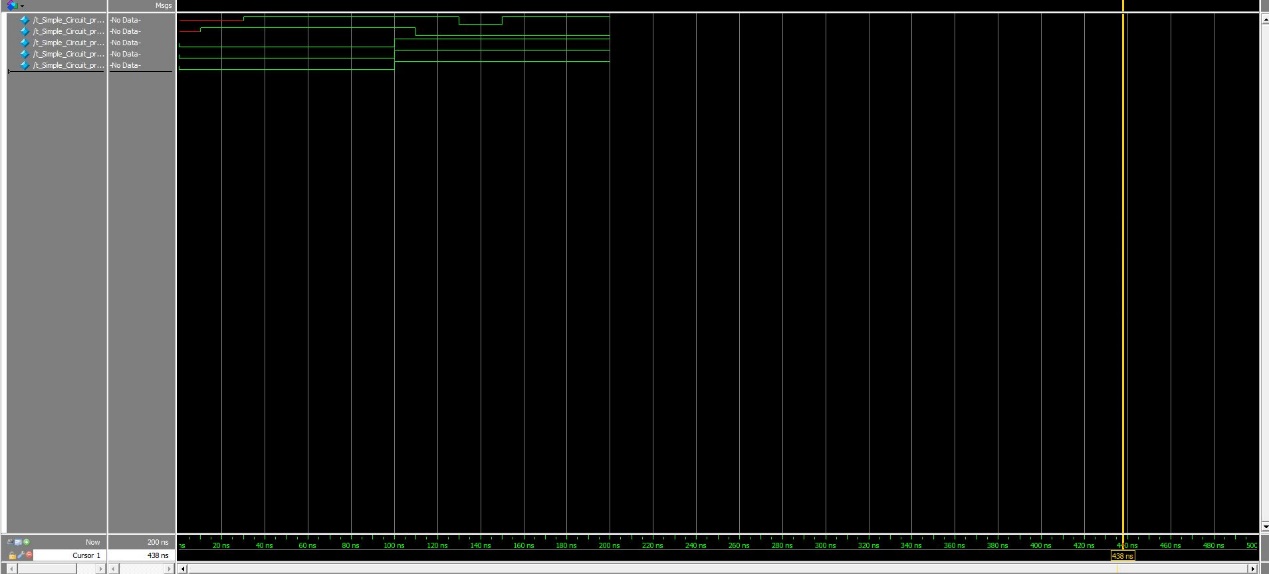
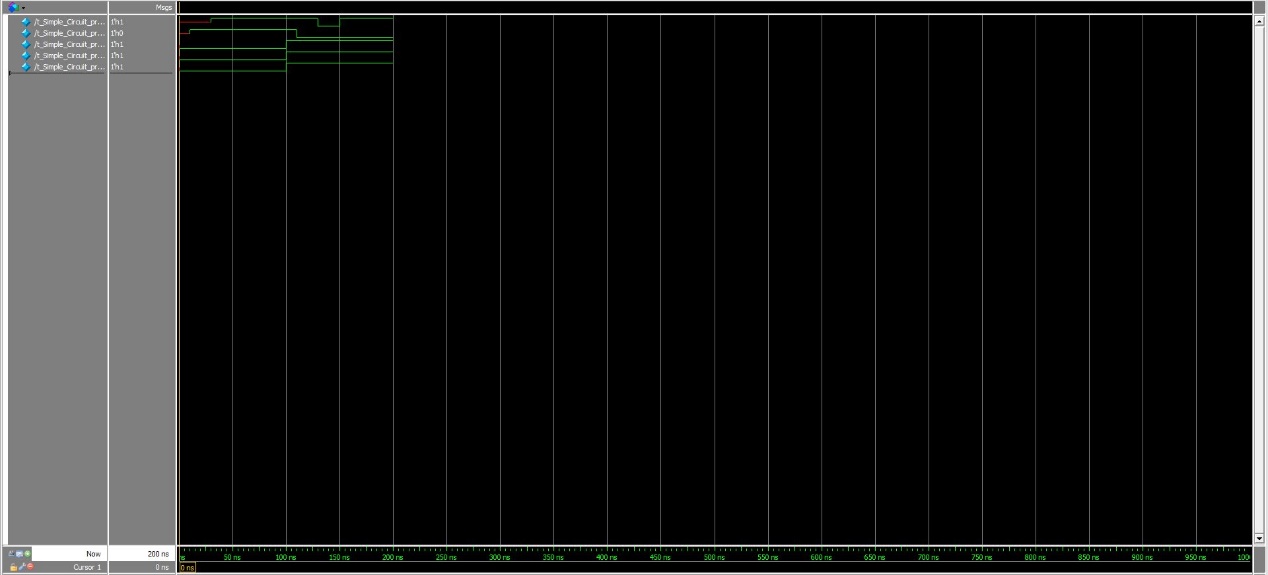
1. 2A(a)之模擬結果波形圖，並說明與 Simple\_Circuit.v 之波形圖的差異。



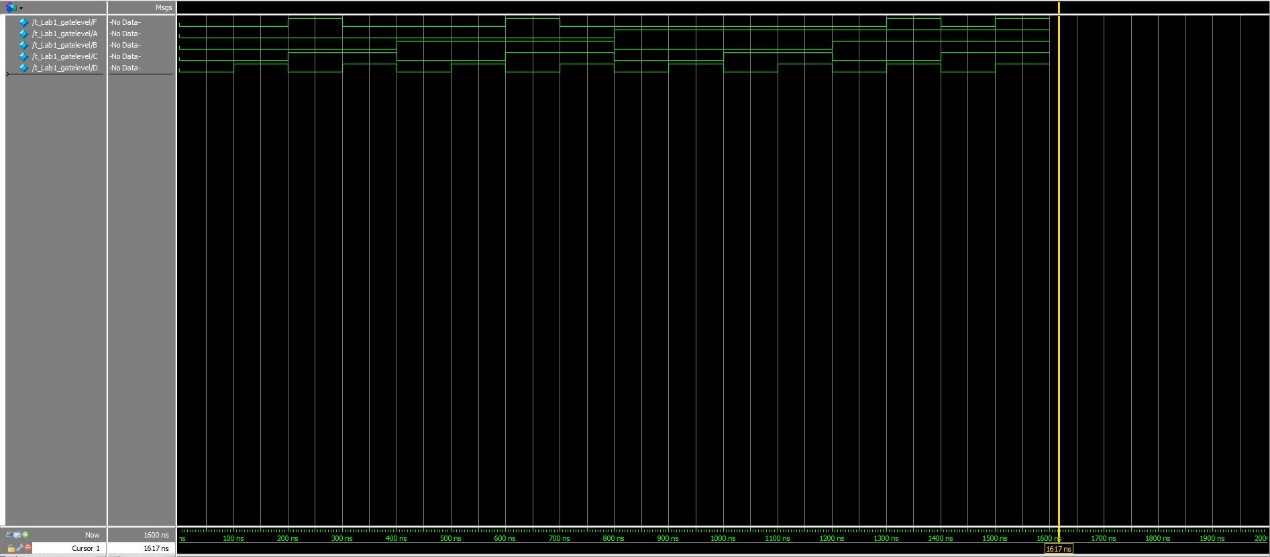
由於Simple\_Circuit\_prop\_delay中的not gate有10ns的delay，所以E會延遲10ns變成1，又and gate 有30ns的delay，所以D 會延遲 30ns變成1，而到了100ns時，A，B，C皆變成1，但由於not gate 的延遲，E延遲10ns才變成0；在130ns 由於or gate 的20ns延遲，or gate 接收A and B的值還是0，因此D變成0，到了150ns，D收到由A and B傳來的1所以又變回1。

1. 2A(b)之模擬結果波形圖，並說明與 2A(a)之波形圖是否有差異及原因。



由於將not 和 or 順序互換並不影響結果，因此跑出來的波形圖與上圖相同。

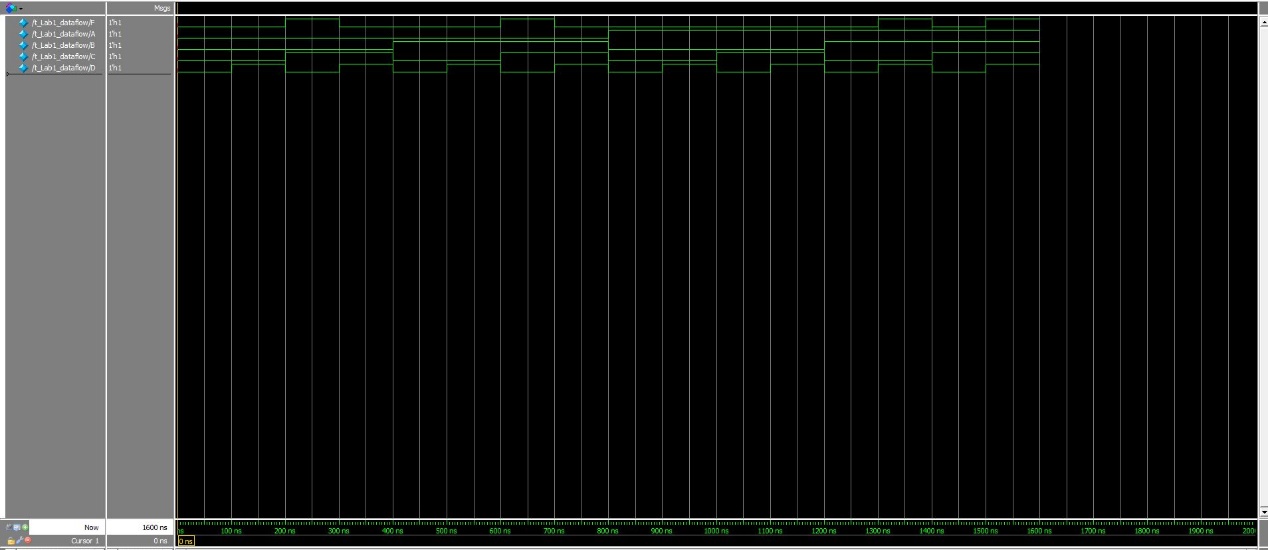
2B(a)之 gate-level modeling 模擬結果波形圖，並說明是否正確。



電路所表示的式子為 (AB+CD’)(A’+BD) 將其展開之後可得到(AA’B+ABD+A’CD’+BCDD’)，經整理後為(ABD+A’CD’)，即為(2,6,13,15)

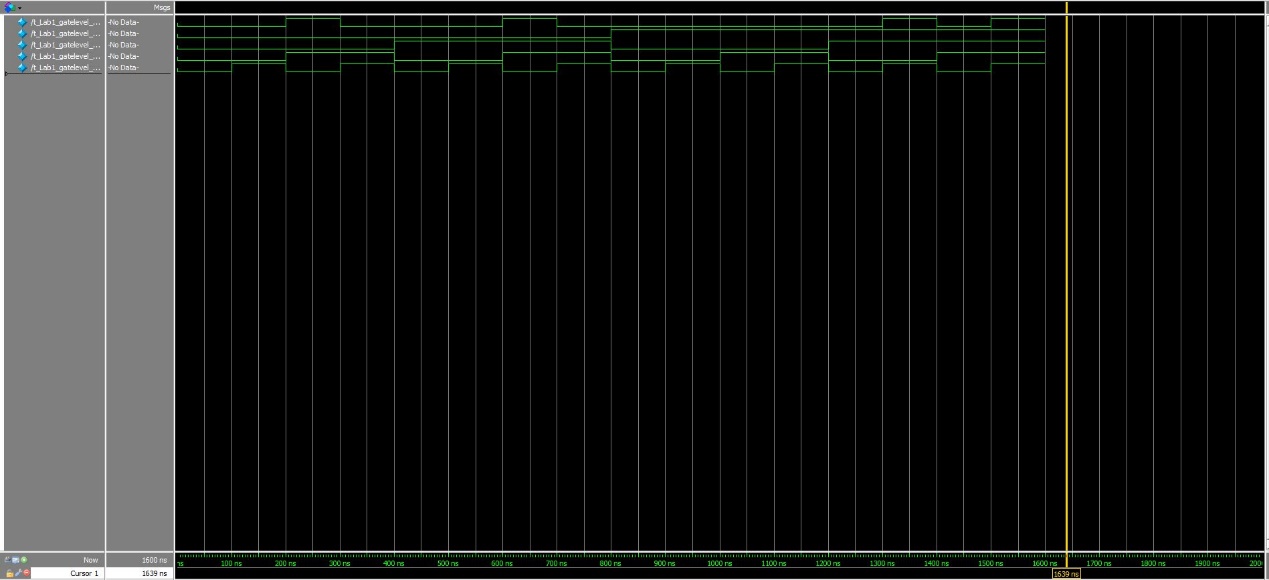
，在(A,B,C,D)為 (0,0,1,0) (0,1,1,0) (1,1,0,1) (1,1,1,1)時，F為 1，與模擬結果波型圖觀察到的結果相同，波形圖正確。

1. 2B(b)之 dataflow modeling 模擬結果波形圖，並說明是否正確。



模擬出的波形圖上可以觀察到在(A,B,C,D)為 (0,0,1,0) (0,1,1,0) (1,1,0,1) (1,1,1,1)時，F為 1，而在模組中 assign F = (ABD+A’CD’)，也就是在(A,B,C,D)為 (0,0,1,0) (0,1,1,0) (1,1,0,1) (1,1,1,1)時，F為 1，模擬出的波形圖正確。

1. 2B(c)之電路模擬結果波形圖，並說明是否正確。(25%)

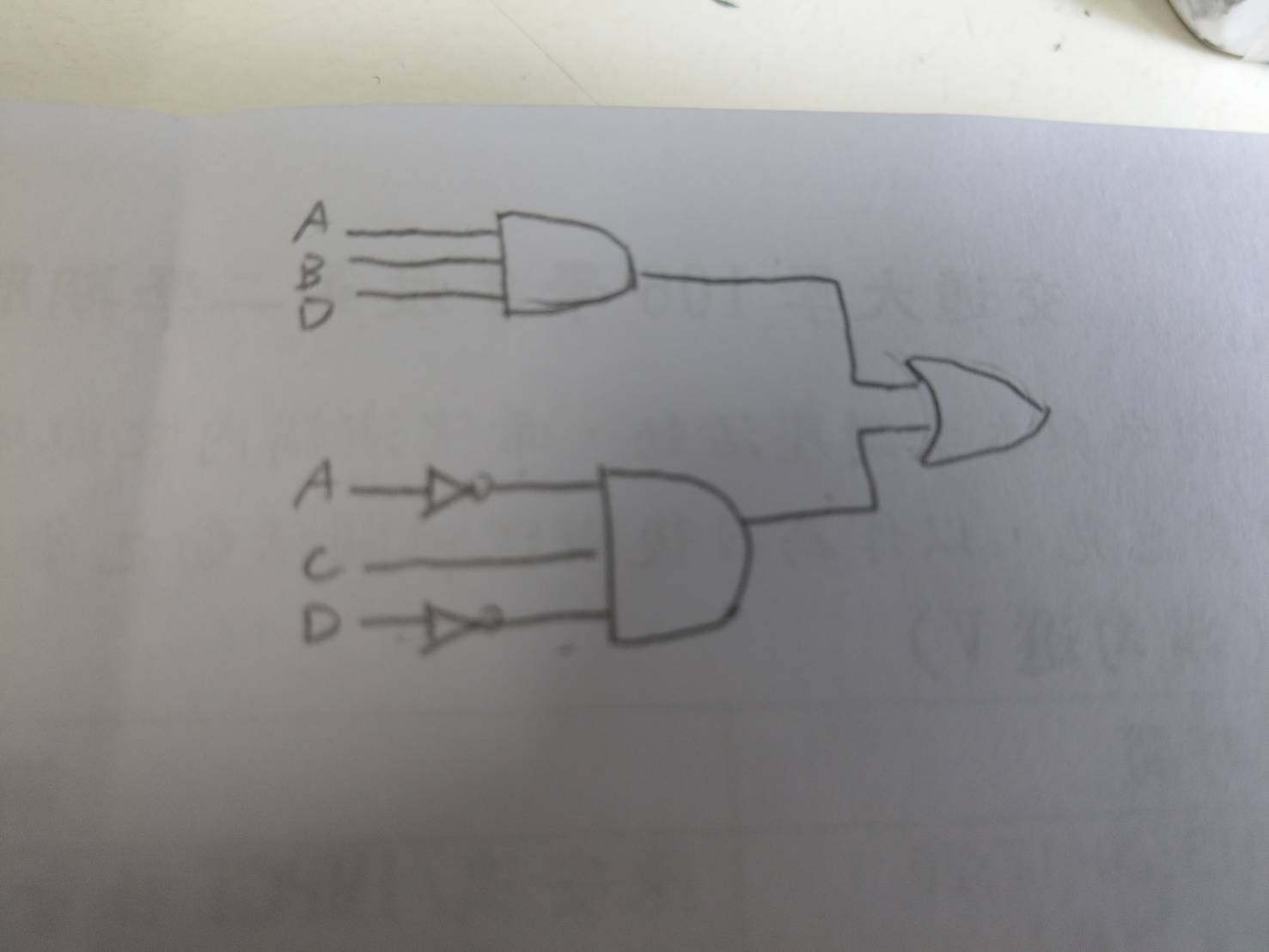


在list table 中可以看到在(A,B,C,D)為 (0,0,1,0) (0,1,1,0) (1,1,0,1) (1,1,1,1)時，F為 1 ，而在模擬的波形圖中 F也只有在(A,B,C,D)為 (0,0,1,0) (0,1,1,0) (1,1,0,1) (1,1,1,1)時為1，模擬出的波形圖正確。

1. 請判斷圖 1 之電路是否為該函式 gate input counts 最少之實作? 若是，請 說明之；若否，則請推導出此函式 gate input count 最少的布林代數式， 寫出 gate input count 數值，並以 AND、OR、NOT 邏輯閘畫出其電路圖。

否，原電路布林函氏為(AB+CD’)(A’+BD) 將其展開之後可得到(AA’B+ABD+A’CD’+BCDD’)，由於AA’和BB’為0，經整理後為(ABD+A’CD’)。

若一開始無法取的ABCD的complement，其Gate input count 為 10

電路圖為 

1. 心得與感想、及遭遇到的問題或困難。

雖然在lab0操作過modelsim，但是在一次使用時還是不太順手，不過在回去複習一下投影片很快就上手了，而在寫verilog時曾出現好幾次error，但慢慢看著老師投影片的code語法一步一步修改也順利完成!