

EE404 Device Fabrication Process for Nanotechnology (Spring 2022)

Prof. Hyuk-Jun Kwon

Homework #2 (400 points)

Due date: 4/13/2022

*문제 풀이 시 필요에 따라 supplementary information 을 활용하시오.

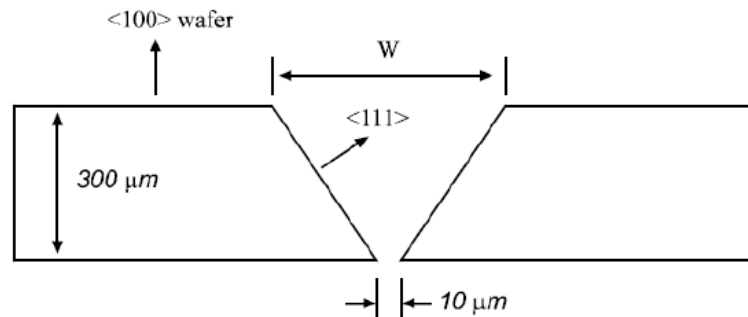
Problem Set #1 – Diffusion

고온의 diffusion 공정은 monolithic IC 제작을 위해 예전부터 많이 활용되고 있으며 매우 중요한 공정 기술 중에 하나이다. 예를 들면 0.18-ohm-cm 의 n-type 실리콘 웨이퍼에 npn 트랜지스터의 p-type 영역의 base 부분을 붕소(boron)를 diffusion 공정을 이용하여 형성할 수 있다.

- (55 pts) 이 때 1,100 °C 에서 boron 의 diffusion coefficient 를 계산하시오.
- (90 pts) 1,100°C 에서 2 시간의 boron diffusion 후 1,150°C 에서 5 시간 diffusion 공정을 추가로 진행하였을 때 $(Dt)_{tot}$ 를 계산하시오.
- (135 pts) 0.18-ohm-cm 의 n-type 실리콘 웨이퍼에 solid-solubility-limited boron predeposition 을 900°C 에서 15 분 동안 수행 한 다음 1,100°C 에서 5 시간 드라이브 인(drive-in)을 진행하였다.
 - Predeposition 에 의한 surface concentration 과 junction depth 를 구하시오.
 - 이 후 drive-in 에 의한 surface concentration 과 junction depth 를 구하시오

Problem Set #2 – Etching

아래 그림은 through-wafer hole 의 완성된 모양의 단면이다. 300 μm 두께를 가진 <100> oriented 실리콘 웨이퍼 하부에 10 μm opening 을 형성하기 위해서 상단의 window W 의 크기를 결정하시오. 이 공정은 비등방성 식각(anisotropic etching)을 통해 진행되며 <111> 면의 식각률(etch rate)는 무시한다. (120 pts)



[Supplementary Information]

Element	D_0 (cm ² /sec)	E_a (eV)
B	10.5	3.69
Al	8.0	3.47
Ga	3.60	3.51
In	16.5	3.90
P	10.5	3.69
As	0.32	3.56
Sb	5.60	3.95

Table 1. Typical Diffusion Coefficient Values for a Number of Impurities.

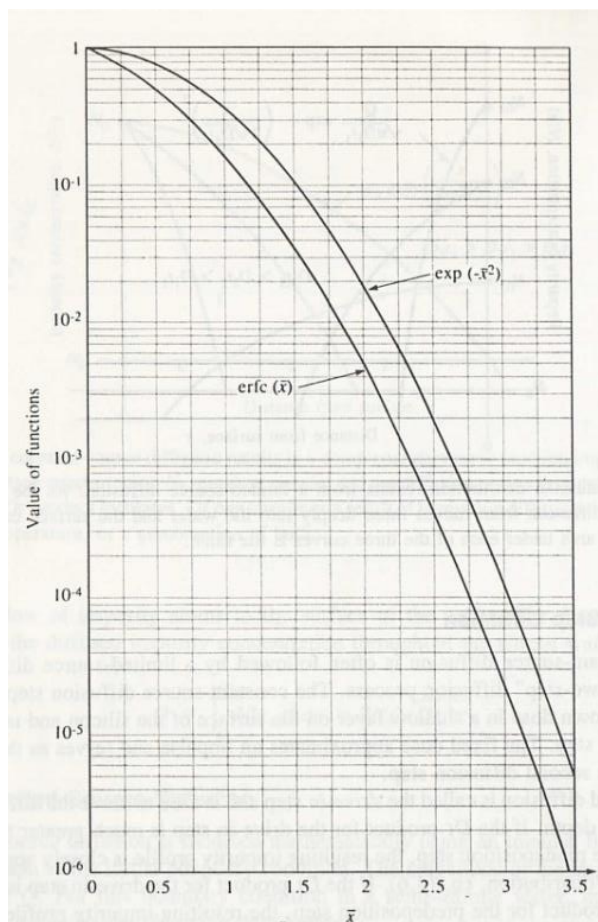


Figure 1. A graph comparing the Gaussian and complementary error function (erfc) profiles.

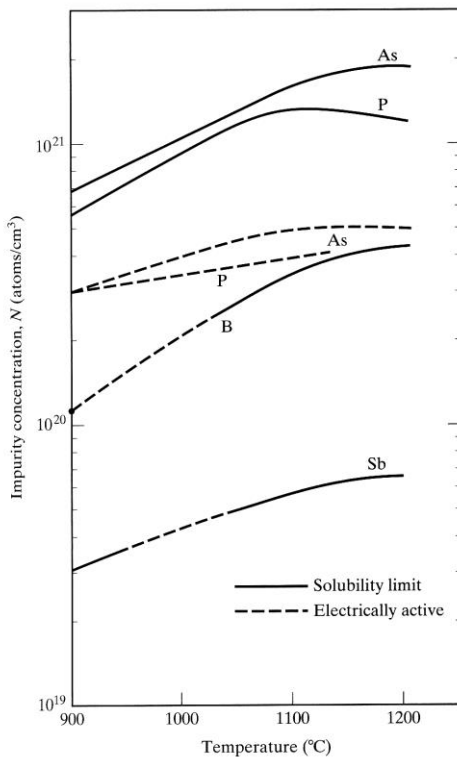


Figure 2. The solid-solubility and electrically active impurity-concentration limits in silicon.

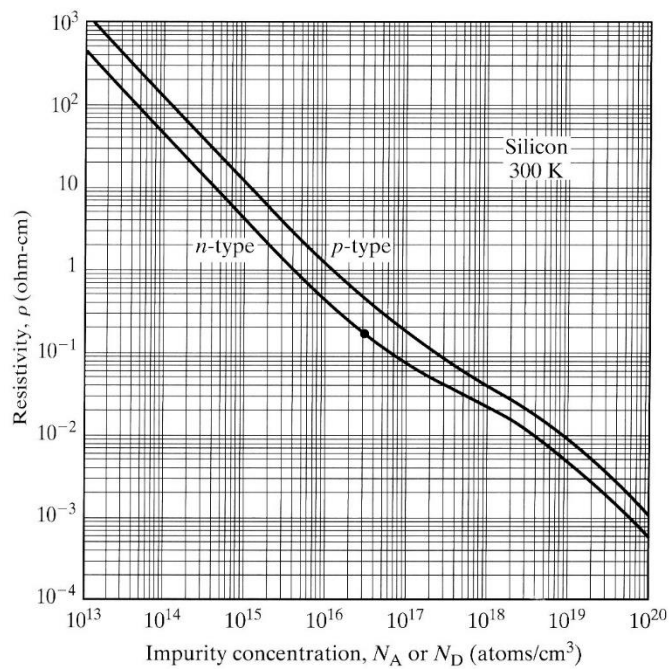


Figure 3. Room-temperature resistivity in n-type and p-type silicon as a function of impurity concentration.