

EE404 Device Fabrication Process for Nanotechnology (Spring 2022)

Prof. Hyuk-Jun Kwon

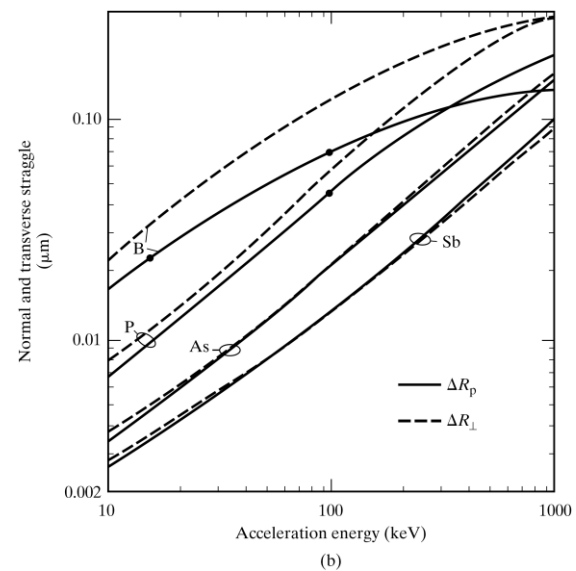
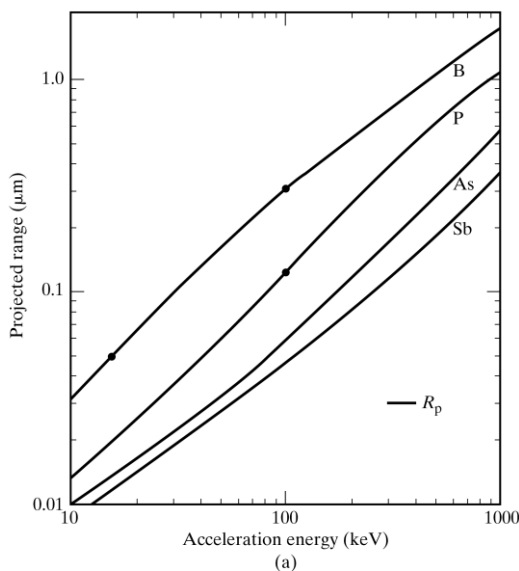
Homework #3 (450 points)

Due date: 6/2/2022 (수업 시간에 제출)

Problem Set #1 – Ion Implantation

silicon wafer 에 Phosphorus 를 100 keV 의 acceleration energy 로 implantation 하고자 한다.

- 이 조건의 implantation 공정 시 발생하는 “range”와 “straggle” 얼마인지 설명하시오. (25 pts)
- 위의 조건에서 만약 peak concentration $1 \times 10^{17}/\text{cm}^3$ 을 얻고자 한다면 implantation “Does”는 얼마여야 하는지 설명하시오. (50 pts)
- 위의 조건에서 만약 background concentration 이 $1 \times 10^{16}/\text{cm}^3$ 이라면 mask 로 활용하려는 SiO_2 의 두께는 얼마여야 하는지 설명하시오. (75 pts)

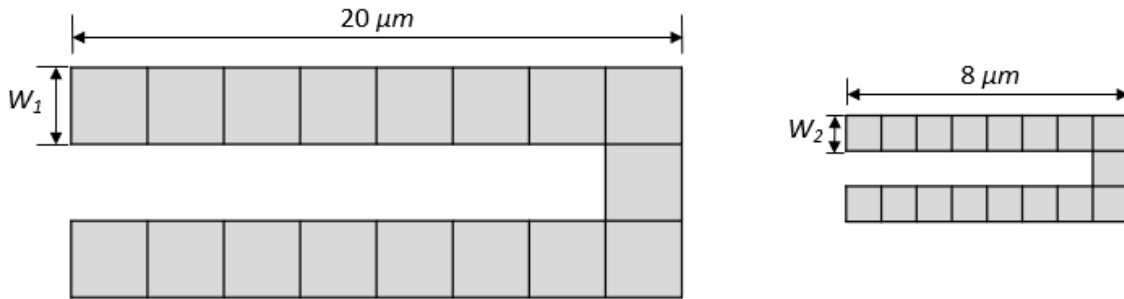


Problem Set #2 – Process Integration: Passive Components

Si 기판 내부에 $0.0046\Omega \cdot \text{cm}$ 의 resistivity 를 가진 $1\mu\text{m}$ 두께의 균일하게 도핑된 층을 활용하여 아래 그림과 같은 설계를 통해 두가지 저항 소자를 제작하고자 한다.

(a) 도핑된 층의 면저항 (sheet resistivity)은 얼마인가? (40 pts)

(b) 아래 두 그림의 설계로 제작된 저항 소자의 resistance 는 각각 얼마인가? (60 pts)



Problem Set #3 – Process Integration: Active Components

전류의 흐름을 스위칭하기 위한 주 목적으로 집적화에 유리한 MOSFET (Metal-Oxide-Semiconductor Field Effect Transistor) 소자가 현재까지도 많이 사용되어지고 있으며 이 중 빠른 이동도를 구현할 수 있는 n-type MOSFET 인 NMOS 가 많이 활용되어지고 있다.

(a) 이러한 NMOS 공정을 위해 Si 기판의 $\langle 100 \rangle$ 결정 방향이 선호되는데 그 이유가 무엇인지 설명하시오. (60 pts)

(b) NMOS 소자에서 i) 매우 얇은 SiO_2 gate oxide 를 사용하게 되면 어떠한 문제점이 발생할 수 있는지 설명하고 ii) 이를 해결하기 위한 접근은 무엇이 있는지 함께 설명하시오. (50 pts)

(c) 소형화와 집적화를 위해 i) gate 길이가 줄어들게 되면 polysilicon 으로 제작된 gate 구조에 어떠한 문제가 발생하는지 설명하고 ii) 이러한 문제를 해결하기 위해 어떠한 접근을 하고 있는지 함께 설명하시오. (90 pts)