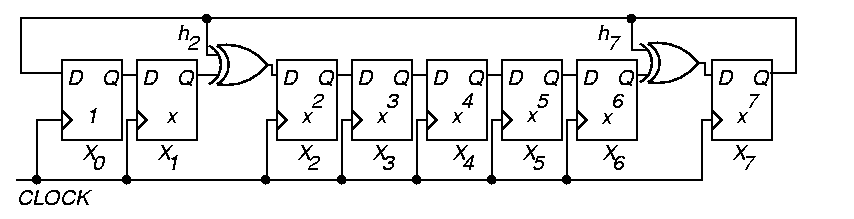
**آزمون ميان‌ترم درس طراحي کامپیوتری سيستم‏هاي ديجيتال**

1- (آ) مزیت استفاده از اتصالات با طول‏های متنوع (single- and multiple-length wire segments) در FPGA ها را بیان کنید. (1)

(ب) معماری Double Data Rate (DDR) در بخش I/O در FPGAهای Spartan 3 که می تواند با دو برابر کلاک داخلی FPGA با دنیای خارج به تبادل داده بپردازد را شرح دهید. (1) چگونه واحد DCM اختلاف زمانی (skew) سیگنال کلاک را رفع می‏نماید؟ (1)

2- برنامه­اي بنويسيد که یک LFSR از نوع internal را با VHDL مدل کند. مدل بایستی کلی بوده و طول آن در زمان استفاده و چندجمله‏ای مشخصه‏ی آن از طریق ورودی تعیین گردد. فرمت ورودی چندجمله‏ای مشخصه را خودتان تعیین کنید. برای مثال، شکل یک LFSR با چندجمله‏ای مشخصه زیر را نشان می دهد. (2)

1+ *x*2 + *x*7 + *x*8



4- (آ) برتری Lookup table بر ساختارهایی مانند PAL که تابع را به صورت sum-of-products پیاده‏سازی می‏کنند برای پیاده‏سازی توابع منطقی در کجا و در چیست؟ (1)

(ب) برای پیاده سازی تابع 7-ورودی زیر بر روی FPGAهای Spartan 3 به چند slice نیاز است؟ ورودی‏های slice ها را تعیین کنید و مشخص کنید در هر LUT چه بخشی از جدول درستی تابع را باید قرار داد. شکل یک CLB در FPGAهای Spartan3 در پشت برگه آمده است. فقط LUT ها و MUX های مورد نیاز را به برگه پاسخ منتقل کنید. (2)X=abc+abcdef+a’b’j+j’abc+j’def