

۴-۲ آزمایش سوم: جمع / تفریق کننده ممیز شناور

۴-۲-۱ هدف

در این آزمایش (طی دو جلسه) مدار یک جمع / تفریق کننده ممیز شناور را طراحی کرده و با ابزار Quartus شبیه‌سازی می‌نماییم. پس از اطمینان از صحت عملکرد در شبیه‌ساز، بر روی برد پیاده‌سازی می‌کنیم. مدار اولیه برای شبیه‌سازی را مطابق استاندارد IEEE-754 ۳۲ بیتی طراحی نمایید. برای سهولت پیاده‌سازی بر روی برد تعداد بیت‌ها را از ۳۲ به ۱۲ کاهش دهید. مشخصات مدار مورد نظر به قرار زیر است:

عملوند اول (ورودی): A

عملوند دوم (ورودی): B

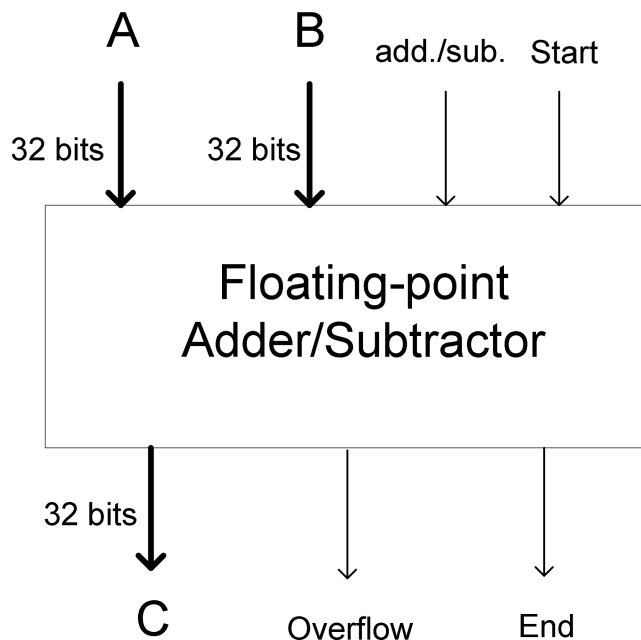
حاصل جمع / تفریق (خروجی): C

شروع عملیات (ورودی): Start

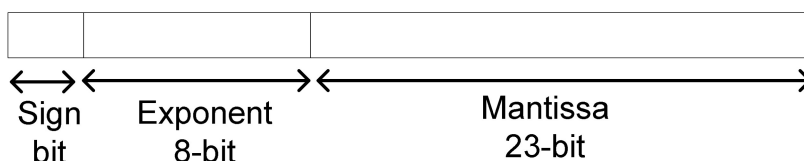
پایان عملیات (خروجی): End

سرریزی (خروجی): Overflow

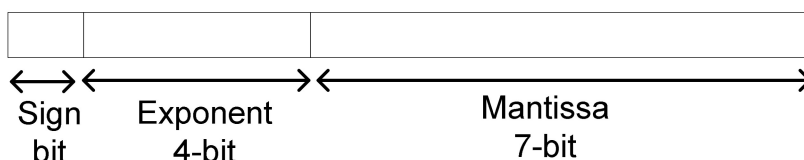
مشخص کننده جمع یا تفریق (ورودی): add/sub



شکل ۳: جمع / تفریق کننده ممیز شناور



شکل ۴- (الف) فرمت اعداد ممیز شناور استاندارد IEEE-754 برای طراحی در شبیه‌ساز



شکل ۴- (ب): فرمت اعداد ممیز شناور برای پیاده‌سازی بر روی برد

۲-۴-۲ شرح آزمایش

ابتدا مدار جمع و تفریق کننده دو عدد ممیز شناور (شکل ۳) را با فرمت استاندارد IEEE-754 مطابق شکل ۴- (الف) طراحی کرده و با ابزار Quartus شبیه‌سازی نمایید. پس از اطمینان از صحت عملکرد، طراحی انجام شده را بر روی برد پیاده‌سازی نمایید. برای سهولت پیاده‌سازی تعداد بیت‌های مدار طراحی شده را مطابق شکل ۴- (ب) از ۳۲ بیت به ۱۲ بیت کاهش دهید. با فعال شدن سیگنال Start مدار شروع به کار کرده و اگر سیگنال add/sub برابر صفر باشد، مقدار $A + B$ و اگر این سیگنال برابر یک باشد، مقدار $A - B$ را محاسبه کرده و روی خطوط C قرار می‌دهد و سیگنال End را به منزله اتمام عملیات فعال می‌کند. ورودی‌های A و B نرمالیزه بوده و خروجی C نیز باید نرمالیزه باشد. در صورت بروز سرریزی سیگنال Overflow فعال می‌شود. استفاده از شمارنده با قابلیت شمارش رو به بالا و پایین برای نگهداری نما در طراحی می‌تواند حجم مدار را کاهش دهد.

۳-۴-۲ نتایج مورد انتظار

در این آزمایش جمع یا تفریق دو عدد دودویی ممیز شناور با فعال شدن سیگنال Start محاسبه می‌شود. انتظار می‌رود نتیجه‌ی درست بعد از چند سیکل ساعت بسته به تفاوت دو نما با فعال شدن سیگنال End در خروجی دیده شود.