

به نام خدا



آزمایشگاه معماری کامپیوتر

گزارش کار چهارم

مبدل دهنده به دودویی

دانشکده مهندسی کامپیوتر

دانشگاه صنعتی شریف

پاییز ۱۴۰۱

استاد:

حمید سربازی آزاد

دستیار آموزشی:

عطیه یونسی

نویسندگان:

احمد رضا خناری

نگار عسکری

علی نظری

فهرست

مقدمه

۲

گزارش آزمایش

۳

بخش ۱. بخش های مختلف مدار

۳

بخش ۲. تست مدار

۷

نتیجه گیری

۹

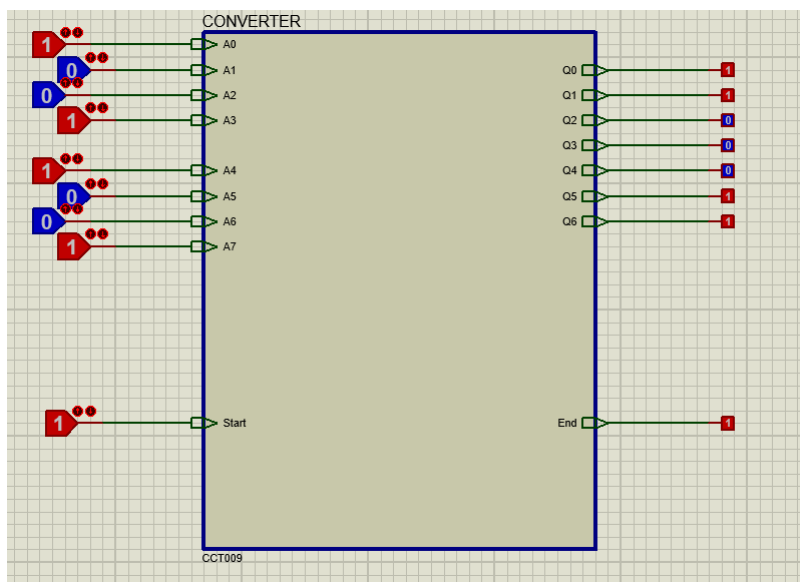
مقدمه

در این آزمایش، می‌خواهیم یک عدد ۲ رقمی BCD را به یک عدد دودویی ۷ بیتی تبدیل کنیم. این عمل با اعمال سیگنال Start آغاز می‌شود و پس از اتمام عملیات تبدیل، باید سیگنال End فعال شود که اتمام عملیات را خبر می‌دهد. یک رجیستر پاسخ نیز داریم که جواب آماده شده را در آن می‌ریزیم.

گزارش آزمایش

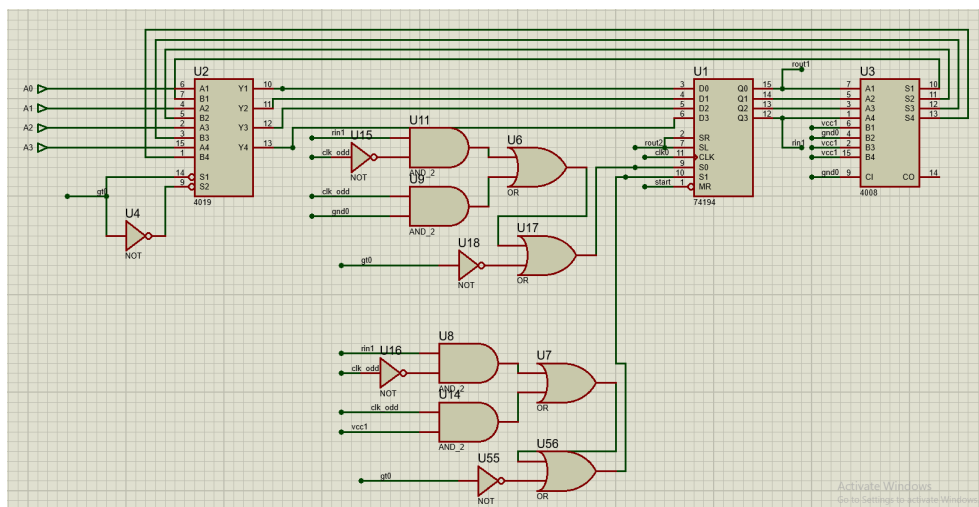
بخش ۱. بخش های مختلف مدار

ماژول اصلی به شکل زیر است:



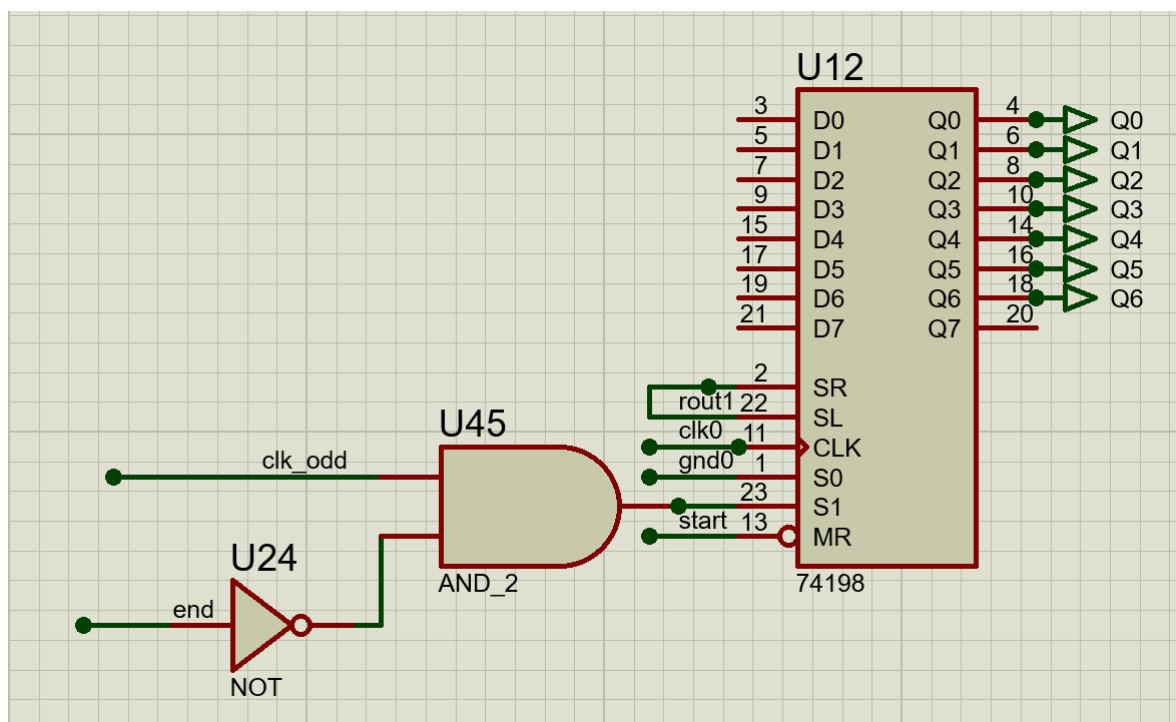
شکل ۱: Main Part

هر رقم از BCD ورودی را به شکل زیر نگاه می داریم:



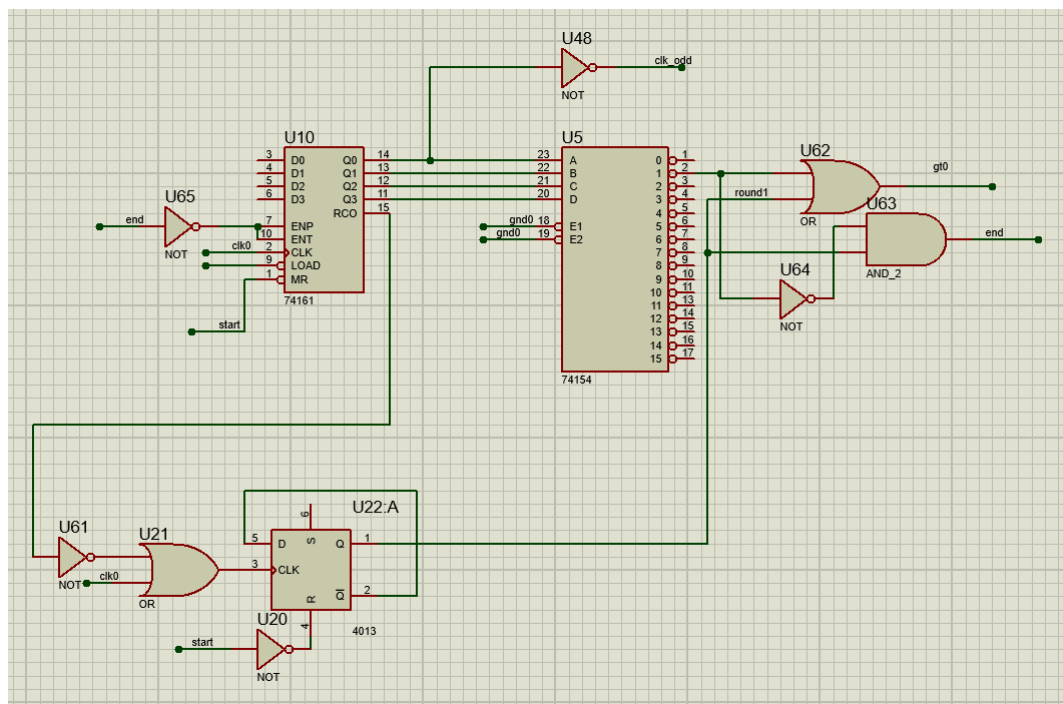
شکل ۲: Each Part

مستطیل سمت راست یک جمع کننده می باشد که همیشه عدد را با ۱۳ جمع می کند چون که cin و cout را در نظر نمی گیریم، همانند تفریق ۳ می باشد. خروجی این تفریق به ۴ ماکس دو به یک داده می شود که مستطیل سمت چپ هستند که این ها با توجه به state ماشین تصمیم می گیرند که ورودی مازول اصلی یا نتیجه تفریق در رجیستر اصلی ارقام ذخیره گردد. تنها هنگامی عدد اصلی انتخاب می شود که در حالت بعد reset قرار داشته باشد و در کلاک دوم باشیم. در بخش زیر هم زمانی که ارقام اصلی را به راست شیفت می دهیم، خروجی در بخش زیر ذخیره می شود تا در نهایت که سیگنال end یک شد، خروجی واقعی در این بخش قابل نمایش باشد:



شکل ۳: Next State Controller

در همین بخشی که عکس آن گذاشته شد، در کلاک های زوج رقم های شیفت داده شده در این قسمت ریخته می شود تا زمانی که سیگنال `end` فعال شود. در واقع یک شیفت رجیستر ۸ بیتی وجود دارد که در نهایت ۷ بیت نهایی این شیفت رجیستر هست که خروجی و جواب را برای ما نگه میدارد. بخش کنترلی هم به شکل زیر است:



شکل ۴: Controller

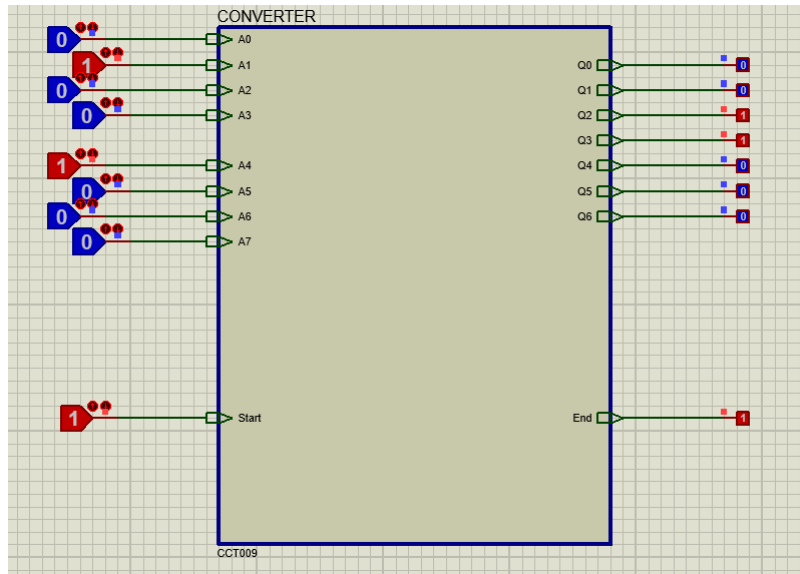
کلاک مدار و شمارنده ای در این بخش وجود دارد و در نهایت ۳ تا سیگنال کمکی به کمک این بخش برای بخش های مدار تولید می شود که در ادامه به آن ها اشاره می کنیم.

- اولین مورد Gt_0 است که مشخص می کند مقادیر اولیه در رجیستر ها لود شده اند یا خیر و در کلاک صفر با یک شدن $start$ تمامی مدارها ریست می شوند.
- سیگنال بعدی end است که بعد از تمام شدن همه مراحل یک می شود در این بخش عملیات ها شامل ریست، لود، شیفت و جمع هستند.
- مورد بعدی $clk-odd$ است که در صورت زوج بودن کلاک مقداری برابر با یک دارد.

بخش ۲. تست مدار

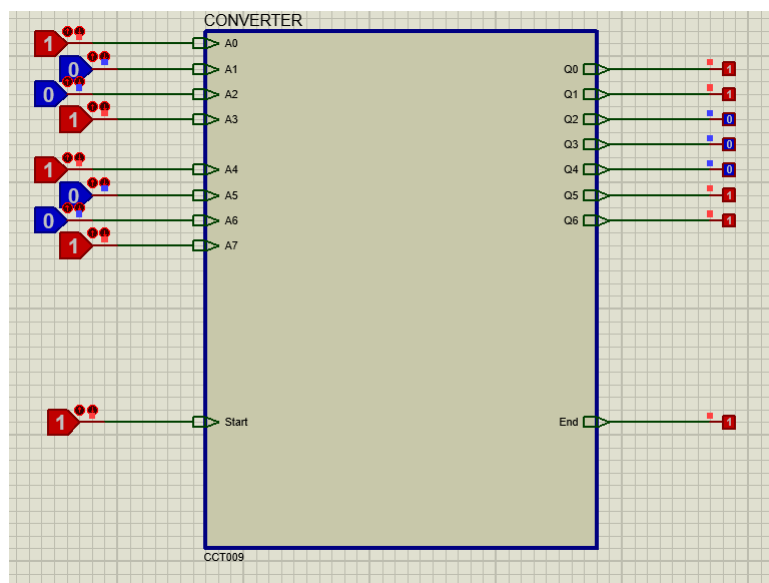
برای تست تنها لازم است ورودی را مشخص کنیم و همچنین start را برابر با یک قرار دهیم. رقم‌ها هم از پایین به بالا هستند یعنی اینکه رقم پر ارزش‌تر پایین‌تر قرار می‌گیرد. با یک شدن end هم می‌توان مطمئن شد که به نتیجه نهایی رسیده ایم و خروجی قابل پذیرش است. مدار ترتیبی است و یک کلاک درونی هم دارد که دیگر به عنوان ورودی مدار در نظر گرفته نشده است و درون همان ماژول اصلی است که می‌توان سرعت آن را تنظیم کرد.

12 => 0001 0010 => 0001100



شکل ۵: Example

99 => 1001 1001 => 1100011



شکل ۶: Example

نتیجه گیری

پس در این آزمایش موفق شدیم با توجه به الگوریتم گفته شده در صورت آزمایش، یک تبدیل کننده BCD به دودویی بسازیم که با تست آن در بخش قبل از صحت عملکرد آن هم مطمئن شدیم.