

۲-۲ آزمایش اول: طراحی مدارهای ترکیبی با استفاده از امکانات شماتیک

شرکت‌های تولید کننده تراشه‌های FPGA و CPLD همواره علاوه بر تولید تراشه‌های FPGA و CPLD نرم افزارهایی ارائه می‌کنند که این نرم افزارها به عنوان ابزارطراحی به کمک کامپیوتر (CAD) به کاربران امکان می‌دهند که از محصولات تولید شده توسط آن شرکت‌ها استفاده کنند. این ابزارهای CAD نه تنها از زبان‌های استاندارد توصیف سخت افزار همچون Verilog و VHDL استفاده می‌کنند بلکه معمولاً این امکان را می‌دهند که برای انجام سریع طراحی با هدف پیاده‌سازی مدارهای کوچک بدون آنکه نیاز به استفاده از زبان‌های Verilog یا VHDL باشد بتوان طرح مدار را برای ابزار CAD تعریف نمود که از این امکان معمولاً با نام امکان طراحی شماتیک یاد می‌شود. هدف از این آزمایش این است که دانشجویان از امکانات شماتیک استفاده نموده و یک مدار ترکیبی را طراحی و پیاده‌سازی کنند.

شرح آزمایش ۱

مدار ترکیبی طراحی کنید که یک خروجی یک بیتی داشته باشد و خروجی آن وقتی ۱ شود که ورودی BCD چهاررقمی آن مضربی از ۳ باشد. همین آزمایش را برای اعداد مضرب ۱۱ نیز تکرار کنید. در طراحی این مدار فقط مجاز به استفاده از گیت‌های پایه هستید.