

به نام خدا



آزمایشگاه طراحی سیستم‌های دیجیتال

گزارش کار دوم

طراحی مدارهای ترقیبی با استفاده از امکانات شماتیک

دانشکده مهندسی کامپیوتر

دانشگاه صنعتی شریف

بهار ۱۴۰۱

استاد:

علیرضا اجالالی

دستیار آموزشی:

سحر رضاقلی

نویسنده:

هیربد بهنام

۹۹۱۷۱۳۳۳

عرفان مجیبی

۹۹۱۰۵۷۰۷

علی نظری

۹۹۱۰۲۴۰۱

فهرست

۲	مقدمه
۳	گزارش آزمایش
۳	بخش ۱. به دست آوردن رابطه‌ها و منطق
۳	ورودی‌ها و خروجی‌ها
۳	نحوه طراحی مدار
۴	طراحی مدار شمارنده
۵	بخش ۲. طراحی مدارهای موجود
۵	مدار DFF غیر حساس به لبه
۵	مدار DFF حساس به لبه بالارونده
۵	مدار TFF
۶	مدار counter
۶	مدار Room
۸	تست بنچ
۹	نتیجه‌گیری

مقدمه

در این آزمایش، می‌خواهیم مداری ترتیبی با امکانات شماتیک نرم‌افزارها بسازیم برای اینکار، باید از فلیپ‌فلاپ‌ها استفاده کنیم و با قرار دادن مناسب کلاک در مدار، مدار را طراحی کنیم. در این آزمایش یک اتاق انتظار می‌خواهیم طراحی کنیم که سیگنال‌هایی مانند in و out و همچنین بخشی به عنوان counter داریم که تعداد افراد حاضر در این اتاق انتظار را مشخص می‌کند.

گزارش آزمایش

بخش ۱. به دست آوردن رابطه‌ها و منطق

ورودی‌ها و خروجی‌ها

در این مدار ورودی‌ها و خروجی‌هایی وجود دارد که به شرح آن‌ها می‌پردازیم. نخست ورودی کلاک را داریم که برای مدارهای ترتیبی واجب است. ورودی ent داریم که هنگام ورودی باید فشرده شود. ورودی in هم که حسگر ورودی است و هرگاه فردی از در ورودی، وارد شود، این حسگر فعال می‌شود. ورودی out هم داریم که حسگر درب خروجی است و هرگاه فردی از اتاق خارج شود، این حسگر فعال شده و یک می‌شود. ورودی T هم داریم که زمانی یک است که مجاز به ورود به اتاق باشیم. یک ورودی reset هم داریم که برای فعال‌سازی شمارنده نیاز است.

نحوه طراحی مدار

- خروجی close که هنگامی صفر می‌شود که حداقل یکی از بیت‌های عدد نشان داده شده توسط شمارنده، مقدار داشته باشد؛ در نتیجه، اگر عدد شمارنده صفر باشد (و کسی در اتاق نباشد)، این خروجی یک می‌شود (در خروج بسته می‌شود).
- خروجی دیگری که موجود است، خروجی‌های counter است که بیت صفر تا سه دارد.
- خروجی open که هنگامی یک می‌شود که همه‌ی این عبارات، یک باشند:
ورودی T
ورودی in
ورودی ent
و در نهایت، عدد شمارنده ۱۵ نباشد
- خروجی up وقتی یک است که هم شرایط open در فوق برقرار باشد و هم out صفر باشد؛ زیرا اگر out یک باشد و شرایط open برقرار باشد، هم ورود و هم خروج داریم و در نتیجه نباید عدد شمارنده زیاد شود.
- برای مشخص کردن حالت‌های مختلف up و enable می‌توان ۳ حالت کلی در نظر گرفت. اولی اینکه T برابر با dontCare و in برابر با صفر و ent برابر با dontCare و out برابر با یک باشد و نقیض and خروجی‌های counter برابر با X باشد و نقیض or خروجی‌های counter برابر با صفر باشد که در این شرایط، خروجی up برابر با صفر و خروجی enable برابر با یک می‌شود. حالت دوم این است که T و in و ent برابر با یک باشند و out برابر با صفر باشد و نقیض and خروجی‌های counter برابر با یک و نقیض or خروجی‌های counter برابر با X شود که در این حالت، خروجی up برابر با یک می‌شود و خروجی enable هم برابر با یک می‌شود. در بقیه حالت‌های موجود هم up برابر با X است و enable برابر با صفر است.
- حالتی که باید تعداد کم شود سطر اول است که $up=0$ می‌دهیم و $en=1$ که یکی کم شود، و هنگامی است که اتاق خالی نباشد، سنسور بیرون رفتن، خروج یک نفر را ثبت کرده باشد و کسی هم آن موقع وارد نشود (که باعث ثابت ماندن عدد نشود). حالتی که باید تعداد زیاد شود سطر دوم است که $up=1$ می‌دهیم و $en=1$ که یکی زیاد شود، و هنگامی است که اتاق پر نباشد، کسی بیرون نرود (که باعث ثابت ماندن عدد نشود)، سنسور داخل شدن، ورود یک نفر را ثبت کرده باشد، فرد دکمه‌ی ورود را زده باشد و نیز در زمان مجاز داخل شدن به اتاق باشیم. در بقیه‌ی حالات، عدد نباید تغییر کند. پس en را صفر می‌دهیم.

طراحی مدار شمارنده

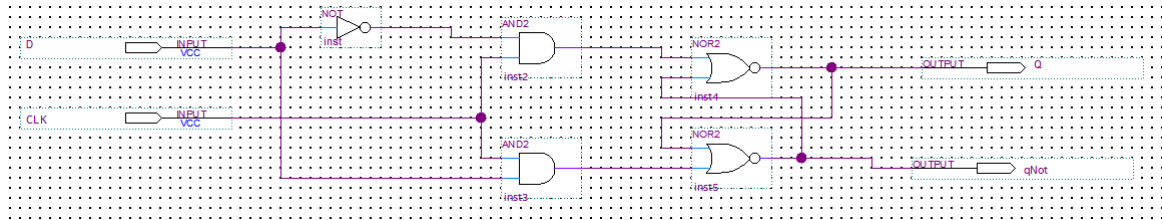
در طراحی شمارنده، از ۴ عدد T Flip Flop استفاده شده است. خروجی این فلیپ‌فلاپ‌ها از چپ به راست، بیت‌های صفر (کم ارزش)، یک، دو و سه‌ی شمارنده‌ی ۴ بیتی ما هستند. نکته‌ی کلیدی آن است که اگر enable صفر باشد، نباید تغییری در شمارنده رخ دهد، و این کار به واسطه‌ی and کردن enable با ورودی T فلیپ‌فلاپ‌ها انجام شده است تا اگر enable صفر باشد، T برابر صفر شود و تغییری در بیت‌ها ایجاد نشود. اگر enable برابر با یک باشد، طبق طرح مدار، بیت صفرم همواره و در هر کلاک عوض می‌شود زیرا در شمارش به بالا یا پایین، در هر کلاک، مقدار کم ارزش‌ترین بیت تغییر می‌کند. و در حرکت رو به بالا زمانی بیت پر ارزش یک می‌شود که بیت قبل از آن از یک به صفر تغییر یابد و حالت‌ها دیگر هم به همین شکل است.

ورودی reset نیز به واسطه‌ی یک گیت not به ورودیهای CLRN فلیپ‌فلاپ‌ها متصل شده تا در ابتدای کار، بتوانیم شمارنده را صفر کنیم. این ورودی، همان ورودی Clr در جدول موجود در دستور کار است که به شکل active low داده شده است.

بخش ۲. طراحی مدارهای موجود

مدار DFF غیر حساس به لبه

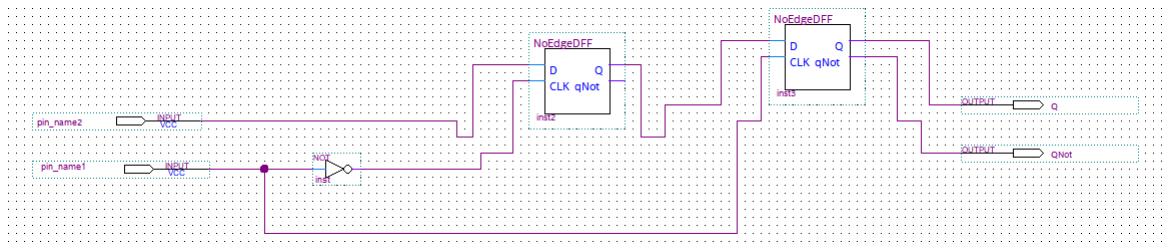
از این مدار جلوتر استفاده خواهیم کرد و نخست، با گیت‌های پایه آن را طراحی می‌کنیم. برای طراحی، همانطور که از درس مدار منطقی می‌دانیم نیاز به ورودی D و Clock داریم و خود D وارد یک And می‌شود و not آن وارد یک And دیگر می‌شود. ورودی Clock هم که به هر دو And وارد می‌شود تا اگر صفر بود، مدار اصلاً کار نکند. در ادامه هم چون مدار ترتیبی است، از خروجی در ورودی مدار استفاده می‌کنیم و به این ترتیب یک DFF که حساس به لبه نیست را می‌سازیم:



شکل ۱: مدار DFF غیر حساس به لبه

مدار DFF حساس به لبه بالارونده

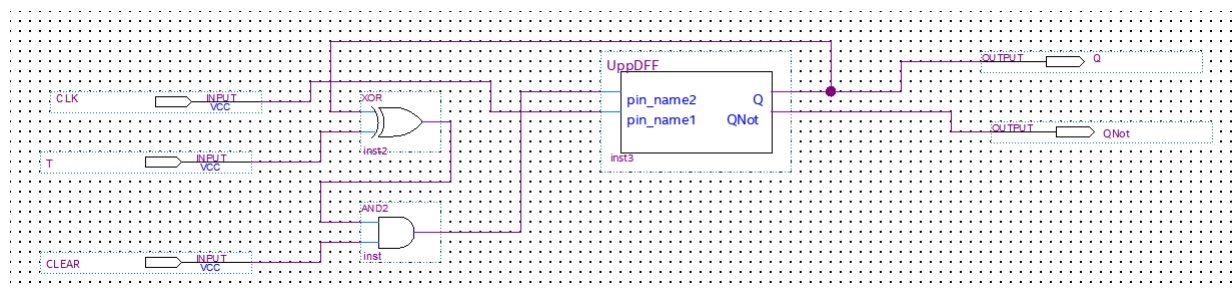
با کمک بخش قبل، DFF حساس به لبه بالارونده را ساختیم. در این بخش خود کلاک را به به بخش دوم وصل می‌کنیم و not آن را به بخش اول و با اینکار، فقط زمانی که کلاک از صفر به یک تغییر حالت دهد، ورودی از بخش اول به بخش دوم انتقال میابد و با اینکار DFF که حساس به لبه بالارونده است، می‌سازیم:



شکل ۲: مدار DFF حساس به لبه بالارونده

مدار TFF

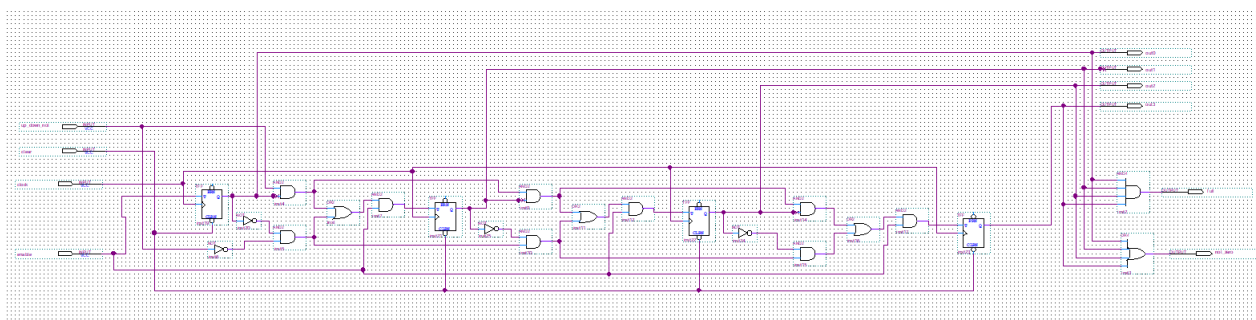
در ساخت شمارنده برای تعداد افراد حاضر در سالن، نیاز به شمارنده ۴ بیتی داریم که پایه آن بر اساس TFF است و در اینجا، TFF را با گیت‌های پایه طراحی کردیم. ساخت TFF با کمک DFF هم که بسیار ساده است و برای قسمت ترتیبی مدار از DFF استفاده می‌کنیم و بقیه بخش‌ها هم صرفاً ورودی و clear کردن مدار و ... است. طرح این مدار در با کمک گیت‌های پایه در زیر آمده است:



شکل ۳: مدار TFF

مدار counter

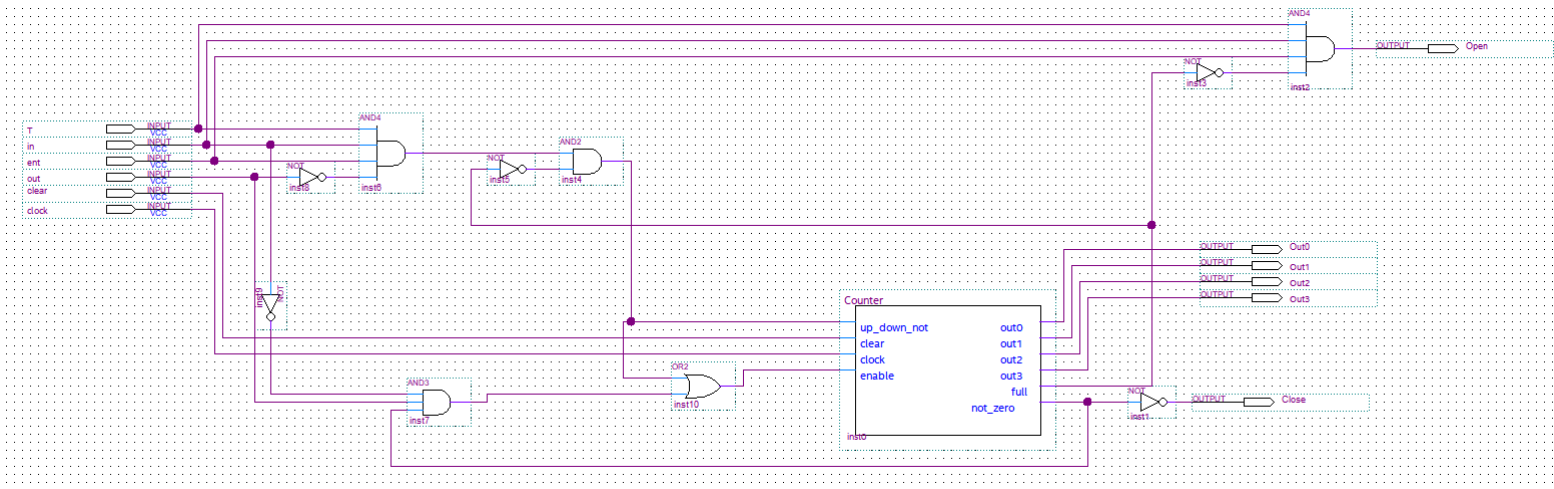
در طول آزمایش، به ازای هر ورود و خروج، باید تعداد افراد حاضر در سالن را تغییر دهیم که این کار با counter قابل انجام است. چون که هم رو به بالا باید بشماریم و هم رو به پایین، پس یک ورودی کنترلی up/down داریم که با عوض شدن آن، جهت شمارش را عوض می‌کنیم و در ساخت این مدار هم کاملاً از گیت‌های پایه استفاده شده است و آن TFF های استفاده شده هم قبل تر پیاده‌سازی شدند ولی برای شکل بهتر، از TFF های خود نرم‌افزار کوآرتوس استفاده می‌کنیم



شکل ۴: مدار Counter

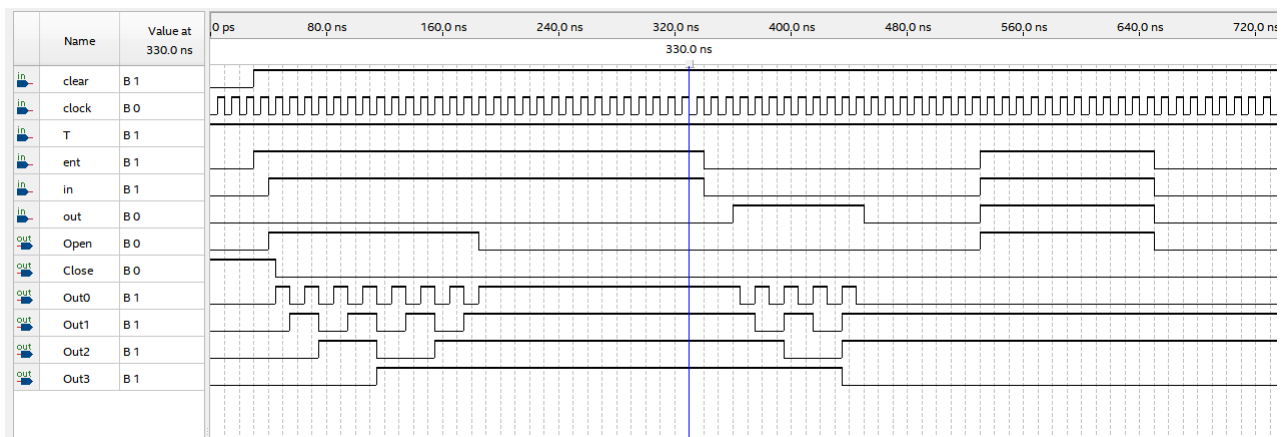
مدار Room

در نهایت با توجه به توضیحاتی که در بخش اول دادیم و مدارهای پایه که قبل تر در بخش دوم ساختیم، می‌توانیم به طراحی سیستم اتاق پردازیم که مداری مانند شکل زیر دارد که به خاطر ابعاد بزرگش در یک تصویر بسیار ریز شد ولی فایل پروژه با نرم‌افزار quartus موجود هست و در صورت نیاز می‌توانید آن را باز کرده و در بخش‌های مختلف، زوم کنید.



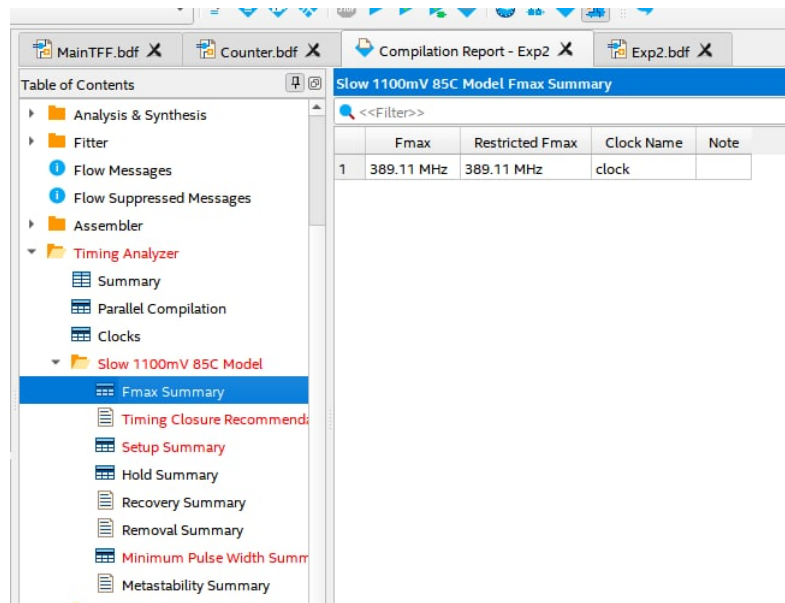
شکل ۵: مدار Room

بعد از ساخت مدار و قبل از نوشتن تست بنچ، تستی دستی برای آن ساخته شد تا صحت عملکرد آن بررسی شود که آن را هم گزارش در کنار تست بنچ نوشته شده می‌آوریم و این تست دستی، مانند عکس زیر است:



شکل ۶: تست مدار

در این تست، اول کار که close است چون کسی در اتاق نیست بنابراین کسی هم نمی‌تواند خارج شود ولی بلافاصله بعد از اینکه شخص اول وارد اتاق می‌شود، این سیگنال close صفر می‌شود و با ورود افراد، شمارنده هم رو به بالا می‌شمارد و بعد از اینکه ۱۵ نفر وارد اتاق شدند، سیگنال open صفر شده است چون اتاق دیگر گنجایش ندارد و دقیقاً بعد از اینکه افراد شروع به خارج شدن می‌کنند، این سیگنال open دوباره صفر می‌شود و در این شرایط، شمارنده رو به پایین می‌شمارد. کمی جلوتر همزمان افرادی هم وارد می‌شوند و هم خارج می‌شوند که در این شرایط، شمارنده نمی‌شمارد. برای محاسبه فرکانس کاری مدار، طبق توضیحات به بخش report بعد از سنتز و کامپایل می‌رویم و در آنجا فرکانس کاری مدار را مشاهده می‌کنیم:

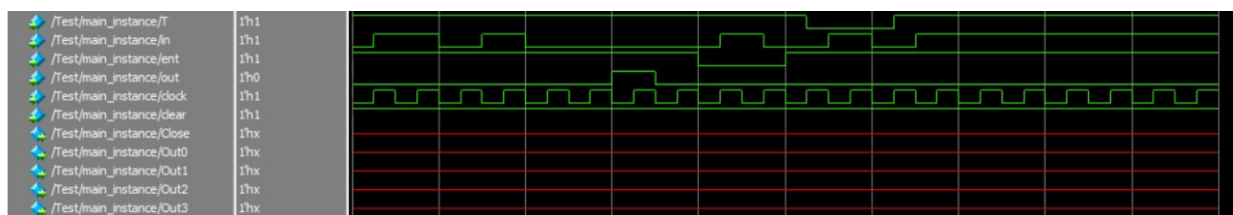


شکل ۷: فرکانس

همانطور که مشاهده می‌کنیم، فرکانس کاری مدار حدود ۳۸۹ مگا هرتز است.

تست بنچ

برای این بخش طبق منابع، با استفاده از کوآرتوس تبدیل‌یافته هر مدار شماتیک را به کد verilog گرفتیم که فایل‌های موجود است و اینکار را از بخش file و زیر بخش create-update انجام دادیم که گزینه ای تخت عنوان create HDL design file from current file داشت. سپس با انتقال کدها به مدلسیم، سعی در نوشتن تست بنچ کردیم که فایل تست بنچ نوشته شده هم موجود است. ولی متأسفانه بعد از تلاش‌های فراوان و جست‌وجوی بسیار، موفق به اجرای تست در مدلسیم نشدیم و نه به معنای اینکه مدار جواب مورد انتظار نمی‌داد، بلکه به این معنا که گویا فایل‌های وریلاگ خروجی کوآرتوس، همخوانی با مدلسیم نداشت و خروجی‌ها را همواره x نمایش می‌داد که عکس این حالت در زیر آمده است:



شکل ۸: تست بنچ

نتیجه‌گیری

پس در این مدار توانستیم با امکانات شماتیکی که داریم، مدار یک اتاق انتظار با سیگنال‌های ورودی و خروجی مختلف را بسازیم و همچنین برای تست مدار، از تست‌بنچ استفاده شد تا صحت عملکرد مدار، مورد بررسی قرار بگیرد.