

## ۳-۲ آزمایش دوم: طراحی مدارهای ترتیبی با استفاده از امکانات شماتیک

همانند آزمایش قبل می‌خواهیم از امکانات شماتیک استفاده کنیم ولی این بار هدف طراحی یک مدار ترتیبی است.

### شرح آزمایش

اتاق انتظار یک اداره ظرفیت ۱۵ نفر را دارد و دارای یک در ورودی و یک در خروجی است. در کنار هر یک از این درها، یک حسگر نصب شده است که با عبور فرد، سیگنالی به مدت یک Clock تولید می‌نماید (برای ورودی سیگنال IN و برای خروج سیگنال OUT). فردی که قصد ورود به اتاق را دارد، برای باز شدن در ورودی باید تکه‌ی Ent را فشار دهد. در این صورت، این در به شرطی باز می‌شود که در زمان فشردن تکه تعداد حاضرین در اتاق کمتر از ۱۵ نفر باشد.

ساعت مجاز ورود به اتاق سپری نشده باشد (فرض کنید که یک ساعت در اختیار داریم که خروجی آن T در زمان مجاز ۱ بوده و هرگاه زمان مجاز سپری شده باشد، برابر ۰ باشد).

برای باز بودن این در، باید سیگنال Open را به مدت لازم (تا عبور فرد از در) ۱ نگه داشت. در خروجی همواره باز است، مگر وقتی که تعداد حاضرین در اتاق به ۰ برسد، در این صورت باید سیگنال خروجی Close برابر ۱ شود تا این در بسته شود. در طرح مدار می‌توانید از یک Up/Down Counter با مشخصات زیر استفاده کنید. نمودار بلوکی شمارنده را در طرح خود بگنجانید و ارتباط ورودی‌ها و خروجی‌های آن را با سایر قسمت‌های مدار مشخص کنید. دقت کنید که در یک Clock ممکن است فردی از در ورودی وارد شده و همزمان فردی از در خروجی خارج شود. فرض کنید حرکت در خلاف جهت تعیین شده‌ی درها امکان‌پذیر نباشد.

U	Clk	Clr	Enable	Function
X	X	0	X	Reset counter to 0
X	X	1	0	Hold previous number
1	↑	1	1	Up count
0	↑	1	1	Down count

فرکانس کاری مدار را محاسبه کنید.