端口速率为S(bit/ns)

最长包为N bit。

写侧数据位宽为W\_DW；

读侧数据位宽为 R\_DW；

写侧时钟周期为W\_T；

写侧一轮调度总时隙个数为W\_SLOT\_N

写侧一轮中该端口时隙个数：W\_PORT\_SLOT\_N

写侧最大时隙间隔为 W\_MAX\_SLOT\_INT

写侧最小时隙间隔为 W\_MIN\_SLOT\_INT

读侧时钟周期为R\_T;

读侧一轮调度时间为R\_SLOT\_N

读侧最大时隙间隔为 R\_MAX\_SLOT\_INT

读侧最小时隙间隔为 R\_MIN\_SLOT\_INT

//--------------------------------------------------------------------------//

那么可以推导以下结论：

//---------------------------------考虑写侧-----------------------------//

写侧数据拍数为：W\_CYC\_N = celing(N/W\_DW)

理想情况写侧出一拍数据时间为：W\_DW/S

理想情况写侧一轮输出数据为：W\_SLOT\_TBIT = W\_SLOT\_N\*W\_T\*S

写侧一轮读出最小拍数为：W\_MIN\_SLOT\_CYC = floor(W\_SLOT\_TBIT/W\_DW -1)

那么写侧一轮最小写数据为：W\_MIN\_SLOT\_TBIT = floor(W\_SLOT\_TBIT/W\_DW -1)\*W\_DW

写侧出一拍数据最长时间间隔为W\_MAX\_INT = ceiling(W\_DW/S) + W\_MAX\_SLOT\_INT\*W\_T

写侧理想轮数为：W\_SLOT\_ROUND\_IDEAL = N/ W\_SLOT\_TBIT

写最大时间为：

1. 极端情况：W\_WORST\_PKT\_T = W\_CYC\_N\*W\_MAX\_INT （这显然是不合理的，因为写侧不可能每次都有抖动，且抖动一个最大间隔）

2、考虑前面x轮平均，最后一轮最恶劣：

W\_T\*W\_SLOT\_N\*floor(W\_SLOT\_ROUND\_IDEAL) + （(N- floor( W\_SLOT\_ROUND\_IDEAL)\* W\_SLOT\_TBIT)/W\_DW +1）\*W\_MAX\_INT

//----------------------------------考虑读侧-------------------------------//

读侧数据拍数为：R\_CYC\_N = celing(N/R\_DW)

理想情况读侧出一拍数据时间为：R\_DW/S

理想情况读侧一轮读出数据为：R\_SLOT\_TBIT = R\_SLOT\_N\*R\_T\*S

读侧一轮最多读出数据为：R\_MIN\_SLOT\_TBIT = floor(R\_SLOT\_N\*R\_T\*S/R\_DW+1)\*R\_DW

读侧出一拍数据最短时间间隔为R\_MIN\_INT = floor(R\_DW/S/R\_T)\*R\_T

读侧理想轮数为：R\_SLOT\_ROUND\_IDEAL = N/R\_SLOT\_TBIT

读侧一个包总时间为：

1. 极端情况：R\_WORST\_PKT\_T = R\_CYC\_N\*R\_MIN\_INT
2. 考虑前面x轮平均，最后一轮最恶劣：

R\_SLOT\_N\*R\_T\*floor(R\_SLOT\_ROUND\_IDEAL)+ (( N - floor(R\_SLOT\_ROUND\_IDEAL)\* R\_SLOT\_TBIT)/R\_DW -1)\* R\_MIN\_INT

//--------------------------------考虑读写两侧速率差---------------------------

一个包读写两侧数据差值为：

start\_th >= (W\_WORST\_T – R\_WORTST\_PKT\_T)\*S

最大写间隔与读之间的读数据差值 ：

start\_th >= celing(W\_MAX\_INT/ R\_MIN\_INT)\*R\_DW -W\_DW

写侧一轮最大抖动与读侧数据差值：

start\_th >= (ceiling(W\_SLOT\_N\*W\_T/R\_MIN\_INT)\*R\_DW - W\_MIN\_SLOT\_TBIT)