

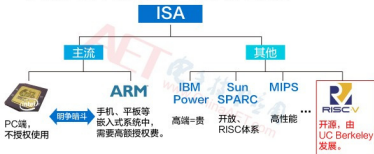
# 全面解读开源指令集

## RISC-V

在CPU中，指令集架构(Instruction Set Architecture, ISA)，扮演着重要的角色，ISA是电脑的基础，整个系统皆顺其而生。ISA会影响操作系统的种类以及软件的支持程度，因此，每个ISA皆有各自的生态。

### 1 CPU指令集 (ISA) 现状

现行市场主流的指令集架构：x86和ARM。RISC-V正试着挑战现行主流的指令集架构。藉由RISC-V，UC Berkeley正试着从头打造一个全新的生态系，并将其开放，让所有人都可以使用。



## CISC

复杂、庞大  
指令>200条  
字长不固定  
寻址方式>4  
可访存指令  
各指令执行时间相差较大  
通用寄存器数量较少  
大多微程序控制



## RISC

精简  
指令<100条  
指令等长  
寻址方式<4  
仅可访存Load/Store指令  
各指令执行时间大多在一个周期内  
通用寄存器数量多  
大多硬布线控制

霸主x86站这边

ARM领衔, MIPS、RISC-V...

## RISC-V诞生!

why?

Krste Asanovic找不到一个合适的处理器



- (1) Intel的x86是CISC指令集, 过于复杂和庞大, 而且存在专利问题。
- (2) ARM除了专利问题外, 若想自行设计基于ARM指令集的处理器, 需要非常昂贵的License。
- (3) OpenRISC作为一个开源的指令集架构, 其许可证为GPL, 这意味着所有的指令集改动都必须开源。而且, OpenRISC发展缓慢, 设计过于老旧, 64位架构也不成熟。

于是...

从2010年夏天开始, 大约花了四年的时间, 这个团队设计和开发了一套完整的新的指令集, 同时也包含了移植好的编译器、工具链、仿真器, 并经过数次流片验证。为了能够加快开发的效率, 以便能够快速评估和修改设计以及提高可复用性, Chisel作为一种新的硬件构建语言也被开发了出来。简言之, 你可以用scala这种函数式编程语言去设计硬件, 并最终能够生成传统的Verilog HDL用于ASIC/FPGA, 或者生成C++用于仿真。

# 3

## RISC-V优势

### 避免授权金

RISC-V指令集是一个“活”的、现代的、没有专利问题和没有历史包袱的全新指令集，并且以BSD许可证发布。任何公司(小公司也行)都可以在自己的产品中免费使用，而修改也无需再开源。

### 简单易上手开发

x86和ARM的手册皆有上千多页，对工程师而言是相当大的负担，因为要设计一颗CPU，工程师就要熟悉ISA中的所有规定，越熟悉才能设计出越好的CPU。至于RISC-V则只需要约100页左右，大幅缩小工程师的负担。

### 干净设计最安全，后门ByeBye

由于可以提供RISC-V IP源代码，并且这种源代码是开放的，因此客户能够全面检查RTL，以确保最高的信任级别。



5

## RISC-V: 颠覆者?



颠覆

www.China.com

