



# Introducing RISC-V and How it enables IOT Innovation

---

RT-Thread 4.0 Launch Meeting  
10/18/2018



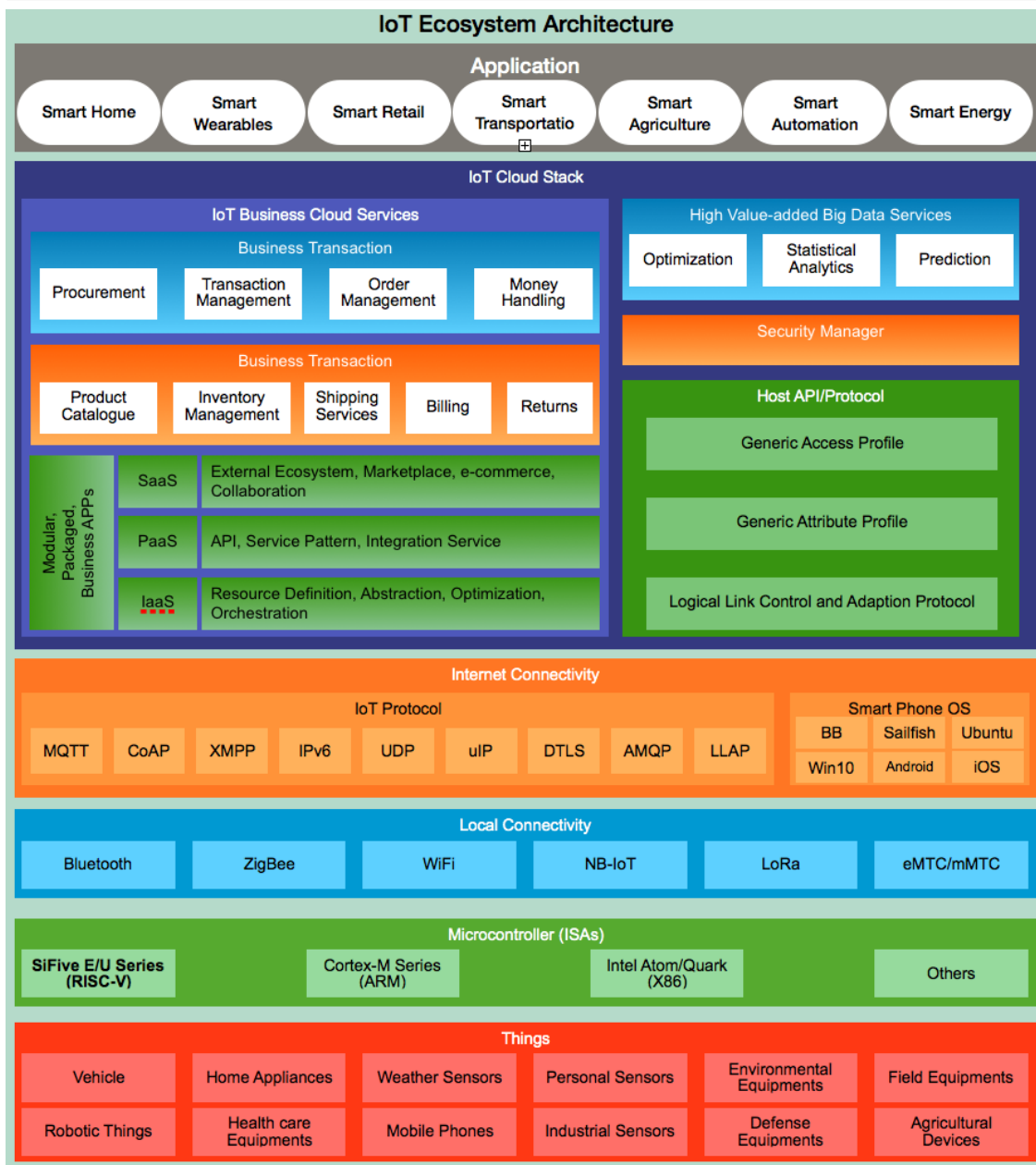
# 21世纪初期的网络化演进对社会带来的三次冲击

第一次冲击出现在2000年	第二次冲击出现在2010年	第三次冲击出现在2020年
互联网是的社会进入10亿个“场所”与“场所”互联的时代	手机的普及使50亿“人”与“人”能够随时随地得与网络相连	500亿“物”与“物”能够与网络相连

- 21世纪20年代，将进一步发展为包括物与人在内的世间万物的连接，即所谓的IoT
- 互联网市场的格局将再次产生巨变，只有掌握数据并对其进行确切分析的企业才能成为市场的赢家



# IoT的生态架构



- 构成IoT整个生态系统分为设备、微处理器、网络（局域网和广域网）、云平台、App应用等很多层面。
- 相关企业也涵盖设备厂商、芯片供应商、电信运营商、机器供应商、系统集成商以及微软、亚马逊、谷歌、苹果、IBM、阿里巴巴、腾讯、百度等平台巨头。
- 所有企业都在各自擅长的领域充分发挥优势，力争成为市场赢家。然而企业的定位不同，其思路也明显有所区别。芯片供应商和制造商最关注的是IoT设备的销售情况。通信运营商瞄准的是使用手机线路的IoT解决方案得到普及。谷歌和苹果等平台企业的目的是获取大数据。

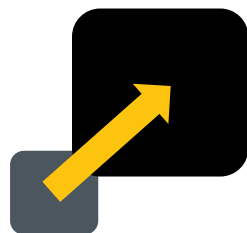


# 业界为什么选择RISC-V ?



免费及开放的指令集架构

在市场上有诸多开源及商用的CPU的实现可供用户选择



可扩展及可定制性强

可用于从微控制器到超级计算机的各种级别处理器核



不断成长的软件生态系统

世界上有非常多的开源及商用的工具及操作系统可供客户选择

RISC-V不是一家公司，也不是一种CPU的实现，它是一种在授权之下可以免费使用的指令集

---

## RISC-V 将助力技术创新



# RISC-V

## Foundation: 100+ Members

SIEMENS cadence® SAMSUNG Google IBM QUALCOMM® SK hynix Mentor® A Siemens Business SEAGATE



BAE SYSTEMS

Western Digital® HITACHI Inspire the Next



SiFive



BITMAIN





“The RISC-V Foundation is a non-profitable consortium chartered to standardize, protect, and promote the free and open RISC-V instruction set architecture together with its hardware and software ecosystem for use in all computing devices.”

“RISC-V基金会是一个非营利性联盟，旨在标准化，保护和推广免费及开放的RISC-V指令集架构及其硬件和软件生态系统，以用于所有计算设备。”



# RISC-V指令集和其它的指令集有何不同？

- **简洁**
  - 相较于其他商用的指令集而言小很多
- **从零开始的设计**
  - 对用户和特权指令集明确分离
  - 避免功能需要与微架构或技术紧密关联
- **模块组装型指令集**
  - 短小精干的基本指令集
  - 具有多种标准扩展
- **与生俱来的可扩展性和特制化设计**
  - 可变长度指令编码
  - 具有可用于指令集扩展的大量操作码空间
  - 支持广泛的定制工作可作为客户定制加速单元的基础，这一点在当前摩尔定律失效是变得尤为重要
- **稳定性高**
  - 基本及标准指令集扩展已经冻结，不再更新
  - 通过选择性的扩展添加指令，绝非变为一个新版本的指令集

ISA Manual	Pages	Words	Hours to read	Weeks to read
RISC-V	236	76,702	6	0.2
ARM-32	2736	895,032	79	1.9
X86-32	2198	2,186,259	182	4.5

假设每分钟阅读200字，每周阅读40小时





# 传统增量ISA和21世纪RISC-V ISA

## 传统ISA



大而全的自助餐，人均300RMB

## RISC-V ISA



### 必选菜

#### RISC-V 基础指令 RV32I

RV32I 必备基础指令 .....20

可以运行全栈软件，给编译器开发者，操作系统开发者以及封装语言程序员一个稳定的基础和目标。

### 可选菜

#### RISC-V 可扩展指令

RV32M 乘法 .....	15
RV32F 单精度浮点 .....	15
RV32D 双精度浮点 .....	20
RV32A 原子操作 .....	10
RV32C 压缩指令 .....	12
RV32V 向量扩展 .....	20

模块化源自可选的标准扩展，硬件是否需要实现，完全取决于应用程序的需要。这种模块化实现了RISC-V的更小的面积和更低的功耗，这对嵌入式IoT应用至关重要。

### 菜单增加规则

RISC-V基金会决定何时在菜单中添加一个新菜（扩展指令），并且在硬件和软件技术委员会（TG）进行扩展指令的公开讨论之后，他们只会就技术来讨论增加的必要性。即使菜单上出现了新菜，它们仍然是可选的，而不是所有未来实现的必须要求，例如传统的增量ISA。

想吃什么点什么，  
好吃，不浪费，  
人均80RMB





# 飞速成长的RISC-V生态系统

- **SiFive Freedom SDK**
  - GCC + BinUtils
- **SiFive Freedom Studio**
  - Freedom SDK, Eclipse CDT, GNU MCU Eclipse, pre-built GCC, and OpenOCD
  - Built on Open Source technology
- **SEGGER**
  - SEGGER JLINK for Debug and Production Flash Programming
  - Embedded Studio for RISC-V – IDE, toolchain, debugger
- **Lauterbach**
  - Lauterbach TRACE32 for silicon bring up and debug
- **UltraSoC**
  - IP and tooling supporting SiFive instruction trace
- **IAR**
  - IAR Embedded Workbench with SiFive support in development
- **Embedded Operating Systems**
  - RT-Thread
  - Express Logic – Thread X
  - ZephyrOS
  - Micrium - µCOS
  - RIOT
- **Rich Operating Systems**
  - Debian Linux
  - Fedora Linux
  - SylixOS





# 嵌入式系统开发者拥抱AI

- 当下所面临的挑战是，用户对复杂系统行为的需求一直在增加，这对开发人员编写可靠代码来满足需求形成考验。
- 为相机系统编写代码使其可以靠检测视野中的所有人脸，这项任务难度有多高？
- 最近AI技术在嵌入式系统中的应用越来越多，这要求开发人员去获得新的技能并拓展新的思维方式，需要学习：
  - 卷积神经网络
  - 机器学习方法
  - AI训练方法
  - 如何将系统行为划分为AI和算法域等课题
  - 当系统的关键操作特性是派生的到且未定义的，且其中间操作是隐蔽的，以至于不能用传统的软件去分析系统时，他们还需要知道如何测试、调试和验证系统行为
- AI将引发嵌入式系统设计方式的大规模转变



# RISC-V + Extension将是AI应用的不错的选择

- 用私有化指令定制硬件，用于Machine Learning将是一个趋势
  - 因为AI算法变化的频率非常高，通用的解决方案将更加适合
- 更适合的方案是将RISC-V作为基础指令集 + 扩展指令
  - 面向特定应用的扩展指令，例如
    - RISC-V Vector Extension
    - Tensor Instructions
    - Hardware acceleration
- 通用CPU + 面向特定应用的扩展指令的方式可以让软件生态在RISC-V的已有的软件生态上快速成长



# RISC-V 为何选择Vector Extension

- **RISC-V 采用的是Cray-style Vector Extensions**
- 相同的软件模型适用于从小型到大型的各种不同的RISC-V CPU 处理器
- 充分重视**RISC-V**软件生态环境
  - LLVM Compiler
  - GCC Auto-Vectorizer
  - Frameworks, libraries, 3<sup>rd</sup> party software support

## Vector ISA Goodness

- Reduced instruction bandwidth
- Reduced memory bandwidth
- Lower energy
- Exposes DLP
- Masked execution
- Gather/Scatter
- From small to large VPU

## RISC-V Vector Extension

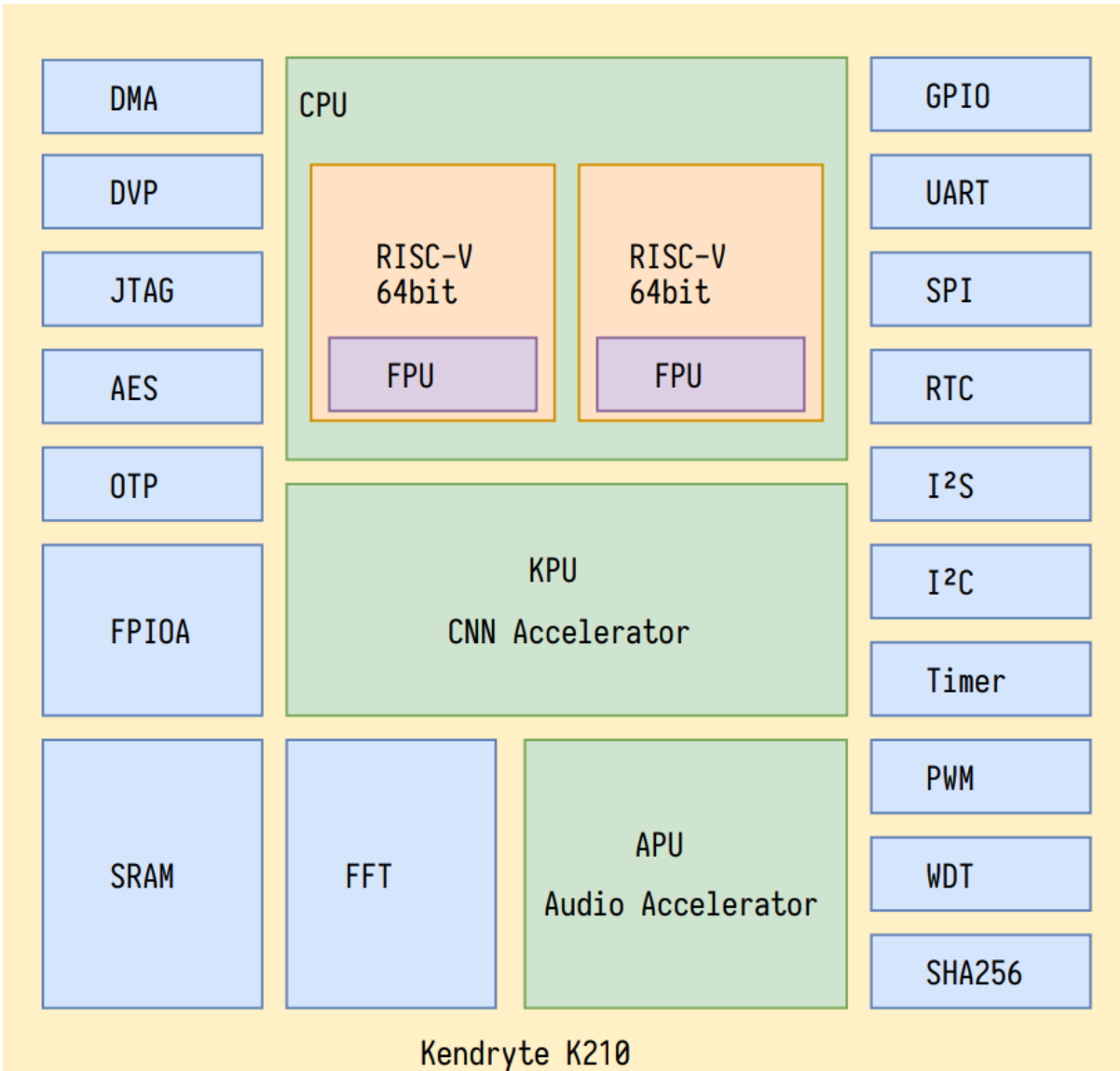
- Small
- Natural memory ordering
- Masks folded into vregs
- Scalar, Vector & Matrix
- Typed registers {extensions}
- Reconfigurable
- Mixed-type instructions
- Common Vector/SIMD programming model
- Fixed-point support
- Easily Extensible

## Use Cases / Domains

- Machine Learning
- Graphics
- DSP
- Crypto
- Structural Analysis
- Climate Modeling
- Weather Prediction
- Drug design
- And more...



# RISC-V + Hardware Acceleration - Kendryte K210



Kendryte K210	
Process	28nm
RISC-V Core	Dual-Core 64bit@400MHz, w/FPU
KPU	KPU 1.0, 64KLU@400MHz
视频性能	QVGA@60fps/VGA@30fps, Unlimited ROI, 支持 Tiny YOLO V2, MobileNet V1
音频新能	支持8路麦克风阵列，无需外加DS
FFT硬件加速	64/128/256/512点FFT
加密	AES，SHA256
AI框架	TensorFlow，Keras，Darknet
开发环境	SDK/HDK



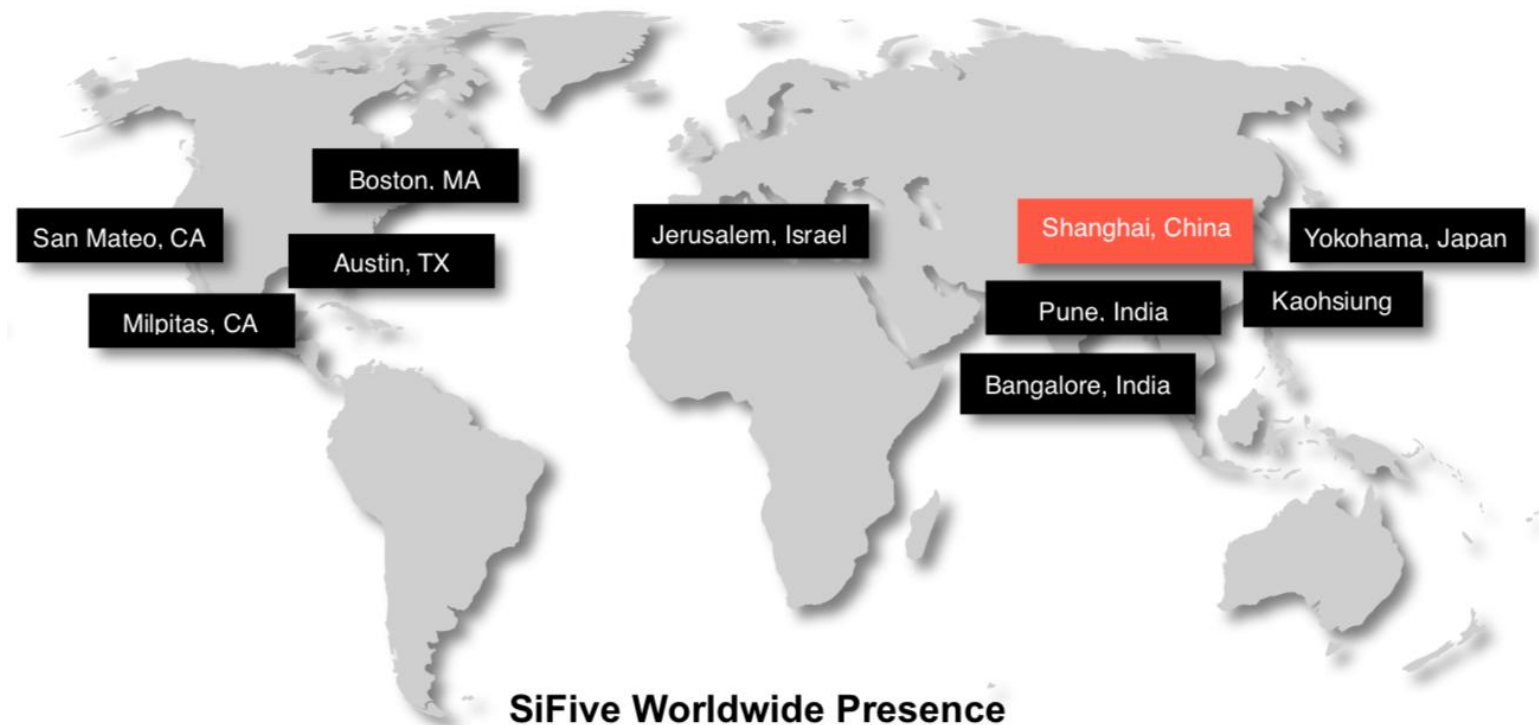


## Worldwide Presence

- 10 Offices
- ~300 Employees

## World-class expertise

- Inventors of RISC-V
- Semiconductor in the Cloud
- RTL Design & Verification
- FPGA & Emulation
- Physical Design
- Wafer Fabrication
- Board Design
- Full Silicon Validation



SiFive Worldwide Presence

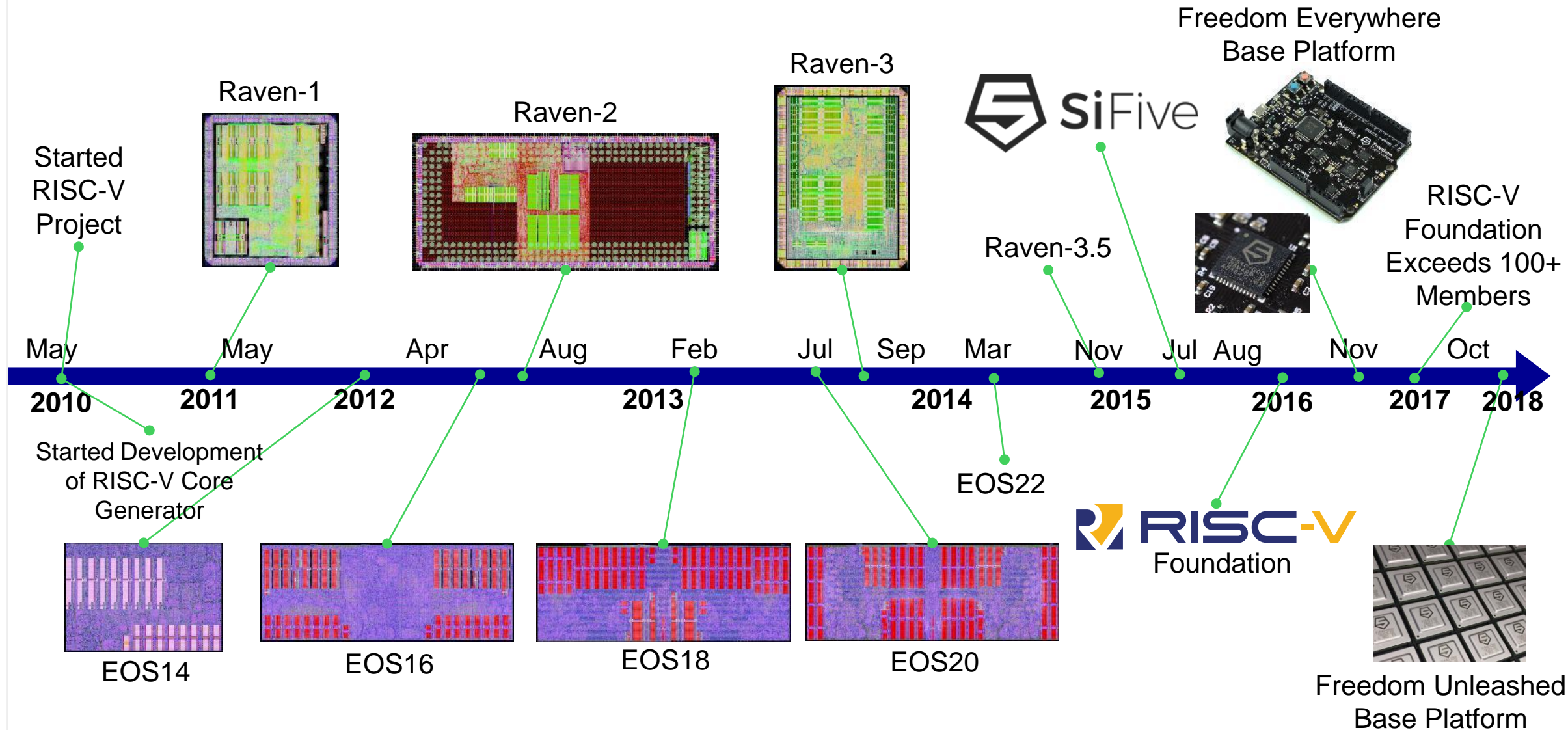
SiFive中国（上海赛昉科技有限公司）已经成立，  
技术本土化正在迅速进行中



David Patterson  
Technical Adviser



# SiFive 公司的历史及其与生俱来的RISC-V基因





- **RISC-V CPU IP的领导者**
  - Inventors of RISC-V
  - Most complete product line of CPU IP: from microcontrollers, to embedded, to high-performance multi-core processors
  - Very easy to customize
- **基于云端技术的芯片方案领导者**
  - Leverages software, high-level design, and automation
  - Dramatically reduce cost and increase innovation
  - Builds custom CPU IP and ASICs



# SiFive RISC-V CPU的产品路线图



## U Cores

### Application Processors

- Linux-Capable
- Real Time Capabilities
- Multi-Core Ready

U52

- 64-bit RISC-V Multi-Core Linux-Capable
- U54-MC4 Application Cores
- 1x E51 Monitor Core
- 5-stage pipeline
- Up to 9 cores and optional L2 Cache Controller
- 1.7 DMIPS/MHz
- 3.01 CoreMark/MHz

U54-MC

U74-MC

- Dual Issue
- Macro-op Fusion

U77-MC

- AI/Inference
- Vector Extensions

U87-MC

- Superscalar
- Out Of Order
- Vector Extensions



## E Cores

### High Performance Embedded

- Storage Controllers, Modems
- Deterministic Memory Access
- Fast Interrupt Latencies
- Multi-Core Ready

E31

- 32-bit RISC-V
- 5-stage pipeline
- 1.61 DMIPS/MHz
- 3.01 CoreMark/MHz

E34

- 32-bit RISC-V
- FPU (F or D)

E51

- 32-bit RISC-V
- 5-stage pipeline
- 1.7 DMIPS/MHz
- 3.01 CoreMark/MHz

E54

- 32-bit RISC-V
- FPU (F or D)

E71

- Dual Issue
- Macro-op Fusion

E74

- Dual Issue
- Macro-op Fusion

E77

- AI/Inference
- Vector Extensions



## E Cores

### Deep Embedded

- Small, Efficient MCU
- Minion / Security Cores
- Multi-Core Ready

E20

- 32-bit RISC-V
- 2-stage pipeline
- 1.1 DMIPS/MHz
- 2.4 CoreMark/MHz

E21

- 32-bit RISC-V
- 3-stage pipeline
- 1.38 DMIPS/MHz
- 3.1 CoreMark/MHz

E24

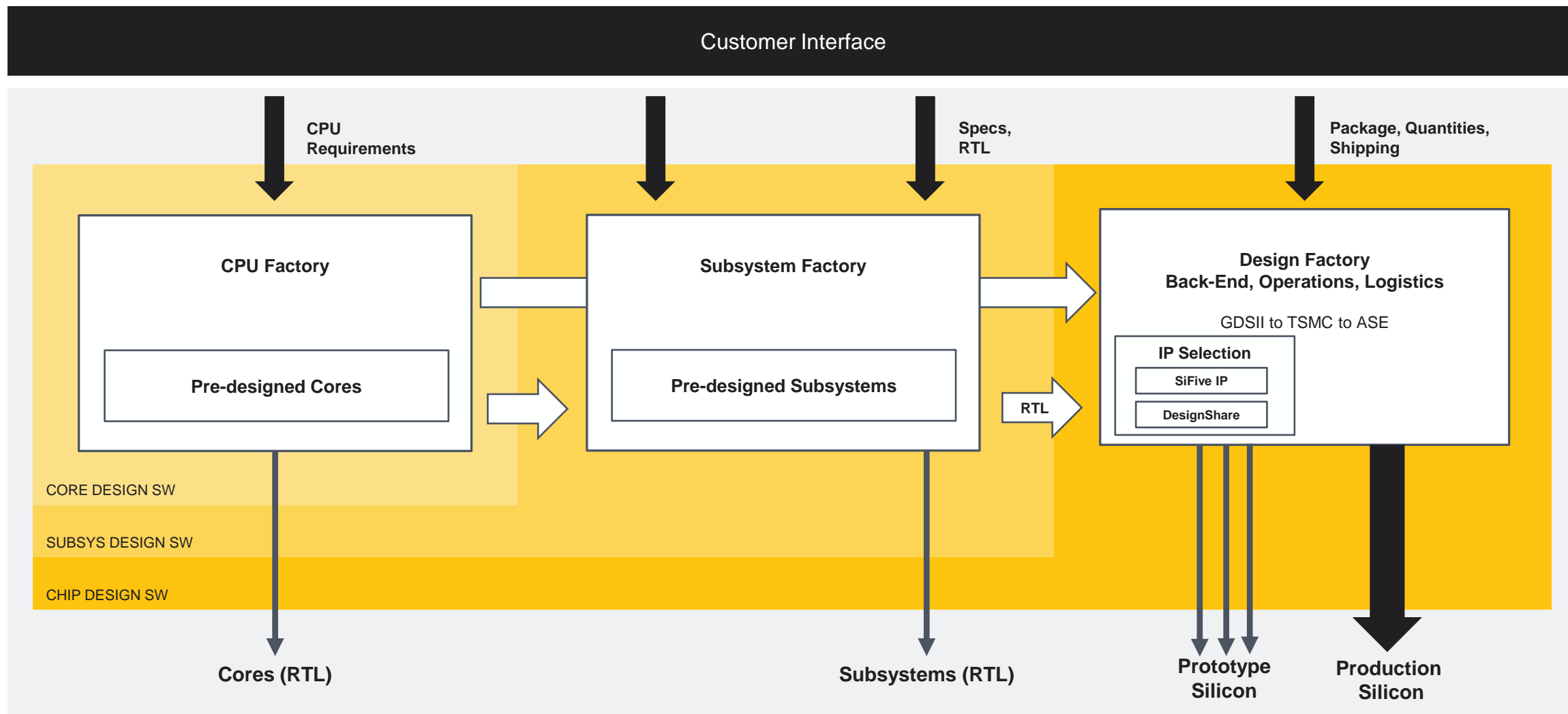
- FPU (F)

E27

- AI/Inference
- Vector Extensions



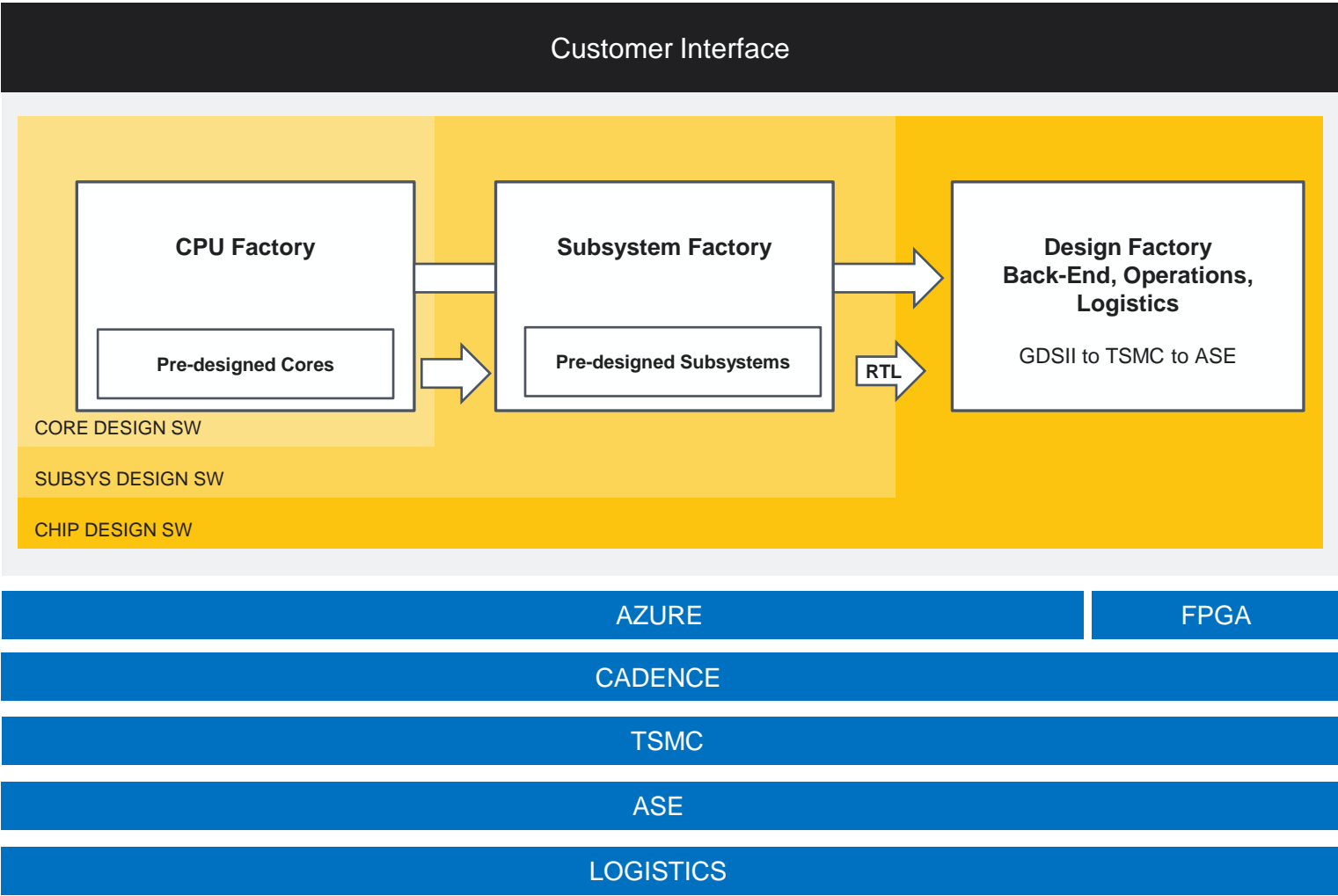
# SiFive基于云端技术的“定制芯片工厂”





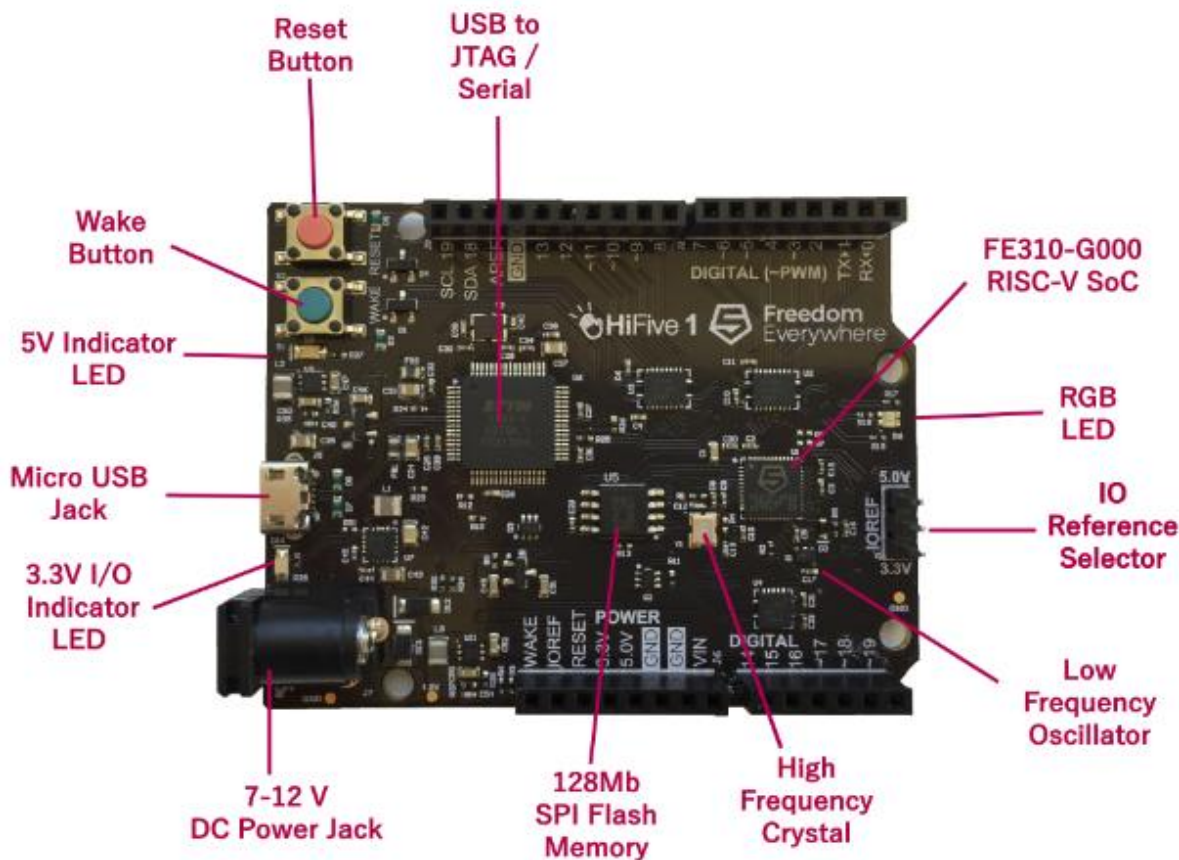


# SiFive基于云端技术的“定制芯片工厂”生态圈





# HiFive1: RT-Thread First Run on RISC-V Dev Board



SiFive FE310-G000	
Process	180nmG
Operating Voltage	3.3 V and 1.8 V
Input Voltage	5 V USB or 7-12 VDC Jack
IO Voltages	Both 3.3 V or 5 V supported
Digital I/O Pins	19
PWM Pins	9
SPI Controllers/HW CS Pins	1/3
External Interrupt Pins	19
External Wakeup Pins	1
Flash Memory	16 MB Quad SPI
Host Interface (microUSB)	Program, Debug, and Serial Communication

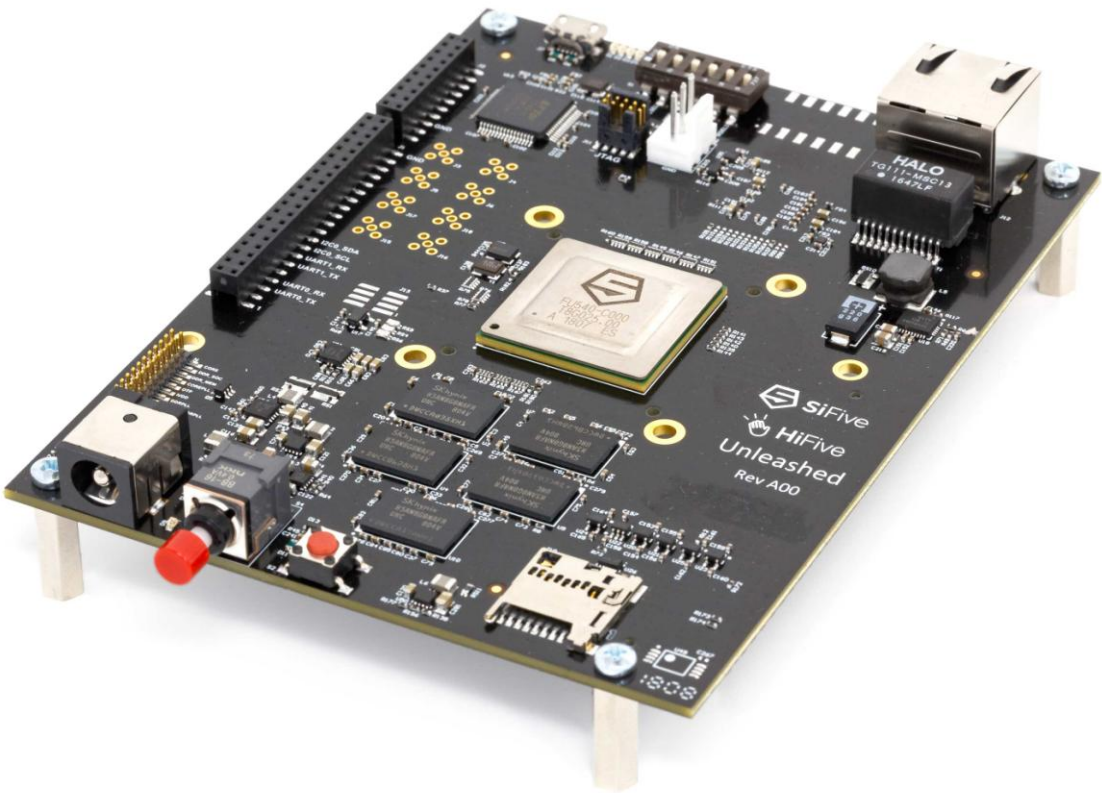


- QEMU模拟软件
- Interrupt Enable/Disable – 中断开/关
- Context Switching – 任务切换
- Interrupt Handling – 中断处理
- OS Tick – OS时钟节拍
- [Cache] – 可选项

<https://github.com/RT-Thread/rt-thread/tree/master/bsp/hifive1>



# HiFive Unleashed: World's First Multi-Core RISC-V Linux Dev Board



## SiFive FU540-C000

Process	28nm
RISC-V Core	4 × U54 RISC-V cores with machine, supervisor, and user mode 32 KB 8-way L1 I-cache, and 32 KB 8-way L1 D-cache. 1 × E51 RISC-V cores with machine and user mode, 16 KB 2-way L1 I-cache, and 8 KB data tightly integrated memory (DTIM).
L2 Cache	2 MB 16-way coherent L2 cache.
Interrupts	Software and timer interrupts, 53 peripheral interrupts connected to the PLIC with 7 levels of priority.
DDR3/4 Controller	64 bit + ECC Memory Controller to external DDR3/DDR3L/DDR4 memory.
UART 0	Universal Asynchronous/Synchronous Transmitters for serial communication.
UART 1	Universal Asynchronous/Synchronous Transmitters for serial communication.
QSPI 0	Serial Peripheral Interface. QSPI 0 has 1 chip select signal.
QSPI 1	Serial Peripheral Interface. QSPI 1 has 4 chip select signals.
QSPI 2	Serial Peripheral Interface. QSPI 2 has 1 chip select signal.
PWM 0	16-bit Pulse-width modulator with 4 comparators.
PWM 1	16-bit Pulse-width modulator with 4 comparators.



# 是时候为你的应用量身定制你的硬件



为低功耗应用量身打造的架构

不用在完全依赖芯片制造工艺的  
演进



客户按需配置你的CPU和系统

传统的设计方法学无法快速提供



让客户专注于真正重要的应用

利用和复用任何可以复用的设计