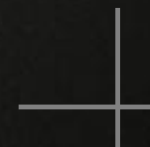




算术逻辑运算器实验

主讲人：冯乃星

2025年



课程内容

- 1.1 实验目的
- 1.2 实验内容
- 1.3 实验主要器件
- 1.4 实验原理
- 1.5 实验步骤
- 1.6 思考讨论

课程内容

- 1.1 实验目的
- 1.2 实验内容
- 1.3 实验主要器件
- 1.4 实验原理
- 1.5 实验步骤
- 1.6 思考讨论

实验目的

1. 了解算术逻辑运算器（74LS181）的组成和功能。
2. 掌握基本算术和逻辑运算的实现方法。

课程内容

- 1.1 实验目的
- 1.2 实验内容
- 1.3 实验主要器件
- 1.4 实验原理
- 1.5 实验步骤
- 1.6 思考讨论

课程内容

- 1.1 实验目的
- 1.2 实验内容
- 1.3 实验主要器件
- 1.4 实验原理
- 1.5 实验步骤
- 1.6 思考讨论

实验内容

- ◆ 运用算术逻辑运算器74LS181进行有符号数/无符号数的算术运算和逻辑运算。

课程内容

- 1.1 实验目的
- 1.2 实验内容
- 1.3 实验主要器件
- 1.4 实验原理
- 1.5 实验步骤
- 1.6 思考讨论

课程内容

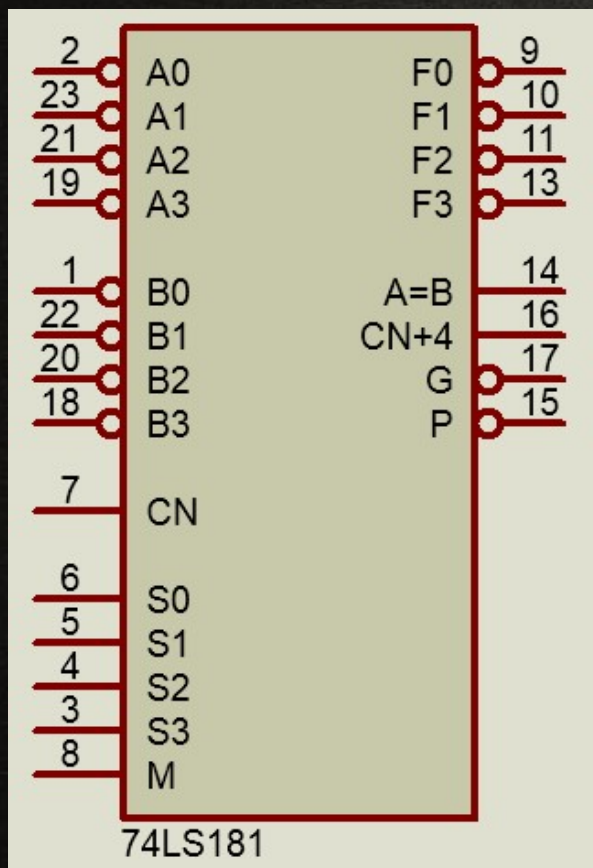
- 1.1 实验目的
- 1.2 实验内容
- 1.3 实验主要器件
- 1.4 实验原理
- 1.5 实验步骤
- 1.6 思考讨论

实验器件

序号	名称	型号
1	算术逻辑运算器	74LS181
2	三态门	74LS244
3	地址/数据锁存器	74LS273
4	反相器	74LS04
5	或/或非门	74HC4078

实验器件

74LS181



- 8个数据输入端，A0、A1、A2、A3，B0、B1、B2、B3，（其中A3和B3是高位）；
- 4个二进制输出端F0、F1、F2、F3，以四位二进制形式输出运算的结果；
- CN端处理进入芯片前进位值，CN4记录运算后的进位；
- G先行进位产生端，P先行进位传递函数；
- 4个控制端，S0、S1、S2、S3，控制两个四位输入数据的运算，例如加、减、与、或；
- M控制芯片的运算方式，包括算术运算和逻辑运算；
- 地与电源隐藏。

实验器件

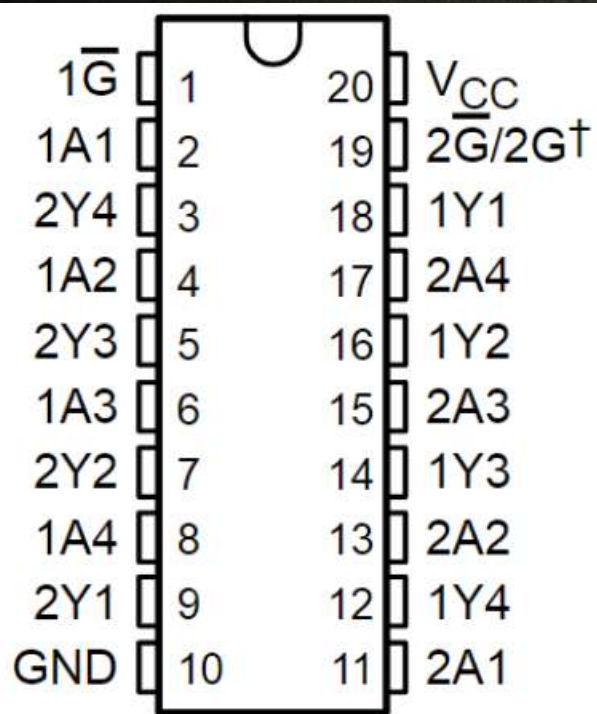
74LS181 逻辑功能表

S3	S2	S1	S0	M=0（算术运算）		M=1 （逻辑运算）
				CN=1 无进位	CN=0 有进位	
0	0	0	0	$F=A$	$F=A$ 加 1	$F=\overline{A}$
0	0	0	1	$F=A+B$	$F=(A+B)$ 加 1	$F=\overline{A+B}$
0	0	1	0	$F=A+\overline{B}$	$F=(A+\overline{B})$ 加 1	$F=\overline{A}B$
0	0	1	1	$F=0$ 减 1	$F=0$	$F=0$
0	1	0	0	$F=A$ 加 $A\overline{B}$	$F=A$ 加 $A\overline{B}$ 加 1	$F=\overline{A}B$
0	1	0	1	$F=(A+B)$ 加 $A\overline{B}$	$F=(A+B)$ 加 $A\overline{B}$ 加 1	$F=\overline{B}$
0	1	1	0	$F=A$ 减 B 减 1	$F=A$ 减 B	$F=A\oplus B$
0	1	1	1	$F=A\overline{B}$ 减 1	$F=A\overline{B}$	$F=A\overline{B}$
1	0	0	0	$F=A$ 加 AB	$F=A$ 加 AB 加 1	$F=\overline{A}+B$
1	0	0	1	$F=A$ 加 B	$F=A$ 加 B 加 1	$F=\overline{A\oplus B}$
1	0	1	0	$F=(A+\overline{B})$ 加 AB	$F=(A+\overline{B})$ 加 AB 加 1	$F=B$
1	0	1	1	$F=AB$ 减 1	$F=AB$	$F=AB$
1	1	0	0	$F=A$ 加 A	$F=A$ 加 A 加 1	$F=1$
1	1	0	1	$F=(A+B)$ 加 A	$F=(A+B)$ 加 A 加 1	$F=A+\overline{B}$
1	1	1	0	$F=(A+\overline{B})$ 加 A	$F=(A+\overline{B})$ 加 A 加 1	$F=A+B$
1	1	1	1	$F=A$ 减 1	$F=A$	$F=A$

实验器件

74LS244

它主要用于三态输出，作为地址驱动器、时钟驱动器、总线驱动器和定向发送器等。



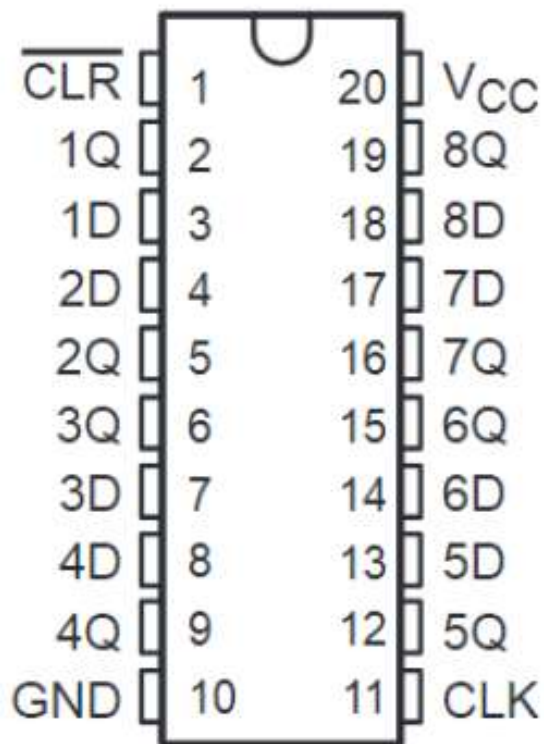
SN74LS244

INPUTS		OUTPUT
$1\overline{G}, 2\overline{G}$	D	
L	L	L
L	H	H
H	X	(Z)

实验器件

74LS273

它是8位数据/地址锁存器，它是一种带清除功能的8D触发器，D0~D7为数据输入端，Q0~Q7为数据输出端，正脉冲触发，低电平清除，常用作数据/地址锁存器。

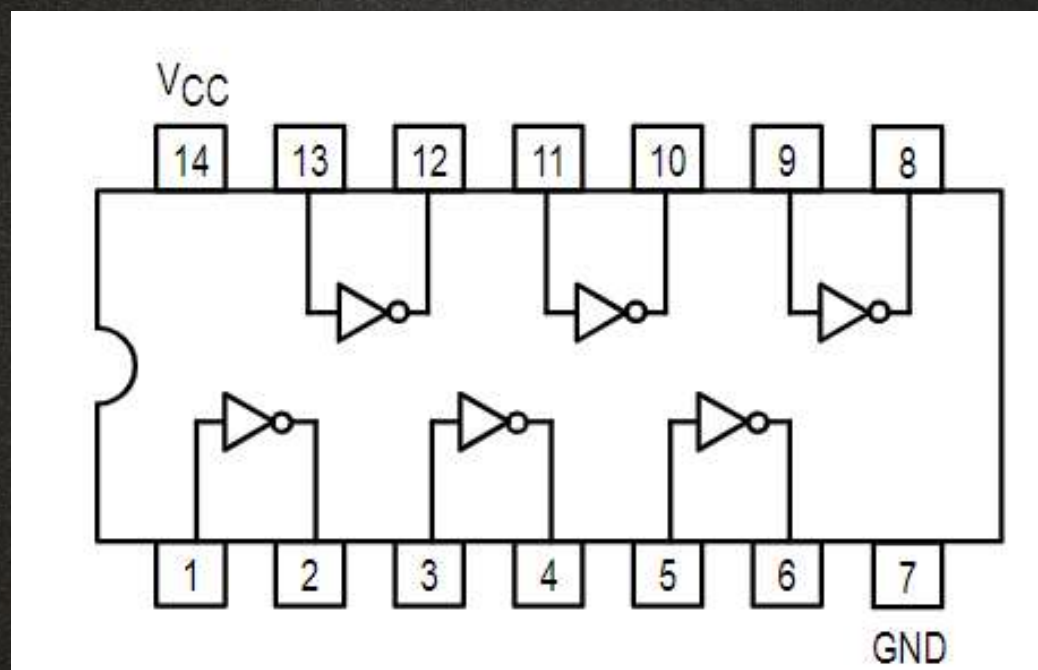


FUNCTION TABLE
(each flip-flop)

INPUTS			OUTPUT Q
CLEAR	CLOCK	D	
L	X	X	L
H	↑	H	H
H	↑	L	L
H	L	X	Q ₀

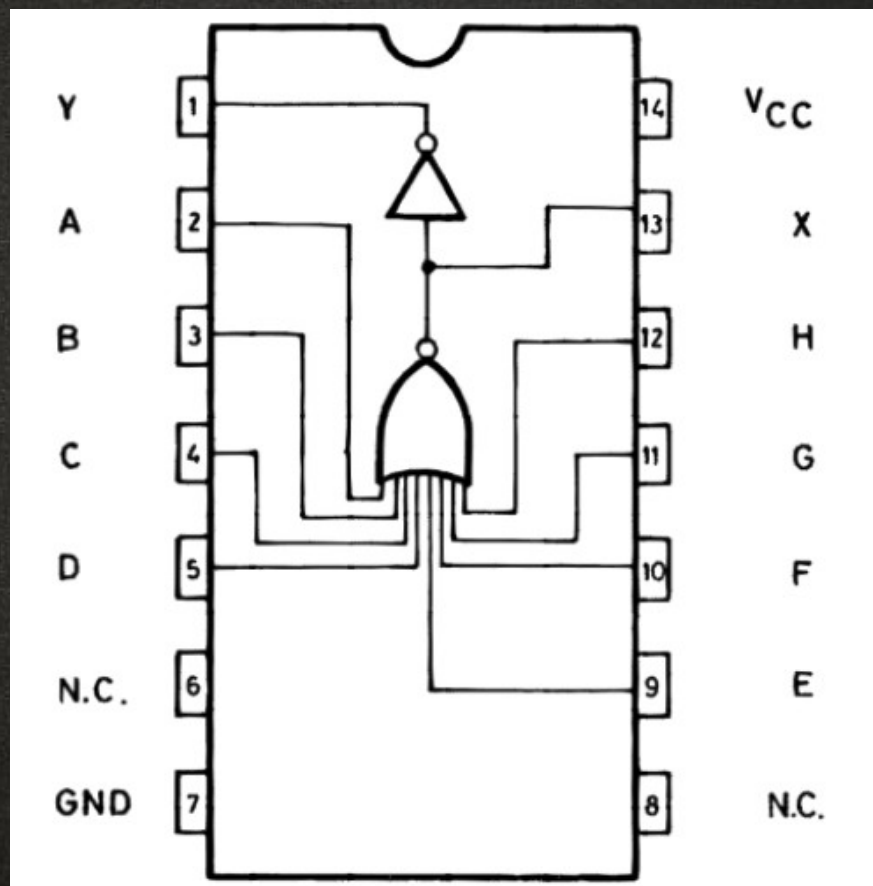
实验器件

74LS04



实验器件

74HC4078

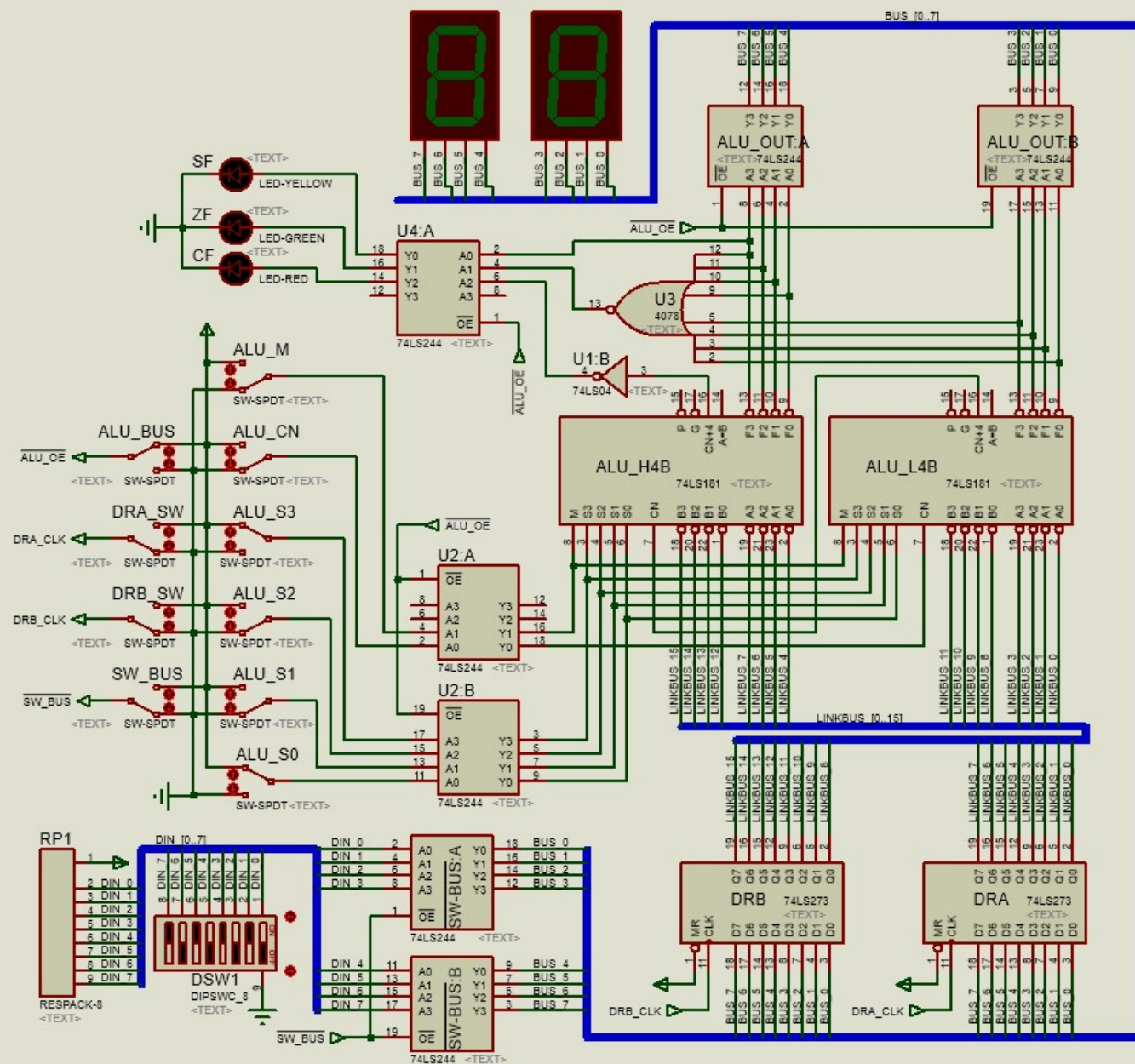


课程内容

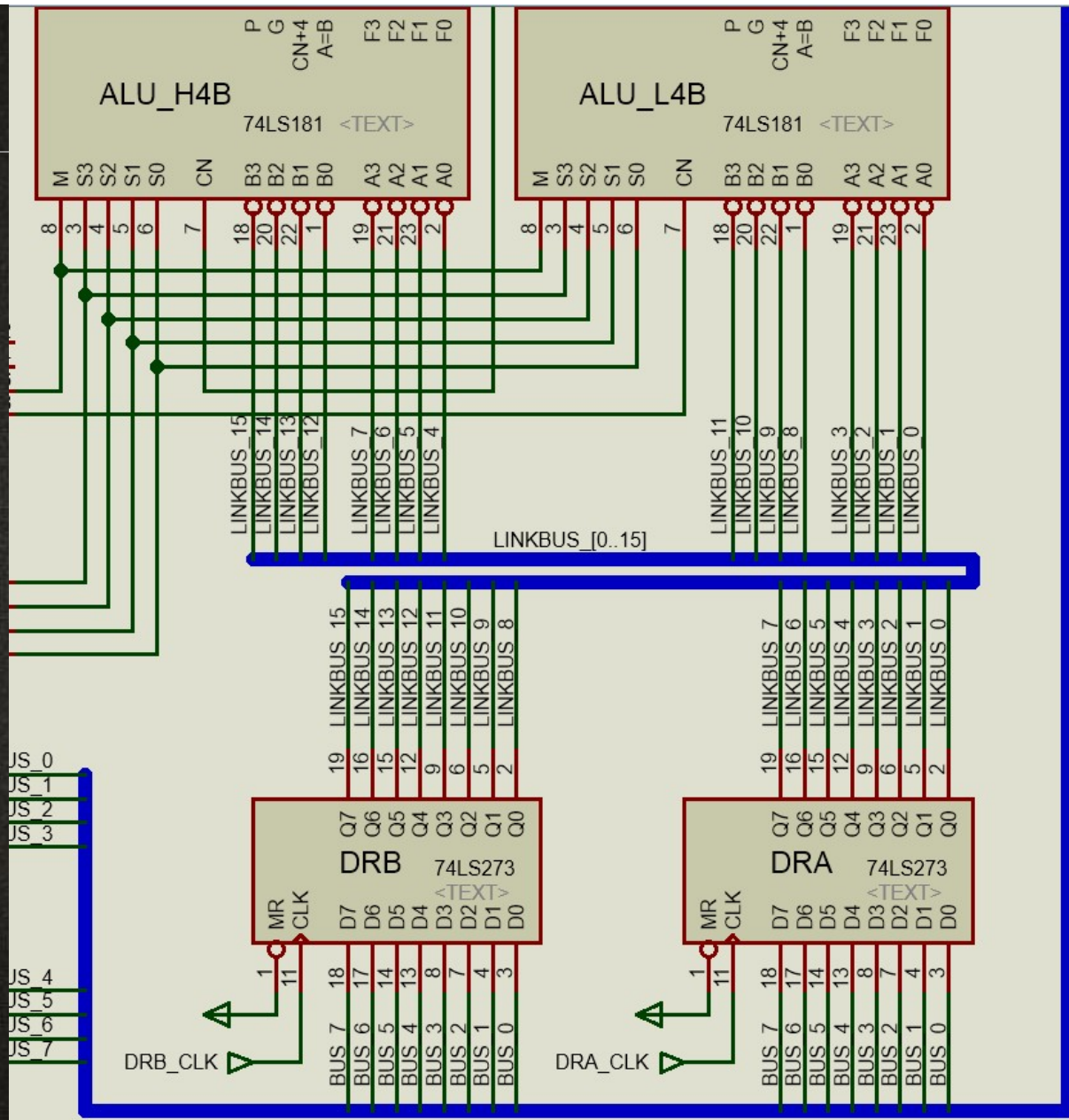
- 1.1 实验目的
- 1.2 实验内容
- 1.3 实验主要器件
- 1.4 实验原理
- 1.5 实验步骤
- 1.6 思考讨论

课程内容

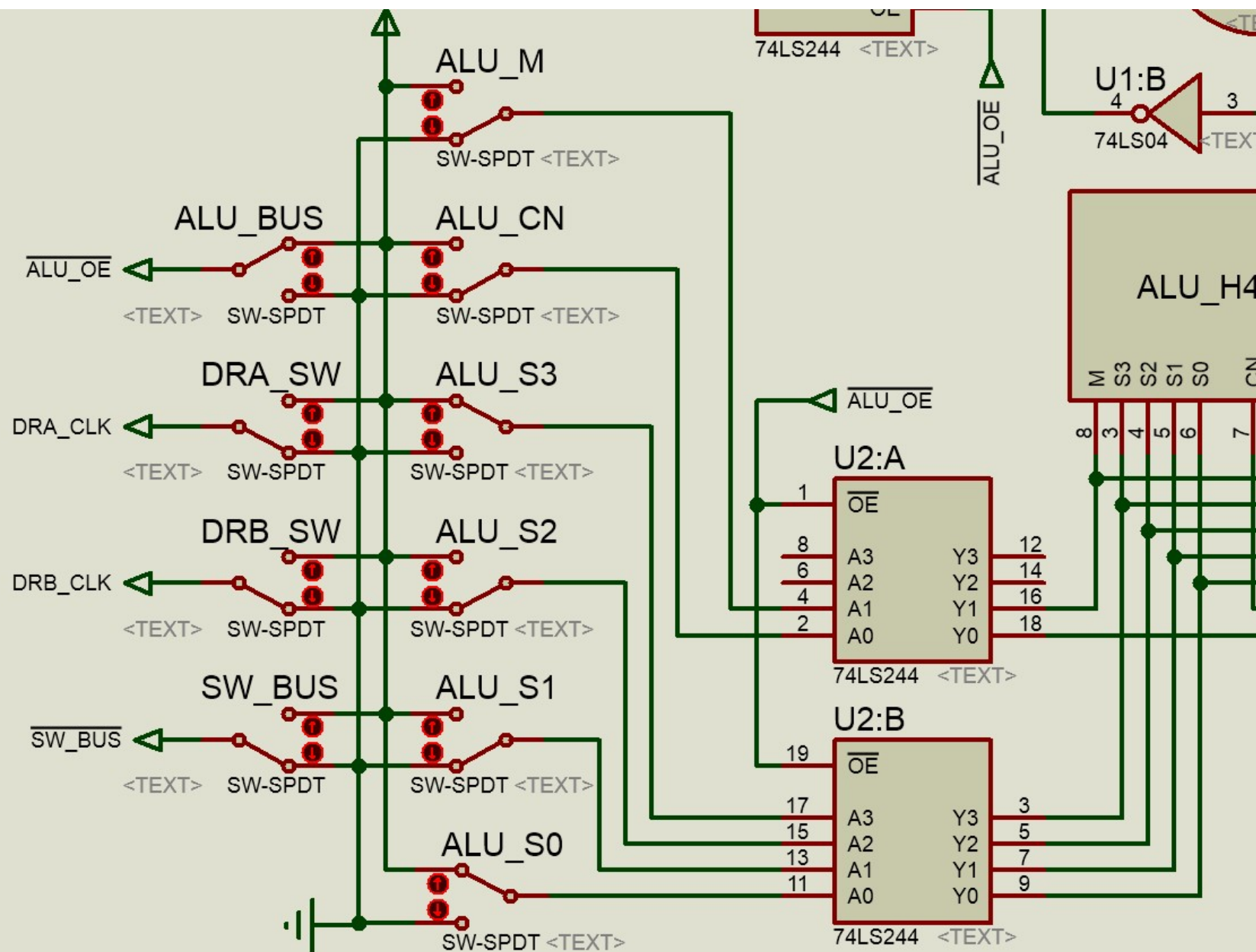
- 1.1 实验目的
- 1.2 实验内容
- 1.3 实验主要器件
- 1.4 实验原理
- 1.5 实验步骤
- 1.6 思考讨论

[illegible]

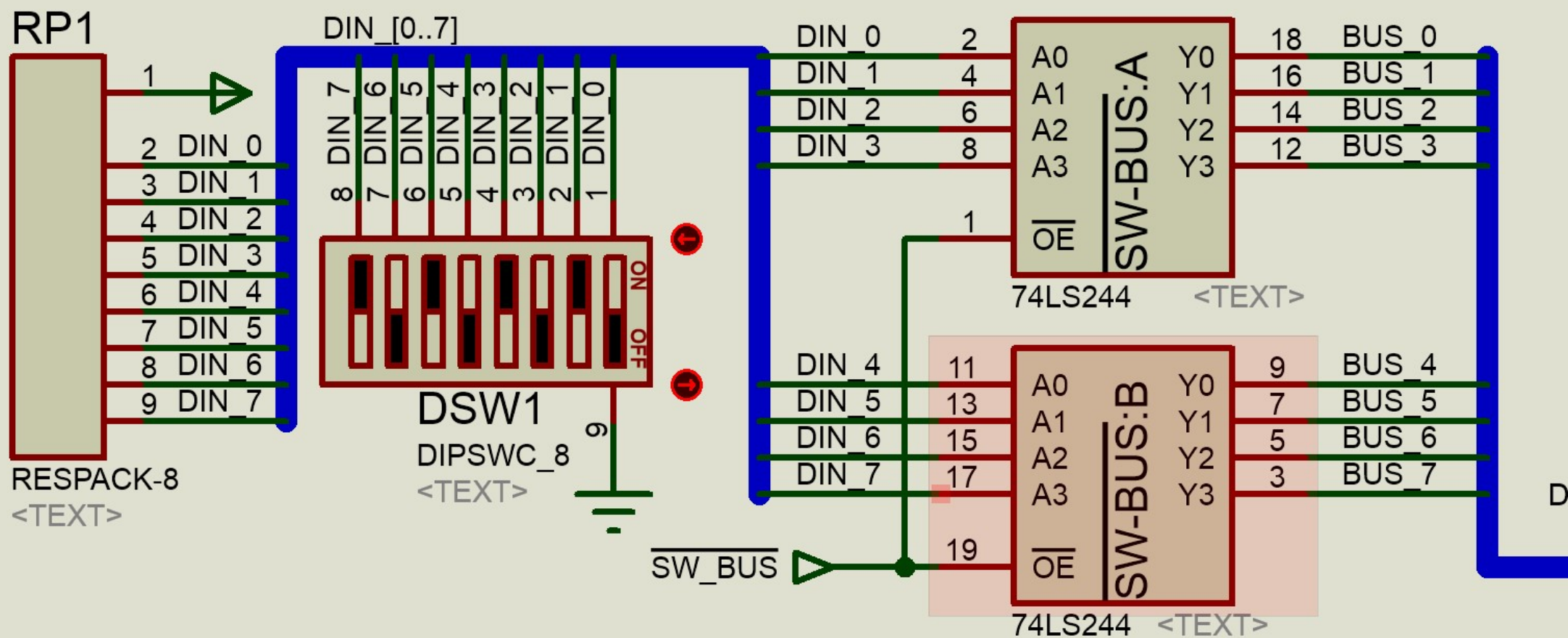
实验原理



实验原理



实验原理



课程内容

- 1.1 实验目的
- 1.2 实验内容
- 1.3 实验主要器件
- 1.4 实验原理
- 1.5 实验步骤
- 1.6 思考讨论

课程内容

- 1.1 实验目的
- 1.2 实验内容
- 1.3 实验主要器件
- 1.4 实验原理
- 1.5 实验步骤
- 1.6 思考讨论

实验步骤

1. 令电路原理图中各个开关的初始状态为：DRA_CLK=DRB_CLK=0，SW_BUS=ALU_OE=1，(S3, S2, S1, S0, M, CN)=(1, 1, 1, 1, 1, 1)。操作拨码开关，向数据暂存器DRA写入AAH，DRB写入55H（即A=0xAAH，B=0x55H）。改变运算器的控制信号(S3, S2, S1, S0, M, CN)的组合，运算器使能（ALU_OE=0），观察运算器的输出和标志位，并填入下表中，与理论值比较，验证74LS181的功能。
2. 拨码开关向数据暂存器DRA、DRB分别打入有符号数+7AH，-75H（即A=+0x7AH，B=-0x75H）。改变运算器的控制信号(S3, S2, S1, S0, M, CN)的组合，运算器使能（ALU_OE=0），观察运算器的输出和标志位，并填入上表中，与理论值比较，验证74LS181的功能。

实验步

DRA	DRB	S3	S2	S1	S0	M=0（算术运算）		标志位 CF/ZF/SF		M=1 逻辑运算
						CN=1 无进位	CN=0 有进位			
		0	0	0	0	F=	F=			F=
		0	0	0	1	F=	F=			F=
		0	0	1	0	F=	F=			F=
		0	0	1	1	F=	F=			F=
		0	1	0	0	F=	F=			F=
		0	1	0	1	F=	F=			F=
		0	1	1	0	F=	F=			F=
		0	1	1	1	F=	F=			F=
		1	0	0	0	F=	F=			F=
		1	0	0	1	F=	F=			F=
		1	0	1	0	F=	F=			F=
		1	0	1	1	F=	F=			F=
		1	1	0	0	F=	F=			F=
		1	1	0	1	F=	F=			F=
		1	1	1	0	F=	F=			F=
		1	1	1	1	F=	F=			F=

课程内容

- 1.1 实验目的
- 1.2 实验内容
- 1.3 实验主要器件
- 1.4 实验原理
- 1.5 实验步骤
- 1.6 思考讨论

课程内容

- 1.1 实验目的
- 1.2 实验内容
- 1.3 实验主要器件
- 1.4 实验原理
- 1.5 实验步骤
- 1.6 思考讨论

思考讨论

1. 74LS181组成的运算器通路，可以区分有符号数运算和无符号数运算么？两者的运算过程有不同么？两者的数值表示范围各是多少？
2. 在74LS181组成的运算器通路中，输入锁存器DRA、DRB的作用是什么？运算结果输出端连接的244缓冲器的作用是什么？假设去掉其中一个输入锁存器，使得74LS181的输入直连总线，运算器还能正常工作么？假设去掉输出端244缓冲器，使得74LS181的输出直连总线，运算器还能正常工作么？
3. 当74LS181进行无符号数运算的过程中，运算结果的标志位SF有无意义？在有符号数运算过程中，标志位CF的含义是保持一致的么？如果做两个有符号数的减法，例如“A减0”，为什么标志位CF会置位？如果做“A加0”标志位CF会置位么？什么情况下有符号数的加法会出现标志位CF置位？

■ 考核实验一的内容及评分

考核内容及评分如下：

1. 运算器通路搭起成功 (√)
2. 实验步骤1表格完成 (√√)
3. 实验步骤2的： (√)
 - 3.1 $(S3, S2, S1, S0, M, CN) = (0, 0, 0, 0, 0, 1/0)$ 完成 (√)
 - 3.2 $(S3, S2, S1, S0, M, CN) = (0, 0, 0, 0, 1, X)$ 完成 (√)
 - 3.3 剩余回去完成，写在电子版实验报告，通过智慧教学平台提交！

考核实验一的内容及评分

3.3 剩余回去完成，写在电子版实验报告，通过智慧教学平台提交！



安徽大学 Anhui University 智慧教学一体化平台 Integrated Smart Teaching Platform

输入关键词搜索

首页 教学空间 虚拟教研室 课程思政 在线测验 数字化教材

教案 章节 资料 通知 讨论 作业 考试 题库

+ 新建作业 作业库

全部班级 状态 ☒ 全部 ☐ 未开始 ☐ 进行中 ☐ 已结束

算术逻辑运算器实验报告

23级通信工程1班

作答时间: 10-27 21:30至 11-03 21:30

0 待批 0 已交 58 未交

查重 批阅

 请提交电子版Word文档的实验报告



谢谢

