

Descargo

El programa que pasaron para calcular la salida del LFSR está mal. Miremos este ejemplo.

The screenshot shows a software interface for configuring an LFSR. The 'Number of taps' is 8, and the 'Sequence length' is 8. The shift register length is set to 8. The 'Auto select the feedback taps to get a maximum sequence length' checkbox is checked. The feedback structure is 'One-to-many (many internal XOR gates)' and the feedback gate is 'XOR gate'. The 'extended-sequence' logic is disabled. The initial value is 255. The 'Taps' list shows positions 1 through 7. The 'Sequence' output is displayed in hexadecimal and binary.

Sequence	Verilog	VHDL
0 FF 11111111		
1 01 10000000		
2 02 01000000		
3 04 00100000		
4 08 00010000		
5 10 00001000		
6 20 00000100		
7 40 00000010		
8 80 00000001		

The diagram below shows the internal structure of the LFSR, consisting of 8 D flip-flops connected in a chain. The leftmost flip-flop is labeled 'LSB' and the rightmost is labeled 'MSB'. The clock input 'CLK' is connected to the clock input of the first flip-flop. The feedback is taken from the outputs of the first seven flip-flops (taps 1-7) and combined using XOR gates to provide the input to the eighth flip-flop.

El diagrama de abajo indica que el flip-flop más a la izquierda es el LSB, y el más a la derecha es el MSB.

Sin embargo, cuando genera la secuencia la crea mirando las posiciones de los flip-flops como si fueran el número, es decir, ubica el MSB en el flip-flop más a la izquierda, que en realidad es el LSB.

En resumen, en mi ejercicio los valores del LFSR están al revés, porque sigo el diagrama.