

Apellido y nombre: _____ Legajo: _____

Ejercicio	1	2	3	4	5	Nota
Nota						

A continuación se enumeran los componentes disponibles para la realización del parcial

- Compuertas de dos entradas: and, or, xor, not y buffer
- Multiplexores: 2a1, 4a1 y 8a1
- Codificadores con y sin prioridad: 4a2, 8a3 y 16a4 (con dos entradas de habilitación una activa alta y otra activa baja)
- Decodificadores: 2a4, 3a8 y 4a16 (con dos entradas de habilitación una activa alta y otra activa baja)
- Sumador/restador de N bits de operandos y resultado con Cin y Cout.
- Comparadores de magnitud de N bits
- FFD y FFT con clear y preset
- Los parámetros temporales de los componentes son:

	Min[ns]	Max[ns]
ts	0,2	4
th	0,1	2
tcq	1	4
tg	0.5	1

- (2 puntos) Implemente un circuito que mida el periodo de una señal de entrada con una resolución de +/-100ns, sabiendo que la frecuencia de la señal de entrada estará entre 1kHz y 10kHz
 - Dibuje un diagrama en bloques y explique brevemente el funcionamiento.
 - Dibuje el circuito a nivel de compuertas y flip-flop
 - Indique y justifique la frecuencia mínima de funcionamiento.
 - Calcule para la frecuencia del punto C el slack de setup y el slack de hold
- (2 puntos) Diseñe un circuito que coloque un uno en la salida cuando detecte la siguiente secuencia 101 sin solapamiento.
 - Realice un diagrama en bloque indicando claramente las salidas y entradas involucradas.
 - Dibuje el diagrama de estados.
 - Realice el circuito a nivel de compuertas y flip-flop.
 - Determine la frecuencia máxima de clock. Justifique la respuesta.
- (2 puntos) Implemente un circuito que realice el antirebote para un pulsador. Considere que la frecuencia de clock del sistema es de 1MHz y el tiempo de estabilización del pulsador está en el orden de los 5 ms.
 - Realice un diagrama en bloque indicando claramente las salidas y entradas involucradas.
 - Realice el circuito a nivel de compuertas y flip-flop.
 - Calcule el slack de setup.

4. (1.5 punto) Dado el siguiente código en VHDL dibuje el circuito resultante

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.NUMERIC_STD.ALL;
entity sumador is
    generic ( N : integer := 4);
    Port ( opA      : in  STD_LOGIC_VECTOR (N-1 downto 0);
          opB      : in  STD_LOGIC_VECTOR (N-1 downto 0);
          res       : out STD_LOGIC_VECTOR (N-1 downto 0));
end sumador;

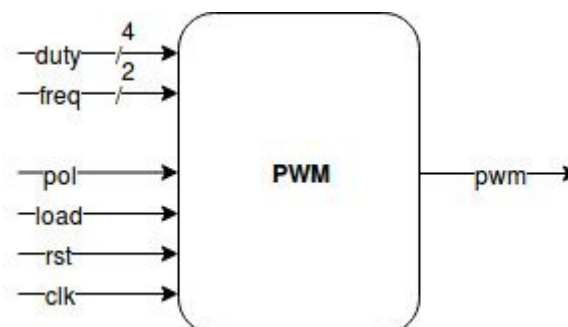
architecture Behavioral of sumador is
    signal res_S : STD_LOGIC_VECTOR (N-1 downto 0);
    signal ov_S  : STD_LOGIC;
    signal s     : STD_LOGIC_VECTOR (1 downto 0);
    signal satMax, satMin : STD_LOGIC_VECTOR (N-1 downto 0);
begin

    ov_S <= '1' when ((signed (opA) >= 0) and (signed (opB) > 0) and (signed(res_S) <= 0))
    else '1' when ((signed (opA) < 0) and (signed (opB) < 0) and (signed(res_S) >= 0))
    else '0';

    res_S <= std_logic_vector (signed (opA) + signed (opB));
    s <= ov_S & res_S(N-1);
    satMax(N-1) <= '0'; satMax(N-2 downto 0) <= (others => '1');
    satMin <= not (satMax);
    with s select
        res <= res_S      when "00",
            res_S         when "01",
            satMin        when "10",
            satMax         when others;

end Behavioral;
```

5. (2.5 puntos) Diseñe un circuito que genere una señal modulada por ancho de pulso o PWM (Pulse Width Modulation). El mismo debe tener **duty**, **frecuencia** y **polaridad** configurable. El clock del circuito tiene una frecuencia de 200 MHz.



- a. La entrada **duty** solo tomará valores entre 0001 y 1001 inclusive respondiendo a la siguiente tabla:

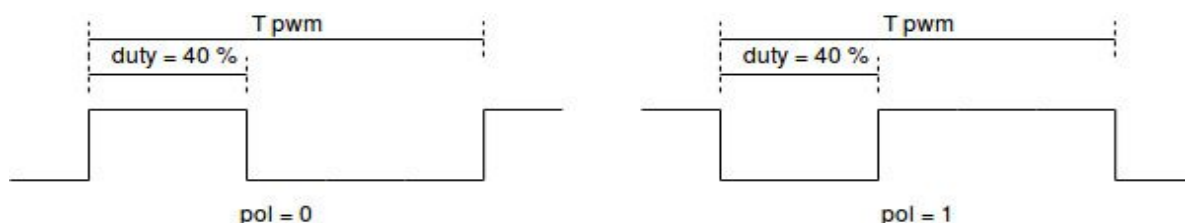
Duty	Ancho del pulso	Duty	Ancho del pulso
0001	10%	0110	60%
0010	20%	0111	70%
0011	30%	1000	80%
0100	40%	1001	90%
0101	50%		

- b. La entrada **freq** responde a la siguiente tabla:

freq	Frecuencia de la señal PWM
00	1 MHz
01	2 MHz
10	4 MHz
11	8 MHz

- c. La entrada **pol** selecciona la polaridad de la señal.

Si **pol** = 0 -> **pwm** vale 1 durante el tiempo **duty**
Si **pol** = 1 -> **pwm** vale 0 durante el tiempo **duty**



- d. Cuando **load** = 1 el circuito debe registrar los valores de las entradas **duty**, **freq** y **pol**.
e. Si **rst** = 1 el circuito toma los siguientes valores por defecto **duty** = 50%, **freq** = 1 MHz y **pol** = 0.

