

# TP7: resolución

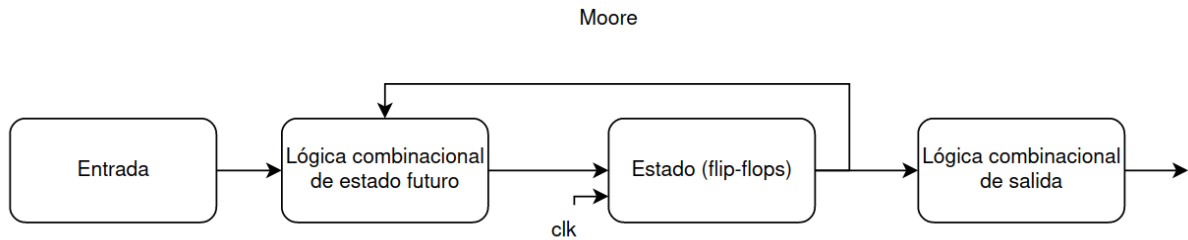
## Índice

<b>1</b>	<b>2</b>
b)	2
c)	3
<b>2)</b>	<b>4</b>
a)	4
b)	4
<b>3</b>	<b>5</b>
a)	5
b)	5
c)	5
d)	6
e)	6
f)	6
g)	6
h)	7
i)	7
<b>4)</b>	<b>8</b>
a)	8
b)	8
c)	9
d)	9
e)	10
f)	10
g)	10
h)	10
i)	10
<b>5)</b>	<b>11</b>
b)	11
c)	12
d)	13
e)	14
f)	14
g)	14
h)	15
<b>6)</b>	<b>16</b>
a)	16

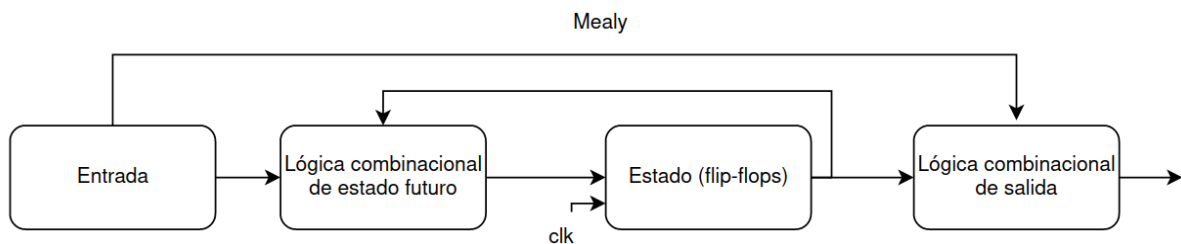
c)	17
d)	18
e)	19
f)	19
g)	19
h)	19
i)	19
<b>7)</b>	<b>20</b>
a)	20
b)	20
c)	21
d)	22
e)	23
f)	23
g)	23
f)	23
8)	24

1

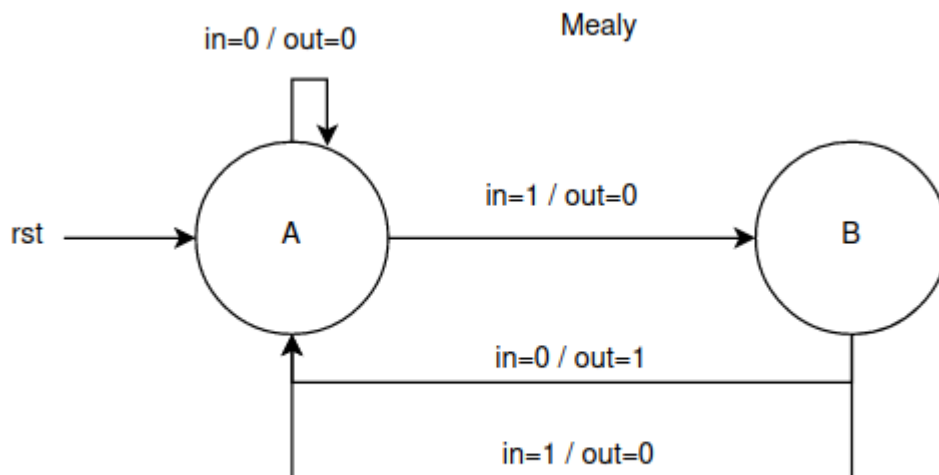
En la máquina de estados Moore, **la salida depende únicamente del estado actual** de la máquina. Se procesa la lógica del estado futuro, llega a los flip-flops del estado y modifican el estado actual; resultando en que tanto el cambio de estado como el valor de **la salida estén retrasados un ciclo de clock**.



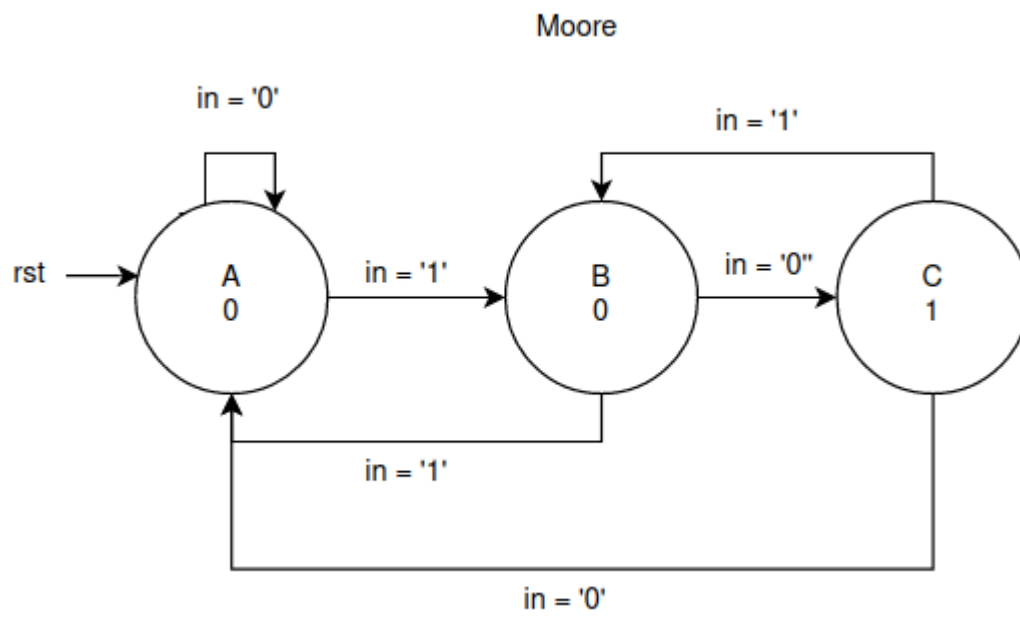
En la máquina Mealy, **la salida depende de la entrada y del estado actual**. Si bien el valor del estado varía luego de un ciclo de clock, la entrada varía instantáneamente, haciendo que **la salida no esté retrasada un ciclo de clock**.



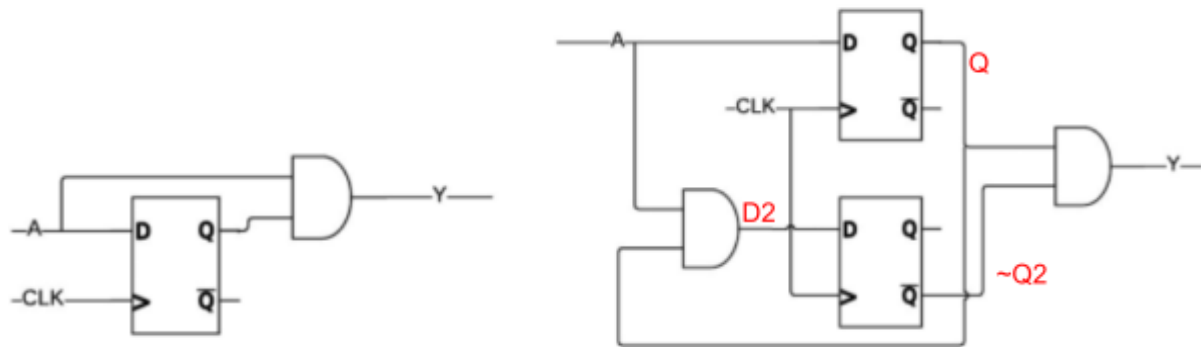
b)



c)



2)

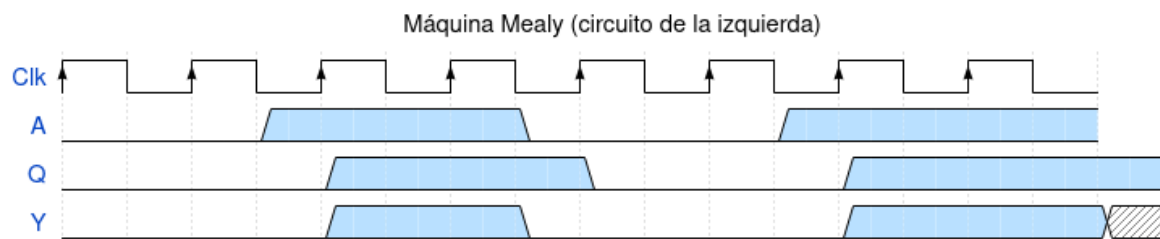


a)

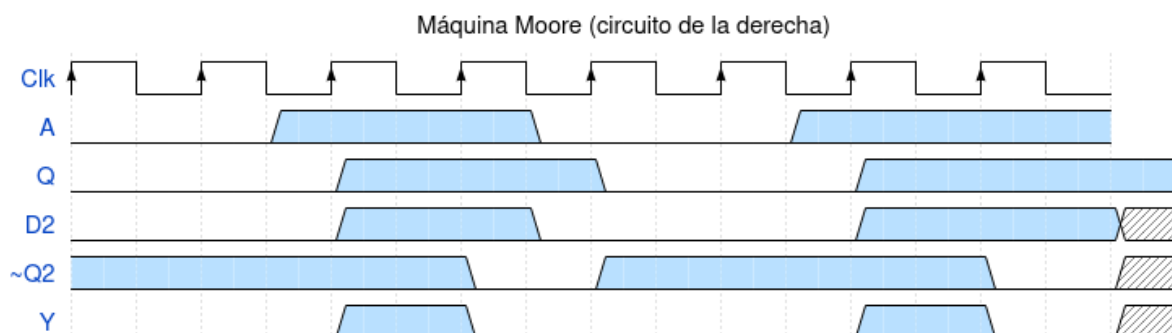
El circuito de la izquierda es Mealy, porque la salida "Y" depende de la entrada "A" y de la salida del flip-flop (estado actual).

El circuito de la derecha es Moore porque la salida sólo depende del estado actual (la salida de los flip-flops).

b)



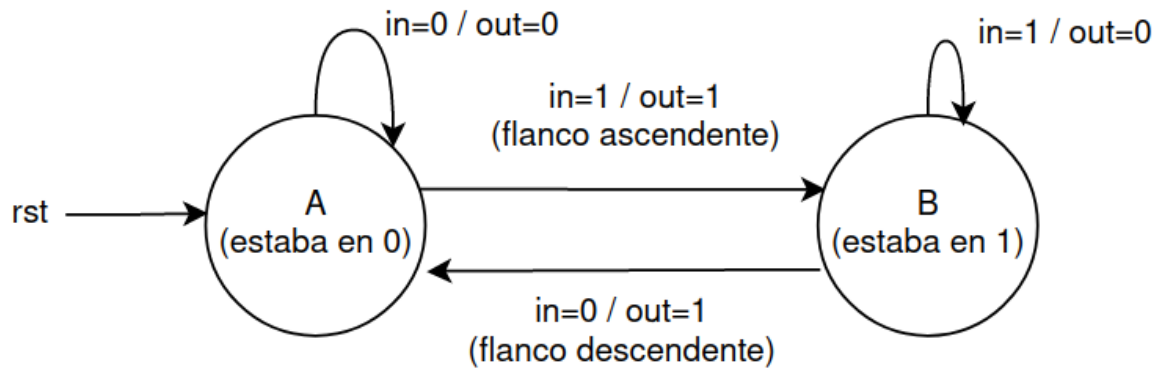
En este segundo gráfico, la salida Q cambia con el rising edge del clock. Luego de que propague y pase por la compuerta AND, el valor de D2 será visto recién en el siguiente ciclo de clock por el otro flip-flop.



3

a)

Detectar un flanco ascendente es estar en "0" y pasar a "1". Detectar un flanco descendente es estar en "1" y pasar a "0".



b)

Q	Entrada(E)	Y	Q*
A	0	0	A
A	1	1	B
B	0	1	A
B	1	0	B

Sea A = '0', B = '1'

Q	Entrada(E)	Y	Q*
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	1

c)

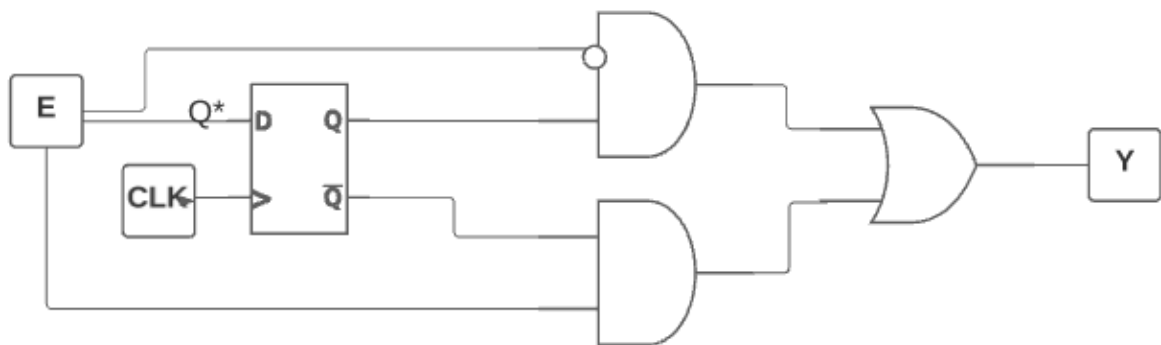
		Y	
		E	
		0	1
	0	0	1
Q	1	1	0

$$Y = Q \cdot \bar{E} + \bar{Q} \cdot E$$

		Q*	
		E	
Q	0	0	1
	1	0	1

$$Q^* = E$$

d)

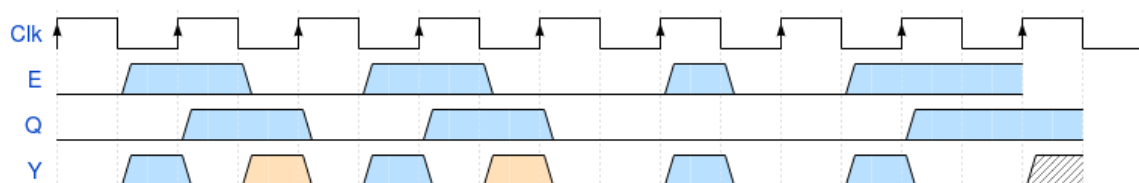


e)

No hay camino crítico al no haber dos flip-flops conectados entre sí.

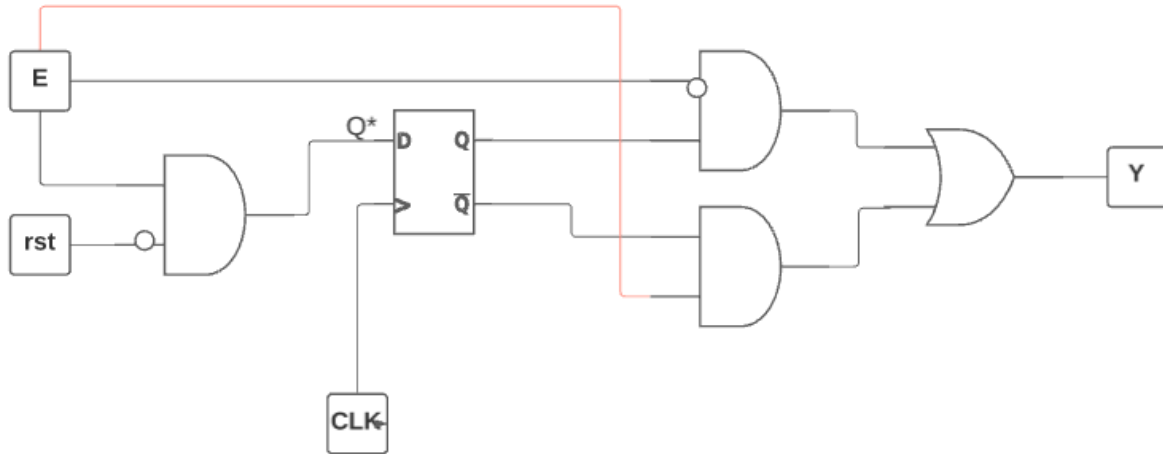
f)

En celeste son los flancos ascendentes, y en rosa los descendentes. Notar que al ser Mealy (tercer flanco ascendente del gráfico), se puede dar que la entrada cambie rápido, pero no sea tomada para el cambio de estado, resultando en un flanco ascendente que “nunca bajó”.



g)

El reset es activo alto (rst='1' setea el flip-flop en '0', es decir, el estado A).



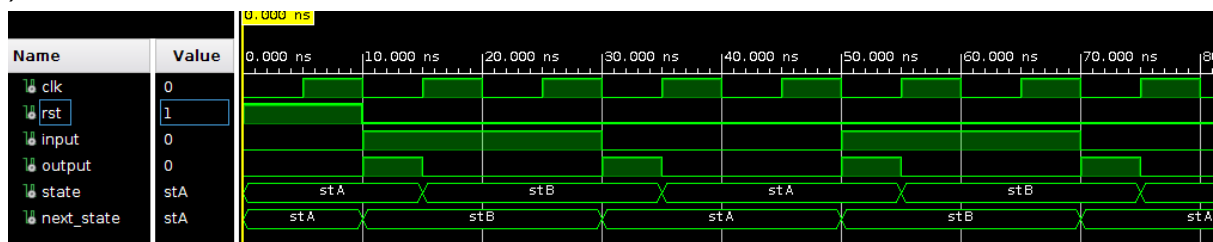
h)

Al ser un solo flip-flop, la frecuencia máxima se obtiene al hacer operar al flip-flop de manera tal que llegue a propagar el valor desde el rising\_edge antes del próximo ciclo de clock (tiempo de clock a Q); y que además tenga tiempo para hacer el setup del flanco. Por lo tanto, la frecuencia máxima estará determinada por el mayor de esos dos tiempos.

$$T_{min} = t_{cq-Max} \mid t_{s-Max}$$

$$T_{min} = 3ns \mid 4ns \Rightarrow T_{Min} = 4ns \Rightarrow F_{Max} = 250MHz$$

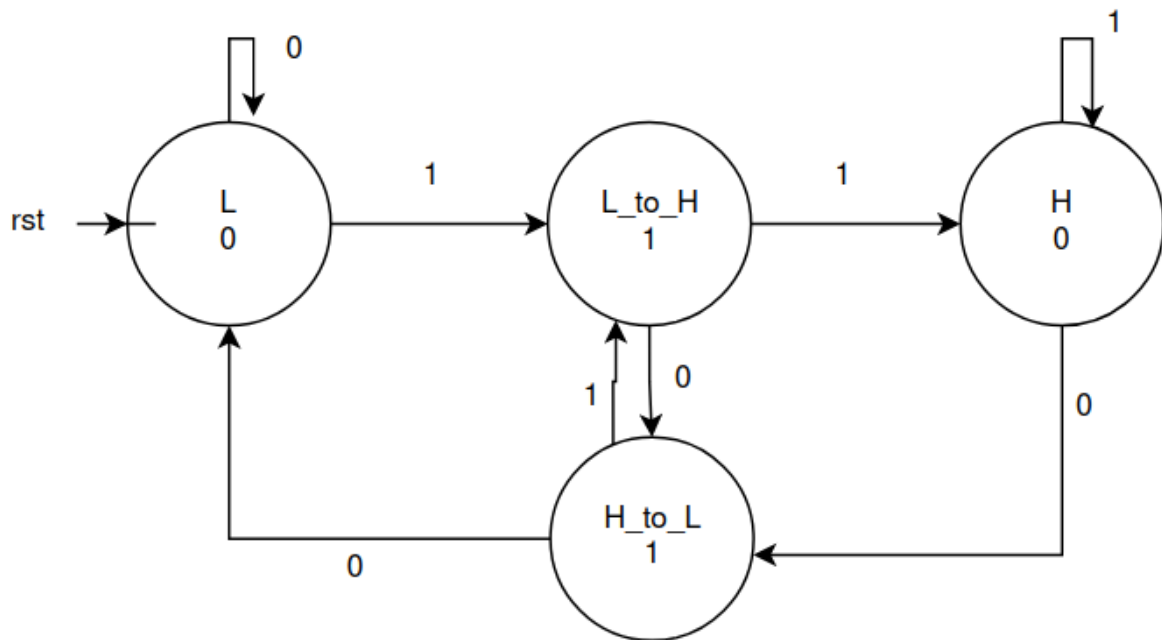
i)





4)

a)



b)

Q	E	Y	Q*
L	0	0	L
L	1	0	L_to_H
L_to_H	0	1	H_to_L
L_to_H	1	1	H
H_to_L	0	1	L
H_to_L	1	1	L_to_H
H	0	0	H_to_L
H	1	0	H

Elijo: L = "00";

L\_to\_H = "01";

H\_to\_L = "01";

H="11"

Q1	Q0	E	Y	Q*1	Q*0
0	0	0	0	0	0
0	0	1	0	0	1
0	1	0	1	1	0
0	1	1	1	1	1
1	0	0	1	0	0
1	0	1	1	0	1
1	1	0	0	1	0
1	1	1	0	1	1

c)

		Y			
		Q0 E			
		00	01	11	10
Q1	0	0	0	1	1
	1	1	1	0	0

$$Y = Q_1 \cdot \overline{Q_0} + \overline{Q_1} \cdot Q_0$$

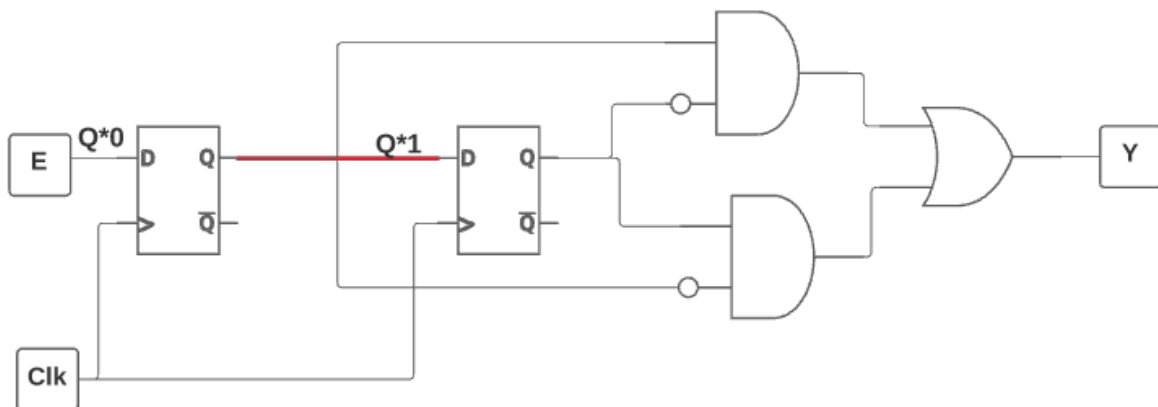
		Q*1			
		Q0 E			
		00	01	11	10
Q1	0	0	0	1	1
	1	0	0	1	1

$$Q^*_1 = Q_0$$

		Q*0			
		Q0 E			
		00	01	11	10
Q1	0	0	0	1	1
	1	0	0	1	1

$$Q^*_0 = E$$

d)

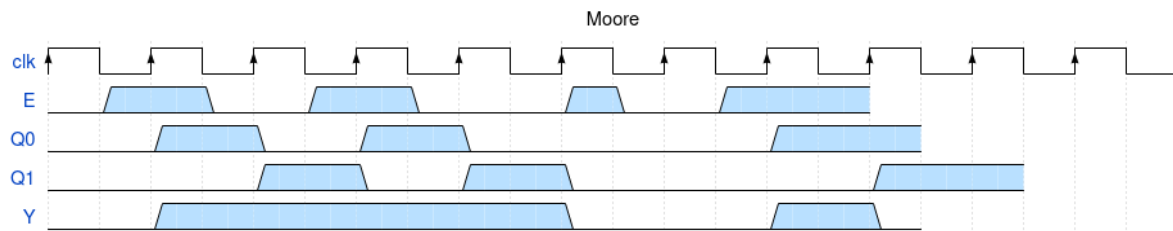


e)

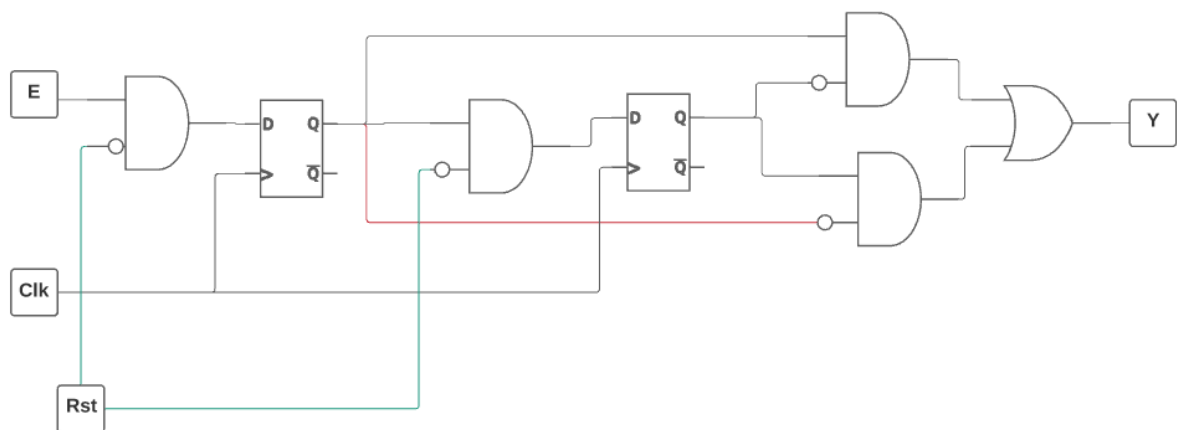
El camino crítico es el único camino de conexión entre los dos flip-flops.

f)

En el diagrama temporal, vemos que la entrada “E” se propaga al primer flip-flop en el próximo flanco ascendente. En comparación con la Mealy anterior, ahora la salida queda siempre activa porque la detección de los flancos dura todo el próximo ciclo de clock (en vez del resto del ciclo de clock actual); y en ese ciclo de clock futuro se produce el flanco descendente. A su vez, vemos que hay una entrada que no es registrada en un flanco ascendente, y que no tiene incidencia en la salida.



g)



h)

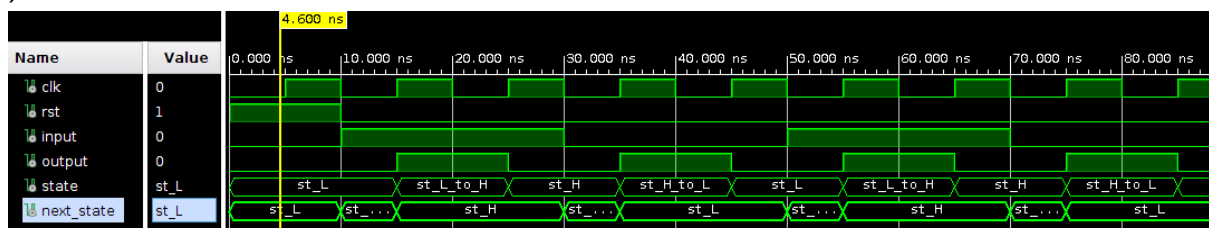
Con reset sincrónico, la máxima frecuencia es:

$$T_{min} = t_{cqA-Max} + t_{g-Max} + t_{slack-s} + t_{sB-Max} - t_{sk-Min}$$

$$T_{min} = 3ns + 0.5ns + 0 + 4ns - 0$$

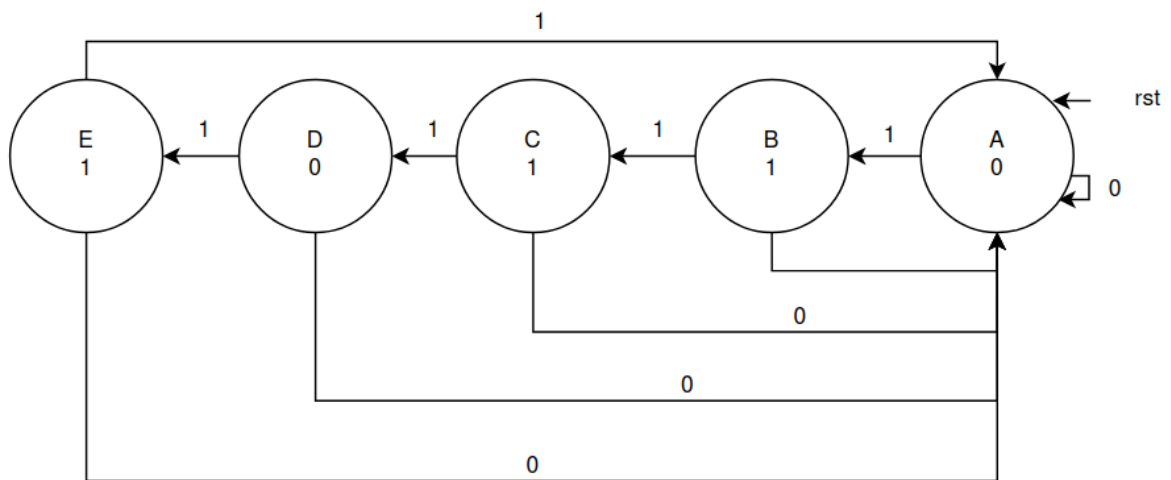
$$T_{min} = 7.5ns \Rightarrow F_{max} = 133.33M$$

i)



5)

Elige una máquina Moore.



b)

Q	E	Y	Q*
A	0	0	A
A	1	0	B
B	0	1	A
B	1	1	C
C	0	1	A
C	1	1	D
D	0	0	A
D	1	0	E
E	0	1	A
E	1	1	A

Elige para los estados:

A = "000";    B = "001";    C = "010";    D = "011";    E = "100"

Q2	Q1	Q0	E	Y	Q*2	Q*1	Q*0
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	1	0	0	0
0	0	1	1	1	0	1	0
0	1	0	0	1	0	0	0
0	1	0	1	1	0	1	1
0	1	1	0	0	0	0	0
0	1	1	1	0	1	0	0
1	0	0	0	1	0	0	0
1	0	0	1	1	0	0	0
1	0	1	0	x	x	x	x
1	0	1	1	x	x	x	x
1	1	0	0	x	x	x	x
1	1	0	1	x	x	x	x
1	1	1	0	x	x	x	x
1	1	1	1	x	x	x	x

c)

		Y			
		Q0 E			
		00	01	11	10
Q2 Q1	00	0	0	1	1
	01	1	1	0	0
	11	x	x	x	x
	10	1	1	x	x

$$Y = \overline{Q_1} \cdot Q_0 + Q_1 \cdot \overline{Q_0} + Q_2$$

		Q*2			
		Q0 E			
		00	01	11	10
Q2 Q1	00	0	0	0	0
	01	0	0	1	0
	11	x	x	x	x
	10	0	0	x	x

$$Q^*_2 = Q_1 \cdot Q_0 \cdot E$$

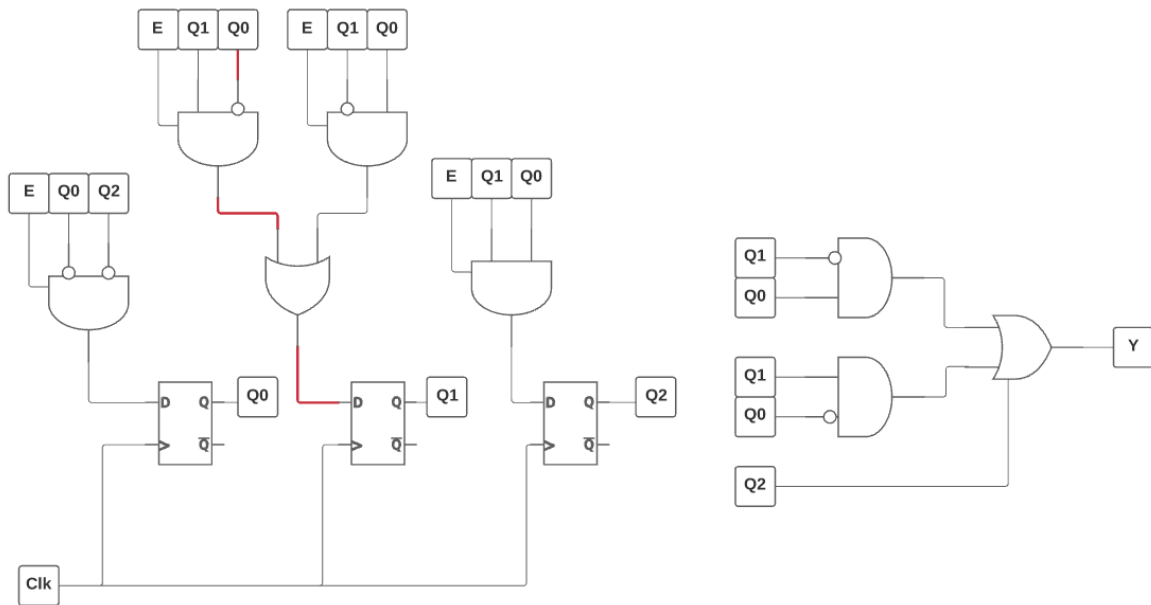
		Q*1			
		Q0 E			
		00	01	11	10
Q2 Q1	00	0	0	1	0
	01	0	1	0	0
	11	x	x	x	x
	10	0	0	x	x

$$Q^*_1 = Q_1 \cdot \overline{Q_0} \cdot E + \overline{Q_1} \cdot Q_0 \cdot E$$

		Q*0			
		Q0 E			
		00	01	11	10
Q2 Q1	00	0	1	0	0
	01	0	1	0	0
	11	x	x	x	x
	10	0	0	x	x

$$Q^*_0 = \overline{Q_2} \cdot \overline{Q_0} \cdot E$$

d)



e)

El camino crítico es el marcado en rojo, en el cual entre la salida del flip-flop Q0 y la entrada del flip-flop Q1, hay 3 compuertas: un negador, una AND y una OR.

f)

$$T_{min} = t_{cqA-Max} + t_{g-Max} + t_{slack-s} + t_{sB-Max} - t_{sk-Min}$$

$$T_{min} = 3ns + 0.5ns * 3 + 0 + 4ns - 0$$

$$T_{min} = 8.5ns \Rightarrow F_{max} = 117.65 MHz$$

g)

El máximo skew tolerable será que permita que tanto el slack de setup como el slack de hold sean positivos.

$$F = 100 MHz \Rightarrow T = 10ns$$

$$t_{slack-s} = T_{min} - (t_{cqA-Max} + t_{g-Max} + t_{sB-Max} - t_{sk-Min}) > 0$$

$$T_{min} - (t_{cqA-Max} + t_{g-Max} + t_{sB-Max}) > -t_{sk-Min}$$

$$- (T_{min} - (t_{cqA-Max} + t_{g-Max} + t_{sB-Max})) < t_{sk-Min}$$

$$- (10ns - (3ns + 3 * 0.5ns + 4ns)) < t_{sk-Min}$$

$$- 1.5ns < t_{sk-Min}$$

Para el slack de hold, el tiempo de gate mínimo está conformado por una compuerta AND únicamente.

$$2ns > t_{sk-Max}$$

$$-1.5ns < t_{sk} < 2ns$$

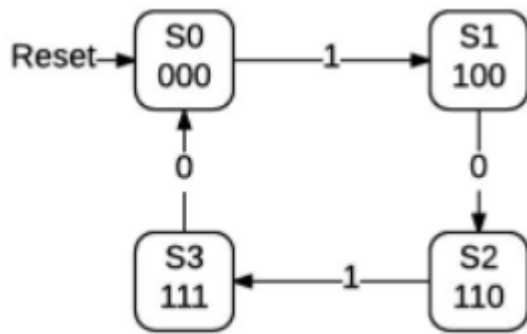
Name	Value
clk	0
rst	1
start	0
salida	0
state	stA
next_state	stA

The timing diagram illustrates the behavior of the digital circuit over 240,000 ns. The signals shown are:

- clk**: A periodic clock signal.
- rst**: A reset signal that is high initially and then goes low.
- start**: A signal that transitions from 0 to 1 at approximately 160,000 ns.
- salida**: A signal that transitions from 0 to 1 at approximately 160,000 ns.
- state**: A signal that transitions through states stA, stB, stC, stD, stE, and back to stA.
- next\_state**: A signal that transitions through states stA, stB, stC, stD, stE, and back to stA.



6)



a)

Como no está especificado, asumo que si la entrada no provoca una transición de estados, el comportamiento por defecto es permanecer en el estado actual.

Q	E	Y	Q*
S0	0	000	S0
S0	1	000	S1
S1	0	100	S2
S1	1	100	S1
S2	0	110	S2
S2	1	110	S3
S3	0	111	S0
S3	1	111	S3

Para simplificar la lógica de salida, asumo que los estados sean iguales a los valores de salida. La desventaja: uso un flip-flop más del que necesitaría.

S0="000"    S1="100"    S2="110"    S3="111"

Q2	Q1	Q0	E	Y2	Y1	Y0	Q2*	Q1*	Q0*
0	0	0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1	0	0
1	0	0	0	1	0	0	1	1	0
1	0	0	1	1	0	0	1	0	0
1	1	0	0	1	1	0	1	1	0
1	1	0	1	1	1	0	1	1	1
1	1	1	0	1	1	1	0	0	0
1	1	1	1	1	1	1	1	1	1
Resto de combinaciones				x	x	x	x	x	x

$Y(2 \text{ downto } 0) = Q(2 \text{ downto } 0)$

		Q2*			
		Q0 E			
		00	01	11	10
Q2 Q1	00	0	1	x	x
	01	x	x	x	x
	11	1	1	1	0
	10	1	1	x	x

$$Q_2^* = Q_2 \cdot \overline{Q_0}$$

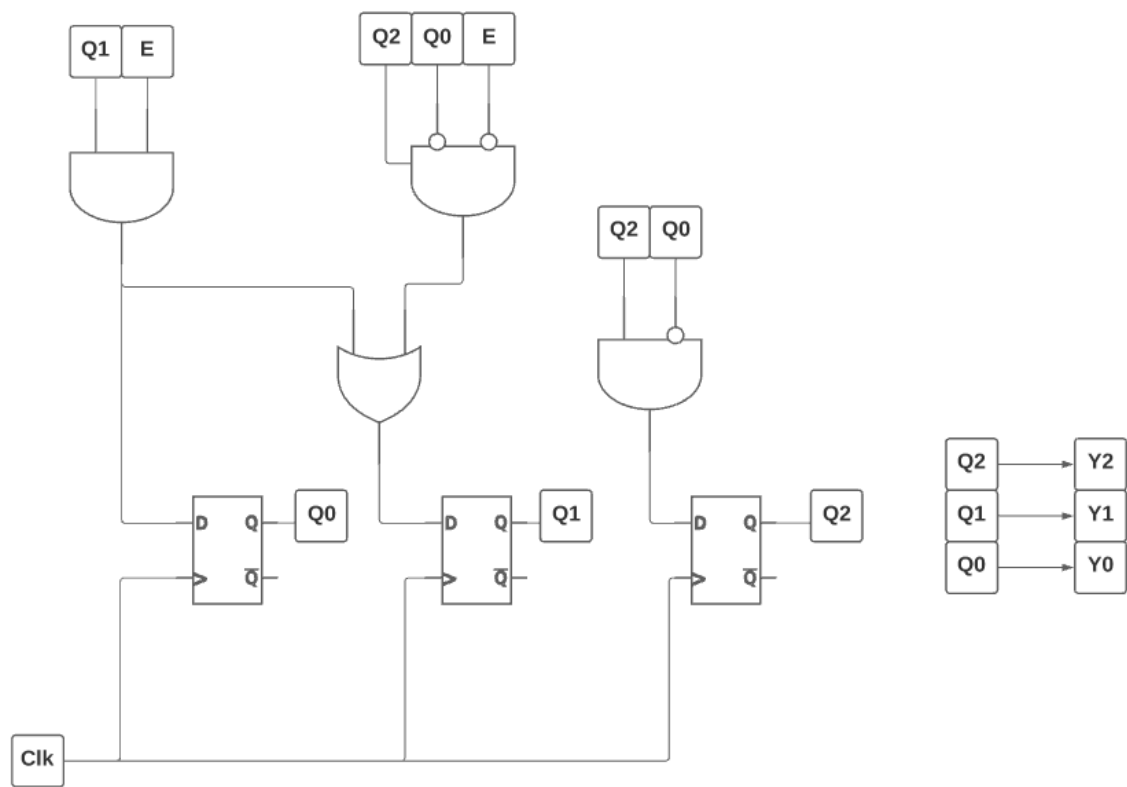
		Q1*			
		Q0 E			
		00	01	11	10
Q2 Q1	00	0	0	x	x
	01	x	x	x	x
	11	1	1	1	0
	10	1	0	x	x

$$Q_1^* = Q_2 \cdot \overline{Q_0} \cdot \overline{E} + Q_1 \cdot E$$

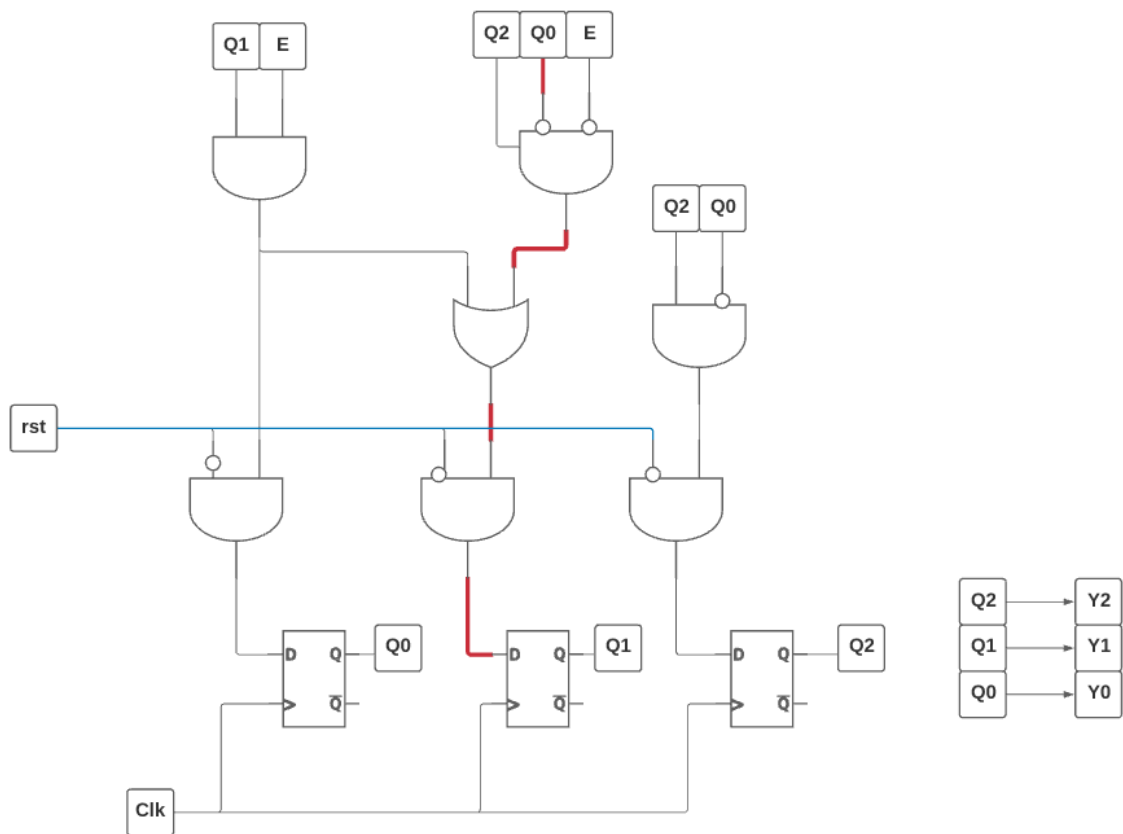
		Q0*			
		Q0 E			
		00	01	11	10
Q2 Q1	00	0	0	x	x
	01	x	x	x	x
	11	0	1	1	0
	10	0	0	x	x

$$Q_0^* = Q_1 \cdot E$$

c)



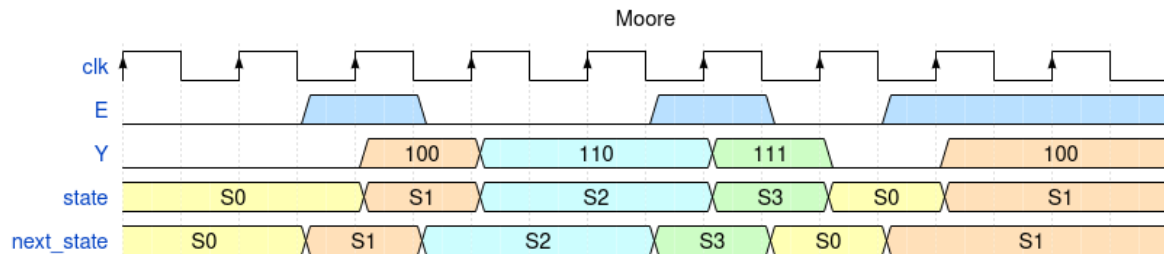
d)



e)

El camino crítico se marcó con rojo, siendo el que sale del flip-flop Q0 y pasa 4 compuertas hasta llegar a Q1: un inversor, una AND, una OR y otra AND.

f)



g)

$$T_{min} = t_{cqA-Max} + t_{g-Max} + t_{slack-s} + t_{sB-Max} - t_{sk-Min}$$

$$T_{min} = 3ns + 4 * 0.5ns + 0 + 4ns - 0$$

$$T_{min} = 9ns \Rightarrow F_{max} = 111.11 MHz$$

h)

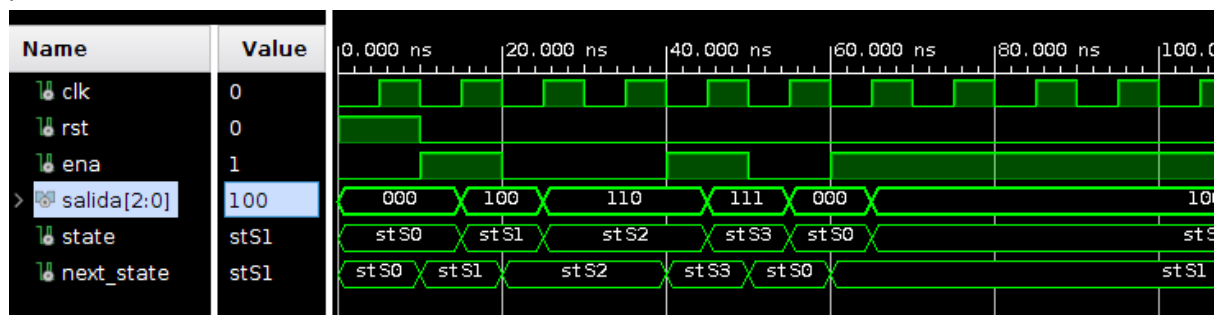
$$\text{Para } F = 100 MHz \Rightarrow T = 10ns$$

$$t_{slack-s} = T - (t_{cqA-Max} + t_{g-Max} + t_{sB-Max} - t_{sk-Min})$$

$$t_{slack-s} = 10ns - (3ns + 4 * 0.5ns + 4 - 0)$$

$$t_{slack-s} = 1ns$$

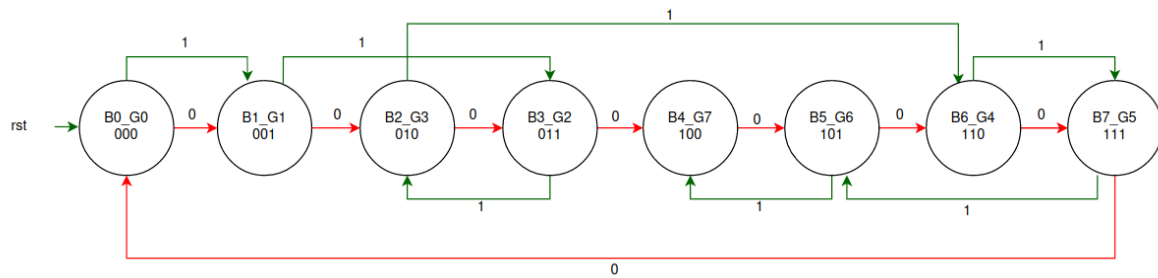
i)



7)

a)

Cada estado representa el “orden” de la suma. Por ejemplo el estado “B3\_G2” es el número “3” en binario y el número “2” en gray.



b)

Q	E	Y	Q*
B0_G0	0	000	B1_G1
B0_G0	1	000	B1_G1
B1_G1	0	001	B2_G3
B1_G1	1	001	B3_G2
B2_G3	0	010	B3_G2
B2_G3	1	010	B6_G4
B3_G2	0	011	B4_G7
B3_G2	1	011	B2_G3
B4_G7	0	100	B5_G6
B4_G7	1	100	B0_G0
B5_G6	0	101	B6_G4
B5_G6	1	101	B4_G7
B6_G4	0	110	B7_G5
B6_G4	1	110	B7_G5
B7_G5	0	111	B0_G0
B7_G5	1	111	B5_G6

Adopto valores para los estados:

B0\_G0="000"

B1\_G1="001"

B2\_G3="010"

B3\_G2="011"

B4\_G7="100"

B5\_G6="101"

B6\_G4="110"

B7\_G5="111"

Q2	Q1	Q0	E	Y2	Y1	Y0	Q*2	Q*1	Q*0
0	0	0	0	0	0	0	0	0	1
0	0	0	1	0	0	0	0	0	1
0	0	1	0	0	0	1	0	1	0
0	0	1	1	0	0	1	0	1	1
0	1	0	0	0	1	0	0	1	1
0	1	0	1	0	1	0	1	1	0
0	1	1	0	0	1	1	1	0	0
0	1	1	1	0	1	1	0	1	0
1	0	0	0	1	0	0	1	0	1
1	0	0	1	1	0	0	0	0	0
1	0	1	0	1	0	1	1	1	0
1	0	1	1	1	0	1	1	0	0
1	1	0	0	1	1	0	1	1	1
1	1	0	1	1	1	0	1	1	1
1	1	1	0	1	1	1	0	0	0
1	1	1	1	1	1	1	1	0	1

c)

$Y(2 \text{ downto } 0) = Q(2 \text{ downto } 0)$

		Q*2			
		Q0 E			
		00	01	11	10
Q2 Q1	00	0	0	0	0
	01	0	1	0	1
	11	1	1	1	0
	10	1	0	1	1

$$Q_2^* = Q_2 \cdot \overline{Q_0} \cdot \overline{E} + Q_1 \cdot \overline{Q_0} \cdot E + Q_2 \cdot Q_0 \cdot E + Q_2 \cdot \overline{Q_1} \cdot Q_0 + \overline{Q_2} \cdot Q_1 \cdot Q_0 \cdot \overline{E}$$

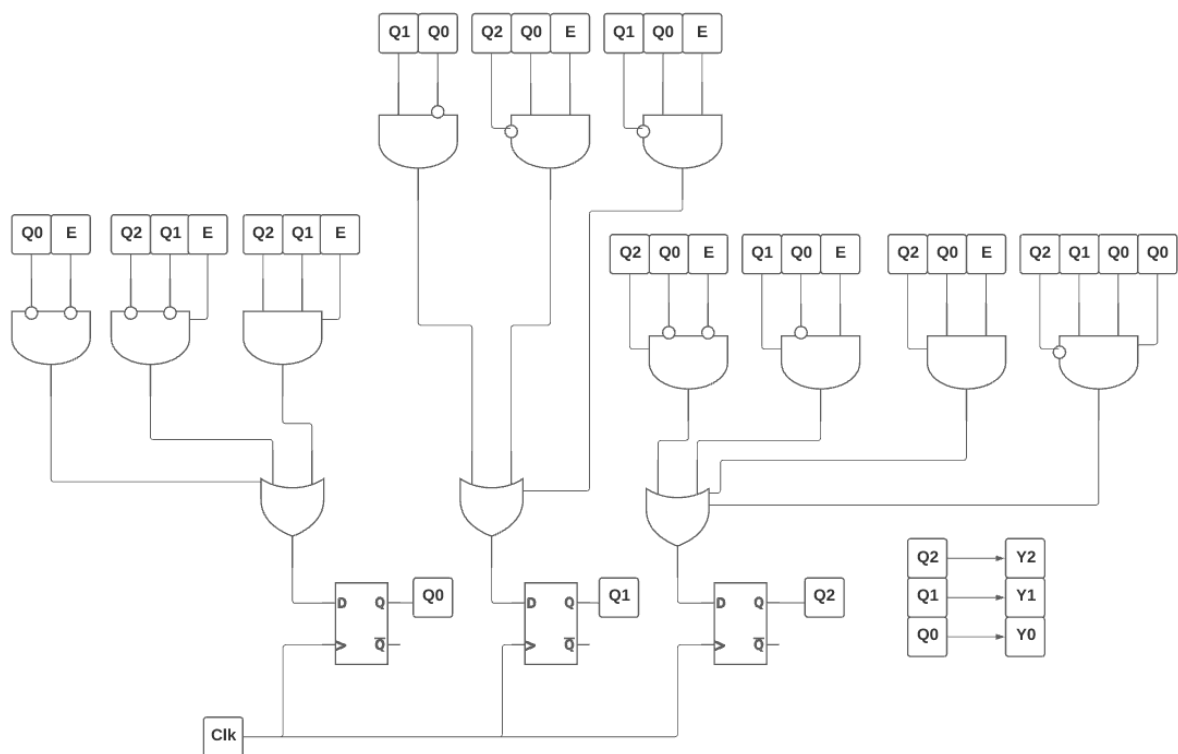
		Q*1			
		Q0 E			
		00	01	11	10
Q2 Q1	00	0	0	1	1
	01	1	1	1	0
	11	1	1	0	0
	10	0	0	0	1

$$Q^*_1 = \overline{Q_1} \cdot \overline{Q_0} + \overline{Q_2} \cdot Q_0 \cdot E + \overline{Q_1} \cdot Q_0 \cdot E$$

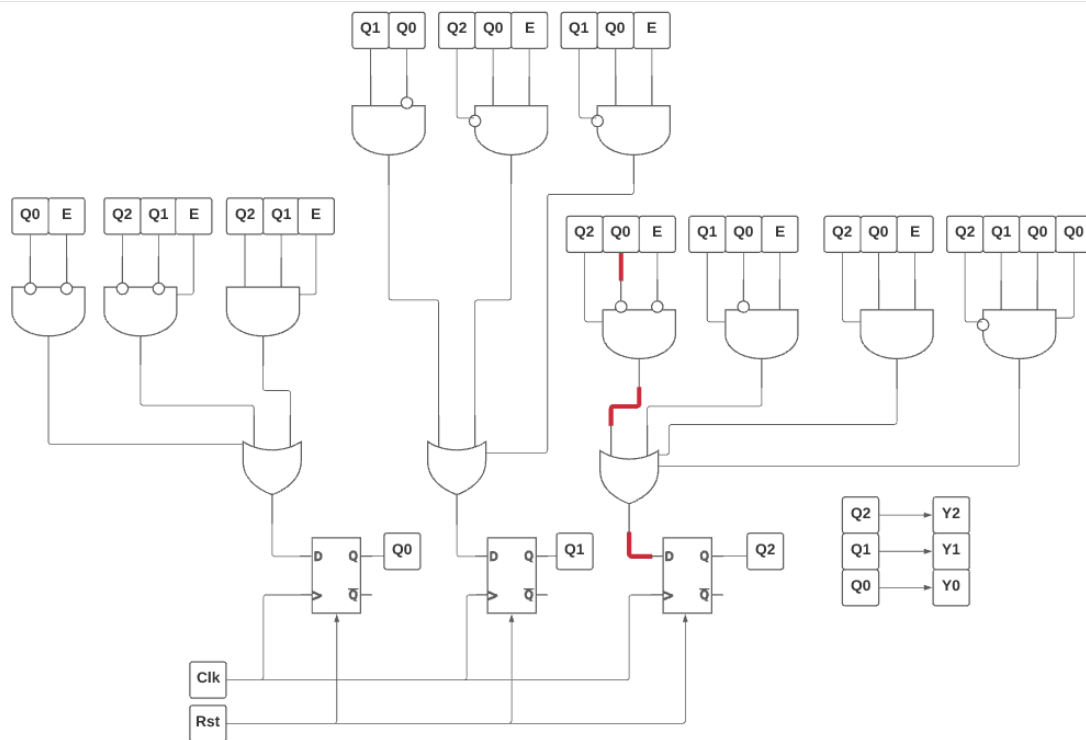
		Q*0			
		Q0 E			
		00	01	11	10
Q2 Q1	00	1	1	1	0
	01	1	0	0	0
	11	1	1	1	0
	10	1	0	0	0

$$Q^*_0 = \overline{Q_0} \cdot E + \overline{Q_2} \cdot \overline{Q_1} \cdot E + \overline{Q_2} \cdot Q_1 \cdot E$$

d)



e)



f)

El camino crítico se marcó con rojo. Tiene 3 compuertas (Inversor, AND, OR).

$$T_{\min} = t_{cqA-\text{Max}} + t_{g-\text{Max}} + t_{\text{slack}-s} + t_{sB-\text{Max}} - t_{sk-\text{Min}}$$

$$T_{\min} = 3ns + 3 * 0.5ns + 0 + 4ns - 0$$

$$T_{\min} = 8.5 ns \Rightarrow F_{\max} = 117.65 MHz$$

g)

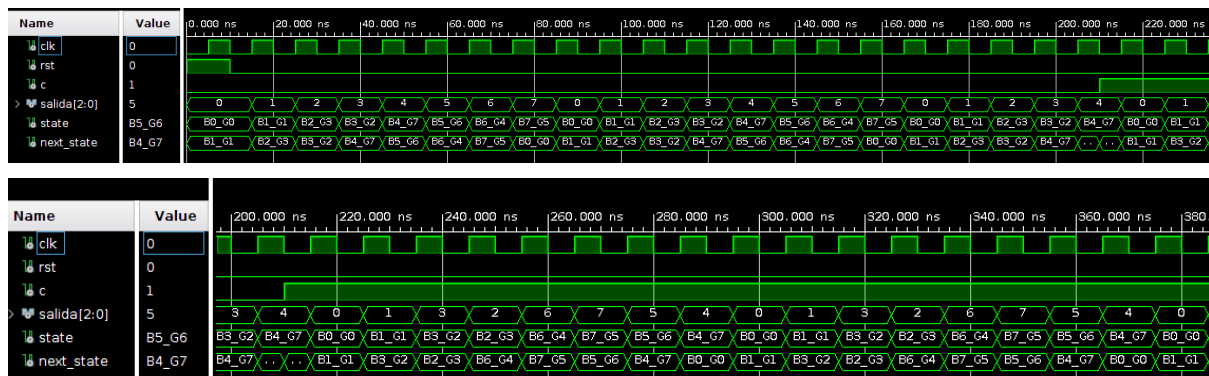
Para  $F = 100 MHz \Rightarrow T = 10ns$

$$t_{\text{slack}-s} = T - (t_{cqA-\text{Max}} + t_{g-\text{Max}} + t_{sB-\text{Max}} - t_{sk-\text{Min}})$$

$$t_{\text{slack}-s} = 10ns - (3ns + 3 * 0.5ns + 4ns - 0)$$

$$t_{\text{slack}-s} = 1.5ns$$

f)





8)

