

**Condiciones de entrega:**

Horario y duración:

- La hora de inicio es 9.00hs y la de finalización es 12.00hs
- Todas las entregas realizadas fuera de término no serán tenidas en cuenta para su corrección

Entrega:

- Se utilizará el repositorio individual utilizado para la entrega de los trabajos prácticos
- Todos los archivos .vhd y resoluciones de los ejercicios junto con el tema del parcial deben ser subidos a una carpeta con el nombre 1P. El nombre de los archivos vhd deben coincidir con el nombre de la entidad.
- Se recomienda hacer un commit cada 30 minutos.
- Al finalizar el parcial debe hacer el commit al repositorio.

**Parte práctica:**

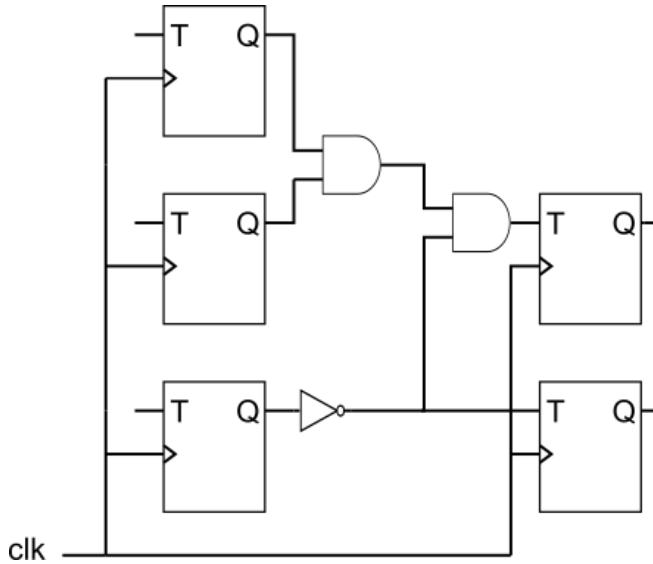
- (2.5 Puntos) Implemente un circuito que calcule el cuadrado de un número de 4 bits signado.
  - Indique la cantidad de bits necesarios para el port del resultado.
  - Escriba la tabla de la verdad.
  - Implemente utilizando compuertas de dos entradas y dibuje el circuito.
  - Determine la demora máxima del circuito considerando un  $t_g$  de 0.5ns e indíquelo en el circuito.
  - Escriba la tabla de la verdad reducida en una variable e implemente con multiplexores de 3 entradas de control.
- (2.5 Puntos) Implemente un circuito que ordene 3 números signados de N bits de mayor a menor.
  - Dibuje el diagrama de bloques del circuito.
  - Realice la descripción del circuito en VHDL

```
entity myCmp is
Generic (N: integer := 4);
Port ( a: in std_logic_vector (N-1 downto 0);
      b: in std_logic_vector (N-1 downto 0);
      c: in std_logic_vector (N-1 downto 0);
      mayor: out std_logic_vector (N-1 downto 0);
      medio: out std_logic_vector (N-1 downto 0);
      menor: out std_logic_vector (N-1 downto 0));
end myCmp;
```
- (1 Puntos) Explique la diferencia entre carry y overflow en la operación de suma de dos números de N bits. Ejemplifique cada caso.
- (1.5 Punto) Implemente un FFT con enable y reset asincrónico ambos activos alto. El clock es activo flanco descendente.
  - Dibuje el circuito a nivel de compuertas y flip-flop
  - Realice la descripción del circuito en VHDL

```
entity myFft is
Port ( t: in std_logic;
      ena: in std_logic;
      rst: in std_logic;
      clk: in std_logic;
      q: out std_logic);
end myFft;
```



5. (2.5 Puntos) Dado el siguiente circuito



Determine:

- Determine si el circuito funciona correctamente para  $F = 150\text{MHz}$ , Justifique la respuesta.
- Determine si el circuito funciona correctamente para  $F = 100\text{MHz}$ , Justifique la respuesta.
- Para  $t_{SK} = 0$  halle la  $F_{MAX}$

	Min[ns]	Max[ns]
$t_s$	0,2	1
$t_h$	0,1	0,5
$t_{cq}$	2	3
$t_g$	1,5	1,5