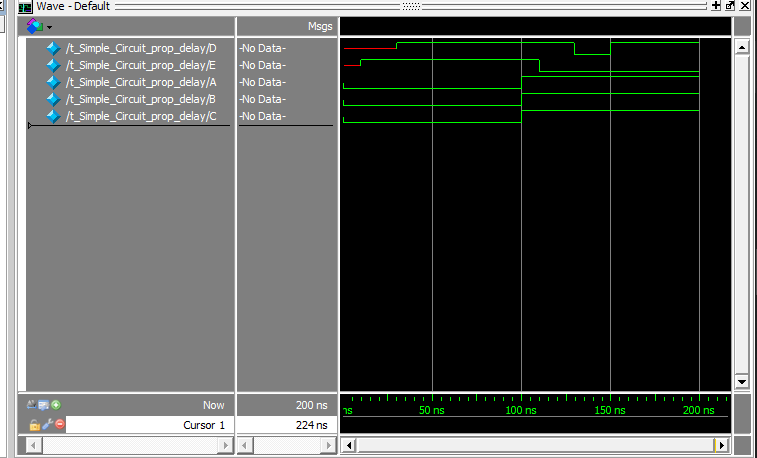
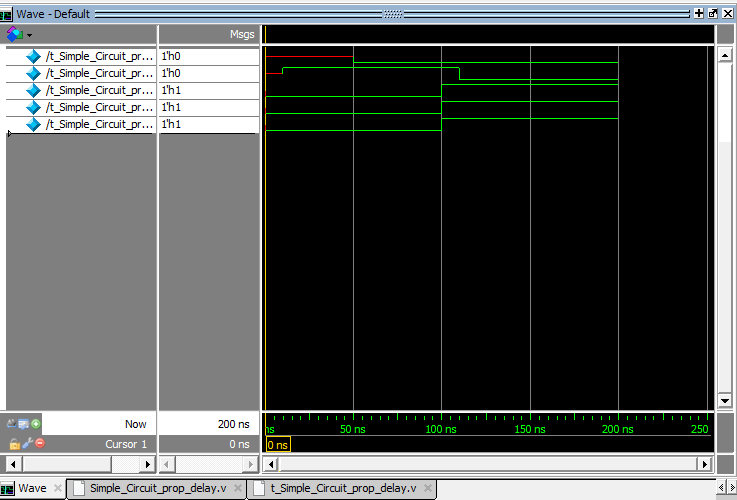
(1)

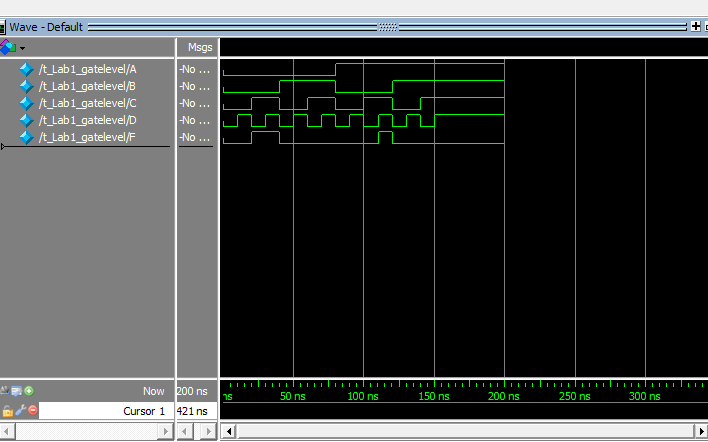
因為propagation delay，not gate延遲10ns後我們才知道E的值是1，知道E後再因為or gate延遲20ns後才知道D是1，前面紅色部分為不明確的值x。經過100ns後A,B,C的值變為1，E過了10ns變為0，再過20ns，D會變成0，因為這時的and gate結果還沒變，一直再過20ns，D的結果才會變成1。

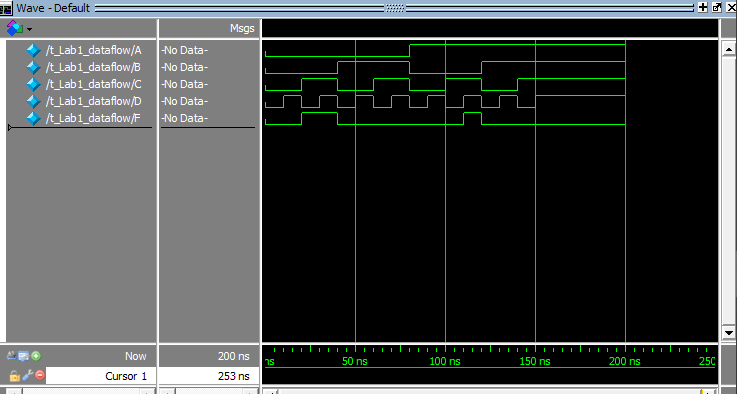
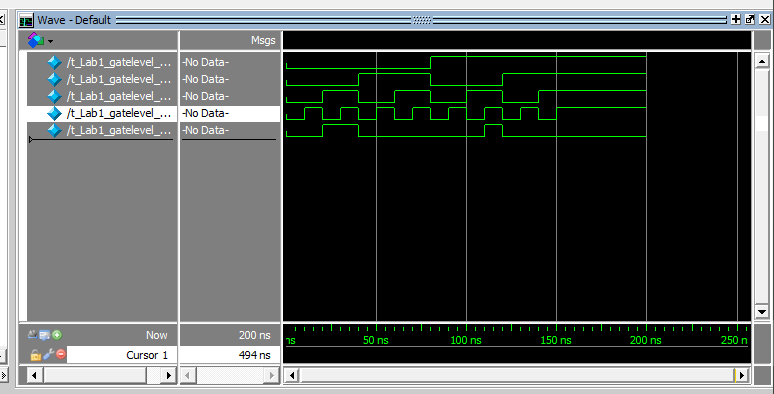


(2)

And OR交換後，E仍不變，然而D要先等or gate的delay – 20ns，再等and gate的delay – 30ns才會變為0。經過100ns後A,B,C的值變為1，而E仍不變，而and gate只要一個為0結果就是0，所以D的值保持不變。

(3)(4)(5)

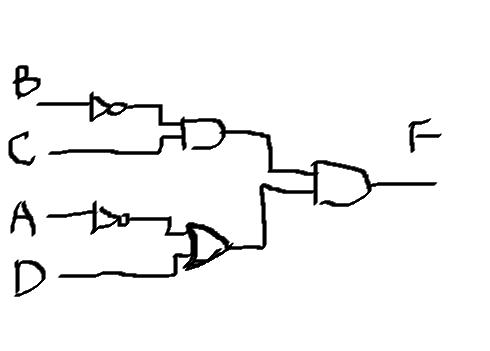
結果與truth table都相同  




(6)

F = B'C(A' + D)

GIC = 8



(7)因為目前正在修計算機組織也寫過ALU，所以遇到最困難的莫非就是被固定形式的verilog與這個報告，希望之後作業自由度可以提高，報告也可以也以少一點，因為我寫報告的時間幾乎是寫code的2倍。