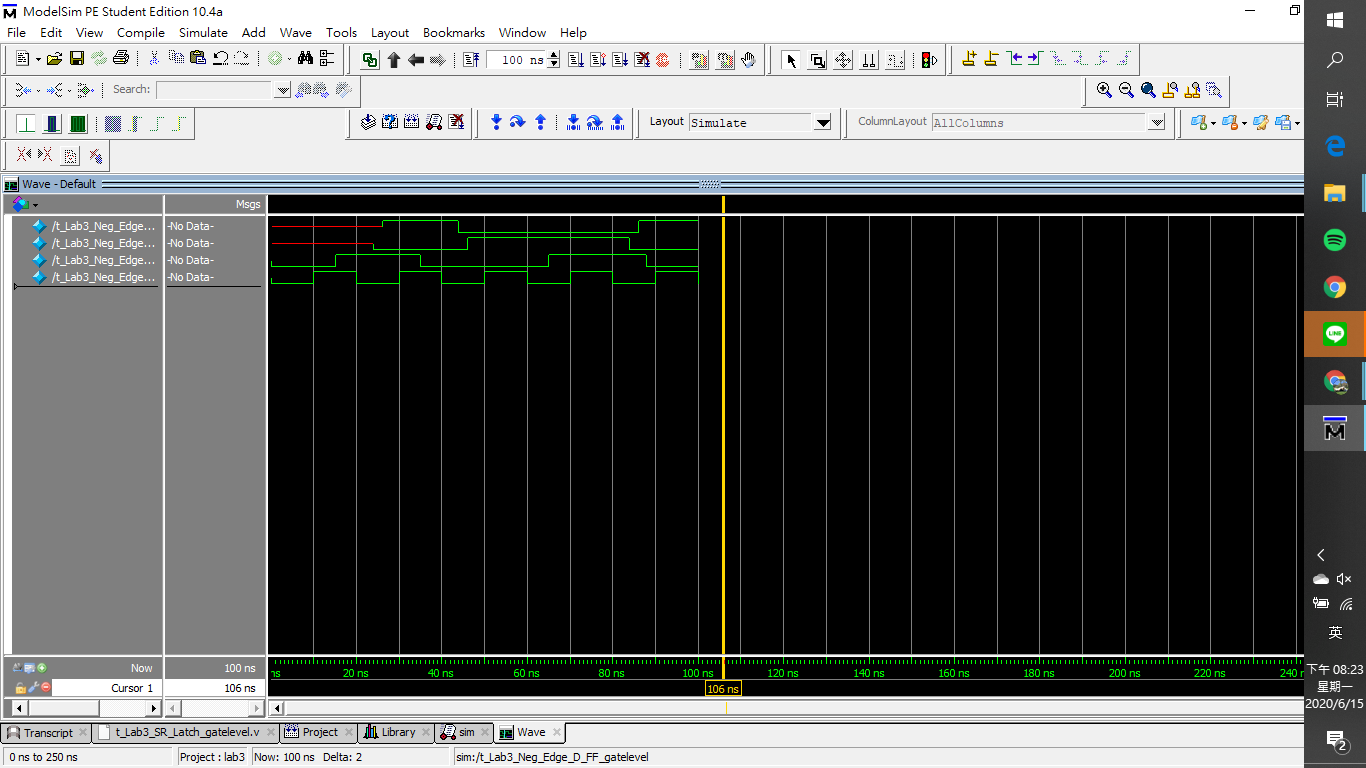
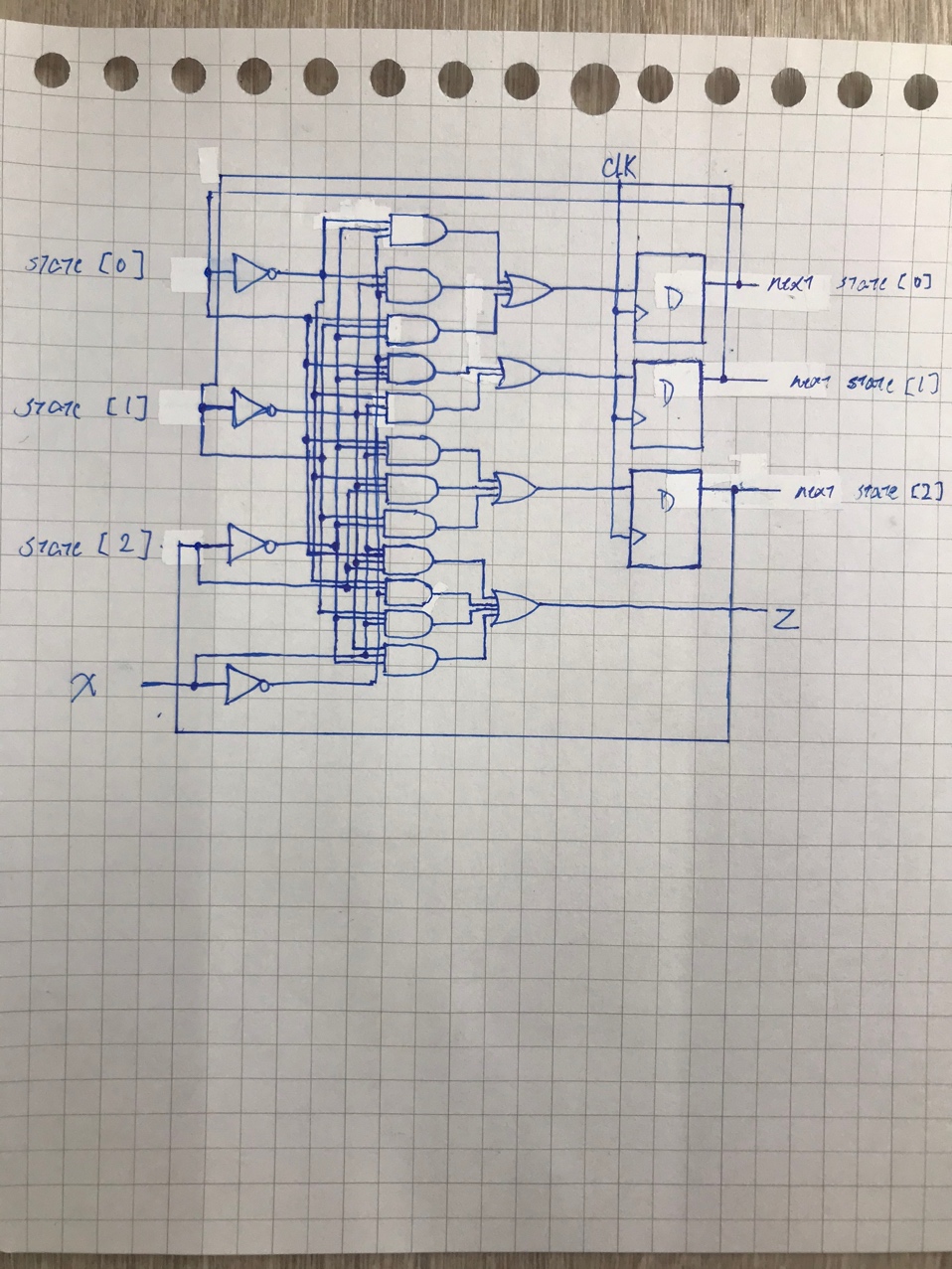


因為propagation delay，所以Q,NQ的值一開始為不確定狀態。後續的值就如同預期，但都能有些微的延遲。最後因為S=0, R=0，此狀態為indeterminate，Q,NQ如同上課所教，進入不穩定態，在0與1之間浮動。

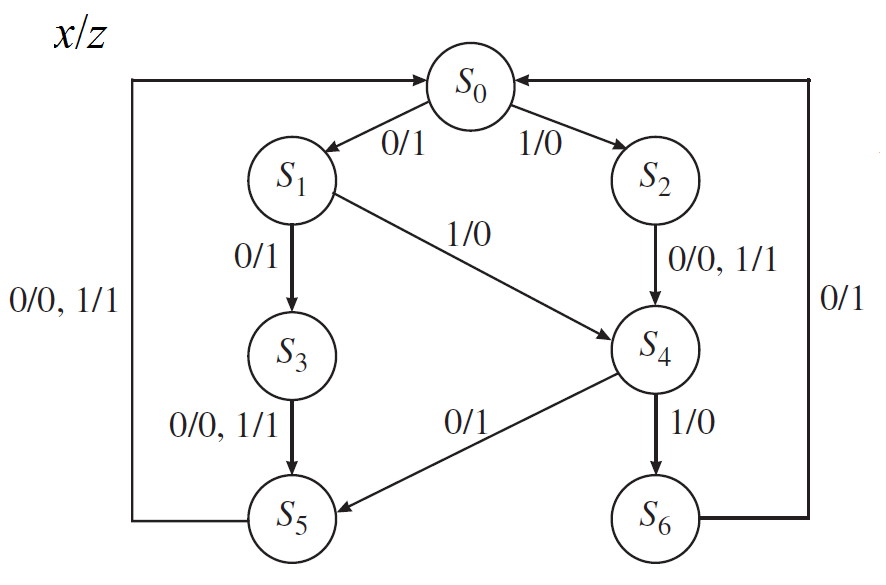


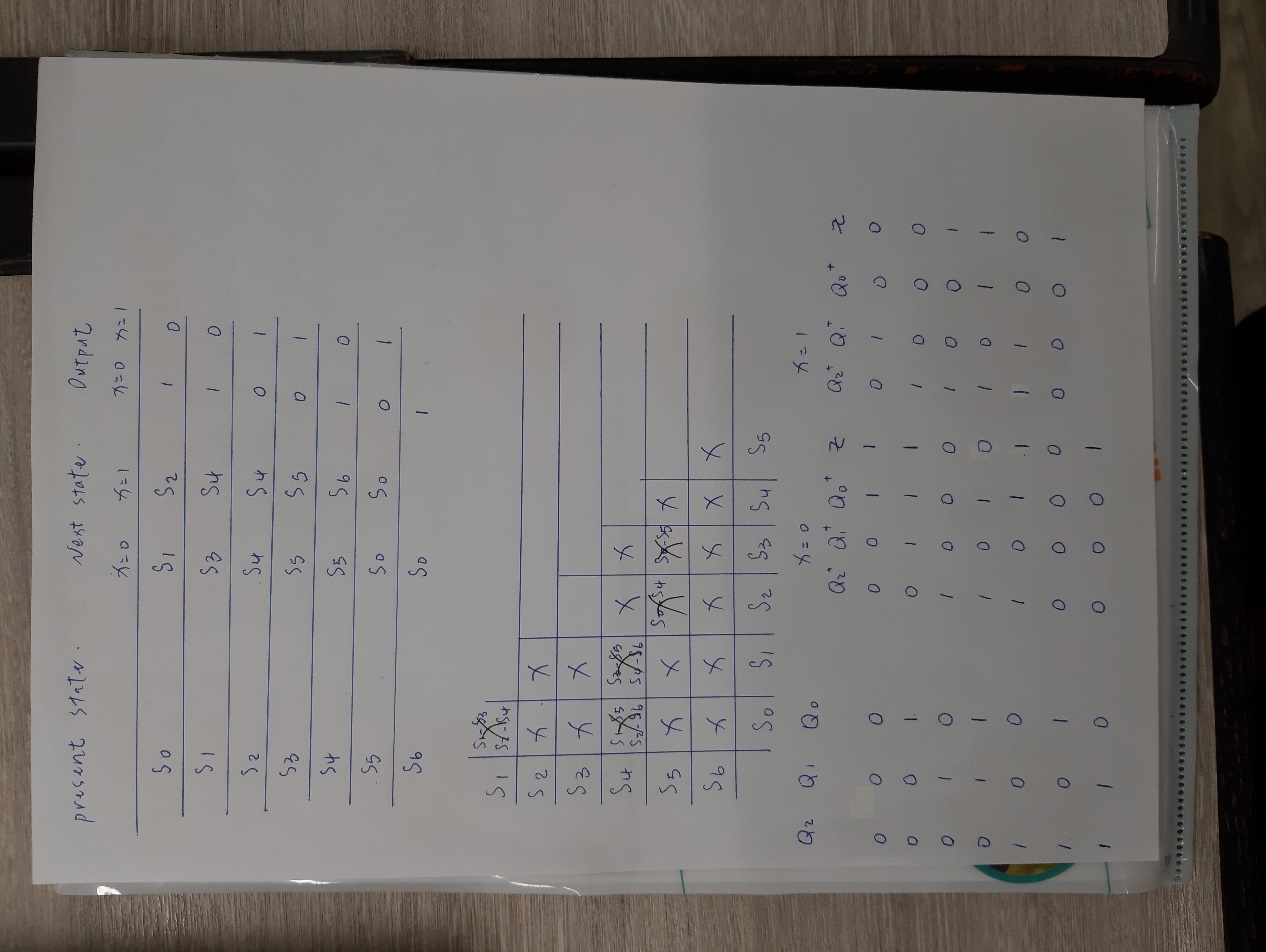
因為negative edge trigger，所以在20ns的時候clock變0才有輸出，而latch本身也有延遲，所以輸出不會馬上改變。

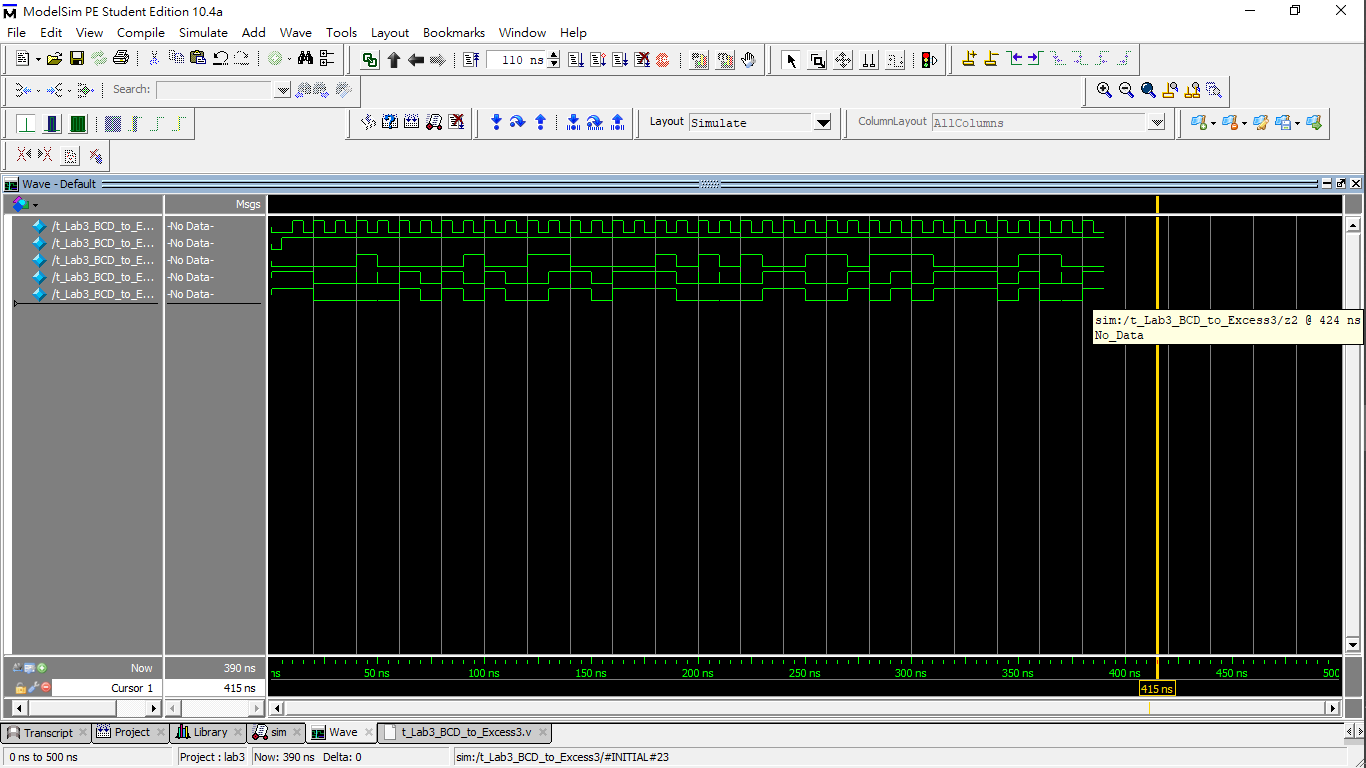
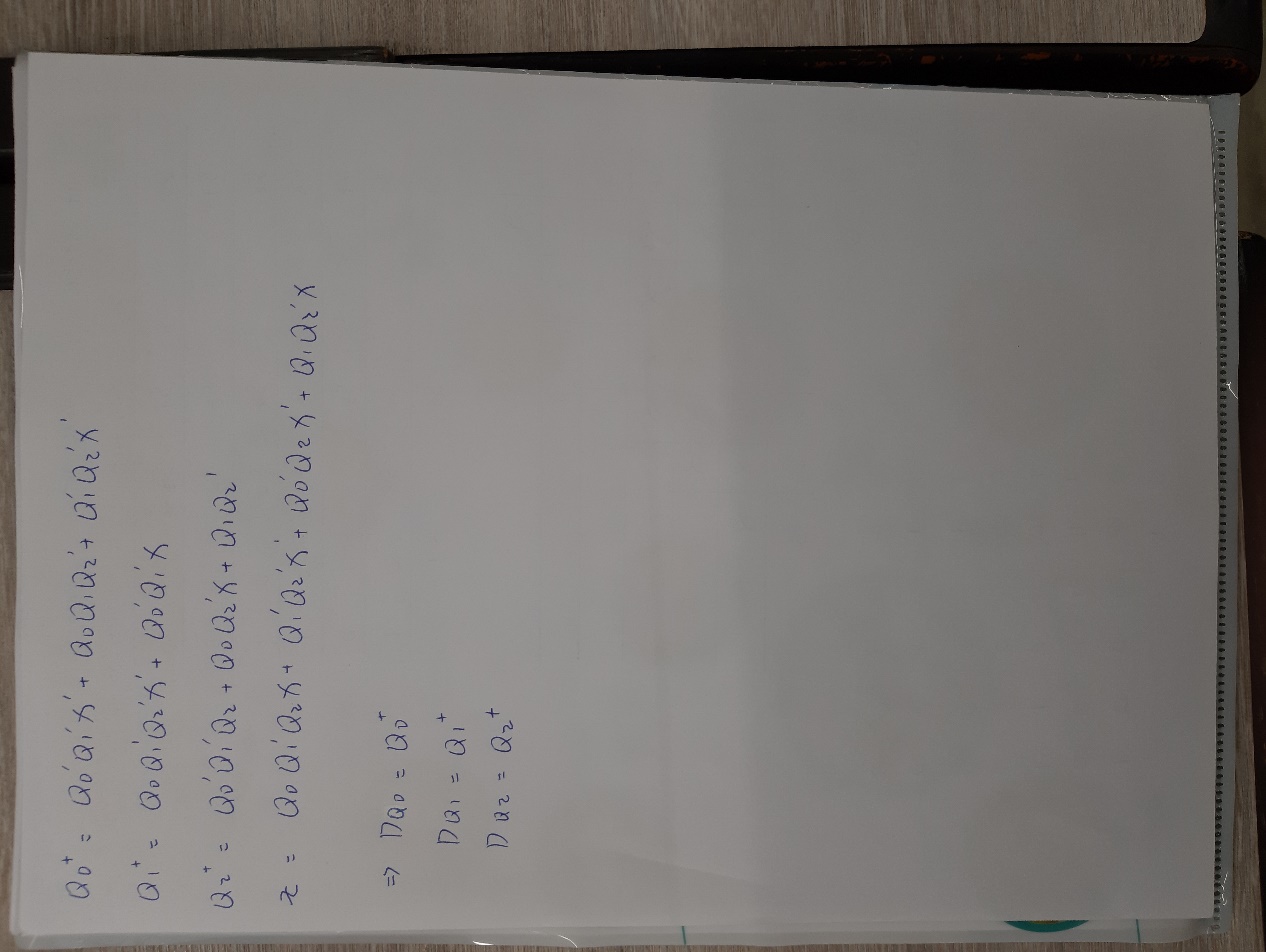


Testbench設定clock的週期為10ns，clock一開始為1，而reset一開始被設定為0，直到第一次clock做switch，然而此時不是positive edge所以state不會因此改變，所以只有輸出x = 0的z，再過5ns，此時為positive edge，state改變且輸入也改變。後期我們依clock的週期，測試所有輸入從0到9，此模組一次測試兩種電路。

其設計過程如下







1. 此次設計過程讓我更了解設計電路的過程，循著上課步驟做，我們更可以確保我們設計出來的電路是經過優化的，只是其過程十分耗時也耗腦，所以必須專心完成，testbench也必須經過推倒才能正確的測試我們所寫的模組是否有誤。