

8259

(Controllore Programmabile delle Interruzioni)

M. Rebaudengo - M. Sonza Reorda

Politecnico di Torino
Dip. di Automatica e Informatica



Generalità

- **L'8259 è stato progettato per minimizzare il software ed i tempi di risposta per la gestione di livelli multipli di interrupt a diversa priorità**
- **Il dispositivo era originariamente un chip LSI contenuto in un DIP da 28 pin**
- **Ora le sue funzioni sono integrate nel chipset**
- **Gestisce fino a 8 livelli di interrupt vettorizzati**
- **Permette la gestione di più controllori di interrupt in cascata fino ad un massimo di 64 livelli di interrupt**
- **Permette la programmazione di diversi modi di gestione delle priorità tra i diversi livelli.**

Il chip

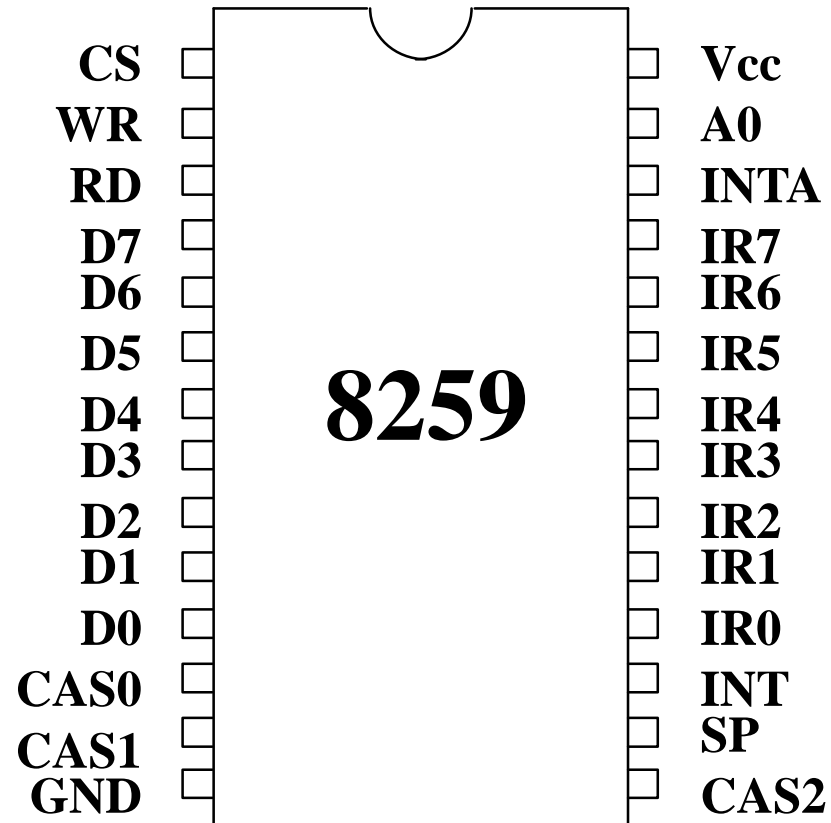
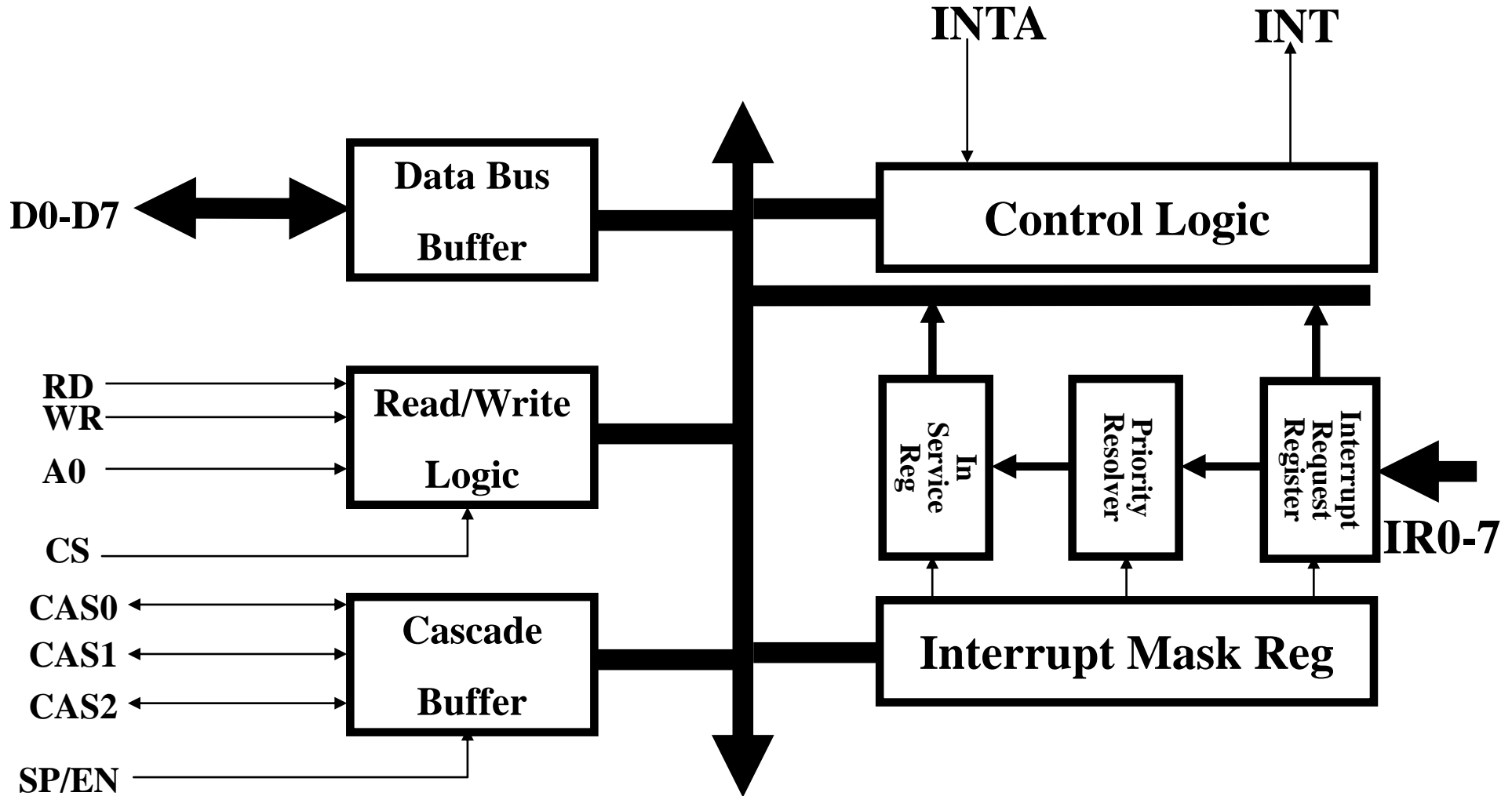


Diagramma a blocchi



Procedura di interrupt

- Una linea di richiesta di interrupt diviene attiva settando il corrispondente bit del registro IRR
- L'8259 valuta le richieste e manda eventualmente un segnale di INT alla CPU
- La CPU conferma la richiesta ed invia un primo segnale di INTA
- La richiesta a priorità più alta viene selezionata settando l'opportuno bit del registro ISR e resettando il corrispondente bit del registro IRR.

Procedura di interrupt

(segue)

- La CPU invia un secondo impulso di INTA
- L'8259 invia sul data bus il codice (su un byte) del dispositivo che ha fatto richiesta di interruzione
- Il ciclo di interrupt è concluso resettando il bit ISR.
 - In modo AEOI (*automatic end of interrupt*) ciò avviene in modo automatico
 - In alternativa il ciclo di interrupt deve essere terminato con una esplicita istruzione di EOI (*end of interrupt*)
- L'8086 attiva la procedura di servizio dell'interrupt (ISR).

Programmazione dell'8259

L'8259 è programmato attraverso due tipi di parole di controllo:

- *Initialization Command Words (ICWs)*
- *Operation Command Words (OCWs).*

L'ordine delle ICWs è fisso e normalmente vengono inviate una volta sola in fase di inizializzazione

Le OCWs invece possono essere inviate singolarmente in qualunque fase del programma.

ICW

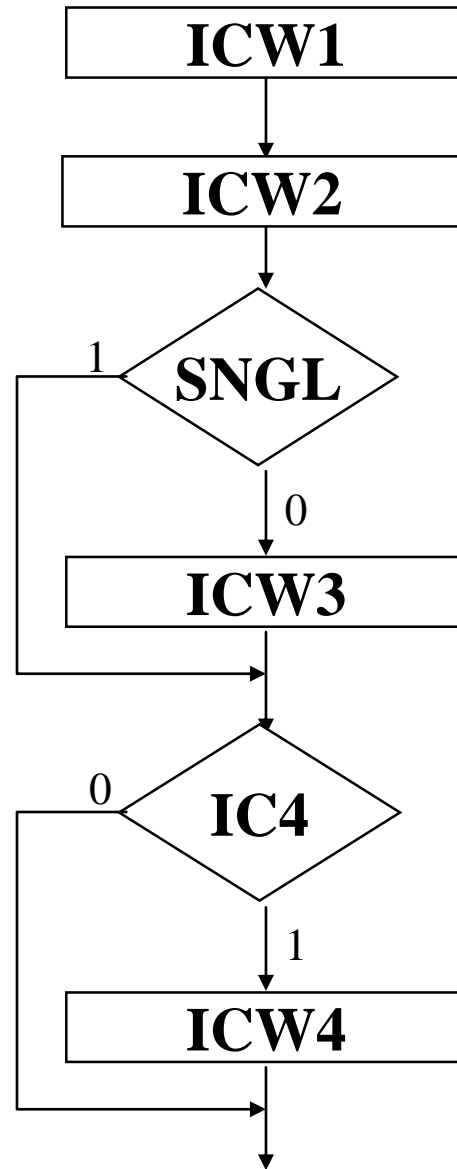
L'inizializzazione dell'8259 viene fatta attraverso una sequenza di parole di controllo.

Questa sequenza è riconoscibile perché il primo dato (ICW1) è caratterizzato da

- segnale di indirizzo $A0 = 0$**
- bit di dato $D4 = 1$.**

Quando la CPU invia una sequenza di ICW viene resettato il registro di maschera IMR.

ICW



ICW1

A0	D7	D6	D5	D4	D3	D2	D1	D0
0	X	X	X	1	LTIM	X	SNGL	IC4

- **LTIM (Level Triggered Mode)**
- **SNGL: modo Single o Cascade**
- **IC4: presenza della parola ICW4**
- **D4 = 1**
- **X: bit usati solo per CPU della famiglia 8080/8085.**

LTIM

0	1
triggerato sui fronti	triggerato sui livelli

IC4

0	1
ICW4 assente	ICW4 presente

SNGL

0	1
8259 in cascata	8259 singolo

ICW2

A0	D7	D6	D5	D4	D3	D2	D1	D0
1	T7	T6	T5	T4	T3	X	X	X

Con la parola ICW2 la CPU determina i tipi di interrupt corrispondenti agli 8 segnali di richiesta di interruzione:

- T3-T7: 5 bit alti dell'indirizzo del vettore degli interrupt
- X: bit usati solo per CPU della famiglia 8080/85.

ICW3

**Dispositivo
master**

A0	D7	D6	D5	D4	D3	D2	D1	D0
1	S7	S6	S5	S4	S3	S2	S1	S0

Ciascun bit della parola ICW3 specifica se il corrispondente segnale IR è un 8259 slave (bit a 1) oppure un normale dispositivo periferico (bit a 0).

**Dispositivo
slave**

A0	D7	D6	D5	D4	D3	D2	D1	D0
1	0	0	0	0	0	ID2	ID1	ID0

Specifica allo slave il numero del livello IR master a cui è collegato.

ICW4

A0	D7	D6	D5	D4	D3	D2	D1	D0
1	0	0	0	SFNM	BUF	M/S	AEOI	μPM

- **SFNM: Special fully nested mode.**
- **BUF & M/S: Buffer Mode.**
- **AEOI: Automatic end of interrupt.**
- **μPM: Microprocessor mode.**

μPM

0	1
8080/85 mode	8086 mode

AEIOI

0	1
Normal EOI	Automatic End Of Interrupt

SFNM

0	1
No Special Fully Nested Mode	Special Fully Nested Mode

Buffered mode

BUF	0	1	1
M/S	X	0	1
	No modo buffered	Buffered mode slave	Buffered mode master

- Nel modo *buffered* il pin SP/EN è un pin di output che permette di abilitare i tranceiver quando l'8259 fa un'operazione di scrittura sul Data Bus
- In modo *non buffered* il bit M/S specifica via s/w se il chip è master o slave.

OCW1

A0 D7 D6 D5 D4 D3 D2 D1 D0

1	M7	M6	M5	M4	M3	M2	M1	M0
----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------

OCW1 permette di caricare il registro IMR.

- **Ad ogni bit della parola OCW1 corrisponde un bit nel registro IMR**
- **Settando il bit M_i ad 1 si setta il bit IMR_i e dunque si maschera il canale di interrupt IR_i .**

OCW2

A0 D7 D6 D5 D4 D3 D2 D1 D0

0	R	SL	EOI	0	0	L2	L1	L0
----------	----------	-----------	------------	----------	----------	-----------	-----------	-----------

- I bit **R**, **SL** e **EOI** controllano i modi di gestione della rotazione delle priorità e dell'end of interrupt.
- I bit **L2-L0** specificano un particolare canale di interrupt.

OCW2

R	SL	EOI	
0	0	1	Non Specific EOI command
0	1	1	Specific EOI command
1	0	1	Rotate on Non Specific EOI command
1	0	0	Rotate in AEOI mode (set)
0	0	0	Rotate in AEOI mode (clear)
1	1	1	Rotate on Specific EOI command
1	1	0	Set Priority Command
0	1	0	No operation

OCW3

A0 D7 D6 D5 D4 D3 D2 D1 D0

0	0	ESMM	SMM	0	1	P	RR	RIS
----------	----------	-------------	------------	----------	----------	----------	-----------	------------

- I bit **ESMM** e **SMM** permettono di settare o resettare lo **Special Mask Mode**
- I bit **RR** e **RIS** permettono di gestire la lettura dei registri interni **IRR** ed **ISR**
- Il bit **P** permette di settare o resettare il **Poll Command**.

Read Register Command

RIS	X	0	1
RR	0	1	1
	No action	Read IRR	Read ISR

Special Mask Mode

SMM	X	0	1
ESMM	0	1	1
	No action	Reset Special Mask	Set Special Mask

Fully Nested Mode

- Modo di funzionamento di *default* per l'8259
- Le richieste di interruzione sono ordinate per livelli di priorità da 0 a 7: il livello 0 è il livello a maggiore priorità
- Quando la CPU abilita una richiesta di interrupt (mediante un primo impulso di INTA), l'8259 calcola la richiesta a priorità più alta; il corrispondente codice di interrupt è posto sul Data Bus ed il corrispondente bit del registro ISR è settato
- Il bit in ISR rimane settato finché la CPU invia un comando di EOI immediatamente prima di ritornare dalla routine di servizio dell'interruzione; se invece il bit AEOI è settato il bit in ISR è resettato automaticamente dopo il fronte di salita del secondo segnale di INTA.

Fully Nested Mode

(segue)

- Fintanto che il bit in ISR è settato, tutte le successive richieste di interrupt a priorità più bassa sono disabilitate. Solo le richieste a priorità più alta generano una richiesta di interruzione.

Automatic End of Interrupt Mode

- **Se il bit AEOI della parola ICW4 è stato fissato ad 1, l'8259 opera in modo AEOI.**
- **In modo AEOI l'8259 resetta automaticamente il registro ISR dopo il fronte di salita del secondo segnale di INTA.**

End of Interrupt

- Se il bit AEOI del registro ICW4 è fissato a 0, allora per resettare il bit IS nel registro ISR occorre un esplicito comando di EOI
- È buona norma inviare tale comando come ultima istruzione prima di un'istruzione di IRET
- In una cascata di 8259 occorre inviare due comandi di EOI, uno per il master ed uno per lo slave servito
- Ci sono due diverse forme di EOI:
 - *Specific End of Interrupt*
 - *Non Specific End of Interrupt.*

Non Specific EOI

- Valido in un modo di funzionamento che conserva il *fully nested mode*, in cui dunque è mantenuto un ordine di priorità statico
- Quando è inviato un comando di EOI non specifico il bit a priorità più alta nel registro ISR, corrispondente all'ultimo livello di interrupt abilitato e servito, viene resettato
- Un *Non Specific EOI* viene inviato attraverso la parola OCW2 (R = 0, SL = 0, EOI = 1).

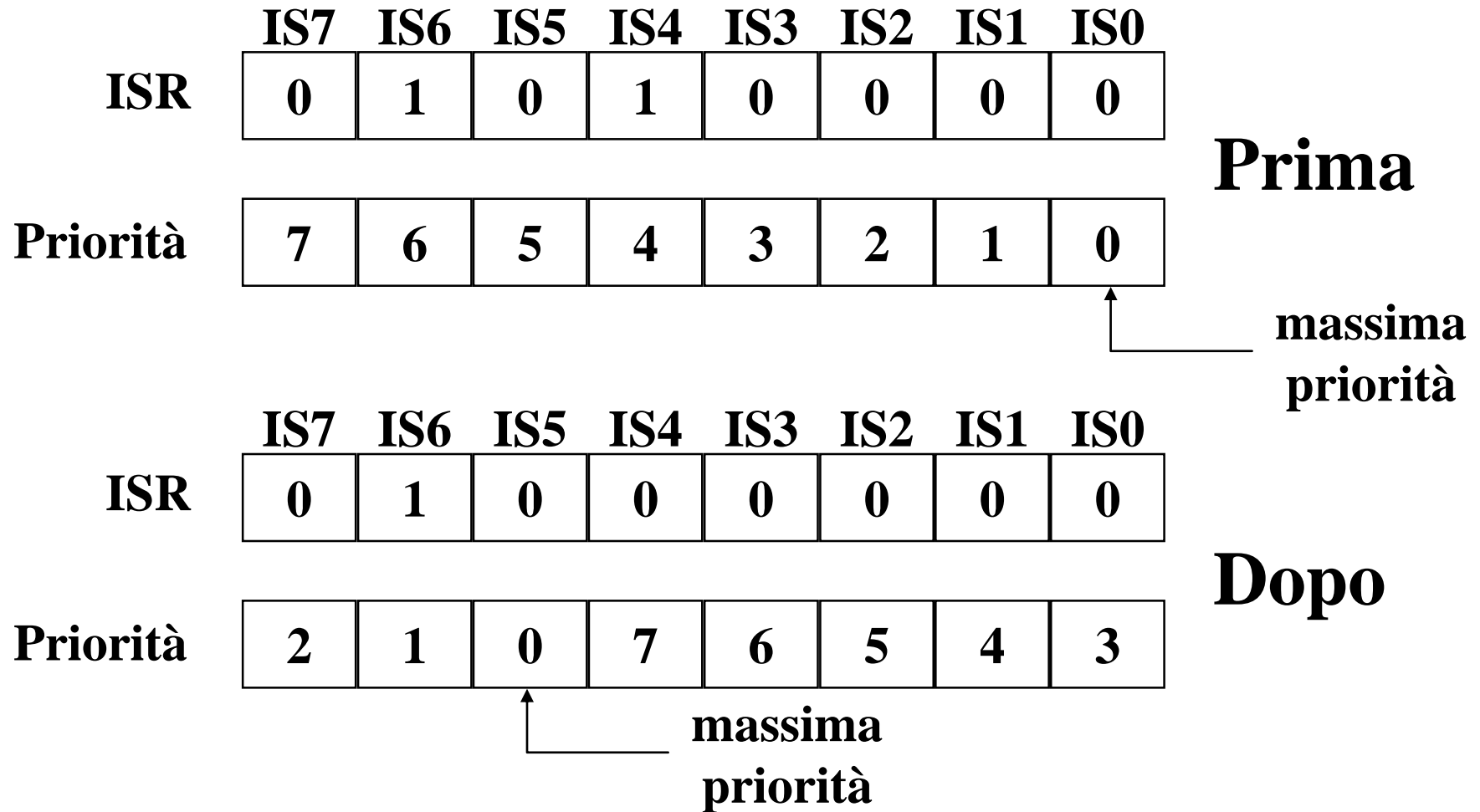
Specific EOI

- In un modo di funzionamento diverso dal *fully nested mode* la priorità non è più statica e dunque l'8259 non ha nessun modo per riconoscere qual è l'ultimo livello di interruzione abilitato
- Inviando un comando di EOI occorre specificare il livello di interruzione che si vuole resettare nel registro ISR
- Uno *Specific EOI* viene inviato attraverso la parola OCW2 (R = 0, SL = 1, EOI = 1 ed i bit L₀-L₂ con il valore binario corrispondente al livello che si vuole resettare).

Rotazione automatica delle priorità

- In molte applicazioni può succedere che i diversi dispositivi di I/O abbiano uguale priorità
- In questi casi è preferibile non avere livelli di priorità statici, ma avere *livelli di priorità rotanti*
- Un dispositivo appena viene servito riceve il livello di priorità più basso.

Priorità rotante



Rotazione e EOI

- A seconda che l'8259 sia in modo AEOI oppure in modo EOI occorre programmare l'8259 con parole OCW2 differenti
- La combinazione $R = 1$, $SL = 0$, $EOI = 1$ forza la rotazione di priorità in modo EOI
- La combinazione $R = 1$, $SL = 0$, $EOI = 0$ forza la rotazione di priorità in modo AEOI
- La combinazione $R = 0$, $SL = 0$, $EOI = 0$ resetta la rotazione di priorità ed impone la normale priorità fissa in modo AEOI.

Rotazione di priorità specifica

- Il programmatore può cambiare i livelli di priorità specificando nell'OCW2 il livello a priorità più basso mediante i bit L2-L0 avendo la seguente combinazione di OCW2: $R = 1$, $SL = 1$
- In modo EOI è possibile inviare un comando di EOI specifico e contemporaneamente ruotare la priorità mediante la combinazione di OCW2 $R = 1$, $SL = 1$, $EOI = 1$ e $L0-L2 =$ livello IR di cui si vuole resettare il bit IS forzandolo alla priorità più bassa.

Registro di maschera delle interruzioni

- **Ogni livello di richiesta di interruzione IR può essere mascherato attraverso la programmazione della parola OCW1**
- **Ogni bit di OCW1 disabilita il corrispondente canale IR di interruzione se settato ad 1.**

Special Mask Mode

- Il registro di mascheramento IMR può essere utilizzato in un modo diverso da quello tradizionale
- In Special Mask Mode i bit settati in IMR *disabilitano* il livello IR corrispondente da ulteriori richieste di interrupt ed *abilitano* gli interrupt *di tutti gli altri livelli*
- Questo può essere utile quando in modo EOI una richiesta è stata abilitata ed un comando di EOI non ha ancora disabilitato il bit IS; in questo caso le richieste a priorità più basse sono disabilitate; utilizzando lo Special Mask Mode si ha l'abilitazione di tutti i livelli aventi valore 0 in IMR
- Il modo di maschera speciale è settato e resettato attraverso la parola OCW3.

Poll Command

- È possibile gestire l'8259 in *polling*
- Il modo polling è fissato settando il bit P della parola OCW3
- L'8259 interpreta la successiva istruzione di lettura come un acknowledge di interrupt ed invia sul data bus la *poll word*:
 - il bit I è posto ad 1 se vi è una richiesta di interrupt
 - i bit W2-W0 rappresentano il livello IR con priorità più alta richiedente servizio di interruzione.
- L'8259 assume che la CPU non esegua poi la solita sequenza di segnali di INTA.

D7	D6	D5	D4	D3	D2	D1	D0
I	X	X	X	X	W2	W1	W0

Lettura dei registri interni

- È possibile leggere lo stato dell'8259 mediante la lettura dei registri interni
- Possono essere letti i registri IRR, ISR ed IMR
- IRR può essere letto nel primo ciclo di lettura (all'indirizzo avente $A0 = 0$) successivo ad una OCW3 con $RR = 1$ e $RIS = 0$
- ISR può essere letto nel primo ciclo di lettura (all'indirizzo avente $A0 = 0$) successivo ad una OCW3 con $RR = 1$ e $RIS = 1$
- Non è necessario inviare una OCW3 prima di ogni lettura di registro. L'8259 memorizza l'ultima OCW3 e dunque se si vuole leggere sempre lo stesso registro non è necessario cambiare l'OCW3
- Per default il registro leggibile è IRR.

Lettura del registro *IMR*

- Per leggere il registro *IMR* non è necessaria nessuna parola *OCW3*: è sufficiente eseguire un ciclo di lettura all'indirizzo avente $A0 = 1$.

Interrupt sensibile al fronte o ai livelli

- **È possibile far sì che l'8259 sia sensibile alle richieste di interrupt sui fronti o sui livelli mediante il bit 3 (LTIM) in ICW1:**
 - **Se $LTIM = 0$, le richieste di interruzione saranno riconosciute da una transizione da 0 ad 1 su un ingresso di IR; il segnale su IR può rimanere alto senza generare nessun'altra richiesta di interrupt**
 - **Se $LTIM = 1$, le richieste di interruzione saranno riconosciute da un livello alto su un ingresso di IR; la richiesta di interruzione va rimossa prima del comando di EOI per prevenire un'altra richiesta di interruzione.**

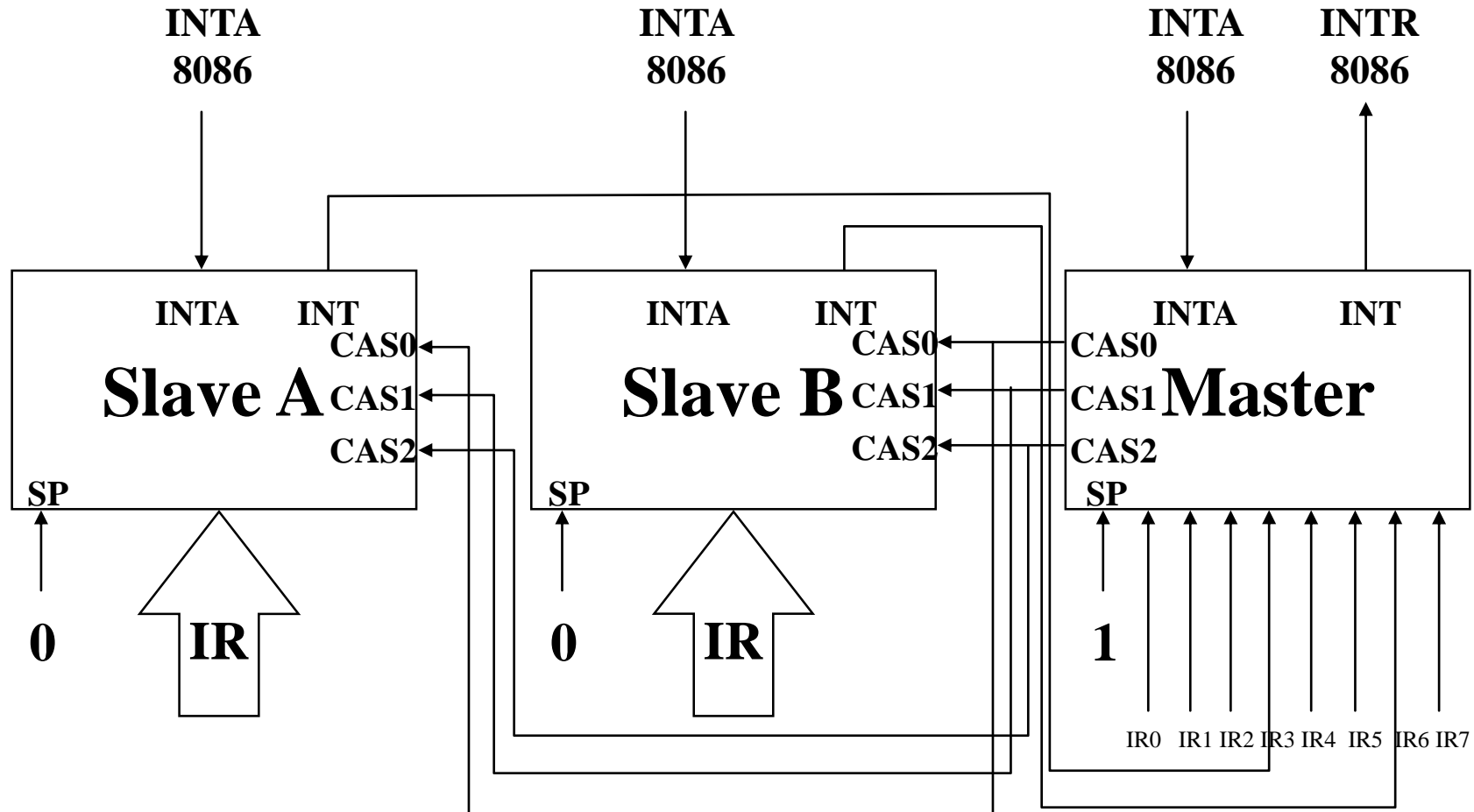
Special Fully Nested Mode

- Questo modo è usato nel caso di una cascata di 8259, quando si vuole conservare la priorità all'interno di ciascuno slave
- Quando una richiesta di interruzione da parte di uno slave è in servizio, questo slave non è bloccato dal master, ma possibili richieste da livelli a priorità più alta provenienti dallo stesso slave saranno riconosciute dal master
- Uscendo dalla routine di servizio prima di inviare i comandi di EOI al master occorre leggere il registro ISR dello slave (dopo aver inviato un EOI non specifico). Se il registro ISR è zero allora si può inviare un EOI non specifico al master.

Cascata di 8259

- È possibile espandere il sistema di controllori di interruzione fino a gestire 64 livelli di interruzione mediante l'uso di un master e di 8 slave
- Il master controlla gli slave mediante le 3 linee di CAS. Queste linee funzionano come un chip select codificato per gli slave durante la sequenza di INTA
- Ogni 8259 va opportunamente programmato
- I comandi di EOI per livelli di interruzione provenienti da slave vanno ripetuti due volte: una per il master ed una per l'opportuno slave.

Esempio



Funzionamento

- Quando uno slave ha una richiesta di interruzione su un suo livello, invia una richiesta al pin IR del master mediante il segnale di INT
- Tale richiesta è inoltrata alla CPU (nel caso in cui tale livello non sia mascherato e sia il livello richiedente a massima priorità)
- Quando la CPU invia il primo segnale, il master setta l'opportuno bit del registro ISR, pulisce il corrispondente bit in IRR e verifica, leggendo il registro ICW3, se tale richiesta proviene da uno slave oppure no
- Se la richiesta non proviene da uno slave, il master invia sul data bus il contenuto di ICW2 corrispondente all'indice della routine di servizio dell'interruzione.

Funzionamento

(segue)

- Se la richiesta proviene da uno slave, il master scrive il numero del livello IR sulle linee CAS
- Il segnale di INTA è ricevuto da tutti gli slave. Ciascuno slave confronta il proprio ID con il numero letto sulle linee CAS; se c'è corrispondenza, riconosce che il segnale di INTA è diretto a lui
- Lo slave selezionato setta al suo interno l'opportuno bit ISR, pulisce il corrispondente bit IRR e pone sul data bus il codice di interrupt contenuto nella propria ICW2
- In un sistema master/slave, occorre mandare un duplice comando di EOI sia al master che allo slave interessato.