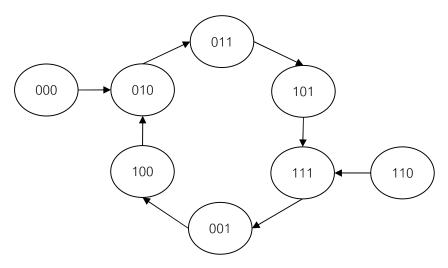
## FACULTY OF ENGINEERING CHULALONGKORN UNIVERSITY 2110252 DIGITAL COMPUTER LOGIC

EXAM2 - 2024

1. จงสร้างวงจร counter ที่รับข้อมูล Input 1 Bit จำนวน 6 ตัว (reset clk load X Y Z) และแสดงผลลัพธ์ Output 1 Bit จำนวน 3 ตัว (A B C) โดยมีการนับตัวเลขตามลำดับดังต่อไปนี้



ลำดับความสำคัญของสัญญาณควบคุมเป็นดังนี้

เมื่อ reset เป็น 1 -> ให้ผลลัพธ์เป็น 0 0 0 (A B C)

เมื่อ load เป็น 1 🗲 ให้ผลลัพธ์เป็นไปตามค่าของ X Y Z (A B C)

โดยเมื่อ reset และ load มีค่าเป็น 1 ทั้งคู่ให้ทำการ reset เนื่องจาก reset มีลำดับความสำคัญมากกว่า load นอกนั้นให้นับค่าของ counter ตามลำดับแผนผังข้างต้น 010 011 101 111 001 100 010 ... (A B C)

วงจรนี้ให้ทำงานแบบ synchronous และเมื่อมีสัญญาณ reset ให้ระบบ reset ภายใน 1 clock รับประกันว่าในตอนเริ่มต้นการทำงาน จะทำการ reset ก่อนเสมอ

Input

clock เป็นสัญญาณขนาด 1 บิต

reset เป็นสัญญาณขนาด 1 บิต

load เป็นสัญญาณขนาด 1 บิต

XYZ เป็นสัญญาณขนาด 1 บิต

Output

A B C เป็นสัญญาณขนาด 1 บิต

Template และ ตัวอย่าง testcase จะอยู่ใน Exam2 1 Template.dig

## คะแนน

คะแนนเต็ม 100 คะแนน โดยมีจาก Grader 90 คะแนน และถ้าถูกต้องทุก Case ภายใน 1 ช.ม. จะได้อีก 10 คะแนน