

図6.10 第5章で作成した単一クロック・サイクルのデータパス (図5.17に類似)。命令の各ステップは左から右の順でデータパスの各部に対応する。ただし、PC更新と書き込みは例外である。PC更新ではALUでの演算結果が、書き込みではメモリから読み出されたデータが、それぞれ左側へ送られてレジスタに書き込まれる (通常は緑で示すのは制御線であるが、この図ではデータ線である)。

表 7.1 基本的命令と使用ステージ, 実行時間 (単位: nsec)

ステージ \ 命令	ロード	ストア	算術論理	分岐
IF (メモリアクセス)	2	2	2	2
ID (レジスタアクセス)	1	1	1	1
EX (ALU 処理)	1	1	1	1
MA (メモリアクセス)	2	2	使用せず	使用せず
WB (レジスタアクセス)	1	使用せず	1	使用せず
各命令の実行時間	7	6	5	4

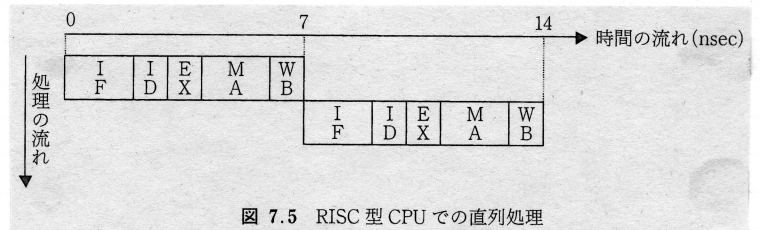


図 7.5 RISC 型 CPU での直列処理

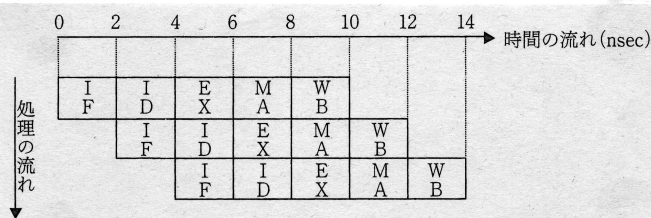


図 7.6 RISC 型 CPU でのパイプライン処理

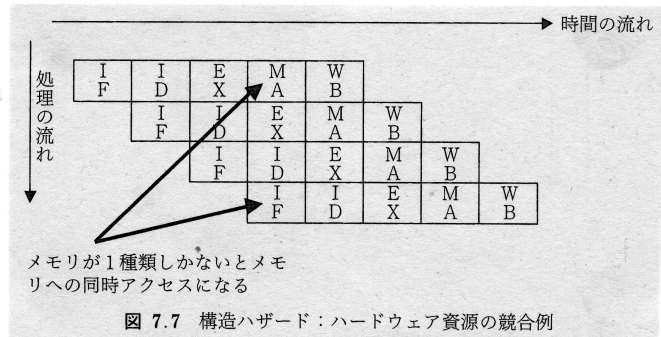


図 7.7 構造ハザード: ハードウェア資源の競合例

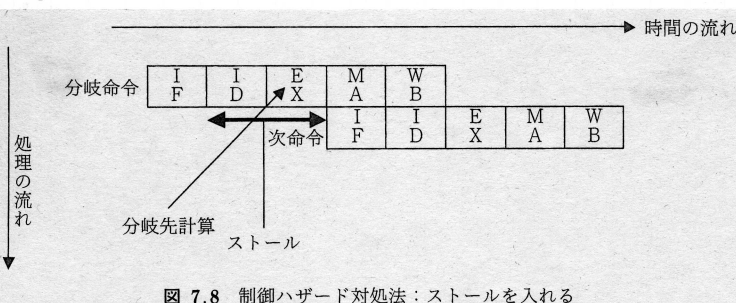


図 7.8 制御ハザード対処法: ストールを入れる

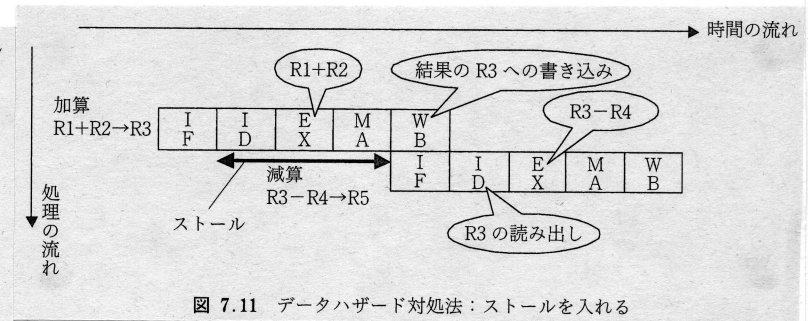


図 7.11 データハザード対処法: ストールを入れる

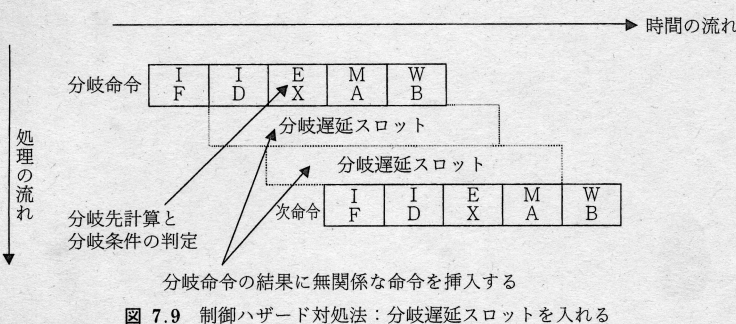


図 7.9 制御ハザード対処法: 分岐遅延スロットを入れる

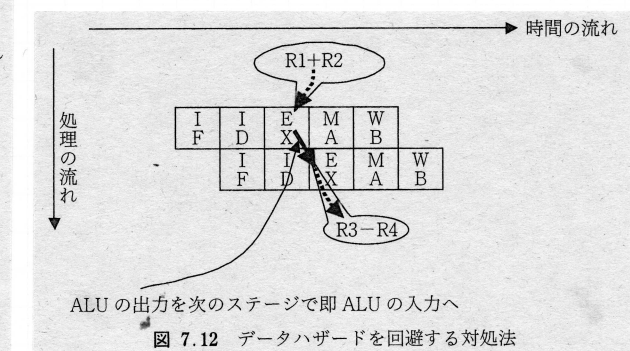


図 7.12 データハザード回避する対処法