



合肥工业大学

HEFEI UNIVERSITY OF TECHNOLOGY

# 计算机组成原理

## 第三章 系统总线

阙夏

计算机与信息学院

2021/5/10



## 第三章 系统总线

1

3.1 总线的基本概念

2

3.2 总线的分类

3

3.3 总线特性及性能指标

4

3.4 总线结构

5

3.5 总线控制



- 教学要求:

了解总线的分类及性能指标;

了解总线标准。

理解总线判优的概念, 掌握总线判优方式;

掌握总线定时方式;

- 教学重点:

总线的分类及性能指标;

总线判优方式;

总线定时方式

- 教学难点:

总线判优方式。

## 六、总线

### (一) 总线概述

1. 总线的基本概念

2. 总线的分类

3. 总线的组成及性能指标

### (二) 总线操作和定时

1. 同步定时方式

2. 异步定时方式

### (三) 总线标准



## 计算机五大部件的连接方式：

- 分散连接
- 总线连接



### 一、为什么要用总线

- 减少各部件之间的连接线;
- 方便系统的构成、扩充或更新。

各部件和总线采用挂接形式，增加一个部件或去掉一个部件对整个系统的结构不会造成什么影响。

**总线技术使计算机的设计、生产走向标准化。**



## 二、什么是总线 (bus)

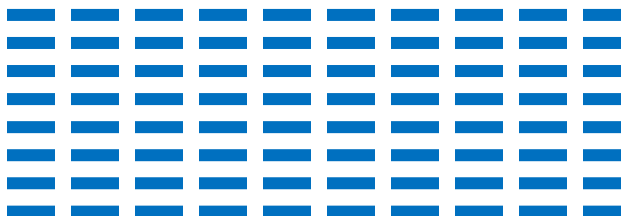
总线是连接各个部件的信息传输线，  
是各个部件**共享的**传输介质。

## 三、总线上信息的传送

串行



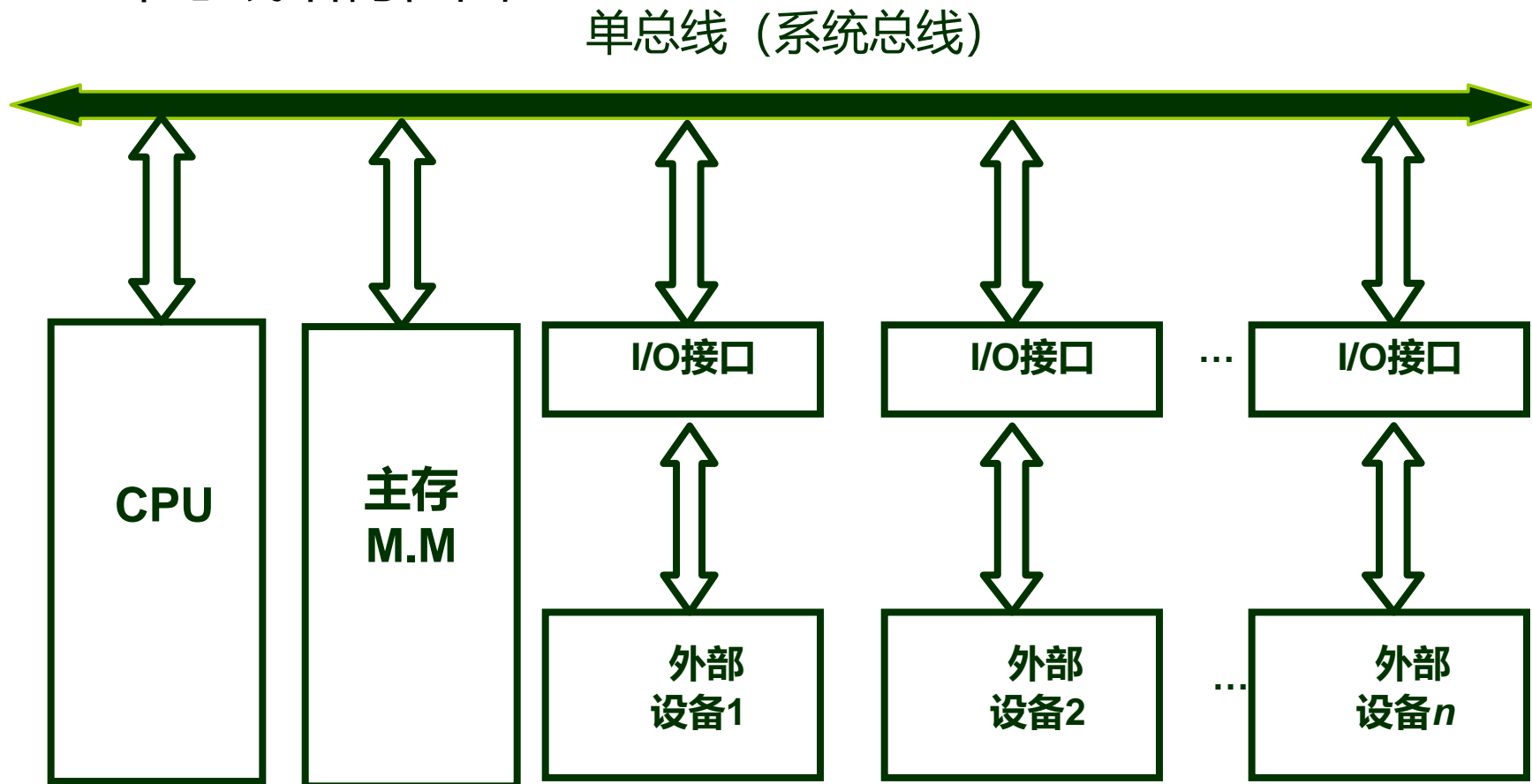
并行





## 四、总线结构计算机举例

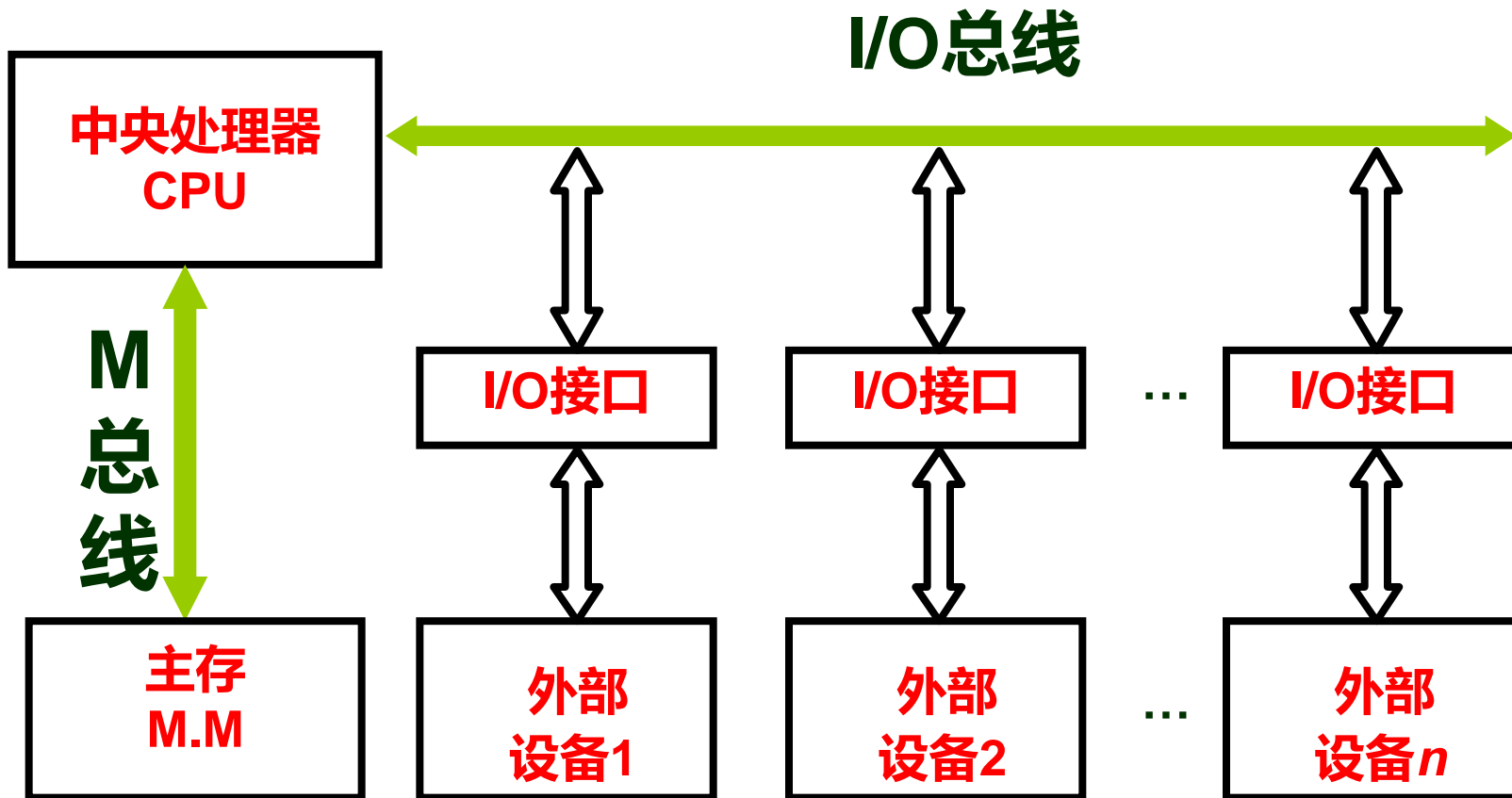
### 1. 单总线结构框图





## 3.1 总线的基本概念

### 2. 面向 CPU 的双总线结构框图

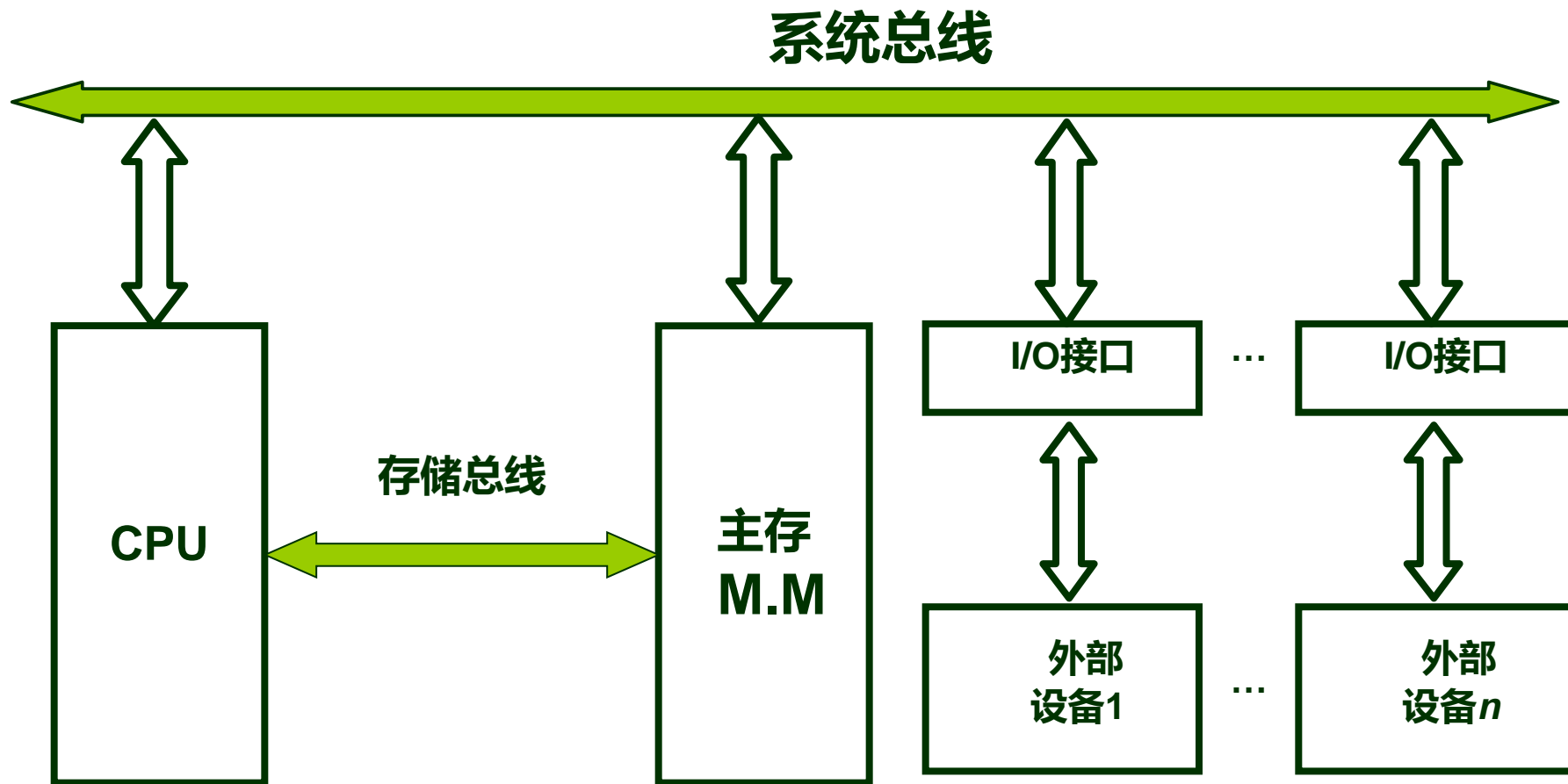






## 3.1 总线的基本概念

### 3. 以存储器为中心的双总线结构框图





## 3.2 总线的分类

### 1. 片内总线

芯片内部的总线。课本P43

### 2. 系统总线

计算机各部件之间的信息传输线。

#### 数据总线

与机器字长、存储字长有关/双向

#### 地址总线

与存储地址、I/O地址有关/单向

**存储单元个数=2<sup>地址总线根数</sup>**

#### 控制总线

发出各种控制信号，监视各部件状态，有入 / 有出

中断请求、  
总线请求

存储器读、存储器写  
总线允许、中断确认

### 3. 通信总线

用于**计算机系统之间**或**计算机系统与其他系统**（如控制仪表、移动通信等）之间的通信。



## 3.2 总线的分类-系统总线

CPU 从 3 号单元中读取数据的过程(见图 1.3)如下:

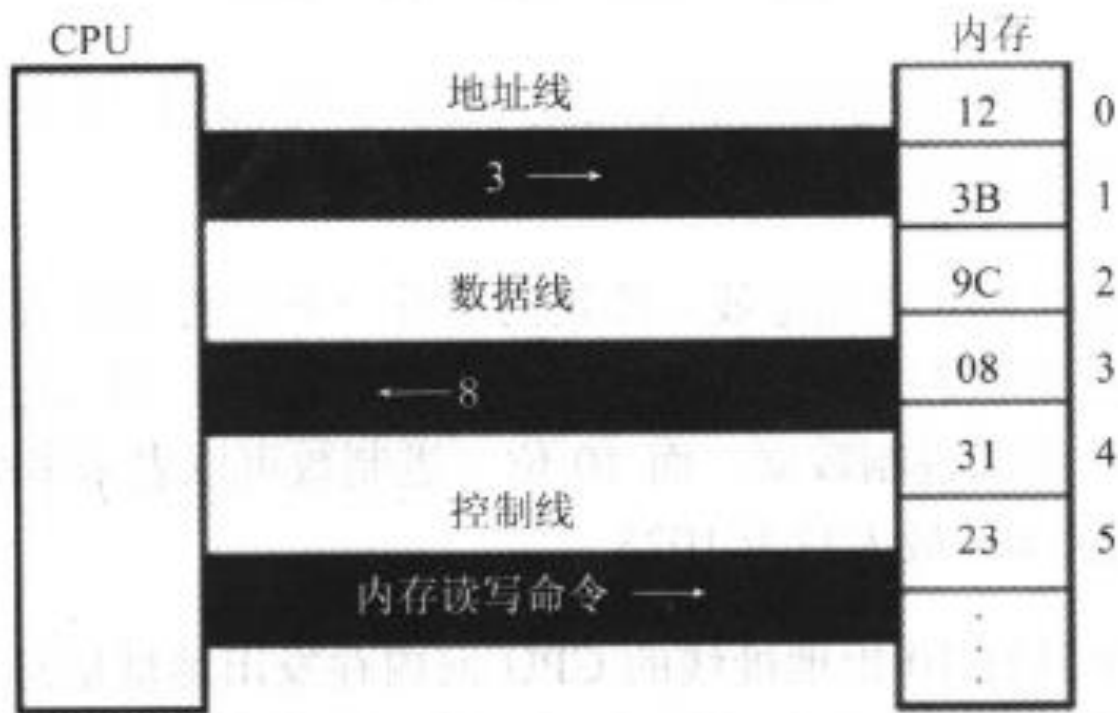


图 1.3 CPU 从内存中读取数据的过程



## 3.2 总线的分类-系统总线

计算机内部每个有效信息，必须具有3个基本属性：内容，指向和行为；这三个属性要通过三个总线实现：数据总线，地址总线，控制总线；

- 数据总线：决定传输的数据值。（字长大小）
  - ① 每条传输线只能传递1位二进制数据。
  - ② 决定一次数据传输的数据大小。
  - ③ 数据总线的宽度决定了CPU和外界的数据传送速度。
  - ④ 数据总线是数据线条数之和



- 地址总线：决定内存数据操作的地址
  - ① CPU是通过地址总线来指定存储单元的。
  - ② 地址总线决定了CPU能访问的最大内存空间的大小。
  - ③ 地址总线是地址线数量之和。
- 控制总线：反映了数据的状态和传输方式。
  - ① CPU通过控制总线对外部器件进行控制。
  - ② 控制总线的宽度决定了CPU对外器件的控制能力。
  - ③ 控制总线是控制线数量之和。



- **通信总线**（外部总线、I/O 总线）：
  - 用于计算机系统之间
  - 或计算机系统与其他系统（如控制仪表、移动通信等）之间的通信。
- 通常是电缆式总线，如SCSI、RS-232、USB等

传输方式 { 串行通信总线  
并行通信总线



注：Intel公司在推出845、850等芯片组时，对“System Bus”有专门的定义，将处理器总线称为前端总线(Front Bus)或系统总线。

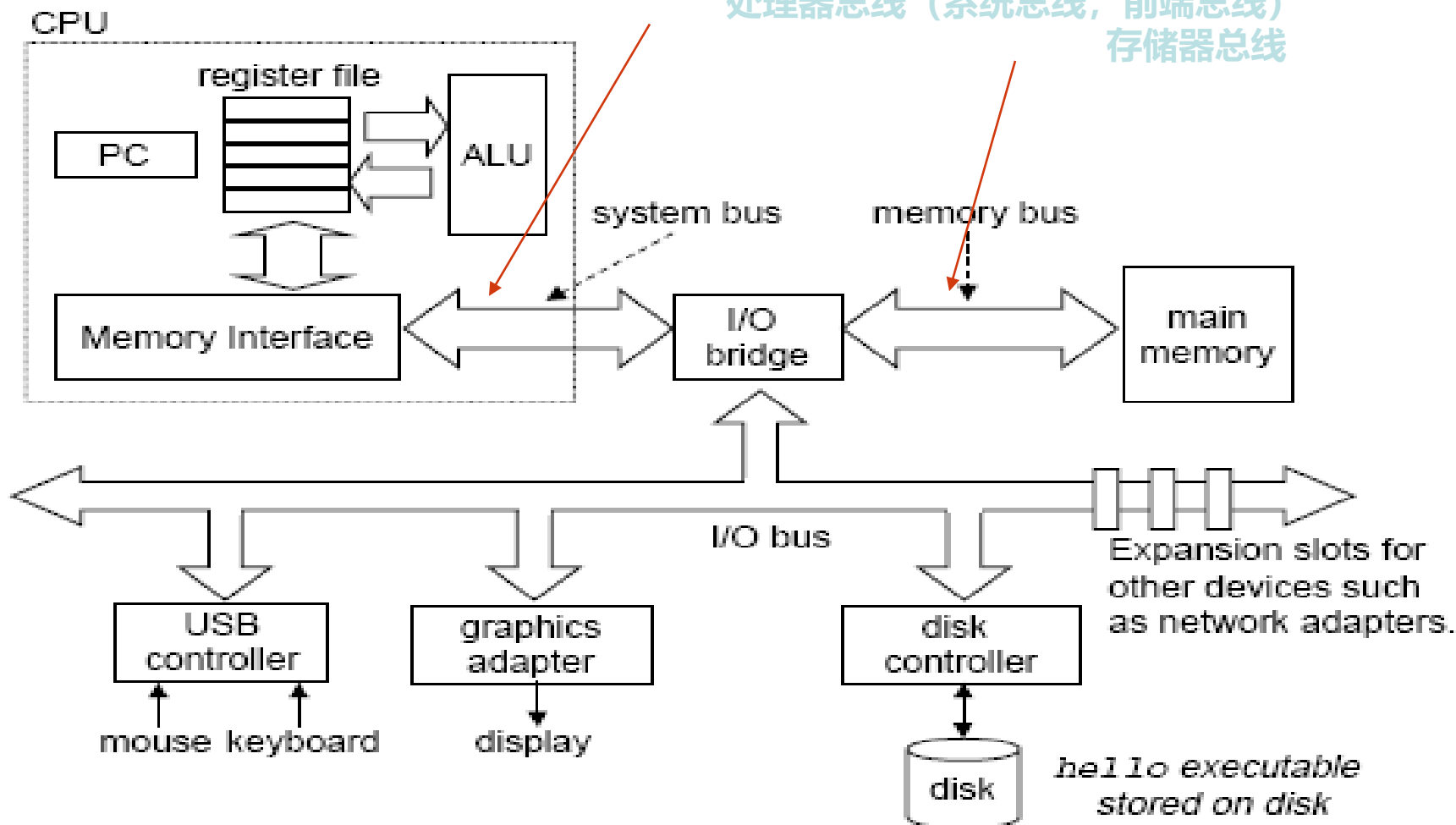


# Intel 体系结构中特指的“系统总线”

北桥芯片组把处理器-存储器总线分成了两个总线:

处理器总线 (系统总线, 前端总线)

存储器总线



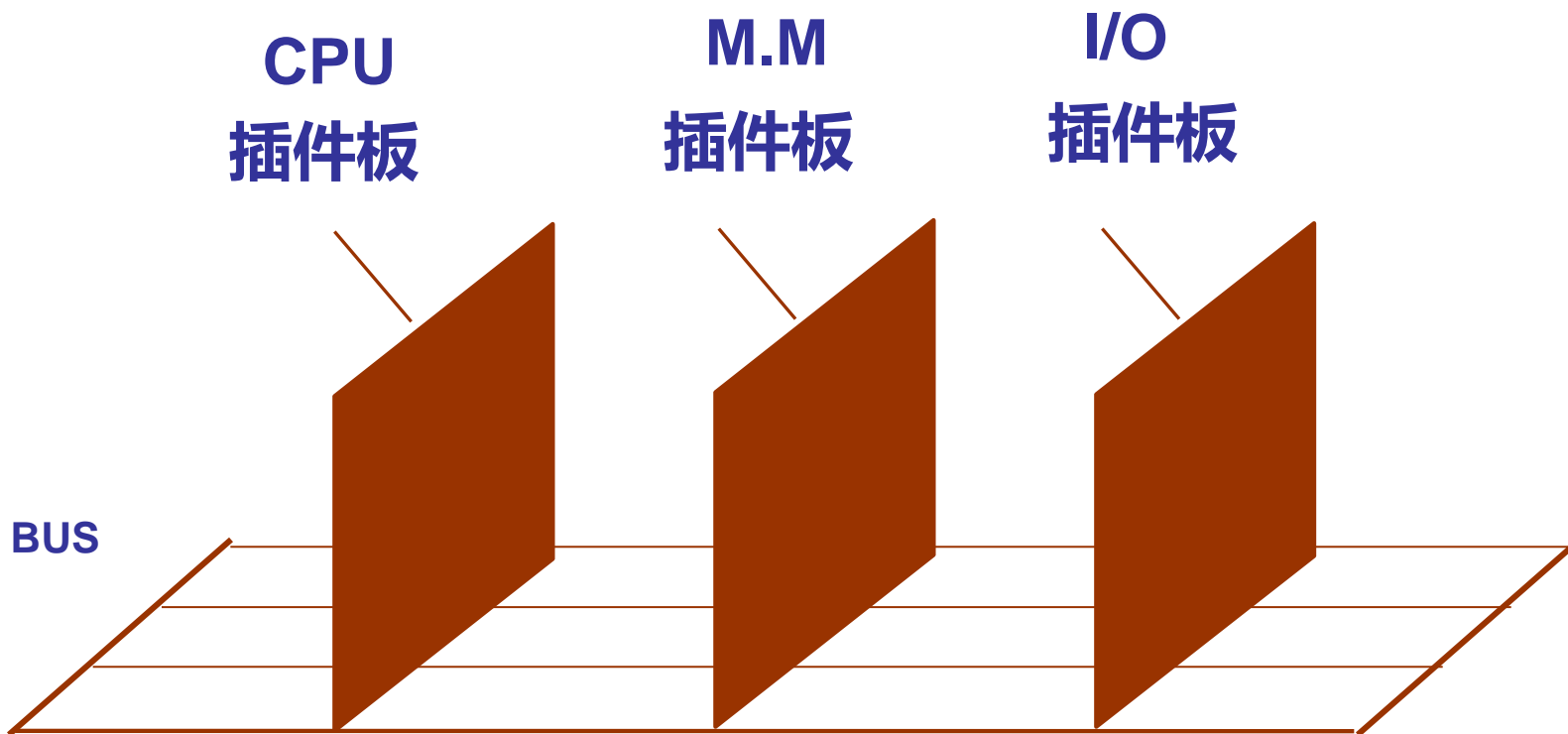


下列不属于片内总线连接的是\_\_

- ☐ A 寄存器与运算单元之间
- ☒ B CPU与内存间
- ☐ C CPU芯片内部
- ☐ D 寄存器与寄存器间



### 一、总线物理实现





## 二、总线特性

### 1. 机械特性

机械连接方式上的一些性能，尺寸 形状

### 2. 电气特性

每根传输线上的信号的传输方向和有效的电平范围

### 3. 功能特性

每根传输线的功能 { 地址  
数据  
控制

### 4. 时间特性

信号的时序关系



### 三、总线的性能指标

#### 1. 总线宽度

数据线的根数，用bit表示

#### 2. 总线带宽

(Bus Bandwidth)

每秒传输的最大字节数 (MB/s)

(总线最大数据传输率、传输带宽)

总线带宽 = (总线宽度/8) × 总线工作频率 (MHz)

#### 3. 时钟同步/异步

同步、不同步



## 3.3 总线特性及性能指标

### 4. 总线复用

地址线 与 数据线 复用 (如8086)

### 5. 信号线数

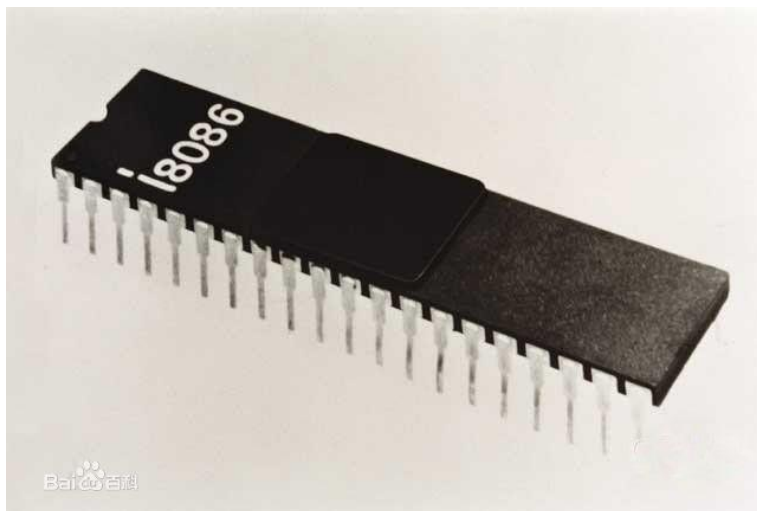
地址线、数据线和控制线的 总和

### 6. 总线控制方式

突发工作、自动配置、仲裁方式等

### 7. 其他指标

负载能力、电源电压 (5 or 3.3)、总线宽度扩展性





例：1、 某总线在一个总线周期中并行传送4个字节的数据，假设一个总线周期等于一个时钟周期，总线时钟频率为33MHz，求总线带宽。

$$4 \times 33 = 132 \text{ MB/s (MBps)}$$

2、 如果一个总线中并行传送64位数据，总线时钟频率升为66MHz，求总线带宽。

$$64 \div 8 \times 66 = 528 \text{ MB/s (MBps)}$$

分析那些因素影响带宽。

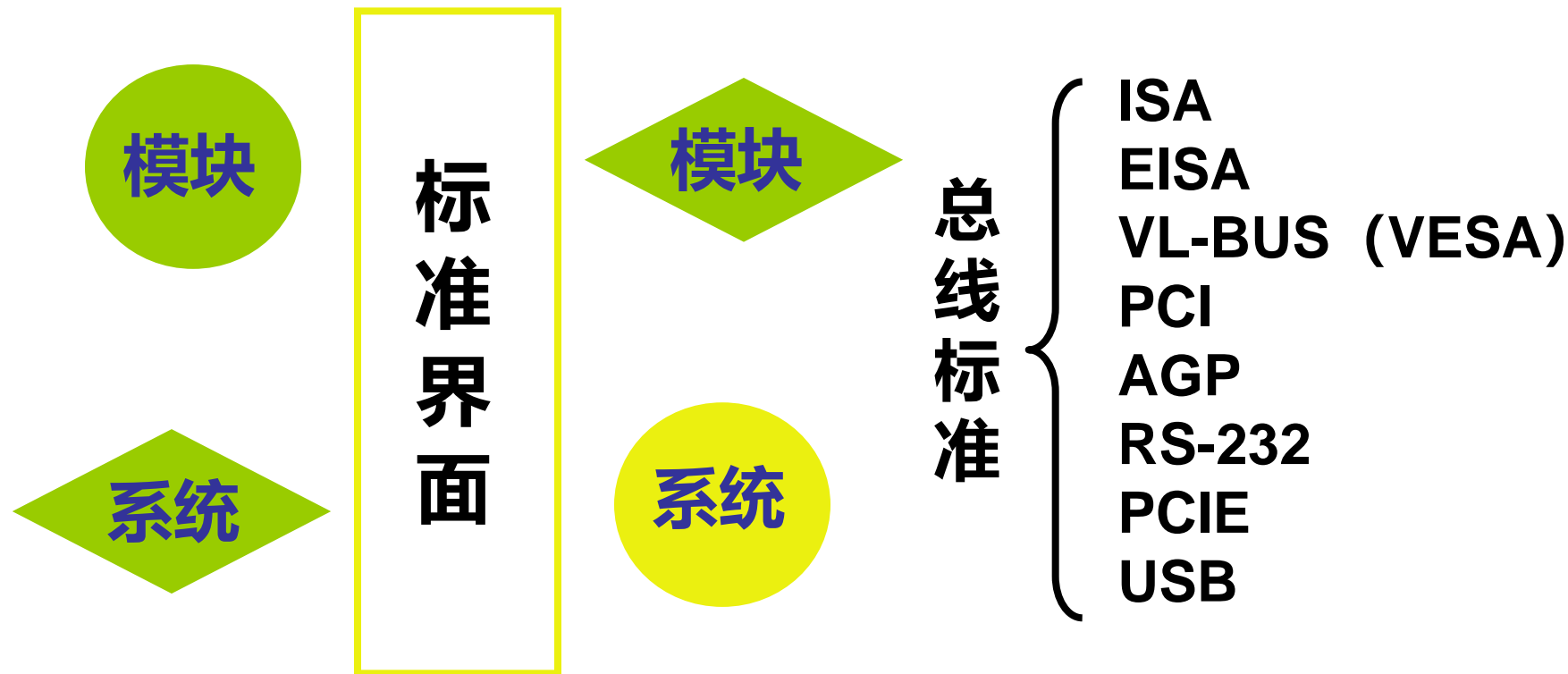


### 名词解释

- **波特率**：每秒钟通过信道传输的码元数（二进制位数），单位为bps(位/秒)，记为波特。(每秒内线路状态的改变次数)
- **比特率**：每秒钟通过信道传输的信息量（有效数据位数）
- **猝发式数据传输**（burst mode）：是一种总线传输方式，即在一个总线周期传输存储地址连续的多个消息。
- **消息传输**：将总线需要传送的数据信息、地址信息和控制信息等合成一个固定的数据结构，以猝发方式进行传输。
- **总线协议**：总线通信同步方式规定了实现总线数据传输的定时规则，即总线协议。
- **总线事务**(Bus Transaction)：从请求总线到完成总线使用的操作序列。如：  
存储器读、存储器写、I/O读、I/O写、读指令、中断响应等



## 3.3 总线特性及性能指标





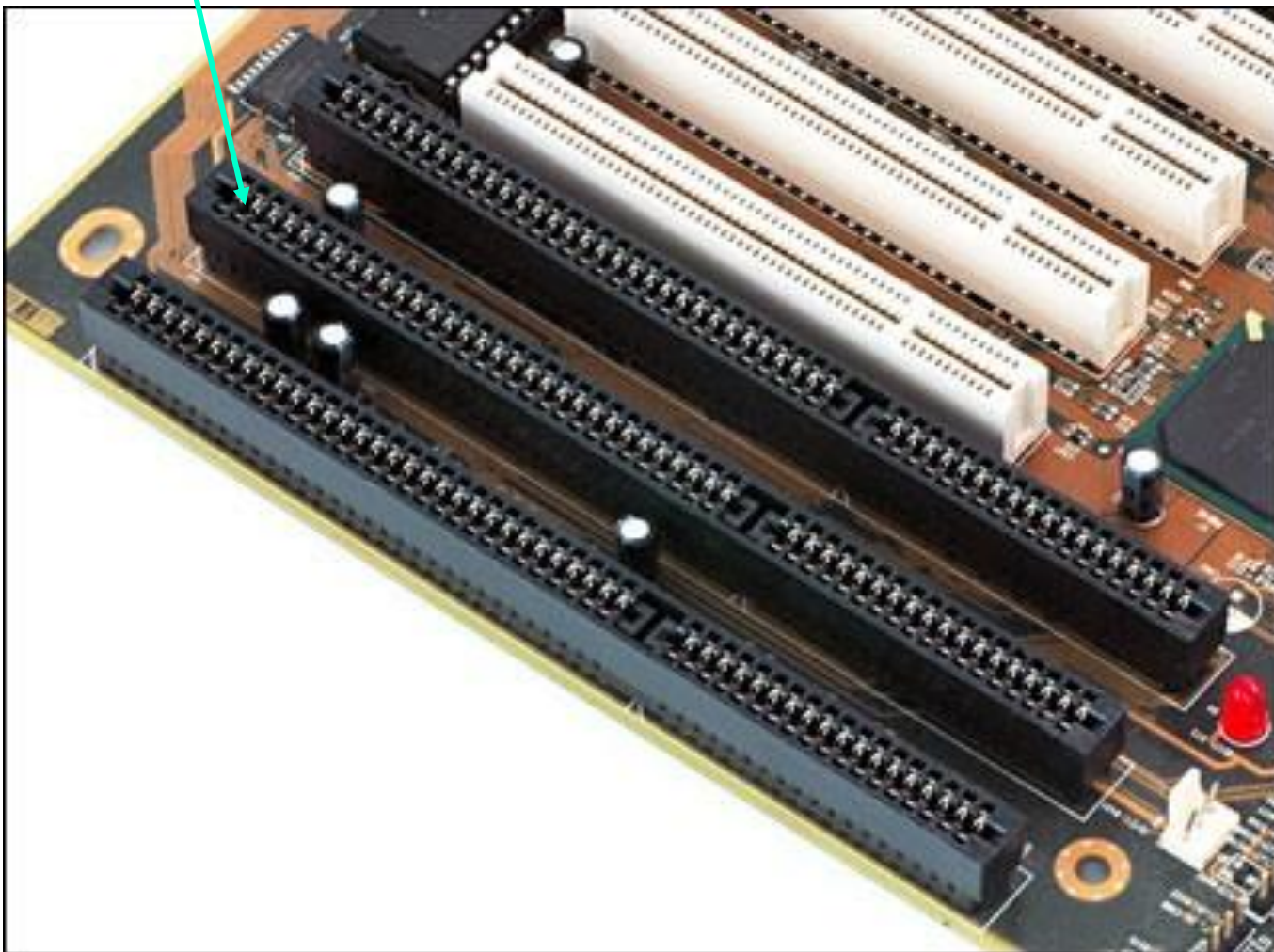


## 四、总线的标准

总线标准	数据线	总线时钟	带宽
ISA	16	8MHz(独立)	16MBps
EISA	32	8MHz(独立)	33MBps
VESA	32	32MHz(CPU)	133MBps
PCI	32/64	33/66MHz(独立)	132/528MBps
AGP	32	66.7/133MHz(独立)	266MBps(AGP 1x) 533MBps(AGP 2x) 1GBps(AGP 4x) 2.1GBps(AGP 8x)
RS-232	串行通信		数据终端设备和数据通信设备之间的接口
USB	串行接口		1.5~12Mbps(USB1.0) 480Mbps(USB2.0)
PCI Express	8,点对点串行连接的设备连接方式	2.5 GHz	支持双向多通道，最大带宽可达256Gbps <a href="https://blog.csdn.net/CocoWu892">https://blog.csdn.net/CocoWu892</a>



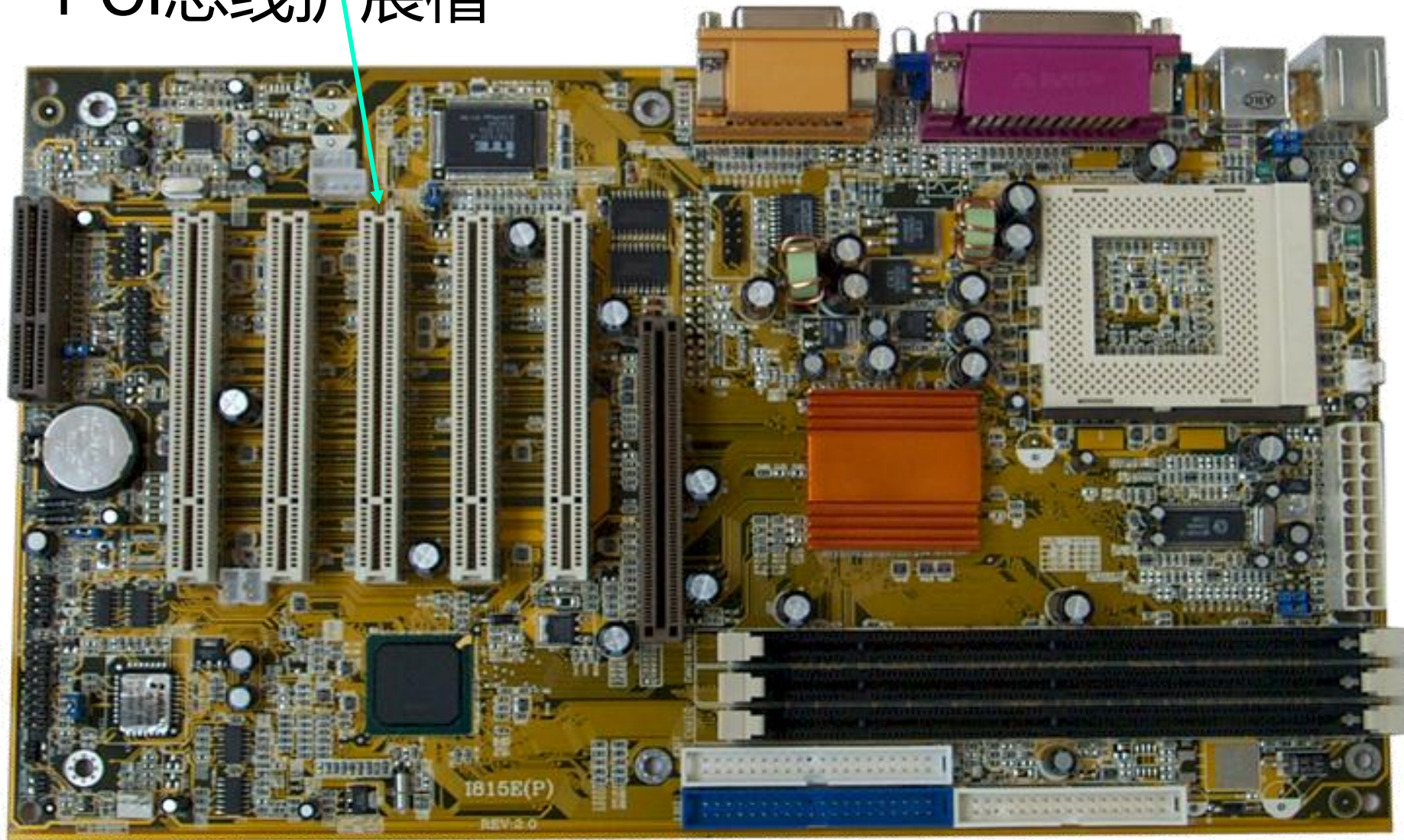
### ISA总线



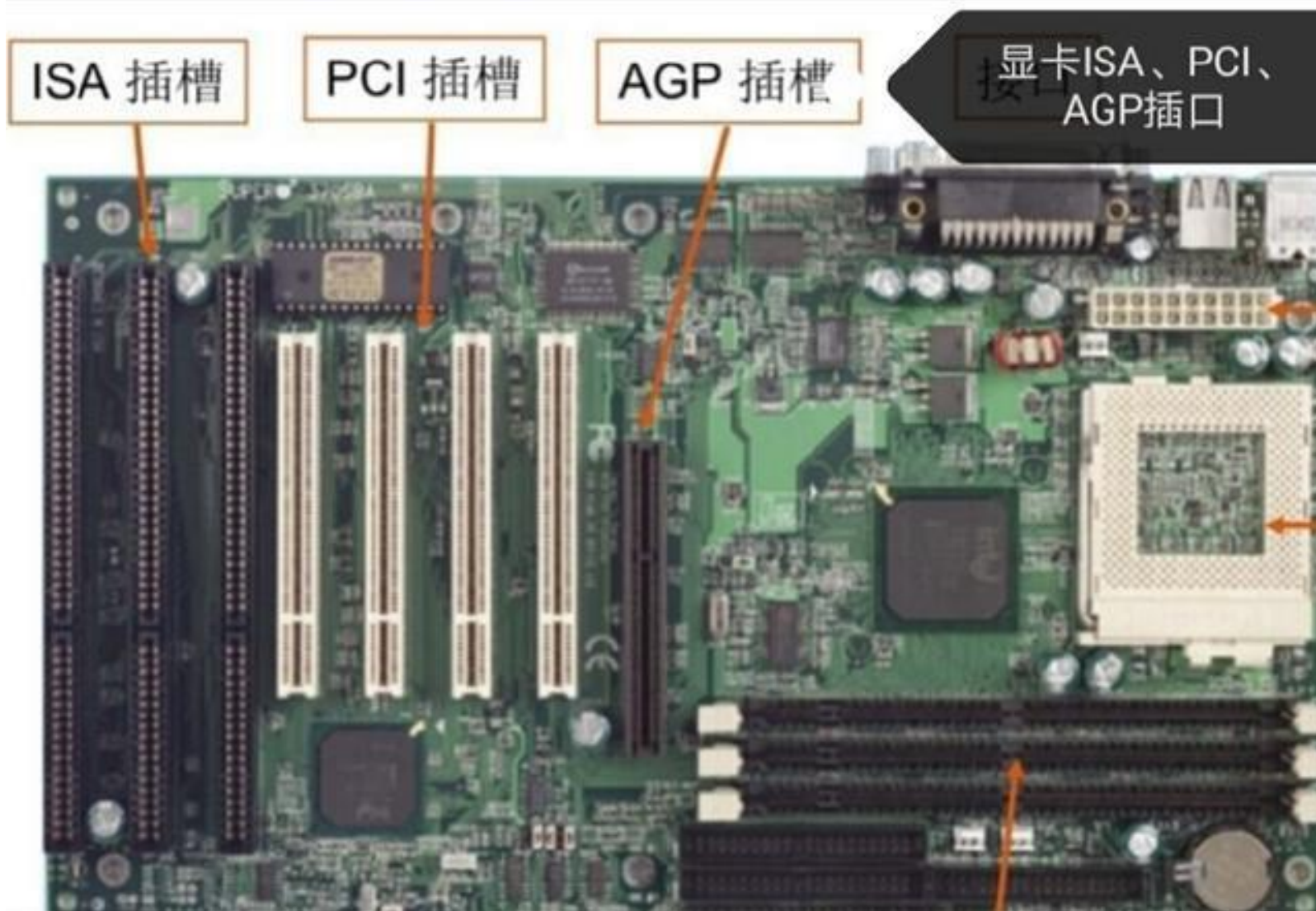




## PCI总线扩展槽

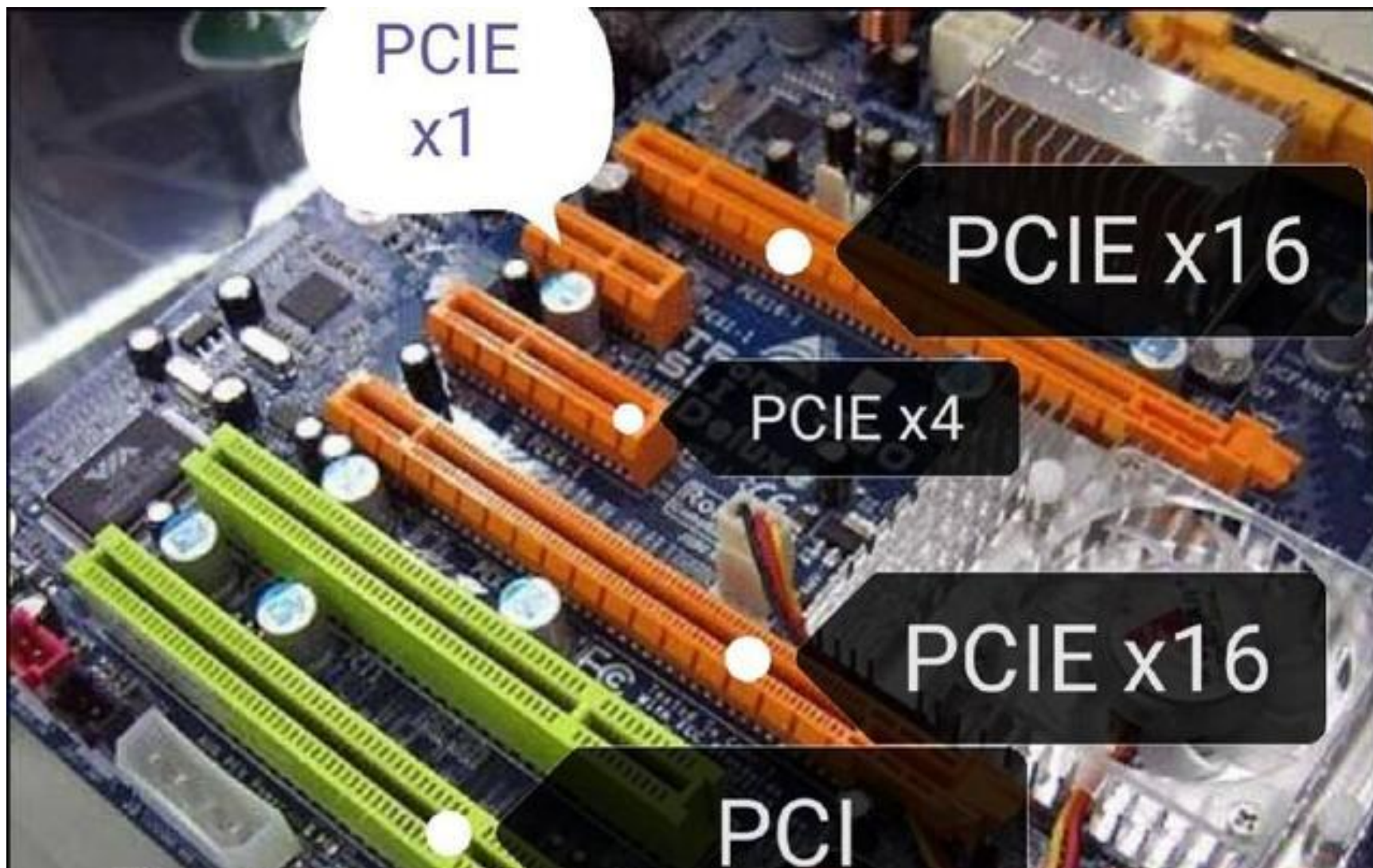








## 3.3 总线特性及性能指标





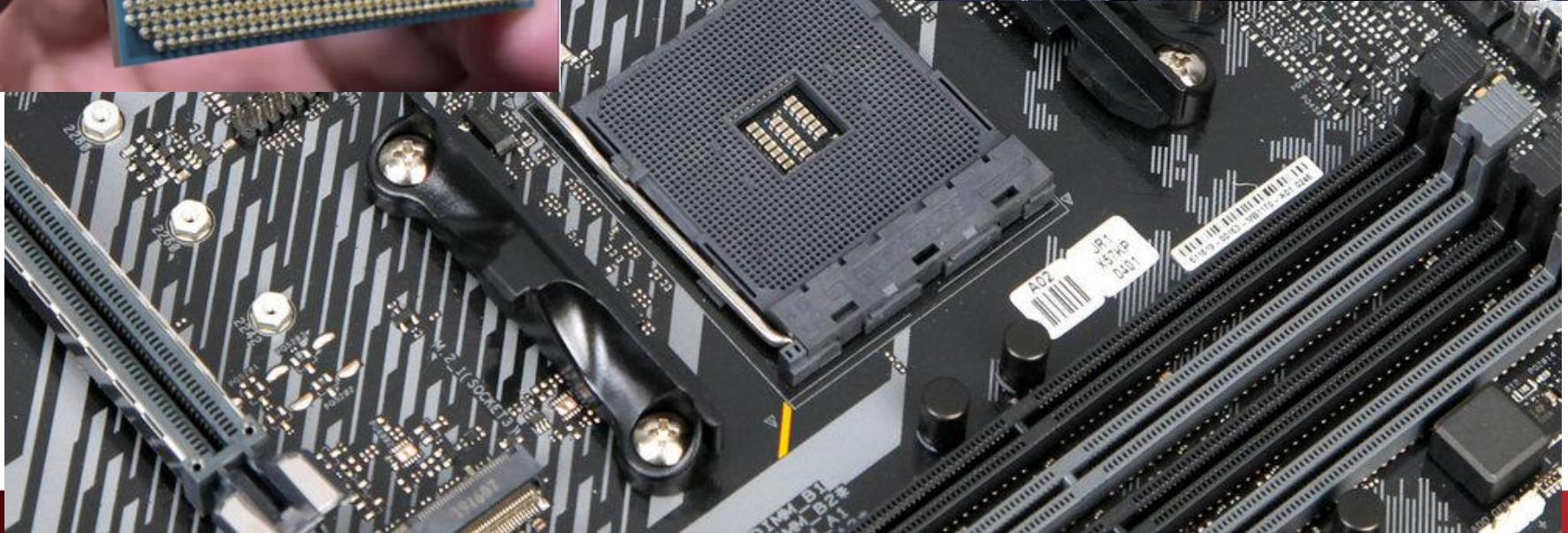
# 华硕TUF GAMING X570-PLUS (WI-FI)



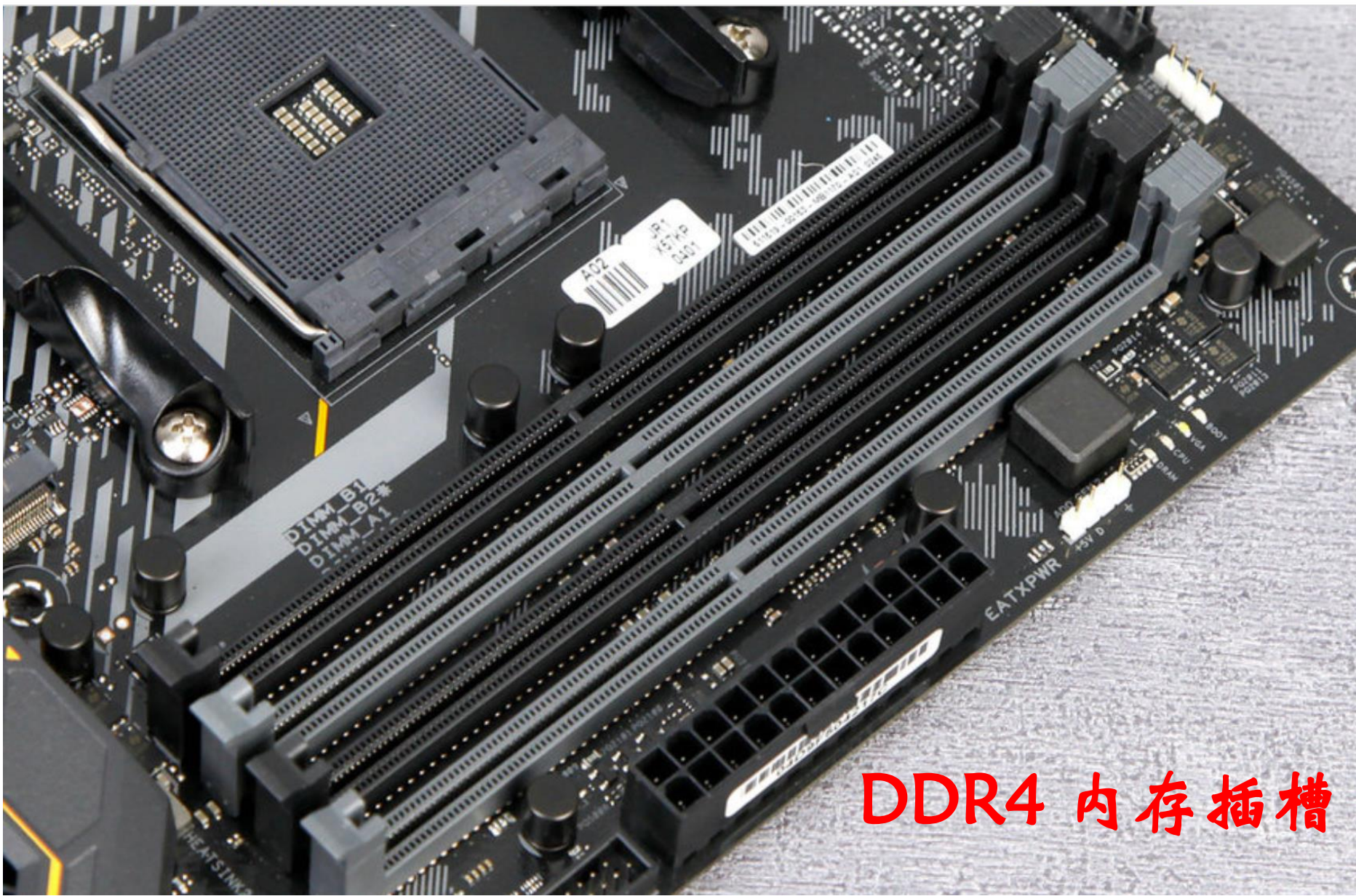




# Socket AM4 (1331) 接口



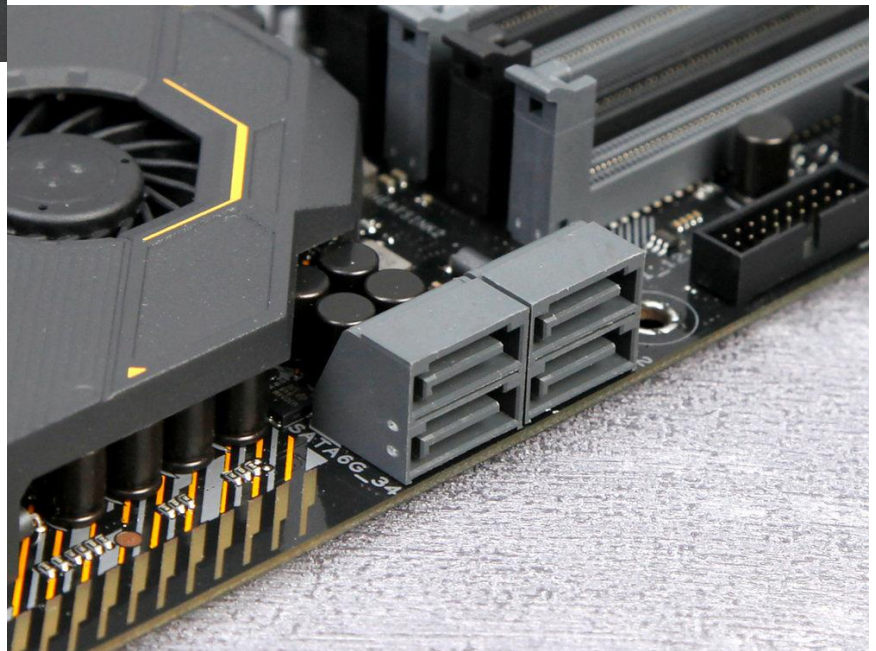
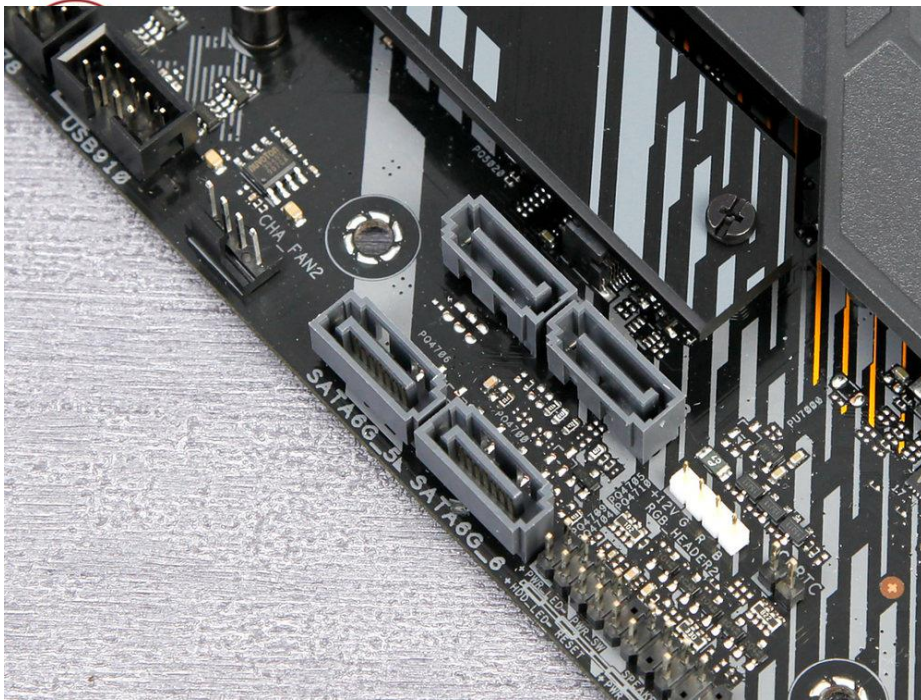




DDR4 内存插槽



# SATA 3.0

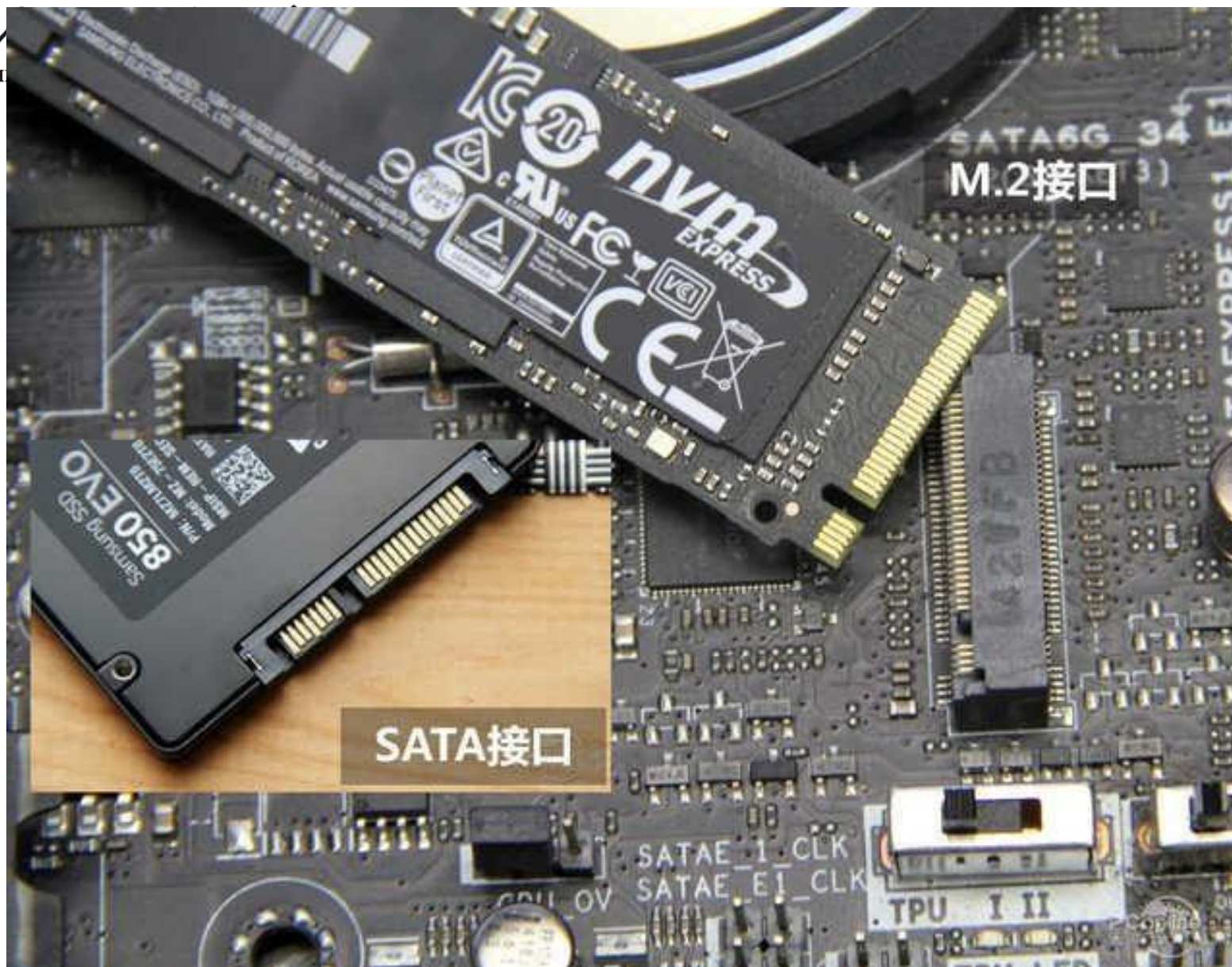


SATA接口





H



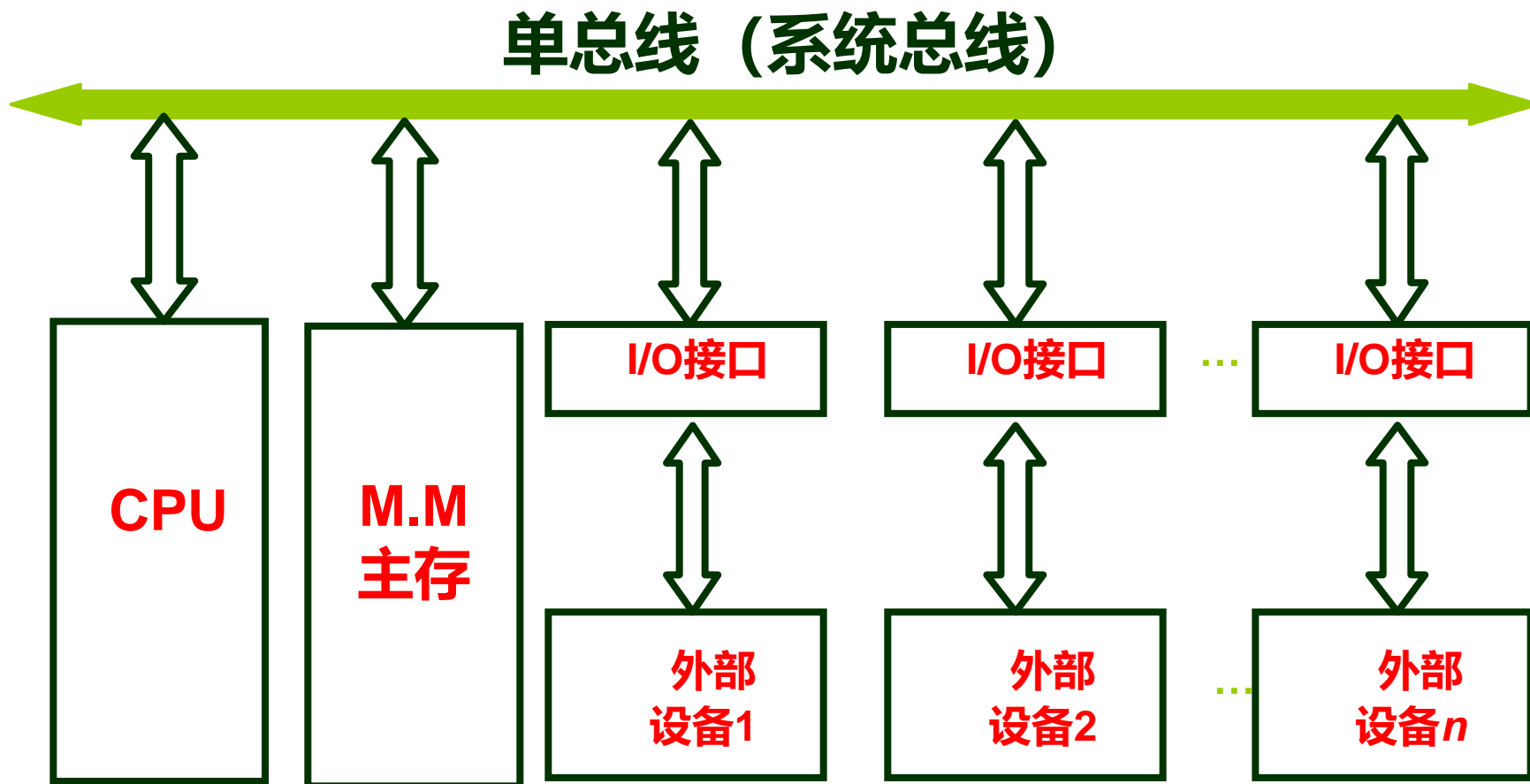


I/O 接口





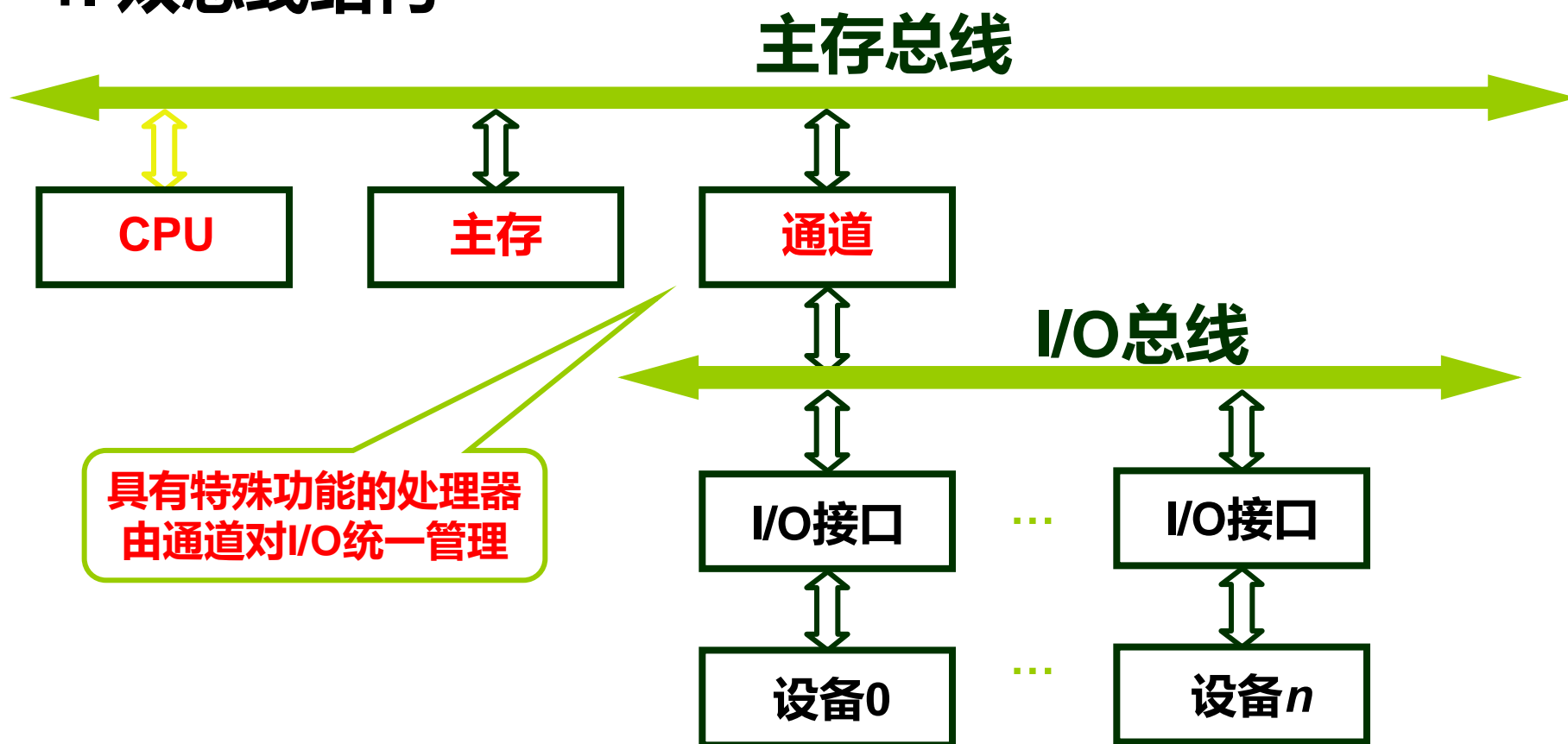
### 一、单总线结构





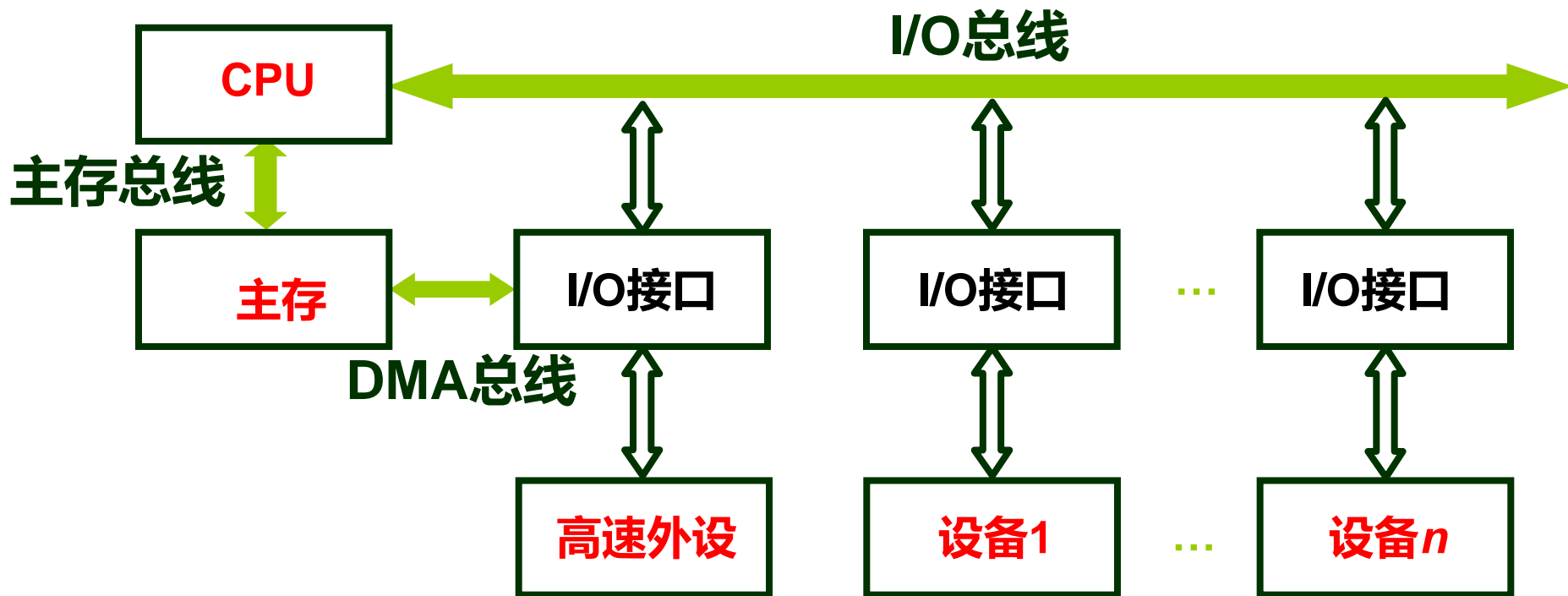
## 二、多总线结构

### 1. 双总线结构



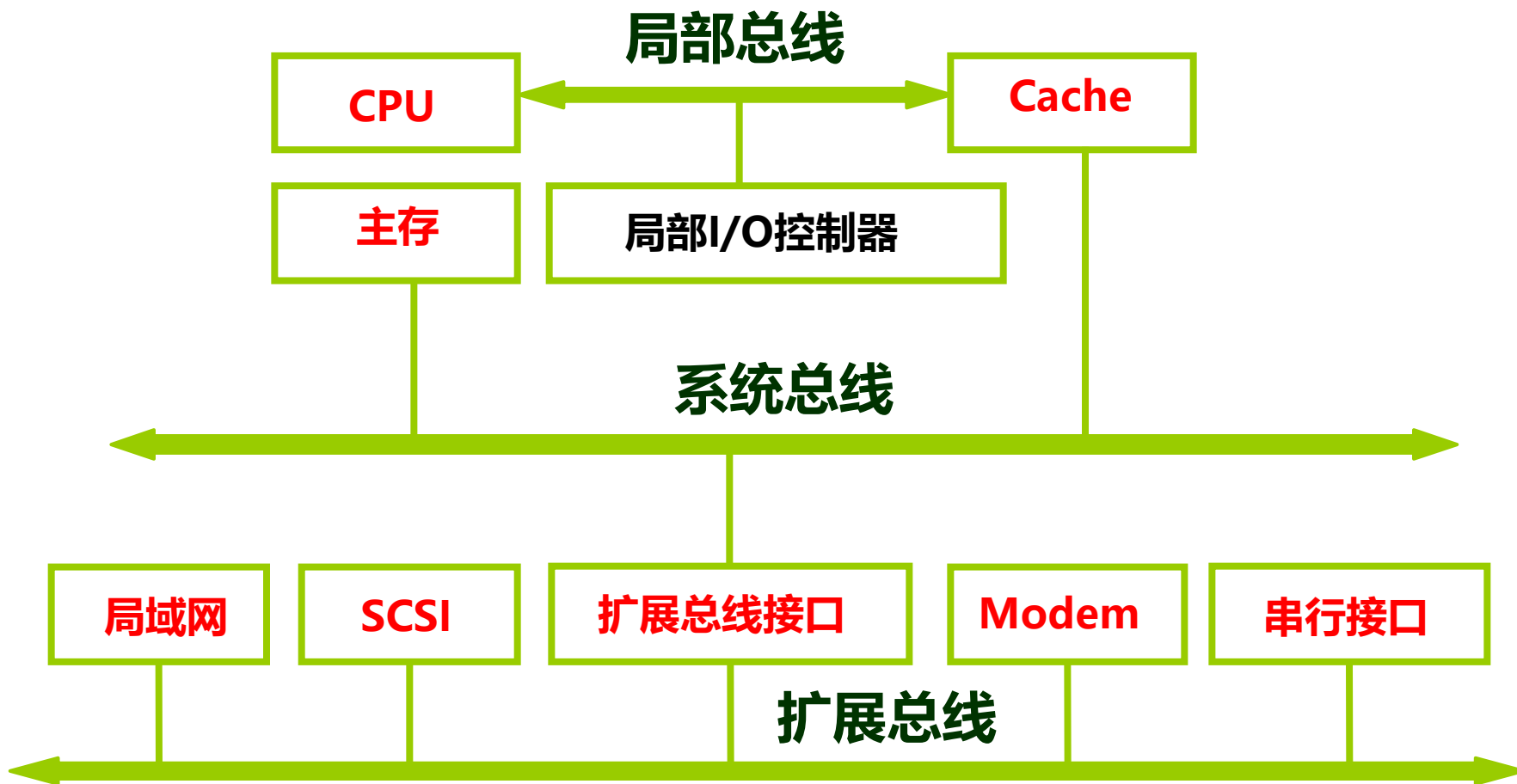


## 2. 三总线结构



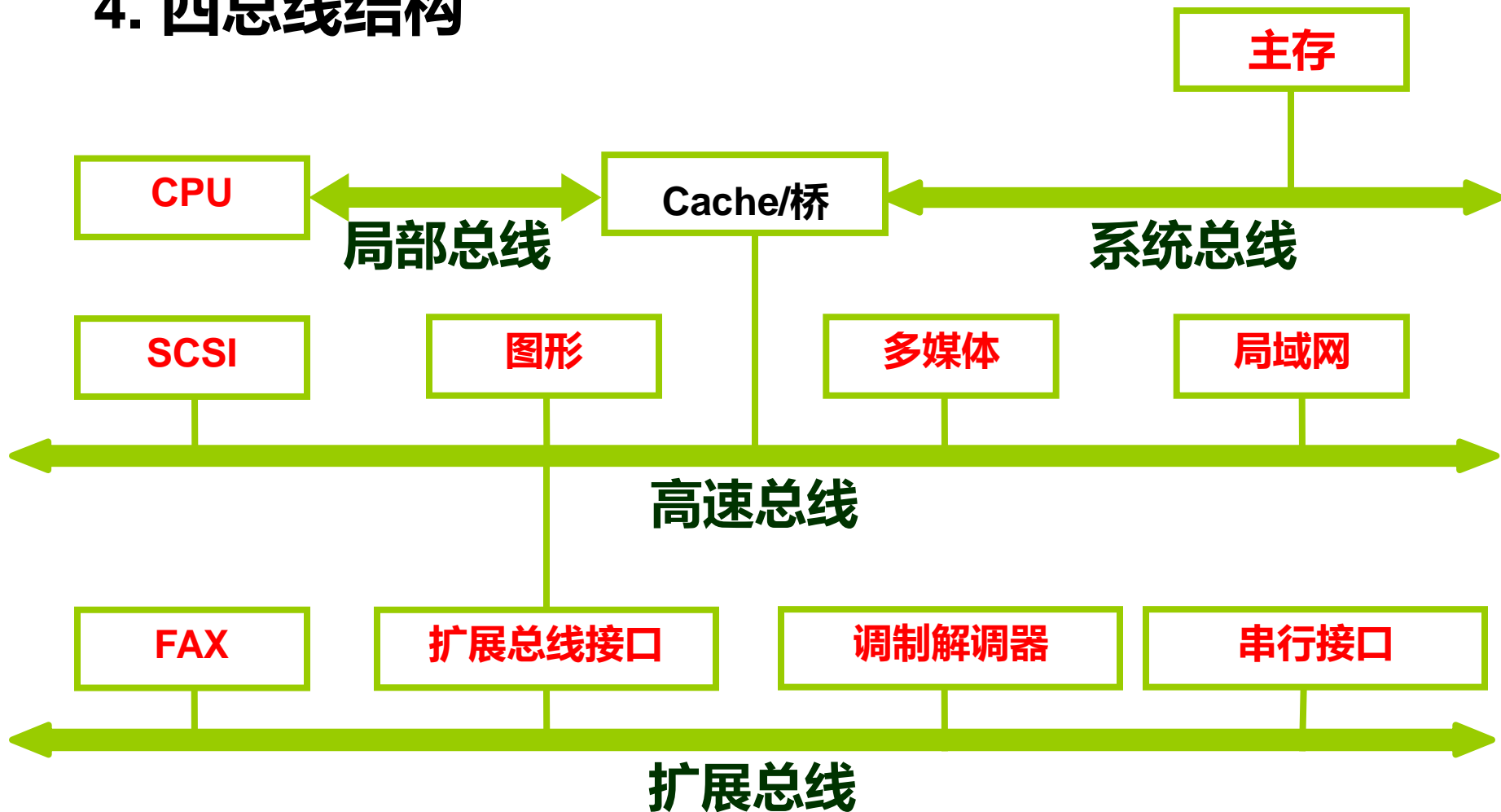


### 3. 三总线结构的又一形式





### 4. 四总线结构

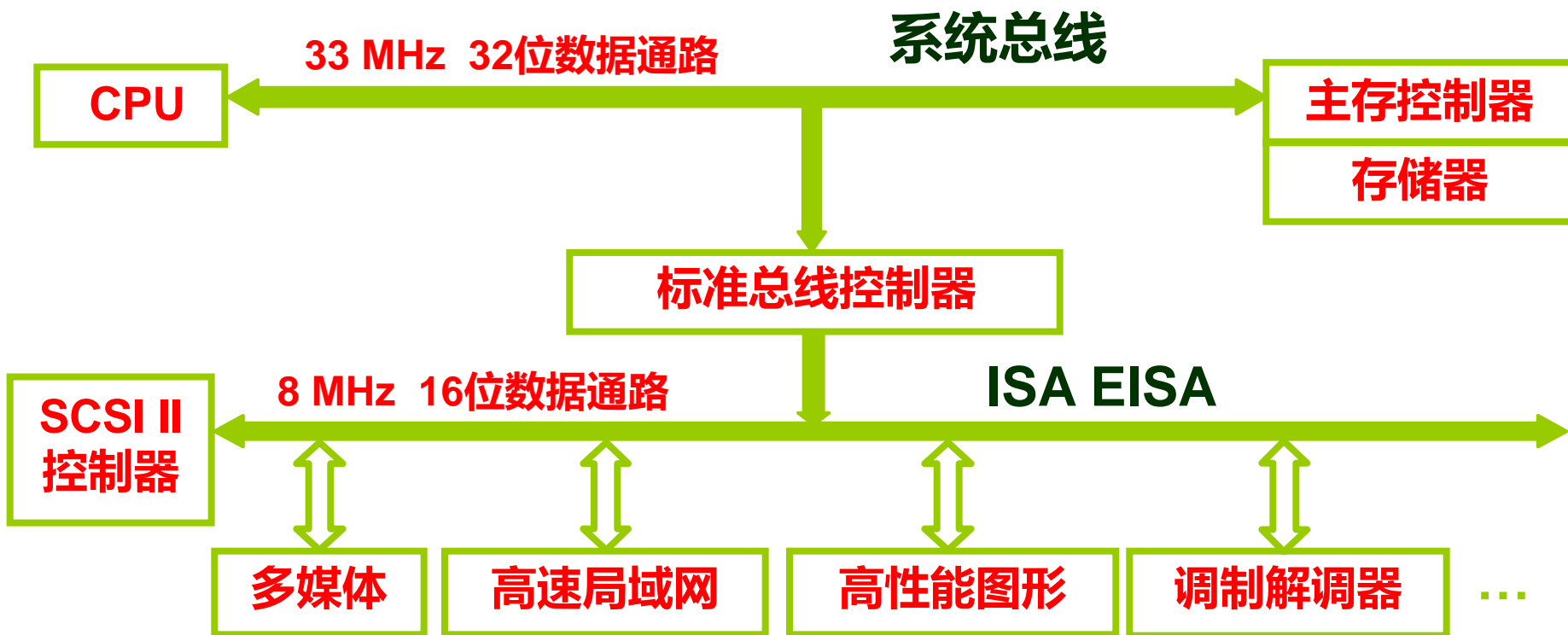






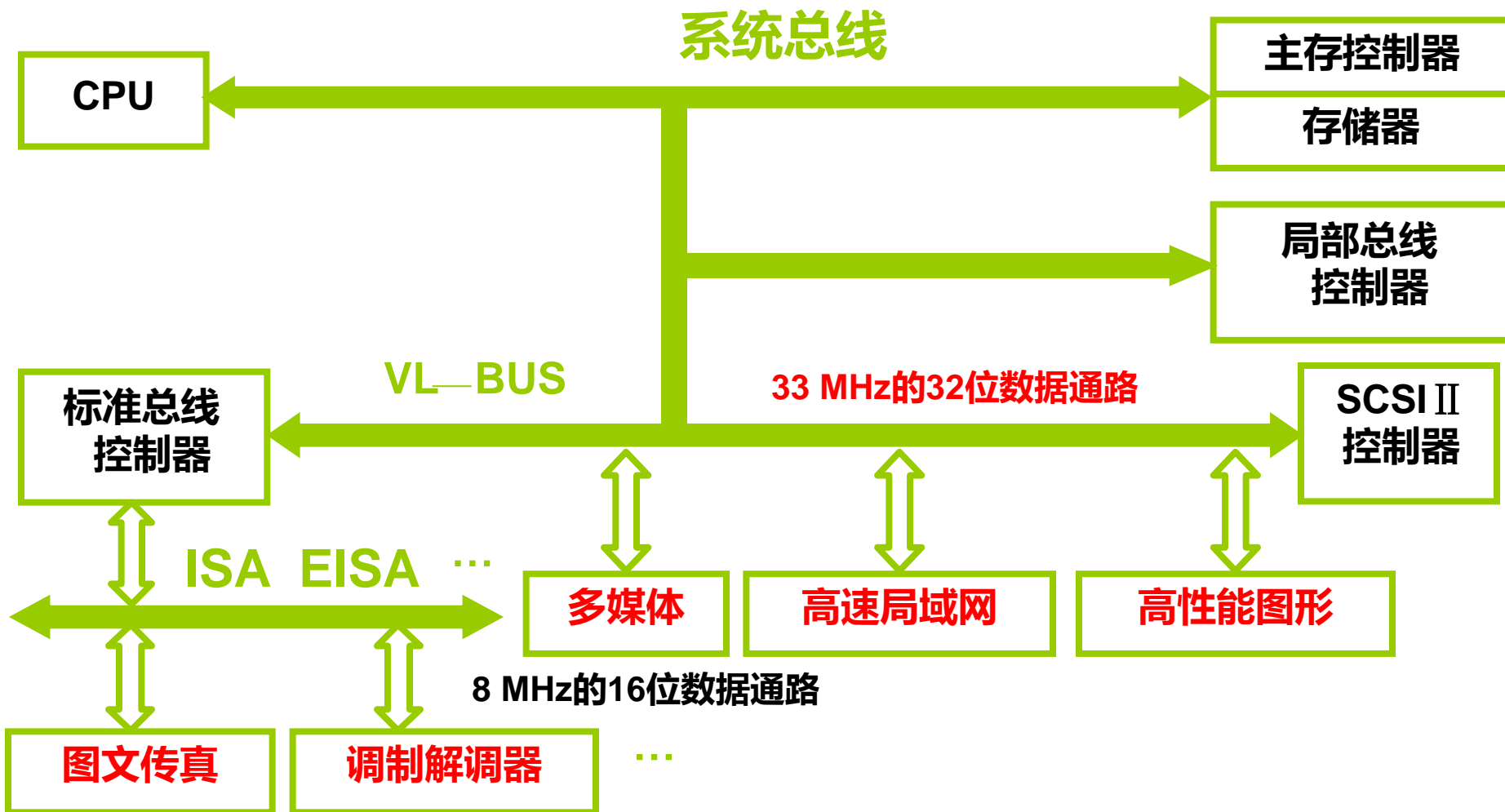
### 三、总线结构举例

#### 1. 传统微型机总线结构



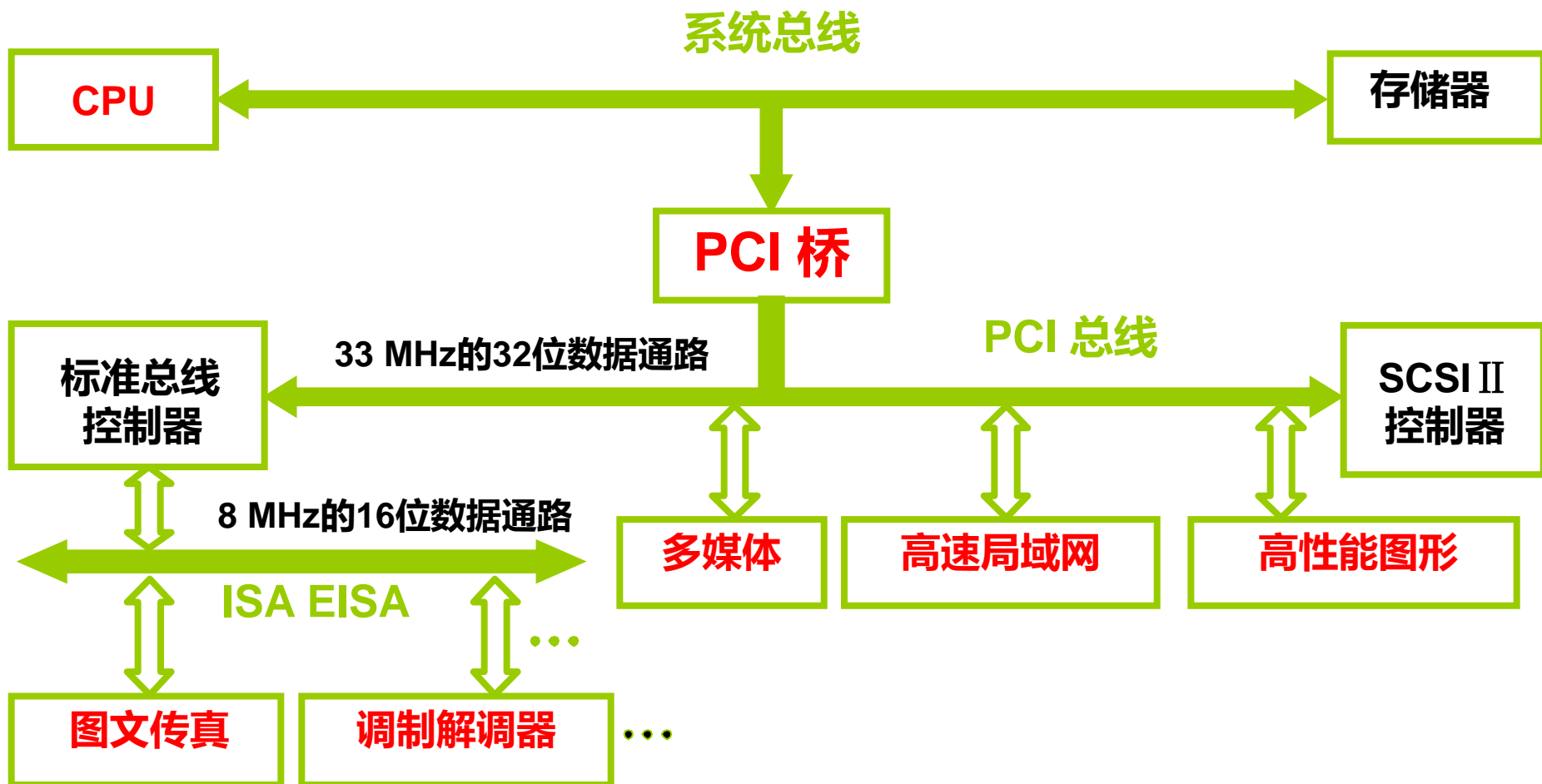


## 2. VL-BUS局部总线结构



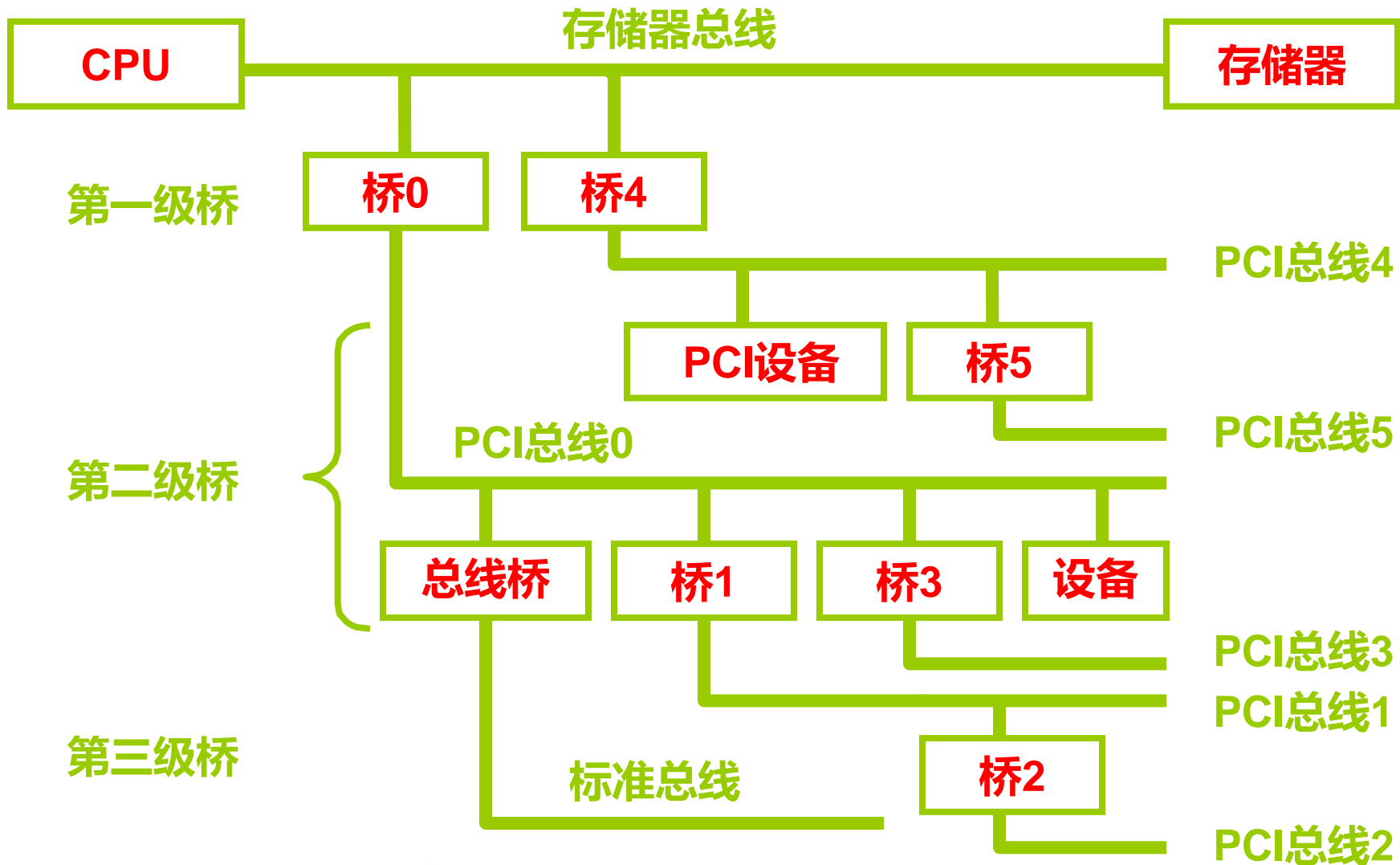


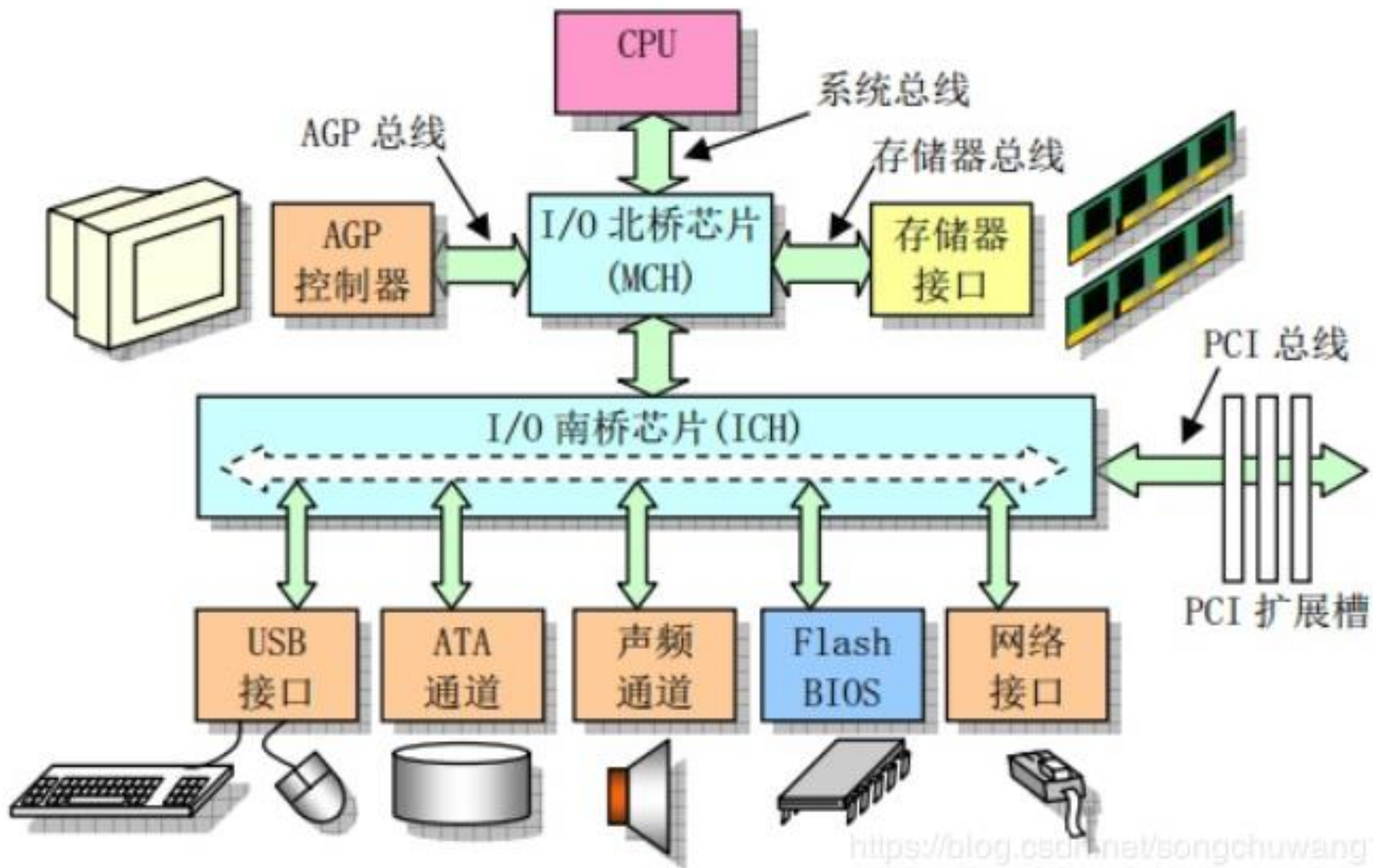
### 3. PCI 总线结构

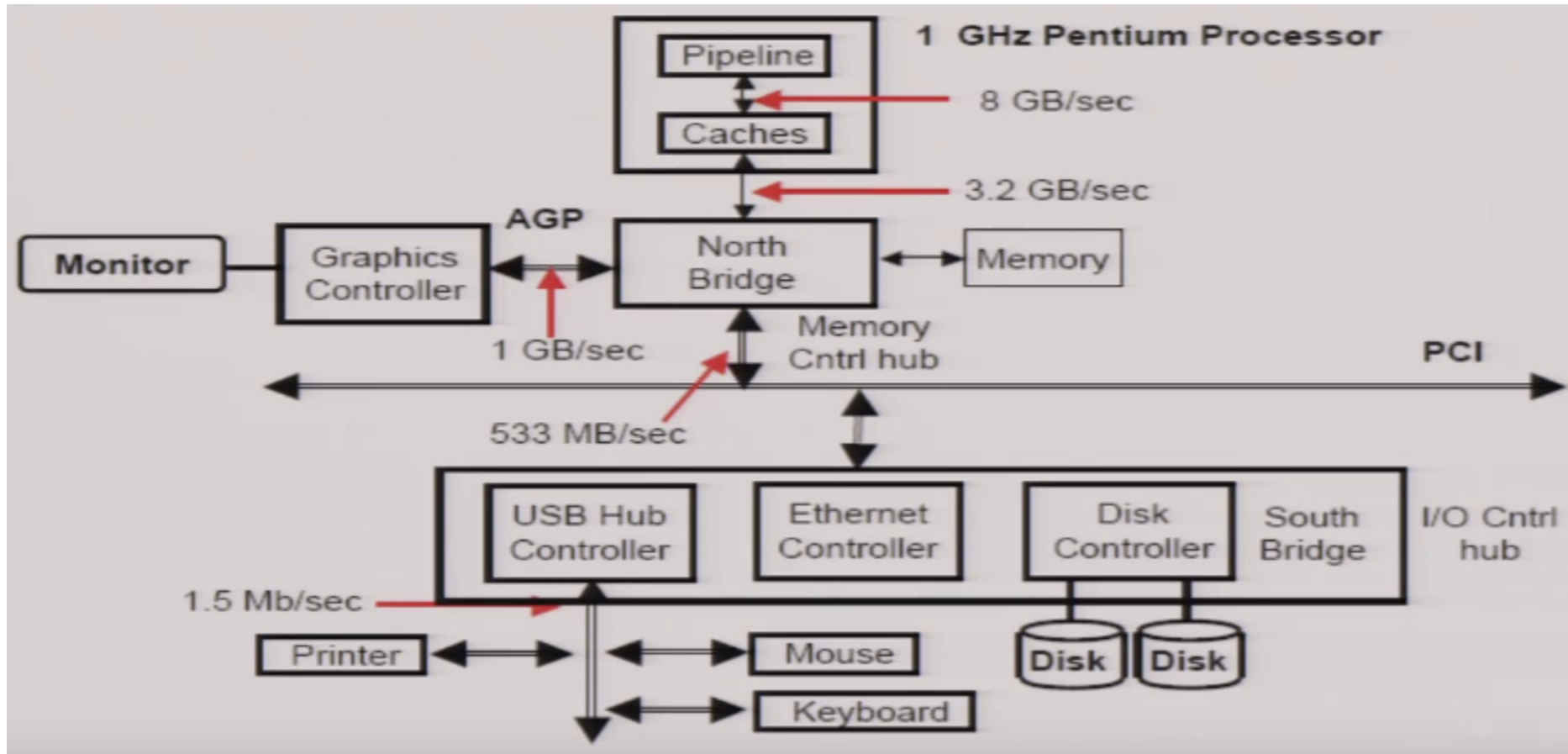




## 4. 多层 PCI 总线结构

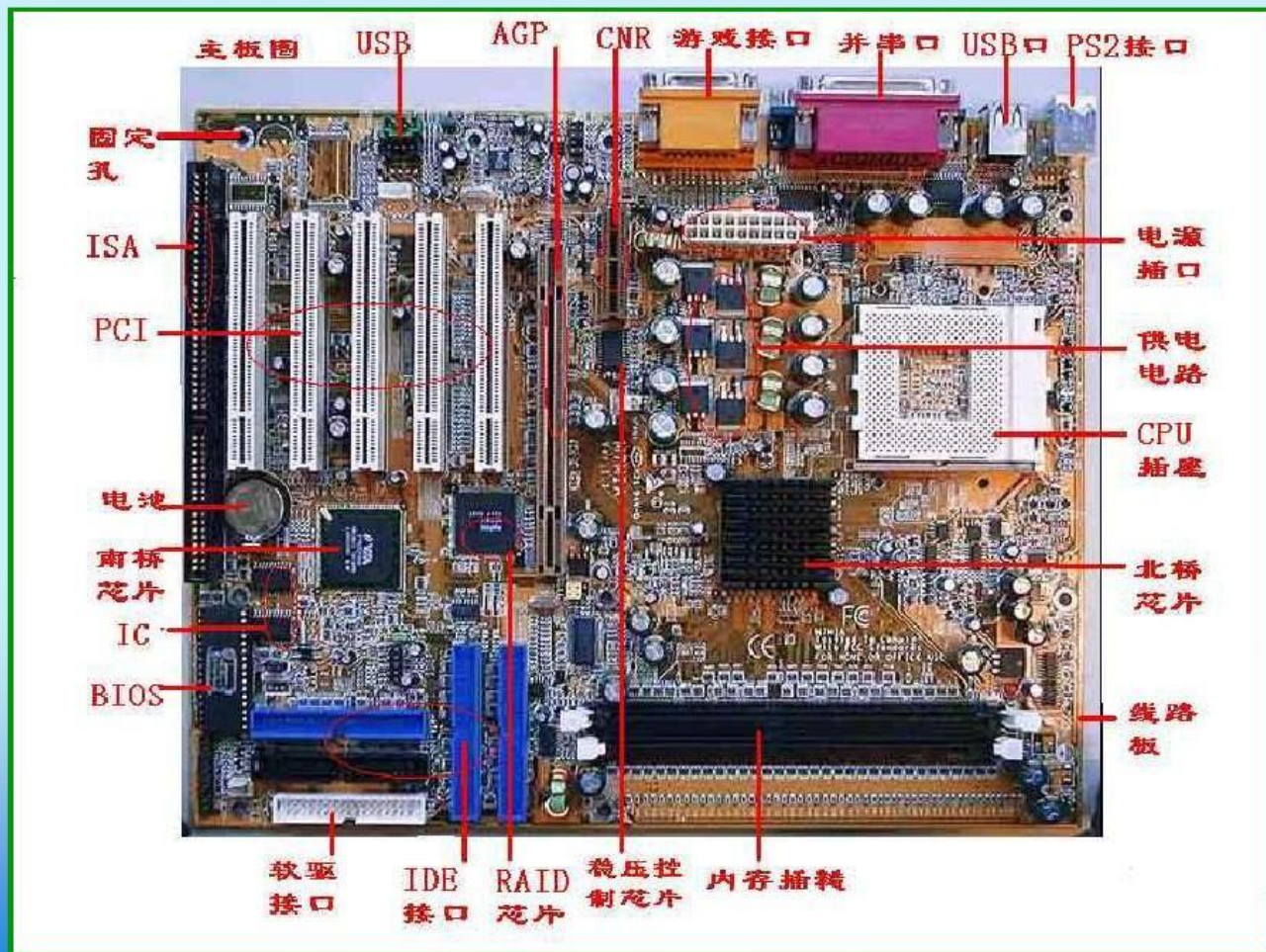








## 微型计算机典型系统主板结构图





# 一、总线判优控制（仲裁）

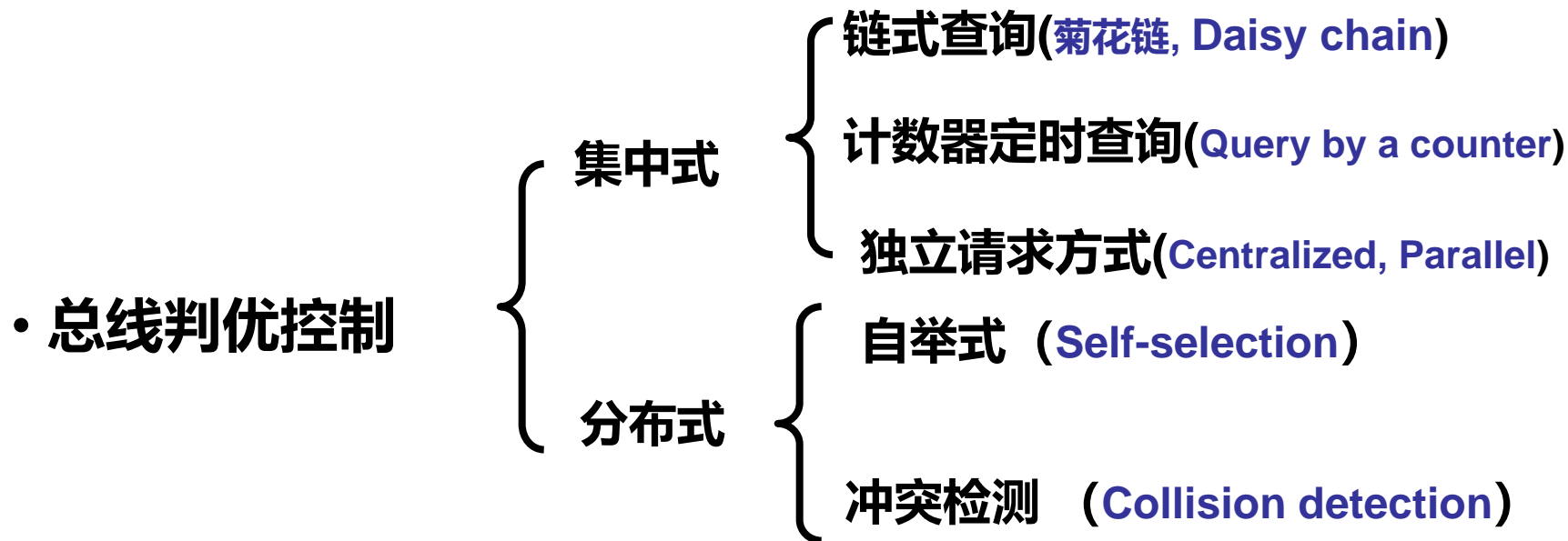
## 1. 基本概念

- 主设备(模块) 对总线有**控制权**
- 从设备(模块) 对总线**无控制权**,  
仅**响应**从主设备发来的总线命令
- 总线判优 在总线争用时, 判定总线给哪对的设备或模块使用的过程





### 2. 常见判优方式



°集中式：将控制逻辑做在一个专门的总线控制器或总线判优器中，通过将所有总线请求集中起来利用一个特定的判优算法进行判优

°分布式：没有专门的总线控制器，其控制逻辑分散在各个部件或设备中

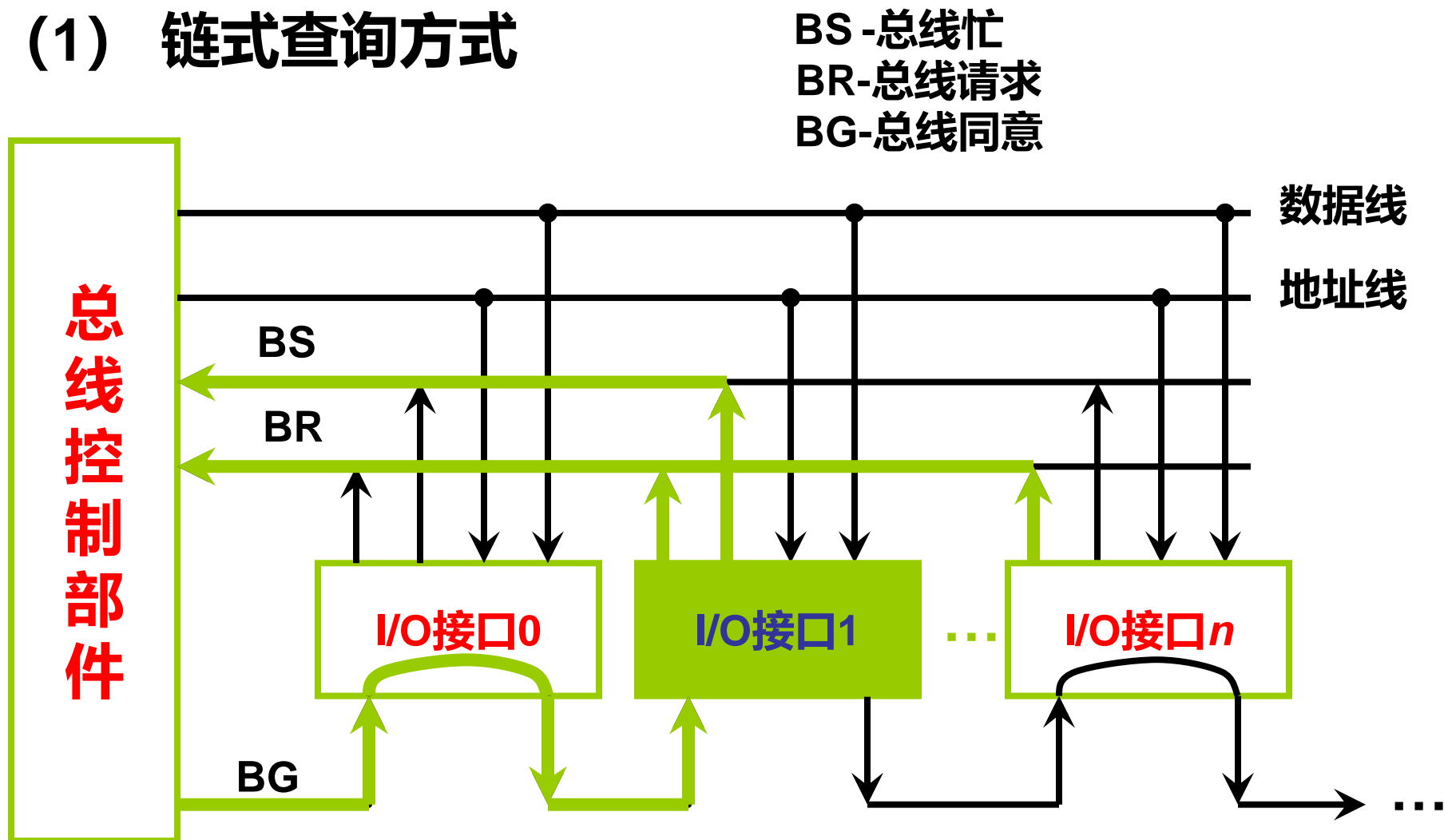


判优方案应在以下两个因素间进行平衡

- 等级性(Priority)—具有高优先级的设备应该先被服务
- 公平性(Fairness)—即使具有最低优先权的设备也不能永远得不到总线使用权



## (1) 链式查询方式

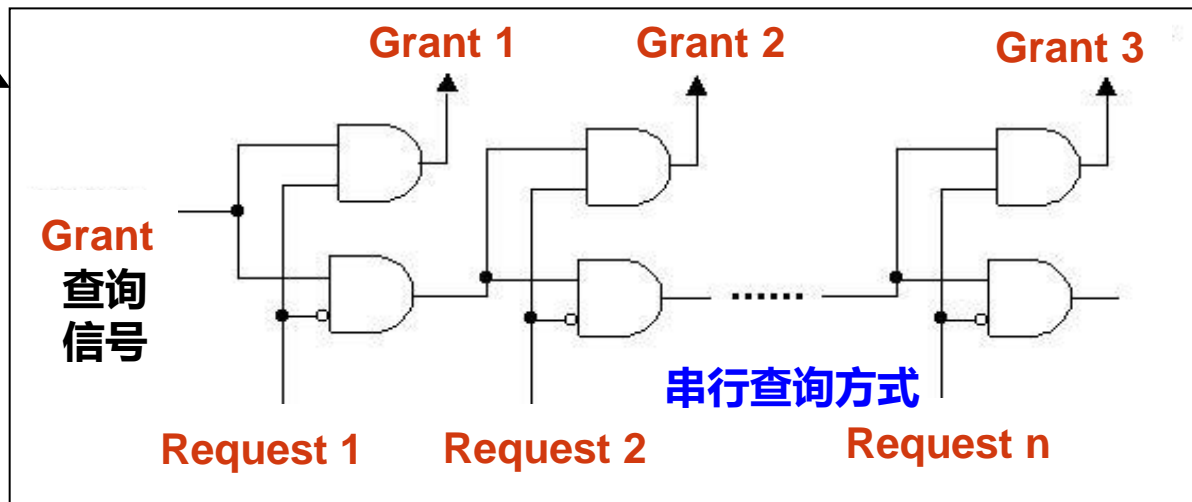




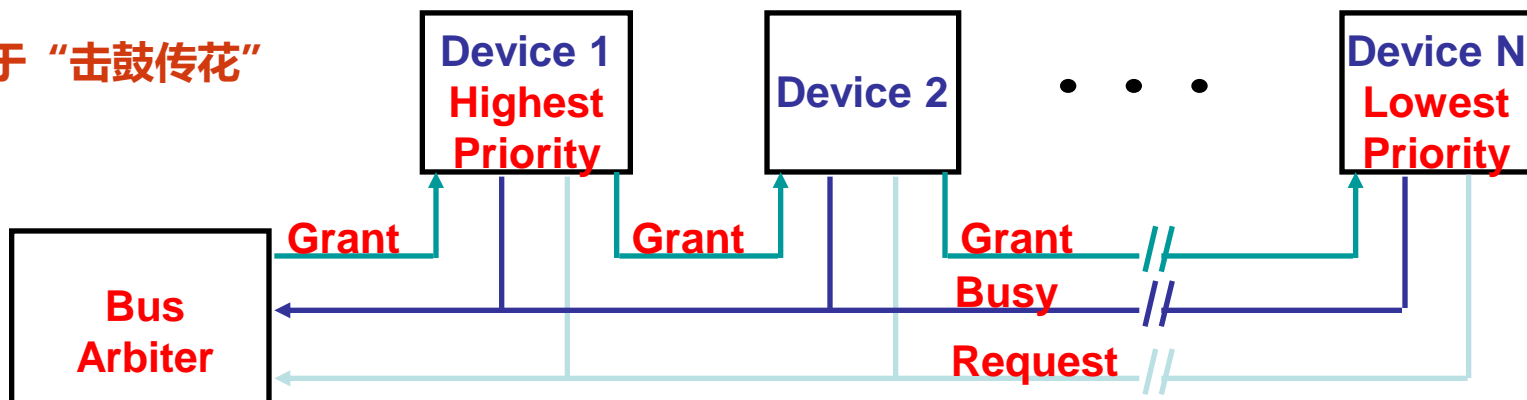
### 菊花链总线判优

#### 菊花链查询电路

Grant从最高优先权的设备依次向最低优先权的设备串行相连。如果到达的设备有总线请求，则Grant信号就不再往下传，该设备建立总线忙Busy信号，表示它已获得了总线使用权。



相当于“击鼓传花”





### (1) 链式查询方式

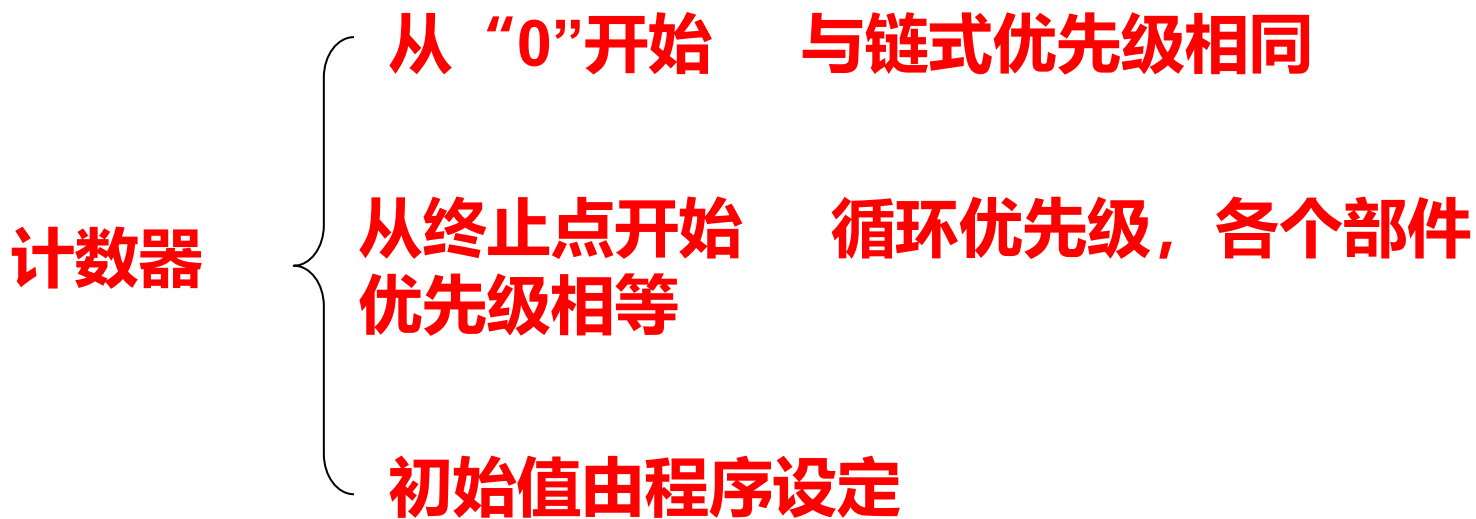
- 特点：
  - 线数少（2根），设备扩充容易
  - 离总线控制器最近的设备具有最高优先权，优先级低的设备难获得请求。
  - 对电路故障敏感
  - 菊花链的使用限制了总线速度





## (2) 计数器定时查询方式

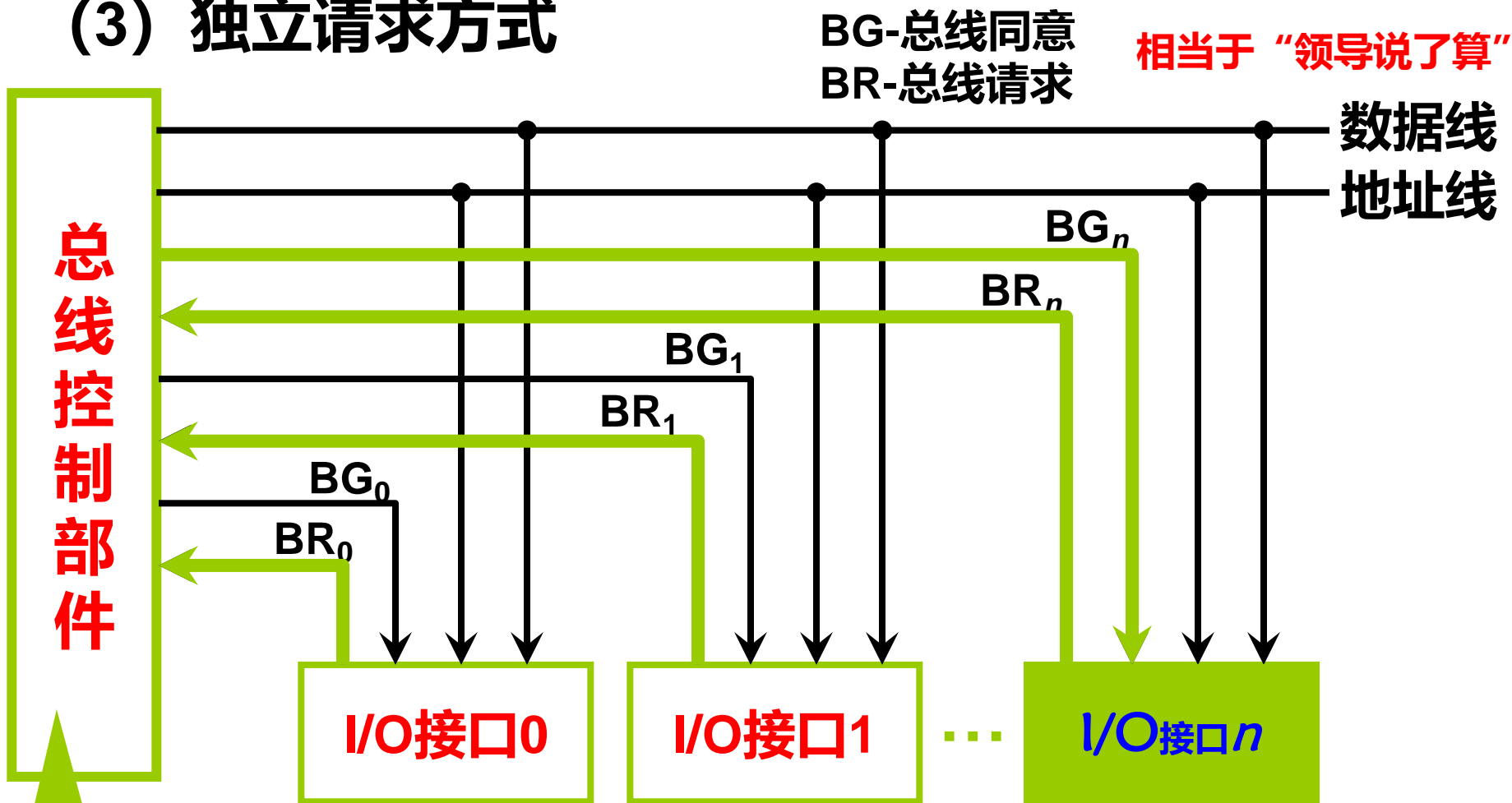
### • 特点:



线数:  $\log_2 n$



## (3) 独立请求方式



判优算法：总线控制器可采用固定的并行判优算法、平等的循环菊花链算法、动态优先级算法（如：最近最少用算法、先来先服务算法）等。

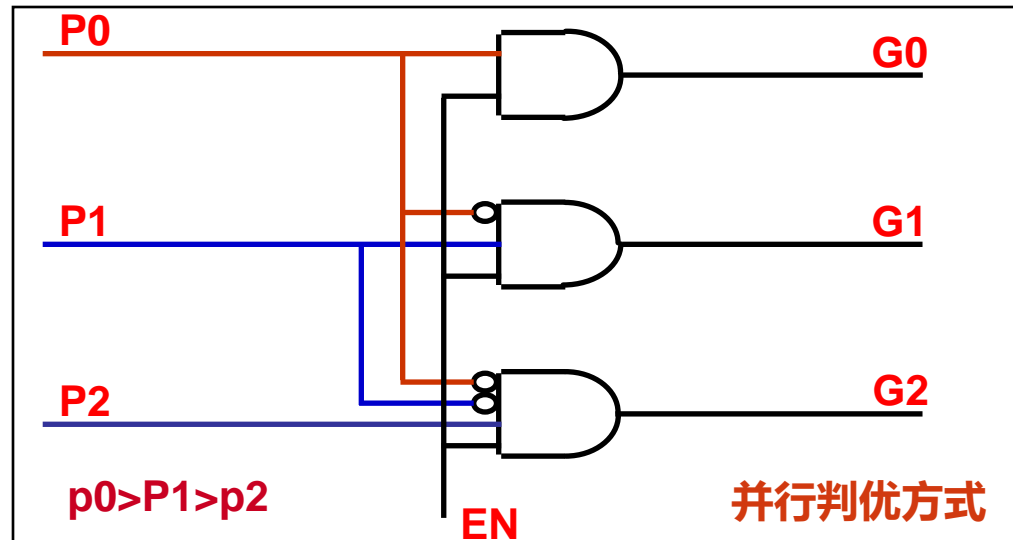




## 独立请求方式判优

### 并行判优电路

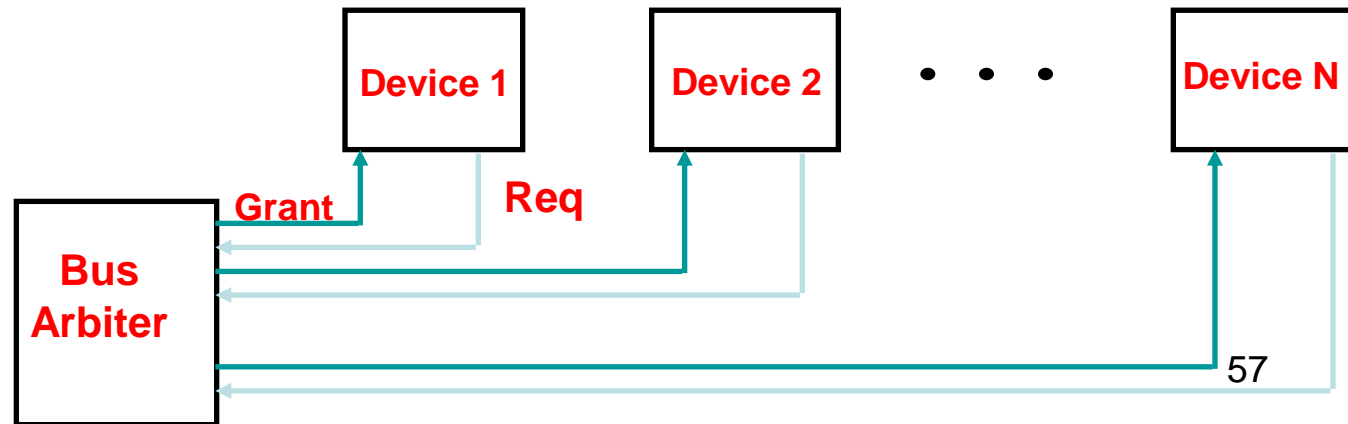
p0、P1、p2优先级怎样？



- 各设备都有一对总线请求线Req和总线允许线Grant。

- 当某设备要使用总线时，就通过对应的总线请求线将请求信号送到总线控制器。

- 总线控制器中有一个判优电路，可根据各设备的优先级确定选择哪个设备。控制器可给各请求线以固定的优先级，也可编程设置



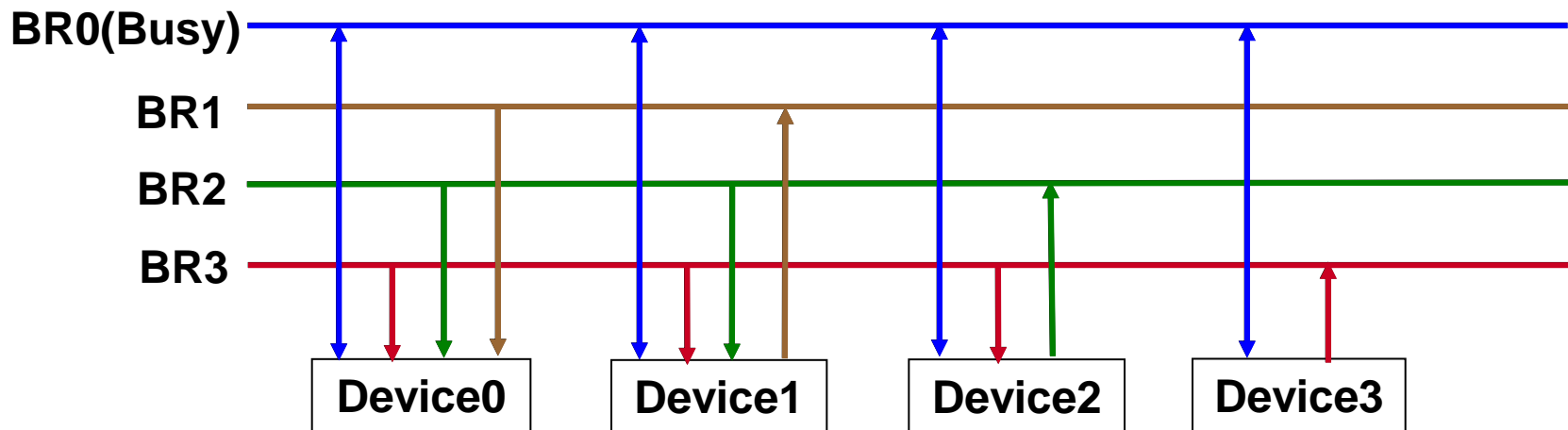


### (3) 独立请求方式

- 特点：
  - 响应速度快
  - 优先控制灵活
  - 线数多 ( $2n$ 根线) , 控制复杂



## (4) 自举分布式判优



- 优先级固定，各设备独立决定自己是否是最高优先级请求者
- 需请求总线的设备在各自对应的总线请求线上送出请求信号
- 在总线判优期间每个设备将比自己优先级高的请求线上的信号取回分析：
  - 若有总线请求信号，则本设备不能立即使用总线
  - 若没有，则可以立即使用总线，并通过总线忙信号阻止其他设备使用总线
- 最低优先级设备可以不需要总线请求线，为什么？
- 需要较多连线用于请求信号，所以，许多总线用数据线DB作为总线请求线
- N个设备要多少请求信号？ N条！
- NuBus (MacintoshII 中的底板式总线)、SCSI总线等采用该方案

上图中的优先级 (优先级)是什么？ 设备3>设备2>设备1>设备0



### 冲突检测方式判优

#### 基本思想：

- 当某个设备要使用总线时，它首先检查一下是否有其他设备正在使用总线
- 如果没有，那它就置总线忙，然后使用总线；
- 若两个设备同时检测到总线空闲，则可能会同时使用总线，此时发生冲突；
- 一个设备在传输过程中，它会监听总线以检测是否发生了冲突；
- 当冲突发生时，两个设备都会停止传输，延迟一个随机时间后再重新使用总线
  - 该方案一般用在网络通信总线上，如：Ethernet总线等。



## 二、总线通信控制

1. 目的 解决通信双方协调配合问题

### 2. 总线周期

申请分配阶段	主模块申请，总线判优决定
寻址阶段	主模块向从模块给出地址和命令
传数阶段	主模块和从模块交换数据
结束阶段	主模块撤销有关信息





### 3. 总线通信的四种方式(总线定时方式)

同步通信  
(synchronous)

由 **统一时标** 控制数据传送

其控制线上有一个时钟和一个固定的与该时钟相关的通信协议

异步通信  
(asynchronous)

采用 **应答方式**, 没有公共时钟标准

握手协议 (handshaking protocol)

半同步通信

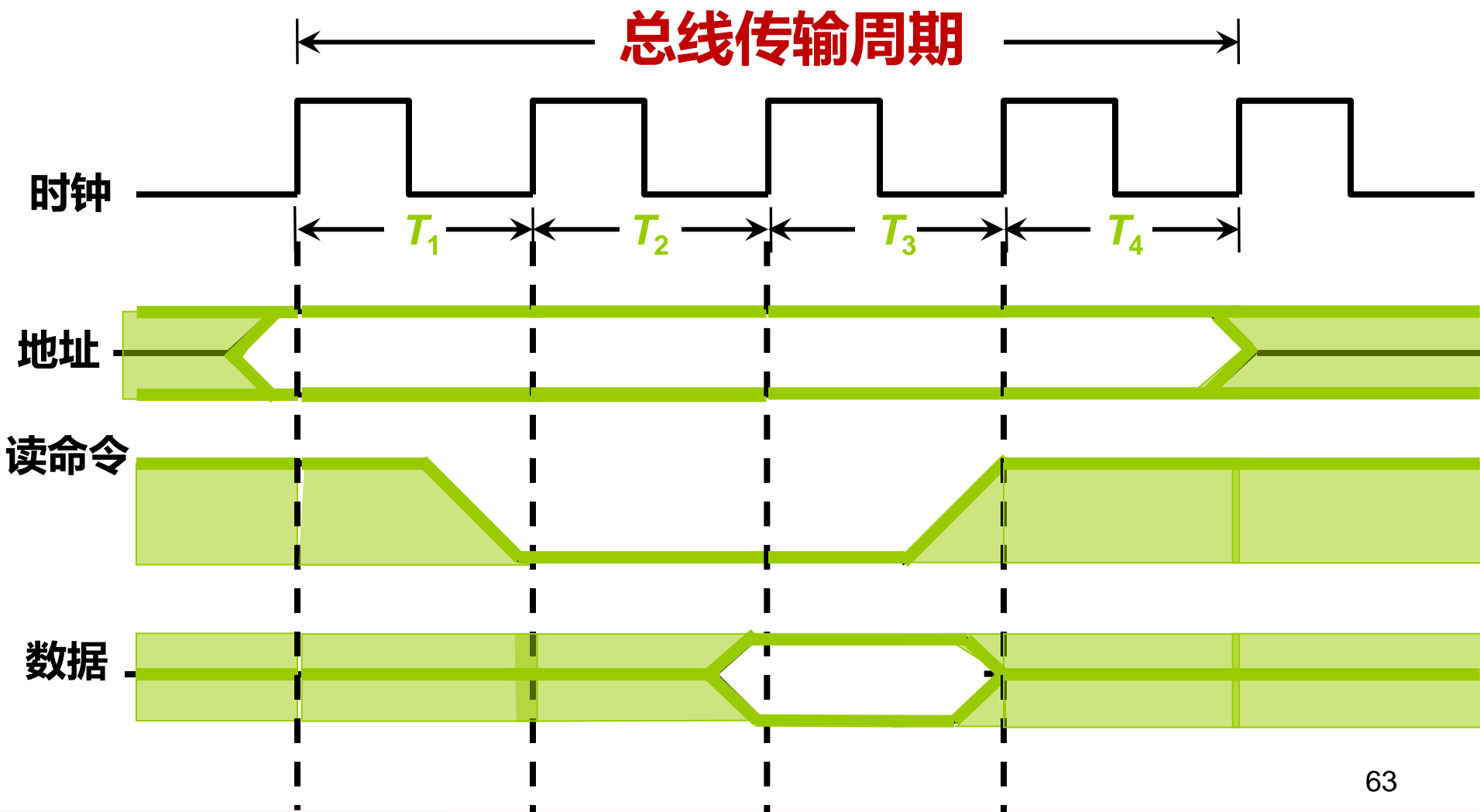
**同步、异步结合**

分离式通信  
(拆分总线事务,  
Split Bus Transaction)

充分 **挖掘** 系统 **总线每瞬间** 的 **潜力**

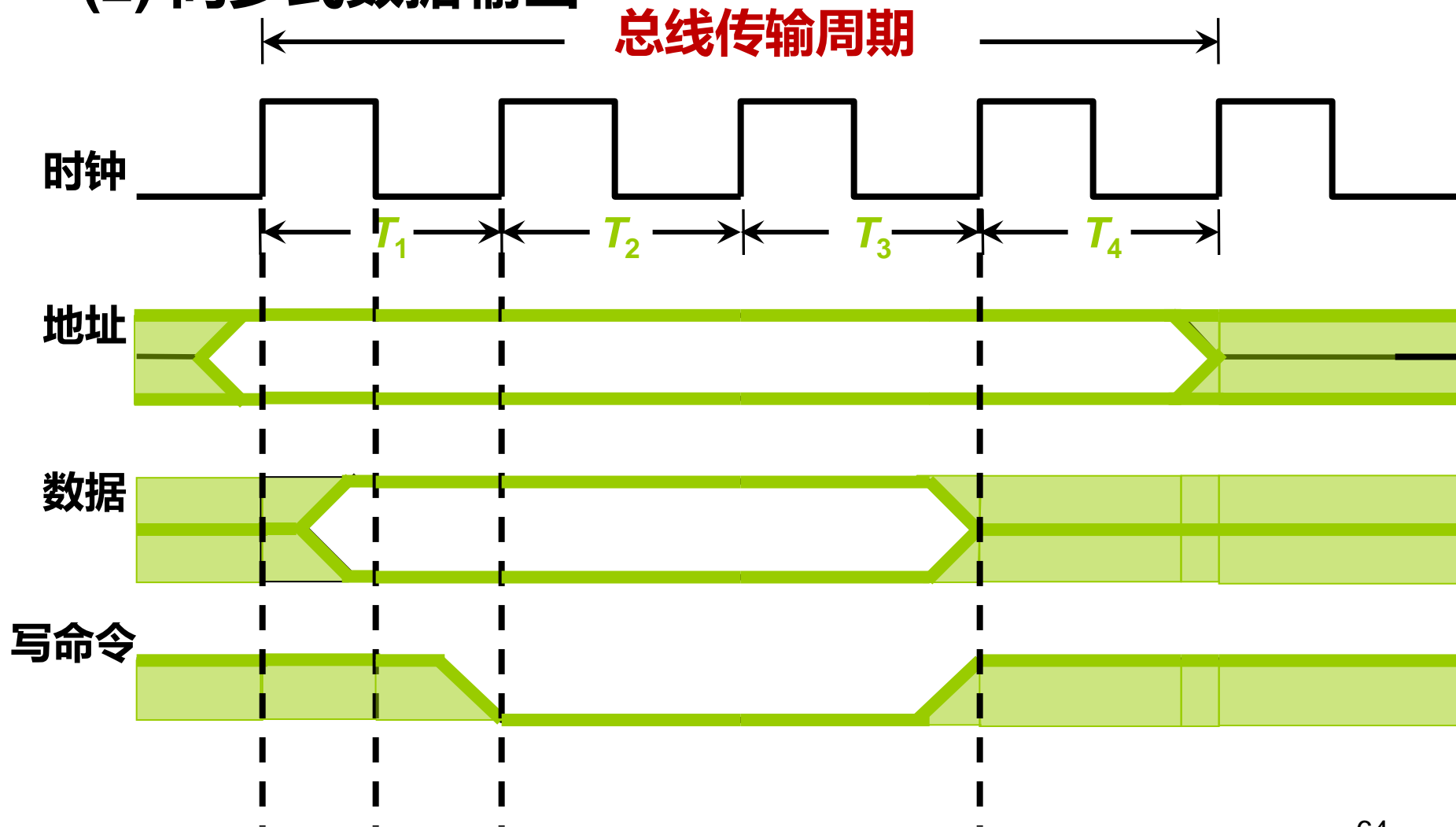


## (1) 同步式数据输入





## (2) 同步式数据输出





### 同步通信

- 优点
  - 规定明确、统一，模块间的配合简单一致。
  - 控制逻辑少而速度快
- 缺点
  - 主从模块时间配合属于强制性“同步”，必须在限定时间内完成规定要求。
  - 对所有从模块用同一时限，就必须按照最慢的部件来设计公共时钟，影响了总线的工作效率，也给设计带来了局限性，缺乏灵活性。



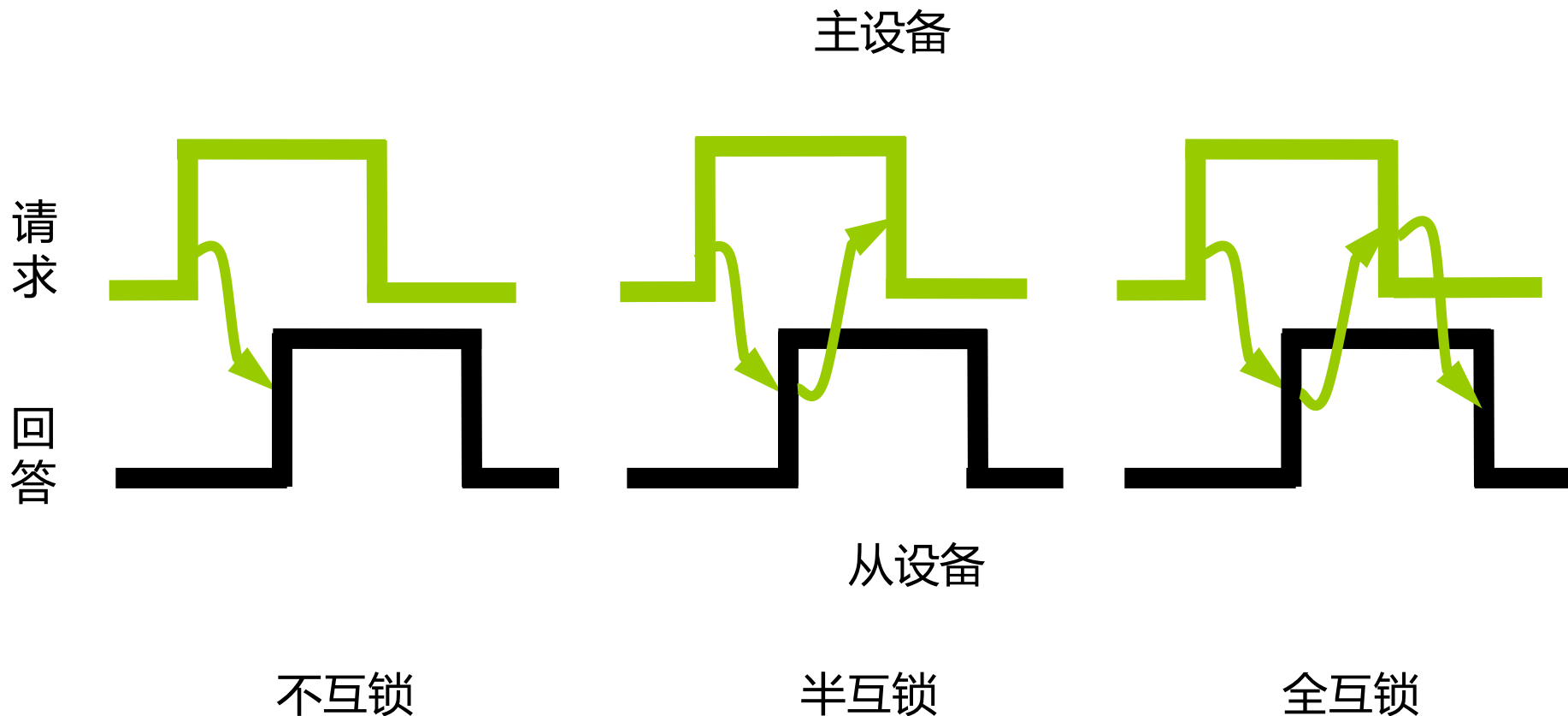
## (3) 异步通信

- 非时钟定时，没有一个公共的时钟标准。因此，能够连接带宽范围很大的各种设备。总线能够加长而不用担心时钟偏移（clock skew）问题。
- 采用应答方式，允许各模块速度不一致。
- 主模块发出请求信号（Request）时，一直等待从模块反馈回来的应答信号(Acknowledge)，才开始通信。这需要主从模块之间增加两条应答线（即握手交互信号线Handshaking）。
- 分为**不互锁**、**半互锁**和**全互锁**





## (3) 异步通信





### (3) 异步通信

- 优点：
  - 灵活，可挂接各种具有不同工作速度的设备
- 缺点：
  - ① 对噪声较敏感（任何时候都可能接收到对方的应答信号）
  - ② 接口逻辑较复杂



### (3) 异步通信

- 异步串行通信用波特率来衡量数据传输率

例1.在异步串行传输系统中，假设每秒可传输20个数据帧，一个数据帧包含1个起始位、7个数据位、1个奇校验位、1个结束位。计算其波特率和比特率。

解：波特率 $= (1+7+1+1) \times 20 = 200\text{bps}$ （位/秒）

比特率 $= 20 \times 7 = 140\text{bps}$

在做手术的过程中，医生经常将手伸出等待护士将手术刀递上，待医生握紧后，护士才松手。如果把医生和护士看成是两个通信模块，上述一系列动作相当于\_\_\_\_\_。

- ☐ A 同步通信方式
- ☐ B 异步通信中的不互锁方式
- ☐ C 异步通信中的半互锁方式
- ☒ D 异步通信中的全互锁方式

提交



### 课后练习

1. 在异步串行传输系统中，若每个数据帧包含1个起始位、8个数据位、1个奇校验位、1个结束位。比特率为160bps，求波特率。

(220bps)

2. 在异步串行传输系统中，若每个数据帧包含1个起始位、8个数据位、1个奇校验位、1个结束位。波特率为1200bps，求比特率。

(872.72bps)





### (4) 半同步通信

(同步、异步 结合)

同步      发送方 用系统 时钟前沿 发信号

接收方 用系统 时钟后沿 判断、识别

异步      允许不同速度的模块和谐工作

增加一条      “等待” 响应信号       $\overline{\text{WAIT}}$



### 以输入数据为例的半同步通信时序

$T_1$  主模块发地址

$T_2$  主模块发命令

$T_w$  当  $\overline{\text{WAIT}}$  为低电平时, 等待一个  $T$

$T_w$  当  $\overline{\text{WAIT}}$  为低电平时, 等待一个  $T$

⋮

$T_3$  从模块提供数据

$T_4$  从模块撤销数据, 主模块撤销命令

见课本P65图3.22



### 上述三种通信的共同点

一个总线传输周期（以输入数据为例）

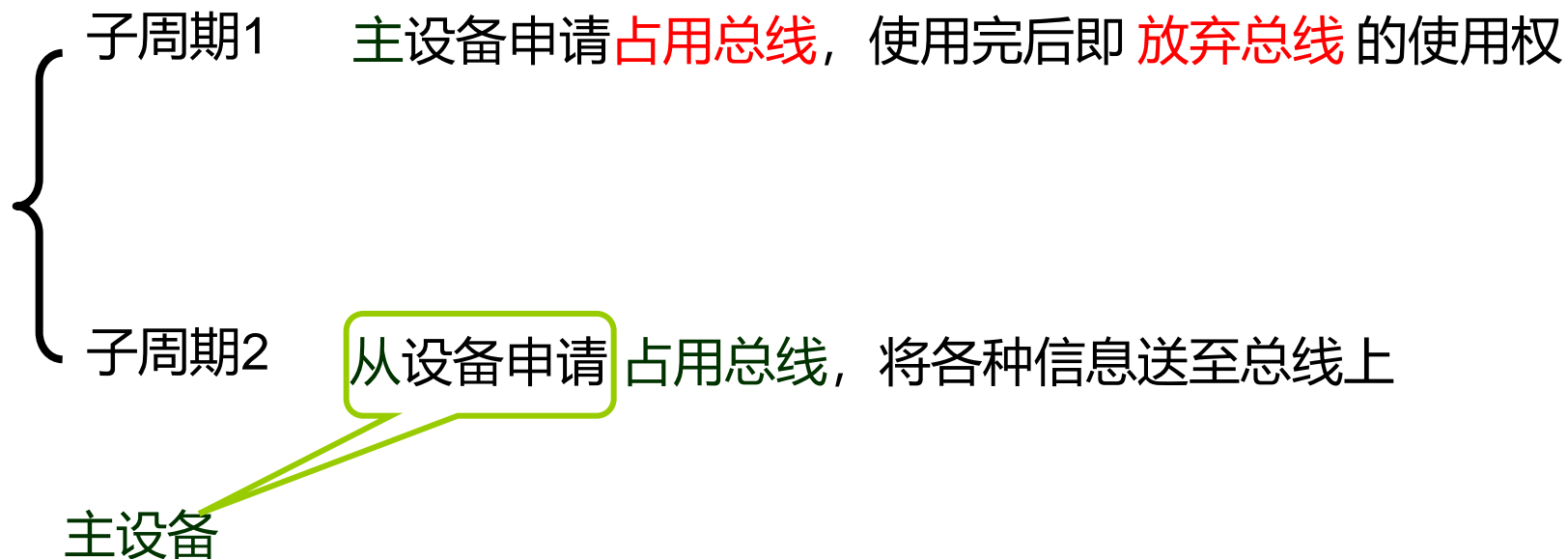
- 主设备发地址、命令      占用总线
- 从设备准备数据      不占用总线      总线空闲
- 从设备向主设备发数据      占用总线



### (5) 分离式通信

目的：充分挖掘系统总线每瞬间的潜力

一个总线传输周期





**原理：将一个事务分成两个子过程：**

- **过程1：** 主控设备A获得总线使用权后，将请求的事务类型、地址及其他信息（如A的标识等）发到总线，从设备B记下这些信息。A发完信息后便立即释放总线，其他设备便可使用总线；
- **过程2：** B收到A发来的信息后，按照A的要求准备数据，准备好后，B便请求使用总线，获使用权后，B将A的编号及所需数据送到总线，A便可接收。



### CPU 从 磁盘读取数据的过程：

CPU向通道发出定位信息； 约几微秒； 占用总线

通道指挥磁盘定位，先定位磁道，再定位扇区； 约几十毫秒； 总线空闲

开始传送数据； 约几微妙； 占用总线

传送结束；

### 采用分离式通信：

CPU向通道发出定位信息； 几微秒； 占用总线

通道收到定位信息，指挥指挥磁盘定位； 约几十毫秒； 释放总线

通道装备好信息，申请占有总线； 约几微秒；

传送数据； 约几微妙； 占用总线

传送结束；





### 分离式通信特点

1. 各设备有权申请占用总线
2. 采用同步方式通信，不等对方回答
3. 各设备准备数据时，不占用总线
4. 总线被占用时，无空闲

充分发挥了总线的有效占用



合肥工业大学

HEFEI UNIVERSITY OF TECHNOLOGY

积土为山  
积水为海