



論理回路ミニコレーション



これまでやったこと

成果

今後

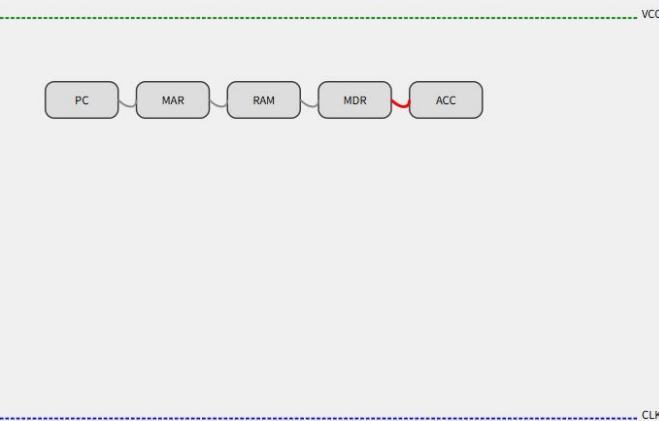
デモ・体験



これまでやつてきたこと

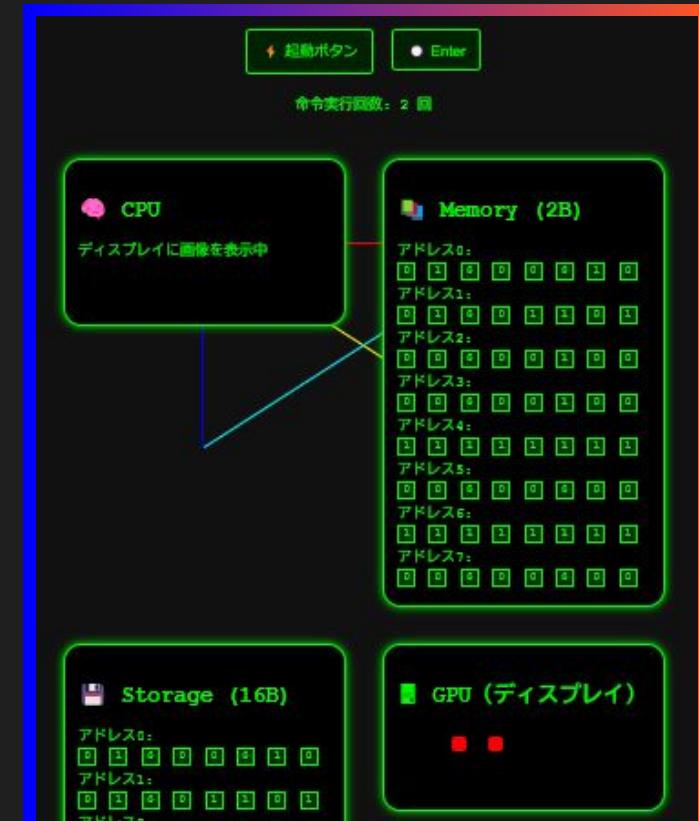


CPU メモリ回路シミュレータ (LOAD命令)



▶ Step ⏹ Reset

PC: 0 ACC: 42





— シミュレーション作るよりシミュレータ
作ったほうが簡単そう —

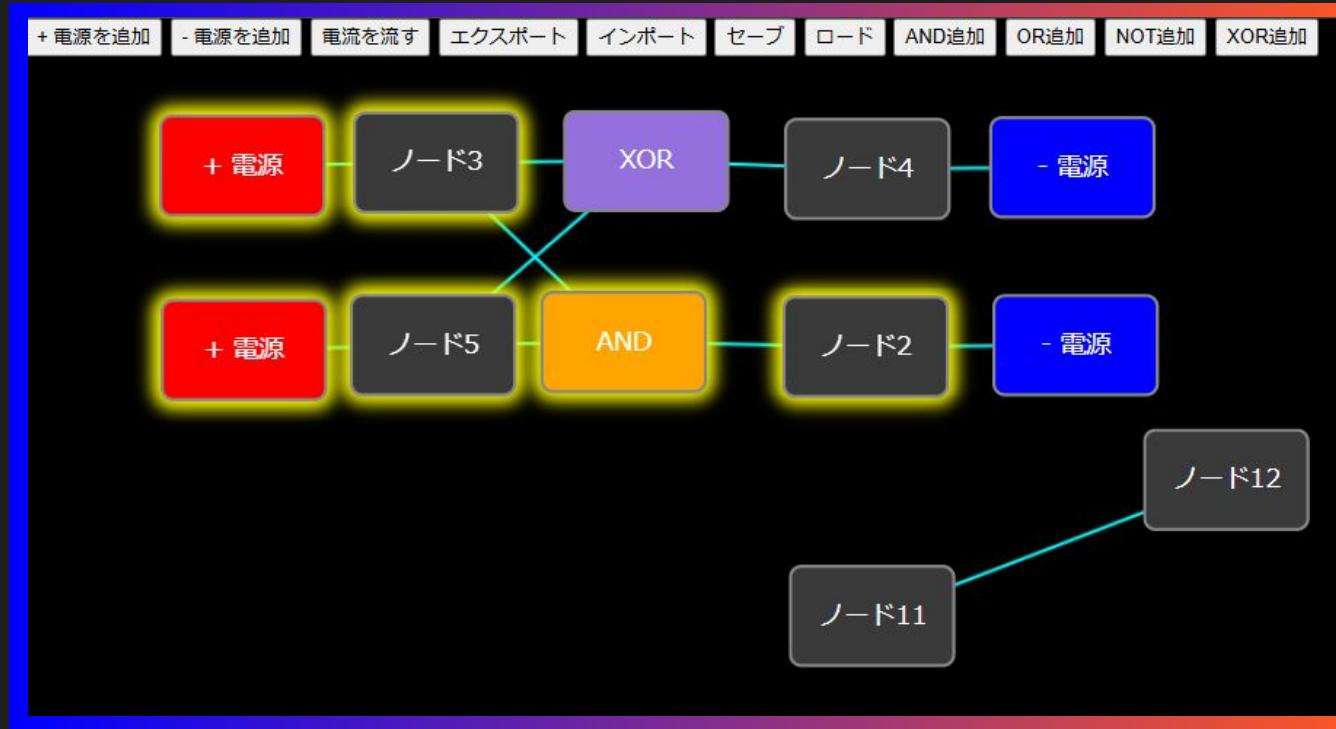
コンピューターのシミュレーション



コンピューターのシミュレーター



ねづみ



コンピューターのシミュレーション



コンピューターのシミュレーター



ねづみ



コンピューターのシミュレーション



コンピューターのシミュレーター



ねずみ

アセットボックス アセットを保存 アセットをロード エクスポート インポート

全削除

半加算回路
ノード: 10 / 接続: 10

AND
ノード: 3 / 接続: 0

ここにアセットを追加できます。

AND

機能改善...



成果



ねづみ

Asset Manager

セーブ ロード ファイルを書き出す ファイルを読み込む

Saved Assets:

- 半加算回路 ノード: 4 / 接続: 4
- 全加算回路 ノード: 15 / 接続: 17
- 三桁 ノード: 31 / 接続: 36
- 5ビット入力装置 ノード: 80 / 接続: 94
- 10ビット入力装置 ノード: 162 / 接続: 191

ノードを選択して
ここにドロップで追加

```
graph LR; SW1[SW: OFF] --> XOR1[XOR]; SW1 --> AND1[AND]; SW2[SW: ON] --> XOR1; SW2 --> AND1; SW3[SW: ON] --> XOR2[XOR]; SW3 --> AND2[AND]; XOR1 --> OR[OR]; XOR2 --> OR; AND1 --> OR; AND2 --> OR; OR --> OUT[OUT]
```



ノードの追加・選択・移動・削除

コネクションの追加

アセットのセーブ・ロード

セーブ・ロード

アセットの削除

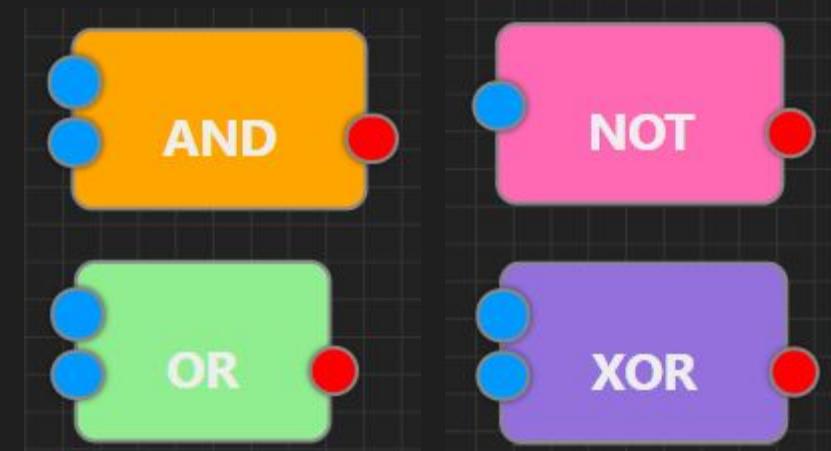
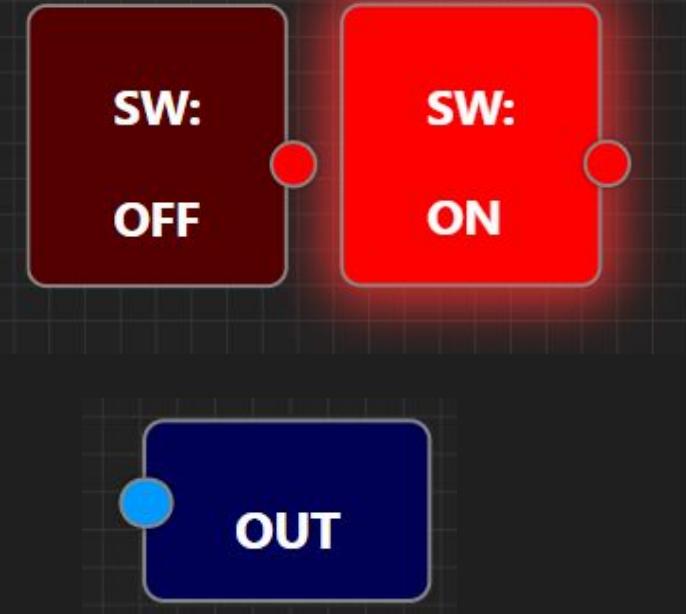
ノードファイルの
書き出し、読み込み

アセットファイルの
書き出し、読み込み

ノード一覧

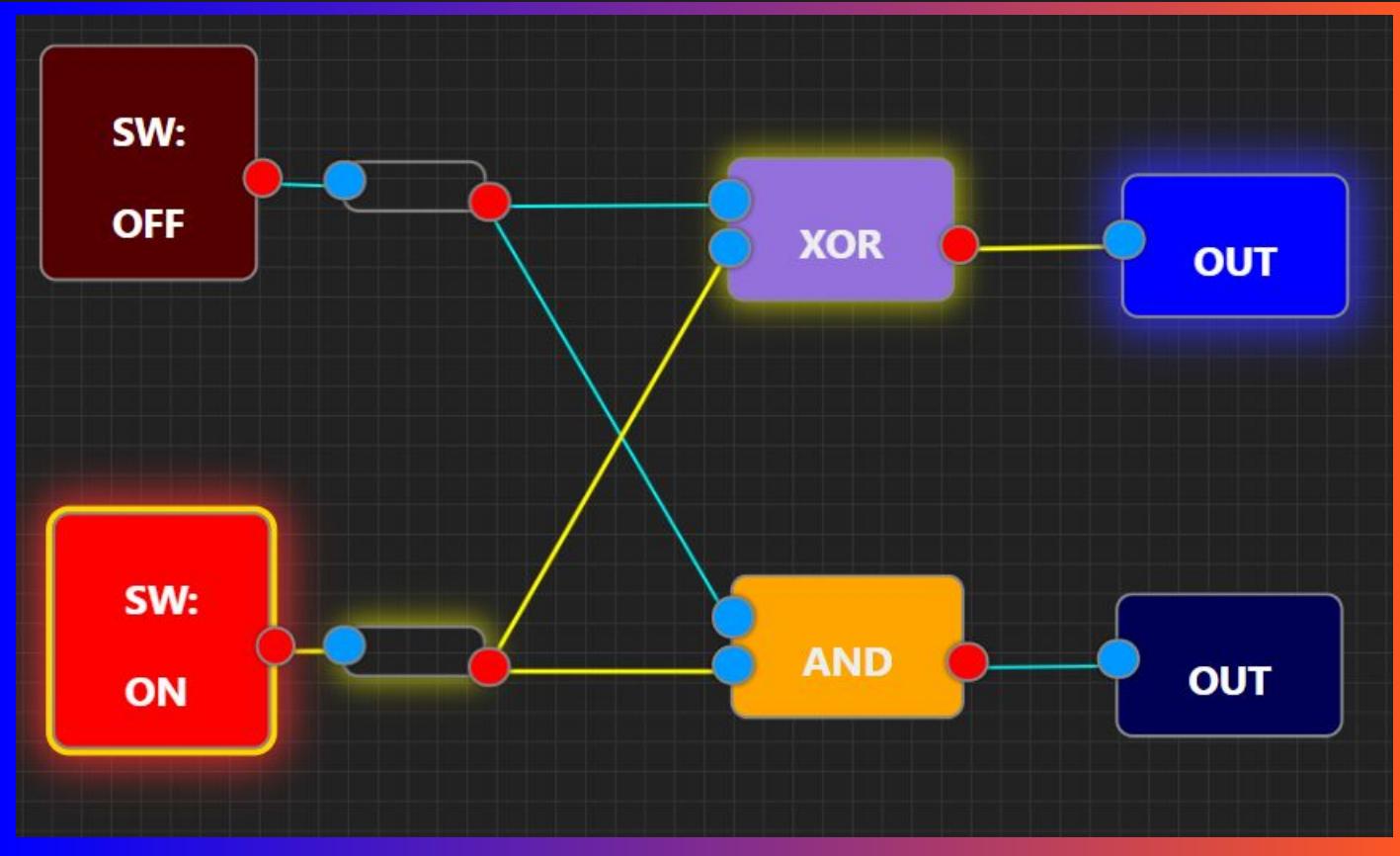


ねずみ





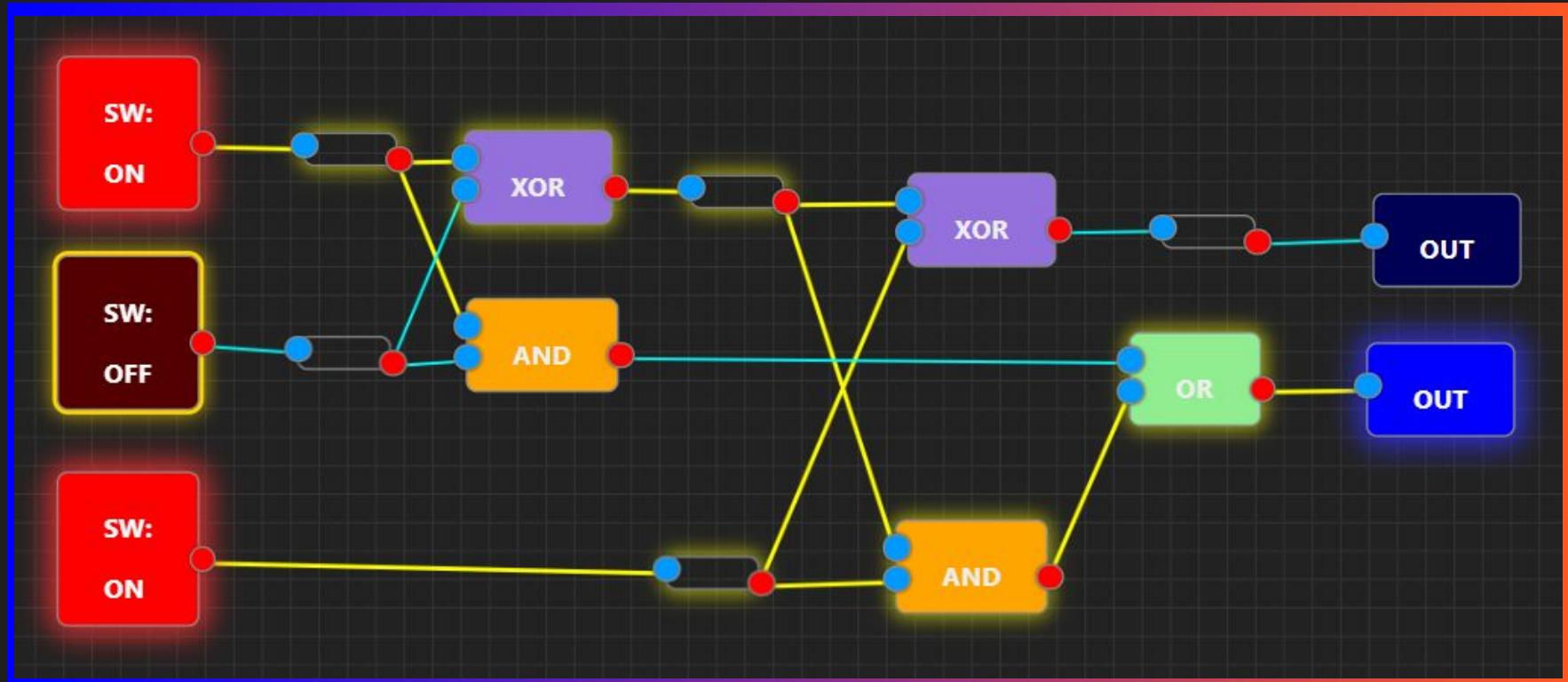
半加算
算出
0
路



全加算回路



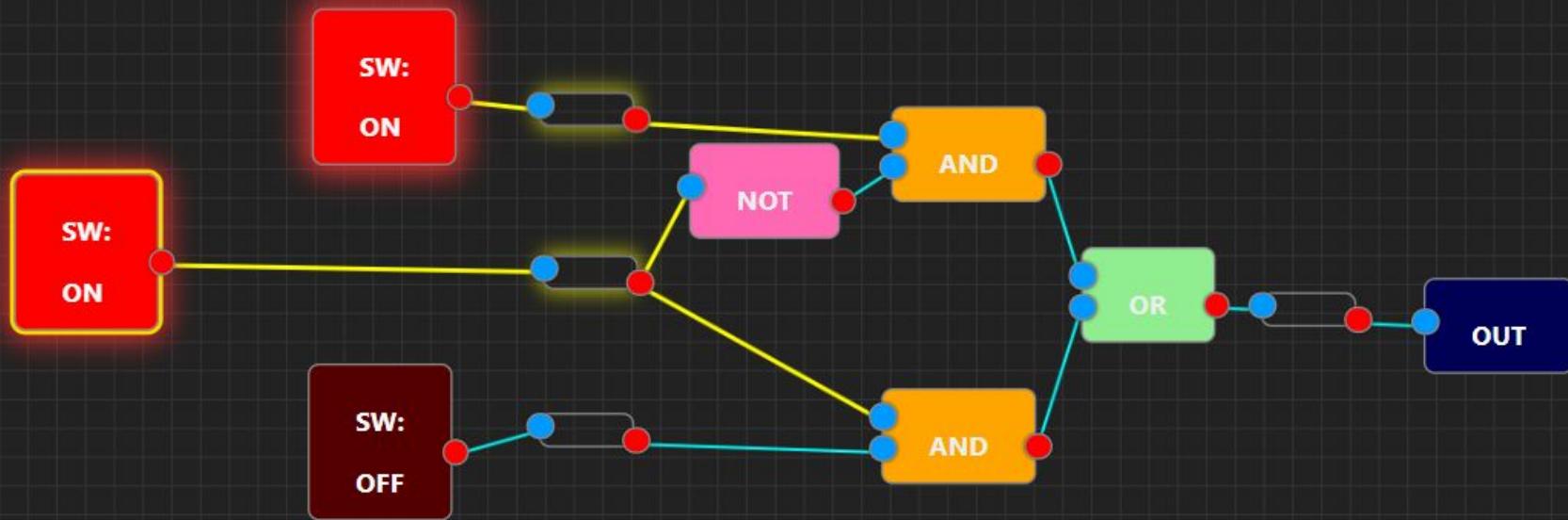
ねずみ



セレクタ回路

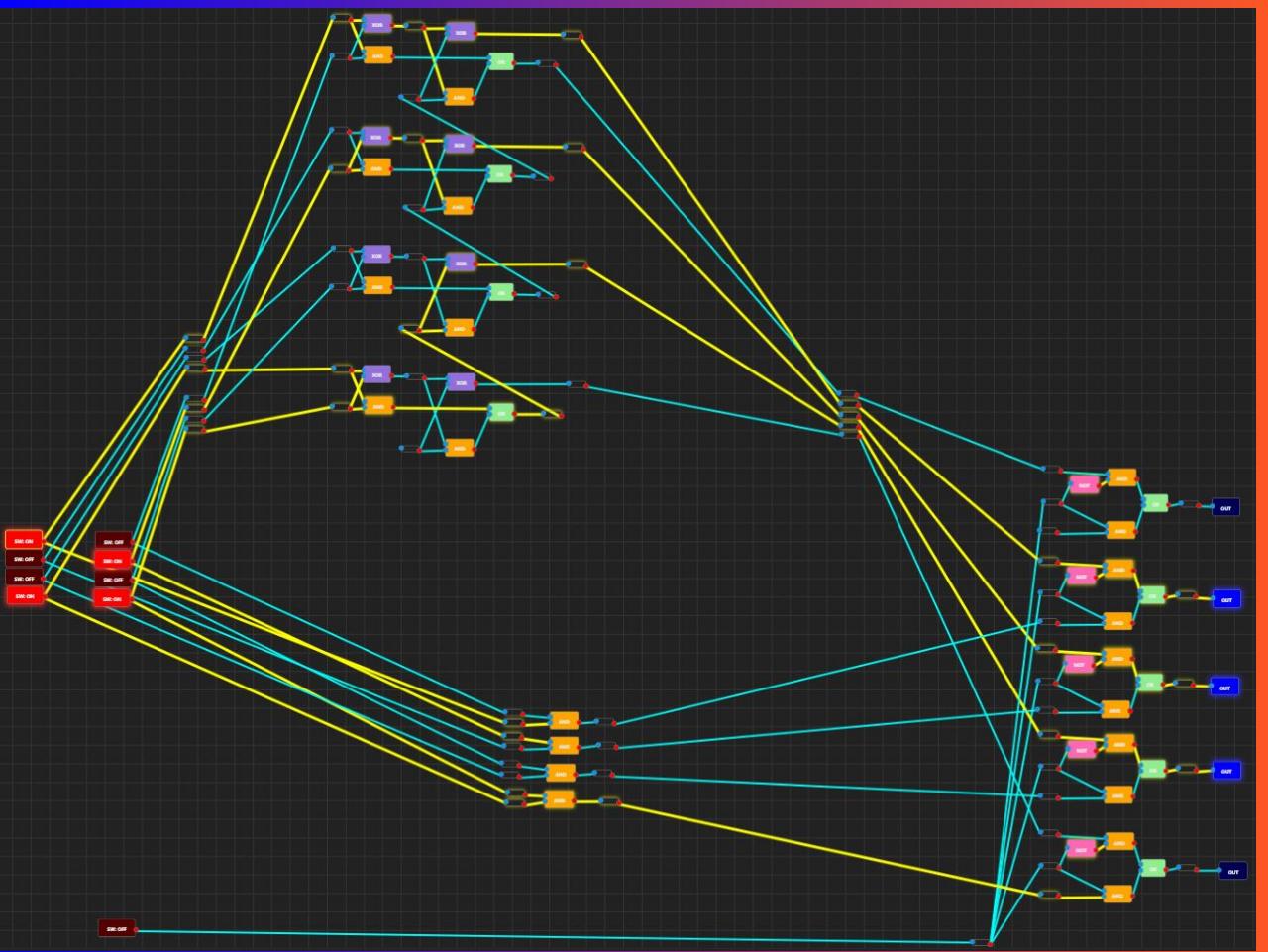


ねずみ





加算・減算・論理積路





ラ後



フリップフロップの実装

レジスタの実装

スタートアセットの自動ダウンロード

スマートフォン対応



デモ・体験



<https://nekoyama-cyuta.github.io/logic-circuit-simulation/>