

*Jesenji semestar, 2016/17*

*PREDMET: CS220 ARHITEKTURA RAČUNARA*

*Projektni zadatak*

**Arhitektura AMD FX procesora**

Ime i prezime profesora: Ime i prezime studenta:

**Prof. Dr. Ljubomir Lazić Nemanja Kuzmanović**

Ime i prezime asistenta: Broj indeksa:

**Nenad Strainović 2851**

*Beograd 2017.*

Sadržaj

1. Abstrakt ..............................................................................................................................................3

[Arhitektura AMD FX racunara 3](#_Toc473055264)

[2. Uvod 4](#_Toc473055265)

[2.1 Istorija kompanije 4](#_Toc473055266)

[3. Uvod u AMD FX arhitekturu 5](#_Toc473055267)

[3. AMD Buldozer 7](#_Toc473055268)

[3.1 Koncept 7](#_Toc473055269)

[3.2 Instrukcijski ciklus (Instruction fetch) 10](#_Toc473055270)

[3.3 Deljeni instrukcijski dekoder 12](#_Toc473055271)

[3.4 „Integer“ jezgra (Integer cores) 13](#_Toc473055272)

[3.5 Deljeni klaster pomerajućeg zareza (eng. Floating point cluster) 15](#_Toc473055273)

[3.6 „Integer“ izvršne jedinice (execution units) 15](#_Toc473055274)

[3.7 Izvršne deljene jedinice pomerajućeg zareza (Shared floating point execution units) 16](#_Toc473055275)

[3.8 Memorijski podsistem 17](#_Toc473055276)

[3.9 Piledriver – poboljšanja 21](#_Toc473055277)

[4. Performanse i testovi 24](#_Toc473055278)

[4.1 Bulldozer modeli 24](#_Toc473055279)

[4.2 Piledriver modeli 24](#_Toc473055280)

[4.3 Performanse 25](#_Toc473055281)

[4.4 Overclocking 30](#_Toc473055282)

[5. Zaključak 33](#_Toc473055283)

[Reference: 34](#_Toc473055284)

[Literatura: 34](#_Toc473055285)

# 1. Abstrakt

## Arhitektura AMD FX racunara

Projekat je zamisljen da bude odrađen na sledeći način, naime, prvenstveno će biti prikazana kratka istorija AMD a i njegovih arhitektura prethodnih procesora, potom, kada se upoznamo sa osnovnim konceptima upoznaćemo se i sa samom arhitekturom FX procesora. Pored načina rada i organizacije same FX arhitekture i detaljnog objašnjenja i opisa uporediće se prethodne arhitekture a takođe će biti materijala o prednostima i nedostacima iste u odnosu na FX arhitekturu. Pošto sama FX arhitektura ima više arhitektura kao što su Bulldozer, Piledriver, svaka će biti detaljno opisana i biće prikazani testovi ne samo između njih nego između tadašnjih konkurenata drugih arhitektura. Projekat će se uglavnom većinskim delom, ako izuzmemo načine funkcionisanja kao i samu arhitekturu i njene funkcionalnosti i disfunkcionalnosti, osvrtati najviše na testove same arhitekture i njene prednosti odnosno mane.

U detaljniji opis i način rada, pored opštih činjenica spadaju detaljno obrađene implementacije i načini rada korova procesora odnosno jezgara njihovo samo funkcionisanje i način imlementacije, takođe, detaljno će se obratiti procesi i tehnologije korišćene u arhitekturi kao i frekvencije sa kojima korovi odnosno jezgra odnosno sam procesor funkcioniše.

Biće prikazani i testovi performansi što na Windows računarima što na Linux, kao i uporedni testovi. Naravno, biće reči i o overklokovanju, nekim rezultatima, prosecima, kao i rekordima.

Dakle, projekat će objediniti informacije dostupne o arhitekturi i propratnim delovima iste, razne testove i objašnjenja, u krajnjem sumiranju dodirnuće se teme novijih arhitektura i u kratkim crtama objasniti superiornost u odnosu na FX iz razloga što tako najbolje možemo dobiti sliku o tome koliko i kako tehnologija procesora brzo i efikasno napreduje.

# 2. Uvod

## 2.1 Istorija kompanije

AMD („Advanced Micro Devices“, „Napredni mikro uređaji”) kompanija je osnovana 1969 godine. Sedište kompanije se nalazi u Kaliforniji, SAD, i bave se proizvodnjom elektronike. Drugi su najveći proizvođač mikročipova (x86 arhitekture) na svetu posle Intela.

U početku su se bavili proizvodnjom logičkih čipova da bi nekoliko godina kasnije počeli sa proizvodnjom RAM memorije. Sve do osamdesetih godina nisu imali zapaženijeg uspeha. Sredinom osamdesetih izbacuju FSK modem AMD-7910, jedan od prvih multistandardnih uređaja koji su pokrivali CCITT i Belove tonove.

Proizvodnja i distribucija ovih uređaja im nije bila najpovojnija pa se odlučuju da se koncentrišu ka proizvodnji i distribuciji mikroprocesora. Čime postaju direktna konkurencija Intelu, što i ostaju i do dana današnjeg.

Početkom sedamdesetih godina AMD proizvodi AM9080, zapravo klon čuvenog 8080, što kasnije dovodi do saradnje Intela i AMD-a gde AMD postaje drugi proizvođač serija 8086 i 8088, uz to, dobijaju licencu o proizvodnji(x86 arhitekture) svojih procesora propisanih IBM standardom, koju poseduju i dan danas.

Međutim, dolazi do raskida ugovora, što primorava AMD da proizvede sopstveni procesor.

Na ovoj arhitekturi(x86) AMD prozvodi AMD K5. Sa ciljem da bude konkurencija Pentium seriji od Intela, gde su brzine jezgra išle čak do 133 mhz. Naredne godine AMD izlazi na market sa sledećom generacijom AMD K6 procesorom, koji je u to vreme parirao ako ne i bio vodeći u odnosu na Intelov Pentium 2 i Pentium 3. Još jedna prednost mu je bila što je bio kompitabilan sa Intelovim matičnim pločama.

1999. Izbacuju K7, takođe poznatiji kao Athlon(budući naziv arhitekture), prvi procesor koji je mogao da izvrsi milijardu operacija, 1 ghz.

U narednim godinama paralelno sa Intelom AMD izbacuje sve unapređenije Athlon procesore, kako bi pararao Intelu. AMD izbacuje Athlon K8 seriju, x86-64bit arhitekturu, osvajajući desktop okruženja i dominirajući u 64bitnoj arhitekturi u odnosu na Intel.

Višejezgrene (multicore) procesore AMD je predstavio 2005.godine izbacujući na market AMD Athlon x2.

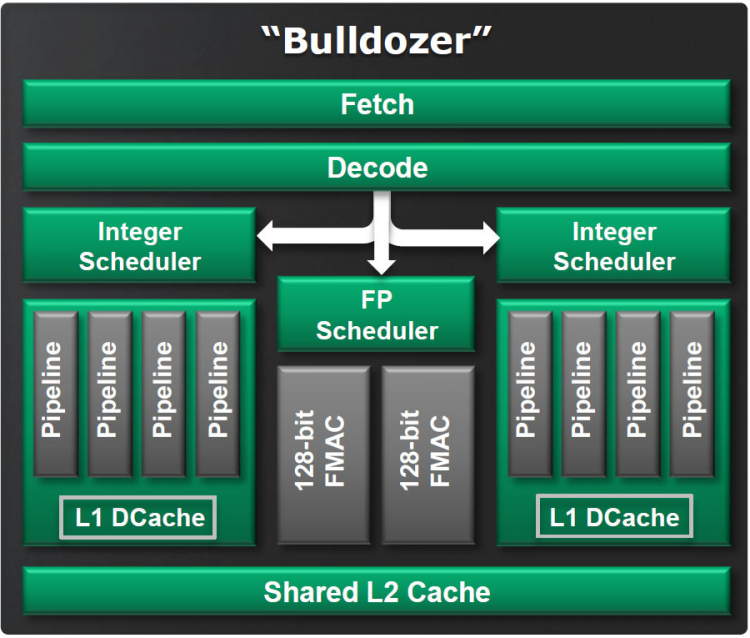
Kompanija dalje proizvodi multijezgrene procesore koji se više fokusiraju na performansama više jezgara nego na performansama samog CPU-a.

U oktombru 2011, AMD izbacuje naslednika K10 arhitekture, nazvanog Bulldozer, pokušavajući da sjedine više jezgara i njihove performanse, i brzine jezgara, kako bi dobili procesore koji bi parirali Intel-u, još jednom. Ovo i nije bilo baš kao što je prvobitno planirano, Zambezi (kodirano ime za Bulldozer) je doživeo ogroman krah, posle koga se AMD odlučio da izbaci još poboljšaniju verziju Buldlozera međutim ovoga puta nazvani „Poboljšani Bulldozer“ (Enhanchment Bulldozer) sa kodnim imenom Piledriver.  
  
Izbacuju niz procesora baziranih na ovoj arhitekturi. Krajem 2016. Najavljuje se revolucionarna Zen arhitektura, koja je najavljena za Q1 2017 godine, od koje AMD očekuje da će ih ponovo vratiti iznad Intela.

# 3. Uvod u AMD FX arhitekturu

2011. godine AMD izbacuje na tržište naslednika K10 arhitekture. Arhitekturu nazivaju „Bulldozer“. Pokušavajući da objedini više jezgara sa njihovim visokim taktom, kako bi uspeli da pariraju Intelovom arhitekturi „Sandy Bridge“. Loša strana ovoga je što je preveliki fokus na visokom taktu jezgra i broju jezgara doveo do toga da performanse(instrukcije) po jezgru(IPC) budu znatno lošije u odnosnu na prethodnu K10 arhitekturu.

Prvi čip u ovoj arhitekturi pod nazivom Zambezi nije uspeo da zadovolji očekivanja i „pobedi“ Intelov Sandy Bridge. Deo problema koji je uticao na to je upotreba višejezgarnog modula(Multi-Core Module, MCM) koji je sadržao dva „integer“ jezgra i jedan FPU(Floating Point Unit). Dva „integer“ jezgra su morala da dele FPU, što je dovodilo do „zagušenja“ u „pipeline“-u.



*Slika 1: Buldozer arhitektura – Schema*

Još jedna loša strana koja je dovela do argumenata protiv ove arhitekture je „glad“ procesora za napajanjem, naime procesor traži više struje nego Intelov Sandy Bridge, što sve kada se stavi na papir dovodi do toga da je AMD ostao i dalje iza Intel-a posle prve serije Buldozer arhitekture.

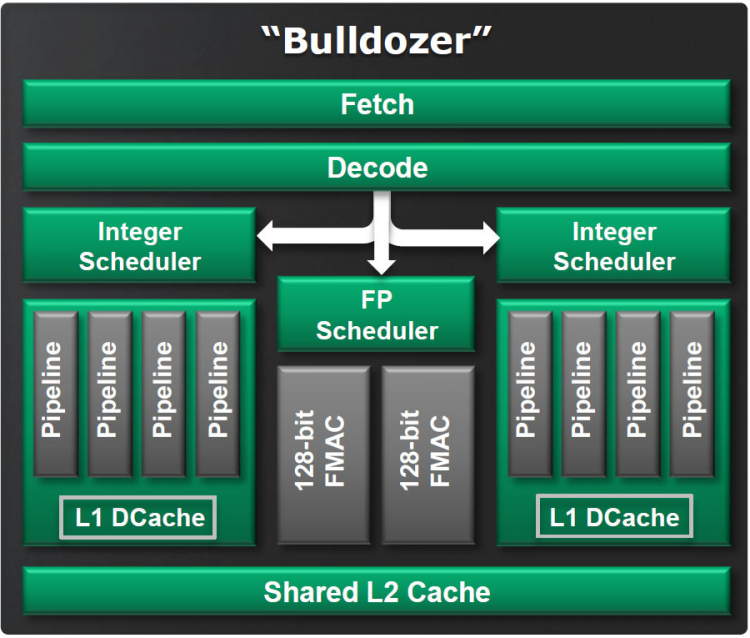
|  |  |
| --- | --- |
| Code Name | Zambezi |
| Date | October 2011 |
| Architecture | 64-bit |
| Data Bus | 64-bit |
| Address Bus | 64-bit |
| Maximum Memory Support | 1 TB |
| L1 Cache (Per Module) | 64 KB + (2 x 16 KB) |
| L2 Cache (Per Module) | 2 MB (Full Speed) |
| L3 Cache (Shared) | 8 MB |
| Clock Speed | 2.8 - 4.2 GHz (4.3 GHz Turbo) |
| Memory Controller | Dual-Channel DDR3-1866 |
| HyperTransport | 2600 MHz |
| Core Count | 4, 6, 8 |
| SIMD | MMX, SSE, SSE2, SSE3, SSSE3, SSE4a, SSE4.1/4.2, AVX |
| Instructions | AES, FMA4, XOP |
| Fab | 32 nm |
| Transistor Count | N/A |
| Power Consumption | 95 - 125 W |
| Voltage | 0.95 - 1.4125 V |
| Die Area | 316 mm² |
| Socket | AM3+ |

*Slika 2: Bulldozer Zambezi arhitektura specifikacije*

# 3. AMD Buldozer

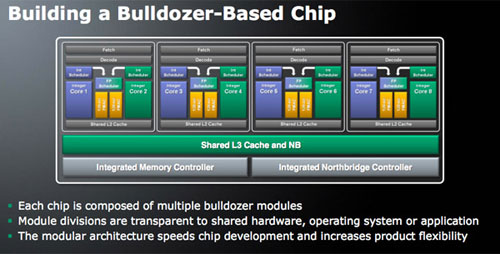
## 3.1 Koncept

Osnovna ideja na kojoj se bazira Bulldozer arhitektura je modularnost, pa je tako osnova ove arhitekture u stvari „dual core“ jezgro. Ovaj pristup omogućava AMD-u veoma laku manipulaciju po pitanju kreiranja varijanti procesora sa više jezgara(multi-core), pa je tako samo pitanje koliko će određeni model procesora imati Bulldozer modula. Dva jezgra u Bulldozer modulu su veoma tesno povezana, poseduju poseban L1 keš, ali i deljeni L2 keš. U stvari, L1 keš je poseban za „Integer“ deo jezgra, dok „FPU“ deo modula (postoji samo jedna FPU jedinica u modulu) može da koristi oba L1 keša, kao i deljeni L2 keš.



*Slika 3: Bulldozer arhitektura – Schema*

Svaka od dve „Integer“ jedinice ima četiri „pipeline-a“, što je pojedinačno manje od Phenom II jezgra npr, ali pošto u jednom Bulldozer modulu ima dve „Integer“ jedinice, ukupno je na raspolaganju osam „pipeline“-ova. Tako je jedan Bulldozer modul veći od jednog klasičnog jezgra, ali je manji od klasične varijante kada se skroz dupliraju dva jezgra. U operativnom sistemu, jedan Bulldozer modul se prijavljuje kao dva jezgra, baš kao što je to slučaj kod Intel procesora sa HyperThreading-om.

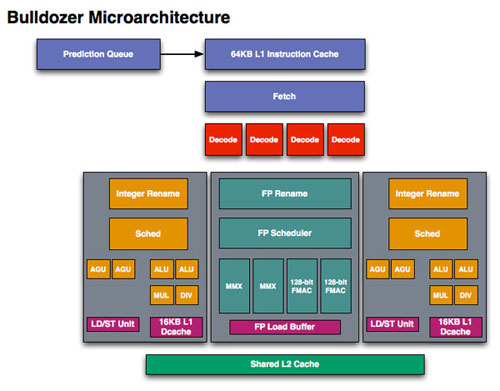


*Slika 4: Pravljenje čipa na buldozer arhitekturi*

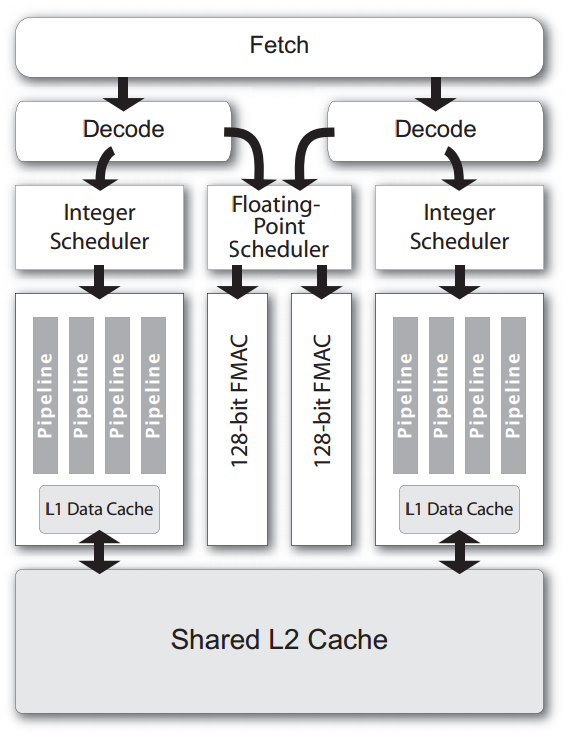
Međutim, ako Bulldozer poseduje dve stvarno odvojene „Integer“ jedinice, a deli se samo FPU deo, onda se može reći da ovo rešenje omogućava mnogo bolje „multihread“(višejezgrane) performanse. Dakle, Bulldozer procesor sa četiri modula će se u operativnom sistemu prikazati kao CPU sa osam jezgara.

Što se tiče kapaciteta keš memorije koja je na raspolaganju, svako jezgro (dva po modulu) poseduje po 16 KB L1 keša za podatke i 32 KB L1 za instrukcije. FPU jedinica u svakom modelu može da povlači podatke iz bilo kog L1 keša, u zavisnosti od trenutne potrebe. Interesantno da je kapacitet L1 keša nešto manji neko kod prethodnih procesora, ali AMD tvrdi da je kapacitet L1 keša dovoljan, i da veliki deljeni L2 keš efikasno nadoknađuje nešto manji L1 kapacitet. Tako je ukupna veličina L2 keša celih 8 MB za ceo procesor, odnosno 2 MB L2 keša po jednom Bulldozer modulu. Na raspolaganju je i L3 keš ukupne veličine 8 MB, što opet znači 2 MB L3 keša po jednom modulu. Naravno, direktno u jezgru je integrisani i „northbridge“ koji obezbeđuje dva 72-bitna DDR3 memorijska kanala, kao četiri

16-bitna HyperTransport linka.



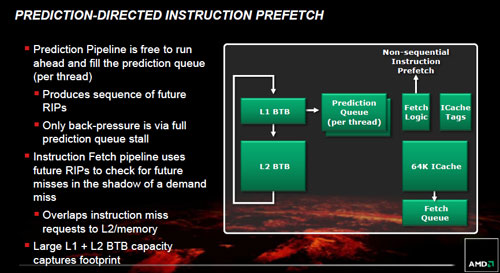
*Slika 5: Prikaz mikroarhitekture*



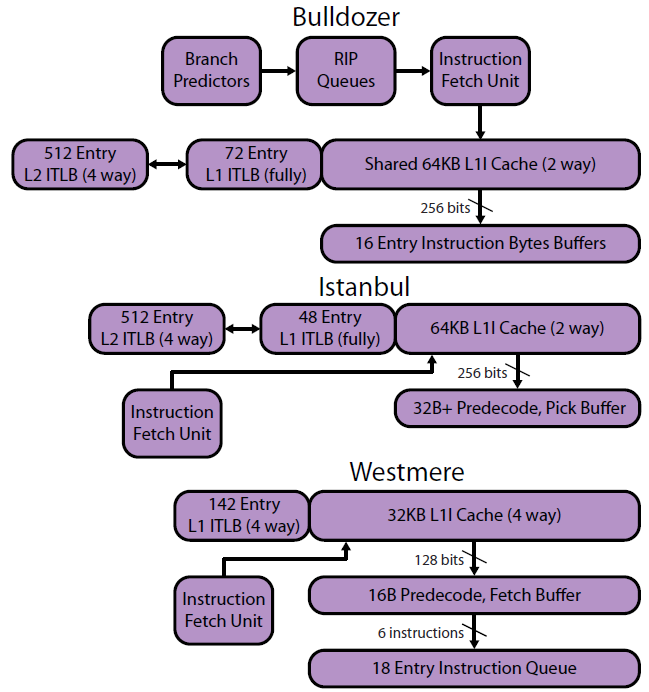
*Slika 6: Blok dijagram*

## 3.2 Instrukcijski ciklus (Instruction fetch)

Bulldozer arhitektura je morala doneti inovacije i drugačiji pristup(koncept) od svog prethodnika Phenom II. Sama arhitektura jezgra poseduje duži „pipeline“ čime je omogućeno da Bulldozer arhitektura dostiže visoki radni takt. Tu dolazi „prediction queue“ („branch prediction“) do izražaja, naime, dugačkom pipeline-u se ne može dozvoliti da se napuni, ukoliko bi došlo do greške, to bi značilo pražnjenje i ponovno punjenje istog, zato sama uloga „prediction queue“-a se visoko kotira. Inženjeri su posebno posvetili pažnju ovome i znatno su unapredili „branch prediction“ kako bi omogućili znatno bolje predviđanje granjanja samih instrukcija, a samim tim doveli do boljih performansi Bulldozer arhitekture.



*Slika 7: „Prediction branch“ – „Predviđačka grana“*



*Slika 8: Bulldozer instrukcijski ciklus - poređenje*

* Objašnjenje

Predviđač grane se deli između dva jezgra u svakom modulu i odvojen je od instrukcijskog ciklusa parom predviđačkih redova(„prediction queue“) – jedan red po jezgru. Previđač (grane) se može pokrenuti unapred, nastavljajući da predviđa nove relativne pokazivače (relative instruction pointers – RIPs) sve dok se redovi (queues) ne napune.

Prvi korak u predviđačkoj grani je da se odredi putanja – bilo da je grana zauzeta ili ne (prethodno je AMD koristio lokalni predviđač, globalni predviđač, i izbirač (selektor) koji bi izabrao koji od dva predviđača bi trebao koristiti). Kada je izabrana grana, sledeći korak je da se odredi cilj (destinacija). Za grane sa jednom ciljnom adresom, BTB (branch target buffer) se proširuje i sada koristi hijerarhiju sa dva nivoa. L1 BTB ima 512 unosa, asocijativnu strukturu sa 4 smera, koja rešava predviđanje sa jednom ciklusnom „kaznom“ do pipeline-a. L2 BTB je mnogo veći, ima 5120 ulaza i petosmernu asocijativnost, ali dodatni kapacitet dovodi do dodatnog kašnjenja za L2 BTB. BTB-ovi (branch target buffers) u Bulldozeru se konkurentno dele između oba jezgra.

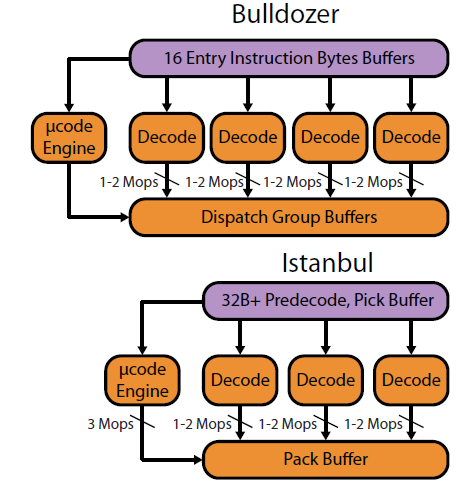
Nažalost ostale bitne strukture u pogledu ciljanih adresa grane i detaljniji opisi same grane predviđanja nisu detaljnije opisivane ni date od strane AMD-a.

Međutim, potvrdili su da za indirektne (spoljašnje) grane (sa više od jedne ciljane adrese), Bulldozer takođe koristi 512 ulaza. Bulldozer takođe sadrži poznati pozovi/vrati (call/return) stack, koji se replicira(duplira) po thread-u (niti), umesto da se deli. Primera radi, prethodna AMD-ova arhitektura Istanbul je koristila 24-ulazno povratne adrese stack-a koje su dovodile neretko do greške u predviđanju, a one bi dalje rezultovale pogrešnim vraćanjima. Radi toga, Bulldozer ima mehanizme za popravku vraćajućeg stack-a, izbegavajući te probleme i smanjujući pogrešna predviđanja povratnog stack-a.

Grana previđanja i RIP (pokazivač instrukcija) redovi, mogu se pokrenuti pre instrukcijskog ciklusa u Bulldozeru. Što pomaže da dva jezgra bez poteškoća dele jednu granu previđanja kao i hardver, tolerišući duže kašnjenje. Takođe je bitno, da zahvaljujući tome što u svakom trenutku postoji više spremnih pokazivača, mogu se unapred dovesti instrukcije u tok za grane u BTB. Ovakvo dovođenje unapred, pripremanje, skriva neka od kašnjenja i omogućava više paralelne memorije za instukcijske keševe.

Jednom kada se pokazivač (RIP) postavi u previđajući red i prođe do druge faze, „fetch unit“ pristupa dinamički deljenoj ITLB kao i L1 I-kešu. L1 ITLB je puno-asocijativan sa 72 ulaza za različite veličine stranica. Istanbul, primera radi, nije imao 1GB strana za ITLB, što se svakako implementiralo i unapredilo u Bulldozeru.L2 ITLB koji je u prethodnim arhitekturama držao samo 4KB strane, je sada veoma proširen, sa 512 ulaza i 4-stranom asocijativnošću. L1 instrukcijski keš je veoma sličan onome u arhitekturi Instanbul jer ima istu organizaciju. 64KB i 2-strana asocijativnost. IBB je poslednji deo, pre dekodiranja i ponaša se kao razdvajač redova između „fetcha“ i dekodera. Zapravo postoje dva IBB-a, po jedan za jezgro. Svaki od njih sadrzi 16 ulaza. A svaki on njih 16B x86 instrukcija, što daje ukupni kapacitet od 256B po jezgru.

## 3.3 Deljeni instrukcijski dekoder



*Slika 9: Dekoder*

Prvenstveno osvrt na AMD arhitekturu i njihovo viđenje. AMD kada govori o instrukcijama, x86 instrukcije se pominju kao AMD64 instrukcije. Takođe AMD-ova makro-operacija je unutrašnja, ograničena dužina operacije koja može sadržati kako aritmetičke tako i operacije sa memorijom (jedna makro-operacija može da se čita-izmeni-zapiše).

Kao i u Istanbul, Bulldozer deli instrukcije na tri kategorije:

* FastPath Singles – odnosi se na jednu makro-operaciju
* FastPath Doubles – odnosi se na dve makro-operacije
* Microcode (VectorPath) – sve ostalo

Pošto su AMD-ove makro-operacije teške i kompleksne ali i snažne, većina instrukcija teži da se dekodira kao jedna makro-operacija. Međutim, to nije slučaj sa 256 bitnim AVX instrukcijama. Zapravo, one generišu dva 128bit „opterećenja“ i dva 128bit floating point-a. AMD je ovde koristio mapiranje 128 bitnog SSE u dve makro operacije.

Faza dekodiranja je znatno unapređena, međutim nije došlo do velikih promena. Dekodiranje počinje sagledavanjem prva dva „prozora“ od 16B u IBB-u jezgra. U većini slučajeva se instrukcije mogu uzeti iz oba prozora, međutim postoje ograničenja, koja se odnose na razne faktore zbog kojih se dekodiranje vrši u jednom 16B prozoru.

Bulldozer vrši dekodiranje u, do 4 instrukcije po ciklusu. Posle posmatranja prozora instrukcije, dekoderi prevode svaku x86 instrukciju u 1 ili 2 makro operacije koje potom postavljaju u red za otpremanje.

Mikro-kodiranim instrukcijama (one koje zahtevaju više od 2 makro operacije) rukovodi mikro kod ROM. Opet dolazimo do toga, da AMD nije bas specificirao na koji način radi mikro kod i sta se zapravo dešava detaljnije na nižem sloju, ali je napomenuto da se performanse emituju kao i kod prethodnih generacija (najmanje 3 makro operacije po ciklusu).

Dodatni dekoder, u Bulldozer arhitekturi, je prvi AMD CPU sa spajanjem grana, gde se „jump“ instrukcije dekodiraju u jednu makro-operaciju.

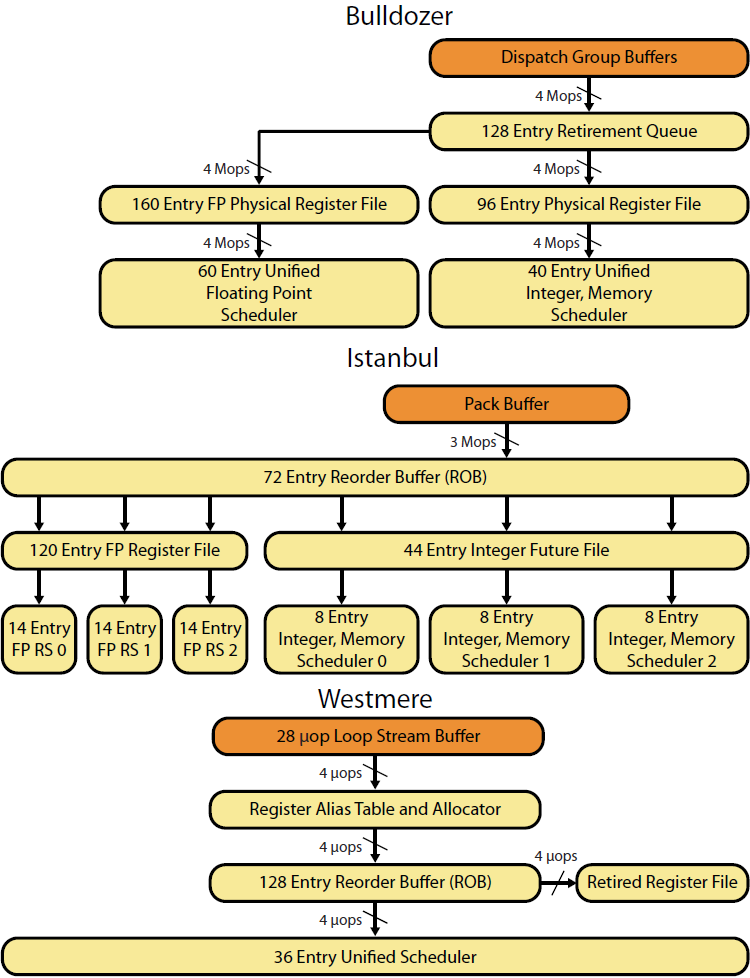
Primera radi, Intel je bio prvi koji je ovo implementirao u svojoj Core 2 Duo seriji.

Na samom kraju, kada se instrukcije dekodiraju u makro-operacije, postavljaju se u red (queue) gde se otpremaju u grupe do po 4 makro-operacije koje se potom salju u jedan od dva jezgra.

## 3.4 „Integer“ jezgra (Integer cores)

Kao i u svim prethodnim dizajnima AMD-a (nasuprot Intelu), Bulldozer razdvaja „integer“ i „floating point schedulers“ (floating point – pomerajući zarez), registre i egzekucione jedinice (execution units). Bulldozer arhitektura implementira ko procesorski model za pomerajući zarez (eng. Floating point) i SIMD (jednostruka instrukcija, višestruki podatci eng. Simple instruction, multiple data) kojeg dele oba procesorska jezgra za razliku od ranije prakse u kojoj bi pomerajući zarez imao sopstveni ko procesor nezavistan od ostatka. Jedna od prednosti ovako formalizovanog razdvajanje je da se klaster pomerajućeg zareza u nekom trenutku može ili zameniti ili upotrebiti kao pomoć GPU-u zahvaljujući AMD-ovoj „Fusion“ (fuzija) tehnologiji. Ovakav model ko procesora je još jedan dokaz razvoja AMD-a, a sa druge strane takođe dokaz prakse u kojoj AMD pristupa ne konvencionalnim napredcima u odnosu na konkurenciju. Međutim, takve stvari su u AMD-u od ranije već poznate.

Svaki ciklus, grupu do 4 makro operacije, šalje(otprema) u jedno od dva namenska jezgra. Makro operacije se alociraju u 128-o ulazne redove(entry retirement queue). Memorijske operacije se alociraju u odgovarajuću pripremu (load) ili se čuvaju u odgovarajućim redovima, što održava konzistentnost x86 arhitekture. U svakoj otpremljenoj grupi, svaka jedinica kao i memorijska makro operacija se preimenjuje u 96-o ulazni fizički registar. Međutim, FP (eng. floating point) ili SIMD makro operacije se šalju FP klasteru kako bi nastavio sa daljim izvršenjem, ali se praćenje(status) beleži u „integer“ jezgru.



*Slika 10: Inovativni pristup, poredak.*

Preimenovanje fizičkih regisara (eng. Physical register) u Bullzoder arhitekturi je još jedan koncept koji se značajno udaljava od standarnih pristupa što konkurentnih tako i svojih prethodnih arhitektura. U mikro arhitekturama koje koriste fizičke registre(kao sto su Bulldozer, Pentium 4 itd), takođe postoje dve strukture koji drže stanje, ali su razdvojene u zavisnosti od funkcije. Jedna struktura je sam fizički registar, koji čuva sve vrednosti podataka. Druga struktura je nešto što AMD naziva „penzionisani red“ (eng. Retirement queue - RQ), koji čuva pokazivač ka određenom ulazu ka registru, a takođe i informaciju o stanju svake „puštene“ makro operacije i asocijativnog registra. Ovakva mikro arhitektura omogućava manju upotrebu energije, manipulišući RQ pokazivačima koji se mapiraju u registre, umesto da kopiraju vrednosti registra. U Bullzoder arhitekturi, do 4 makro operacije se mogu pustiti u svakom ciklusu.

Jednom preimenovane, makro operacije se postavljaju u 40-o ulazni jedinstveni planer u kome se čuvaju sve dok se svi raspoloživi resursi nisu na raspolaganju (dostupni). Kada je sve pripremnjeno planer će pustiti do 4 najstarije operacije do izvršne (egzekucione) jedinice.

## 3.5 Deljeni klaster pomerajućeg zareza (eng. Floating point cluster)

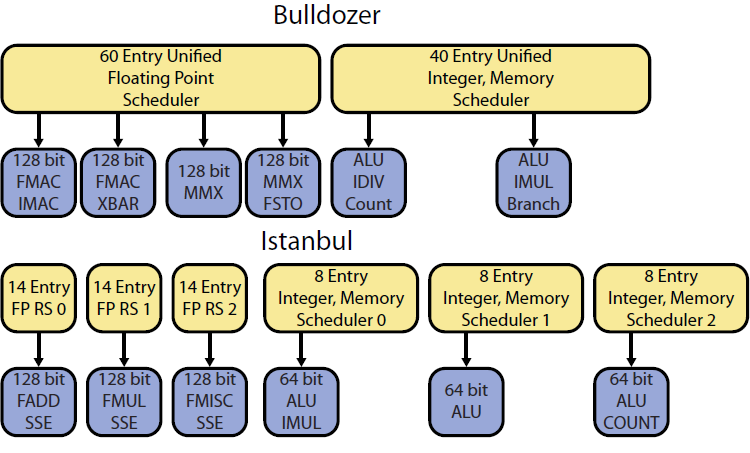
Klaster pomerajućeg zareza ima svoje izvršujuće strukture koje sadrže preimenovanje registara i planiranje. Kada se grupa isporuči ka jezgru, svaka FP ili SIMD makro operacija se alocira u RQ, kao i kod „integer“ makro operacija. Međutim, FP ili SIMD makro operacije se potom šalju u FP klaster za preimenovanje, planiranje i izvršenje, umesto u jezgro. Preimnjuju se u fizički registar, koji je dinamički deljen između jezgara i sadrži 160 ulaza. Ulazi su 128 bitova široki, a svaka 256 bitna instrukcija se dekodira kao dve makro operacije i koristi dva ulaza u registar, planer i RQ.

Kada se makro operacije preimenuju, pomeraju se u planer. Jedinstveni planer sadrži 60 makro operacija.

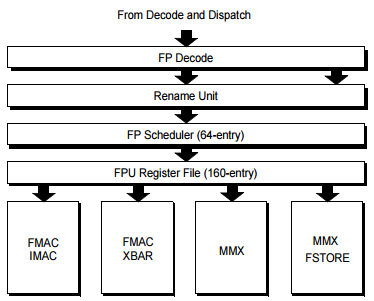
## 3.6 „Integer“ izvršne jedinice (execution units)

Istanbul arhitektura je bila konceptualno orijentisana setom od tri trake (lane). Svaka traka je imala sopstveni planer (scheduler). Bulldozer ostavlja tu ideju u istoriji i okreće se ponovo ka inovativnom dizajnu u pogledu odvojenih posvećenih (dedicated) planera. Zarad veće fleksibilnosti, jedinstveni 40 ulazni planer moze razrešiti bilo koju izvršnu jedinicu. Kao što se može videti na priloženoj slici, Bulldozer sadrži drugačiji asortiman funkcionalnih jedinica. U Instanbul arhitekturi, tri trake su imale ALU i AGU da uproste planiranje praveći svaku traku identičnom. Sa Bulldozerom, ovo više nije potrebno. Četiri ALU i AGU bi bili prejaki i zauzimali bi veliki prostor, a dodavali bi jako malo beneficija. Kako bi poboljšali tok (smanjujući veličinu jezgra), AMD je smanjio i broj „integer“ izvršnih jedinica.

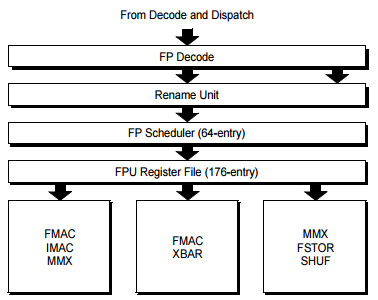
Ove jedinice se mogu posmatrati kao dve uglavnom identične grupe (0 i 1), gde je svaka grupa sastavljena od AGU i ALU. Dva AGU (address generation unit) – AGU 0 i 1, su identični i obavljaju izračunavanje adresa koje se pohranjuje u učitaj-čuvaj(load - store) jedinicu i keš hijerarhiju. „Integer“ izvršne jedinice (EX 0 i EX 1) su opremnjene ALU-om koji može da izvršava ogroman broj „integer“ (jediničnih) operacija. Međutim, razlike postoje, EX 0 je odgovoran za POPCNT i LZCOUNT operacije. EX 1 ima „pipleline“ multiplikator koji kontroliše spojene grane (mora biti postavljen u poslednje mesto u grupi za otpremanje).



*Slika 11: “integer” izvršne jedinice*



*Slika 12: Integer Klaster 8 jezgara*



*Slika 13: Integer klaster 6 jezgara*

## 3.7 Izvršne deljene jedinice pomerajućeg zareza (Shared floating point execution units)

Dok Bulldozer može da izvrši nove AVX instrukcije, sve izvršne jedinice su 128 bitova široke. Što dalje znaci da bilo koja 256 bita instukcija mora da se dekodira u dve makro operacije.

Kao i „integer“ jezgra, Bulldozerovi klasteri pomerajućeg zarera dolaze sa setom odvojenih planera i traka kojim AMD omogućava najfleksibilniji pristup. Četiri „pipelines“-a (P0 – P3), se pohranjuju od deljenog 60 ulaznog planera. Ovo je oko pedeset procenata više nego što se nalazilo u prethodnoj Istanbul arhitekuri. Srce samog klastera je par 128 bita širokih jedinica pomerajućeg zareza koje se nazivaju FMAC (Floating point multiply-accumutate cluster). Svaka FMAC jedinica takođe radi deljenje kao i korene operacije.

Dve FMAC jedinice izvršavaju FADD i FMUL instrukcije. Prvi „pipeline“ sadrži 128 bita „integer multiplz-acumulate“ jedinicu, primarno korišćenu za instrukcije XOP.

Hardver za konverziju izmenju jediničnog broja (integer) i „floating point“ tipova vrednosti, je povezan sa „pipeline 0“. Pipeline 1 takođe sadrži XBAR (eng. Crossbar hardware), koji se koristi za permutacije, pomeranja zareza(šiftovanje), mešanje (shuffle), pakovanje i odpakivanje.

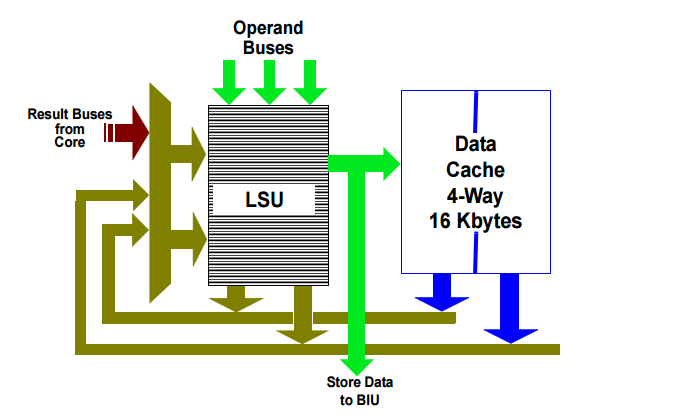
AVX instrukcije od 256 bita se najverovatnije izvršavaju na sledeći način. Prva opcija je da se svaka polovina tretira kao posebna makro operacija, kao što je K8 arhitektura koristila, a prepustiti planerima da odrade ostatak. Međutim, moguće je da Bulldozerove dve simetrične FMAC jedinice rade zajedno istovremeno kako bi u isto vreme izvršile AVX instrukciju i samim tim regulisali odnosno smanjili kašnjenje. Nije specificirano na koji način se ovo izvršava, ali postoje dobre pretpostavke da je na jedan od dva data načina.

Druga polovaina klastera pomerajućeg zareza za izvršenje zapravo skoro i da uopšte nema ništa sa FP podatcima. Bulldozer sadrži par velikih simetričnih 128-o bitnih „integer“ SIMD ALUa (P2 i P3) koje izvršavaju aritmetičke i logičke operacije. P3 takođe sadrži jedinicu za čuvanje (eng. Store unit – STO) za klaster pomerajuceg zareza. Uprkos imenu, jeinica zapravo ne ćuva ništa, nego prosleđuje podatke za čuvanje u učitaj-čuvaj(load-store) jedinici.

## 3.8 Memorijski podsistem

Uprkos velikim promenama na Bulldozer arhitekture što se tiče „pipeline“-ova i keševa, ostale sekcije čipa su uglavnom implementiranje kao i kod ranijih arhitektura, najviše zbog efikasnosti ranijih inovacija zarad najboljih performansi na samom kraju.

Memorijski „pipeline“ za svako Bulldozerovo jezgro počinje sa učitavanjem i čuvanjem redova (load and store queues) kao i „integer“ planera. Svako učitavanje i čuvanje dok se nešto izvršava mora biti alocirano na ulaz adekvatnog memorijskog reda. Ovo je neophodno kako bi se održao model x86 arhitekture. Prethodno, Istanbul je imao malo kompleksniji učitaj-čuvaj red sa dva nivoa, gde su različite funkcije izvršavane na svakom nivou. Bulldozer, međutim, ima jednostavan koncept mikroarhitekture, u kome ima odvojene 40 ulazne redove za učitavanje, i 24 ulazne redove za čuvanje. Što na kraju znači da svako jezgro moze imati do 33% više memorijskih operacija „u letu“ za razliku od svojih prethodnih generacija.



*Slika 14: Load-store blok*

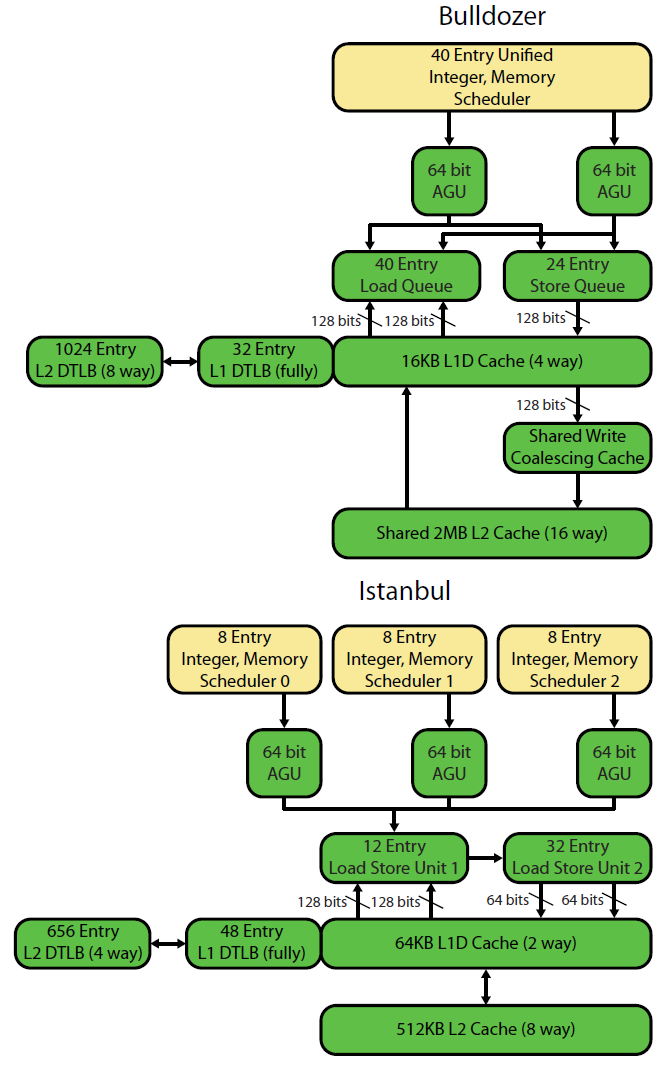
Svaki Bulldozer modul sadrži dva tipa keš memorije: prvostepeni keš (L1) koji je fokusiran na izvršenje instrukcija i drugostepeni keš (L2) koji predstavlja radnu zonu podataka koji se obrađuju. Prvostepeni (L1) keš se sastoji do dva dela: instrukcijskog keša i keša za podatke. Instrukcijski keš je veličine 64K i deli se između dva prisutna jezgra obzirom da posotji velika mogućnost da će instrukcija zahtevana od jednog jezgra biti potrebna i drugom, čime se povećava efikasnost tako što se instrukcija čuva samo na jednom mestu u keš memoriji. Svako jezgro raspolaže sopstvenom prvostepenom memorijom za keširanje zaduženog da zadrži podatke koji se koriste prilikom izvršenja instrukcija procesa u jednom ciklusu.

Pored L1 keš memorije, svaki modul raspolaže sopstvenom drugostepenom (L2) keš memorijom koja se zajednički deli između dva prisutna jezgra. Ovo je značajno veča keš memorija , kapaciteta 2MB. Ukoliko se tokom aktivnosti samo jedno jezgro koristi za skladištenje podataka, ono će imati pristup celokupnoj količini L2 keš memorije. Van modula, na nivou CPU jezgra postoji i 8MB trećestepene (L3) keš memorije.

Planer pohranjuje memorijske operacije u dva AGU-a (adress generation unit), odgovorne za adresne „generacije“.

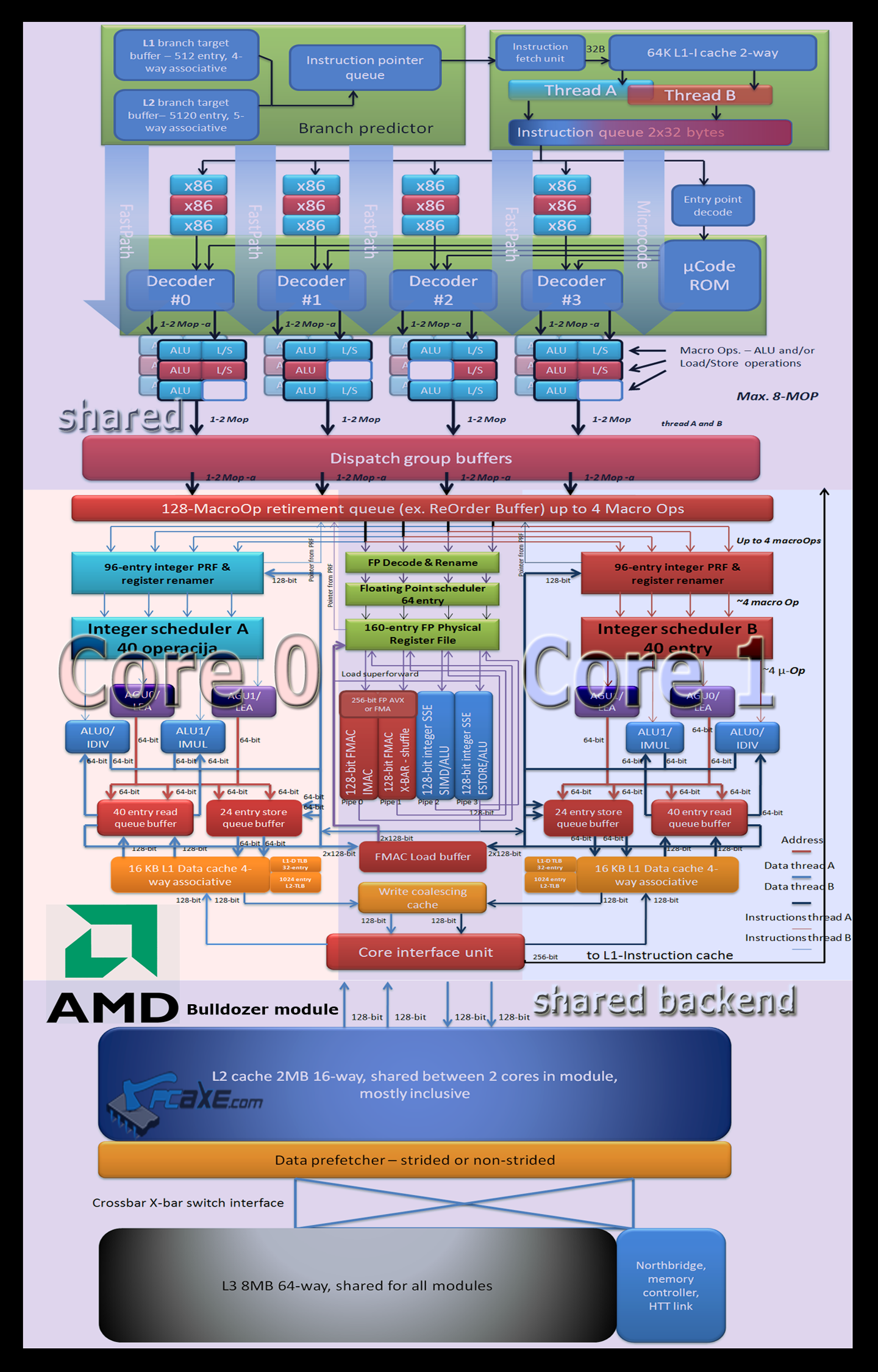
Hijerarhija keša je takođe dobila radikalne promene sa Buldozerom, a kako bi se potpuno objasnila neophodno je pogledati L1D i L2 keš. Buldozerovih 16KB L1D keš ima četvorostranu asocijativnost, virtuelno indeksiran a fizički označen, tako da TLB može koristiti paralelno proveravanjem samog indeksa. Obicno u 4-o stranom kešu, se moraju proveriti 4 različite lokacije (1 po ulazu) istovremeno kako bi se našli zahtevani podatci. L1D koristi predviđanje strane zarad povećanja performansi, tako što previđa koja od ove 4 strane sadrže podatke pa će nju prvu pregledati. Loša strana ovoga je što ukoliko dođe do pogrešnog predviđanja doći će do kašnjenja od jednog ili više ciklusa.

Keš je implementiran tako da mu se istovremeno može pristupiti. Samim tim tri pristupa su moguća u svakom ciklusu.



*Slika 15: Memorija*

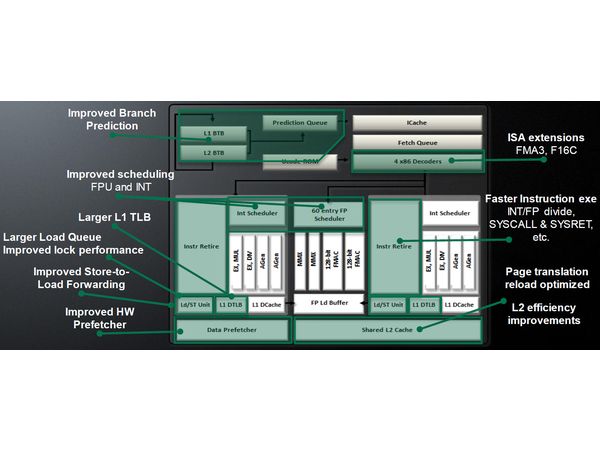
*Slika 16: Pregled mikroarhitekture*



## 3.9 Piledriver – poboljšanja

Dakle kao što je već bilo reči o tome, Bulldozer Zambezi se i nije baš proslavio, što primorava AMD da urade nešto po tom pitanju što je pre moguće, jer ne samo da ne pariraju Intelu već daleko zaostaju. Prvenstvene procene su bile da bi Bulldozer bio jači čak i od Intelovih i7 mikroprocesora što je bilo daleko od istine na kraju.

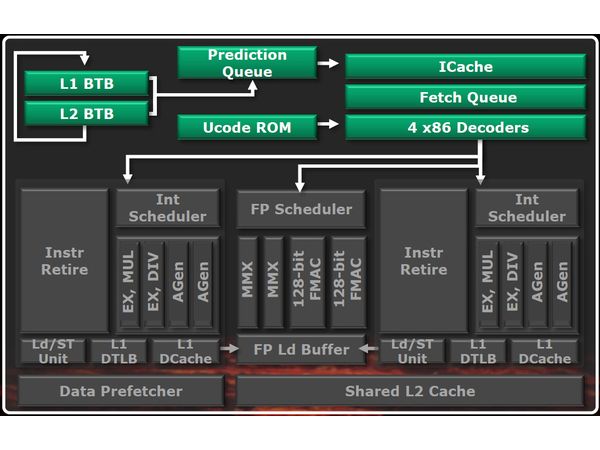
Poučeni lošim iskustvom u pogledu kada treba teoriju i ono sa papira prebaciti u realne performanse, inženjeri su se ovoga puta stvarno potrudili i unapredili sve što im se tada činio unapredivim.



*Slika 17: Unapređenja*

**Front-end unapređenja:**

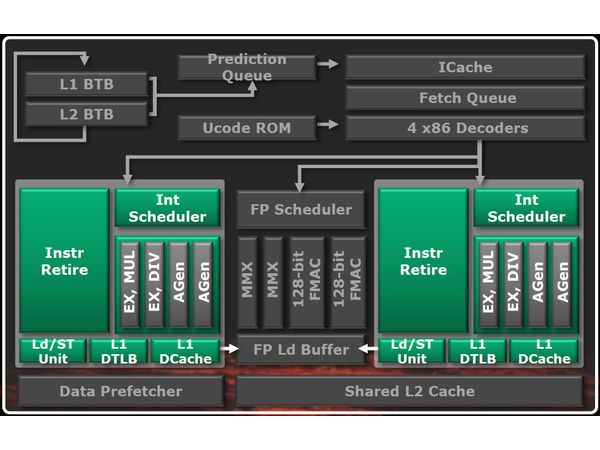
Kao jedna od zamerkih na prvenstvenu Buldozer arhitekturu je bila sama predviđačka grana, činila se kao slabost. Koncept modula je omogućavao određena deljenja resursa kao što je detaljno ispričano do sada, pa su arhitekte pokušale na front endu da smanje “bottleneck” koliko je to bilo moguće. Implementiran je predviđajući red (prediction queue) za svaki “thread” iza 512 ulaza L1 kao i 5000 ulaza L2 BTB-a (branch target buffer). I sada, Piledriver AMD-u deluje dosta preciznije u pogledu samih predviđanja, ovim dobija na dodatnoj preciznosti.



*Slika 18: Unapređenja*

**Unutar “Integer” Klastera:**

Dva “integer” klastera u svakom od modula podržavaju “out of order load/store” jedinice koje su bile u mogućnosti da učitaju 128bitova po ciklusu ili da sačuvaju 128 bita po ciklusu. AMD shvata da su postojale određene anomalije u Buldozeru koje ne bi hvatale već sačuvane podatke u samim registrima. Kako bi ovo unapredili omogućili su instrukcijama da se učitavaju u “integer” klaster mnogo brže

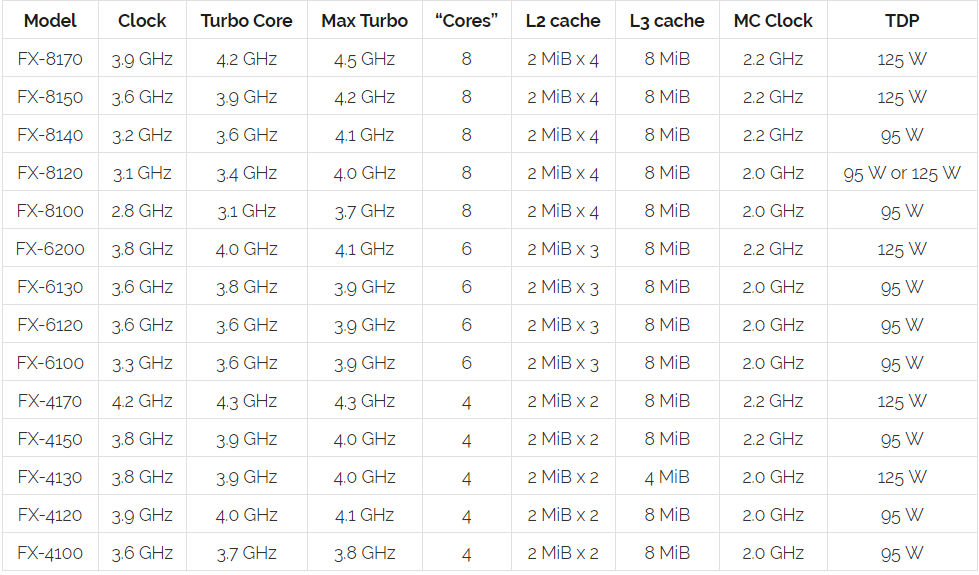


*Slika 19:*

Još jedna od bitnijih promena je svakako L1 keš. Koji raste sa 32 ulaza na 64. Zbog toga što L2 TLB ima poprilično 20 ciklusno kašnjenje, poboljšavanjem ulaza u L1 mogu se dobiti značajne performance, a da ne diraju nikakvu logiku.

# 4. Performanse i testovi

## 4.1 Bulldozer modeli

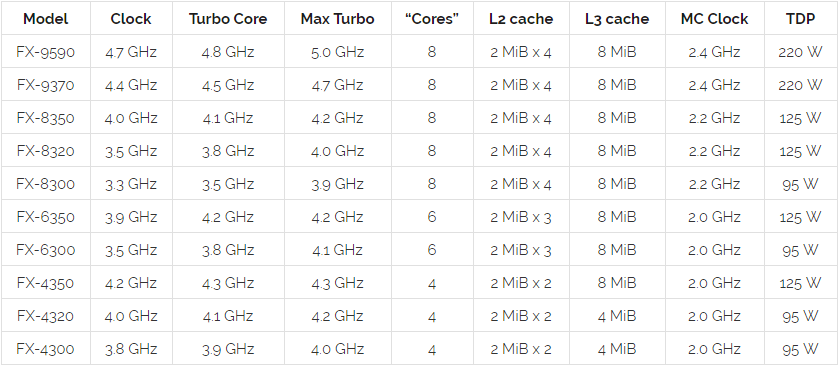


*Slika 20: Bulldozer modeli*

\*MC Clock – NorthBridge Clock

## 4.2 Piledriver modeli

Iznad se nalaze svi procesori na Bulldozer arhitekturi. Svi modeli podržavaju HyperTransport 3.0 brzine od 2400 MHz (9,6 GB/s) i 2600 MHz (10.4 GB/s), koji nisu dostupni na AM3 soketu. Svi procesori imaju otključan „multiplier“, što omogućava overklokovanje menjanjem ove varijable.



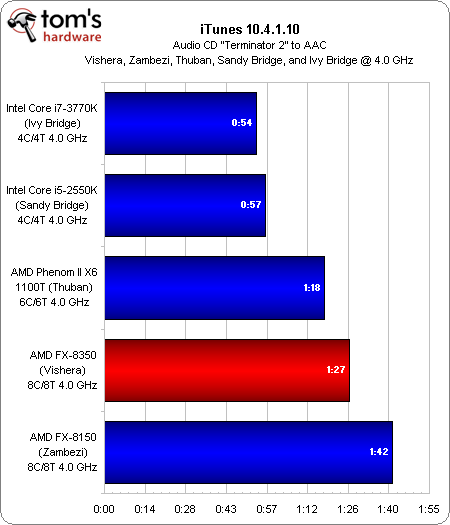
*Slika 21: Piledriver modeli*

Takozvani „poboljšani Bulldozer“ Piledriver ima veoma slične karakteristike.Svi modeli podržavaju HyperTransport 3.0 brzine od 2400 MHz (9,6 GB/s) i 2600 MHz (10.4 GB/s), koji nisu dostupni na AM3 soketu. Svi procesori imaju otključan „multiplier“, što omogućava overklokovanje menjanjem ove varijable.

## 4.3 Performanse

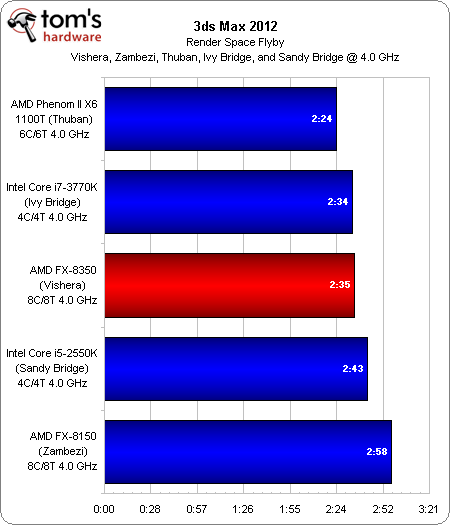
U ovom delu će biti prikazane neke uopštene performanse, što između samih AMD arhitektura tako i između najvećeg konkurenta. Cilj je samo generalni prikaz kako su se arhitekture u realnom vremenu u to vreme pokazale u odnosu na druge arhitekture, testovi nisu lično rađeni zvog nedostatka sredstava očigledno, pa će biti korišćeni već pripremljeni, uglavnom sa očiglednim komentarima. Laboratorijski uslovi u kojima su testovi vršeni su delimično poznati, i trebalo bi biti veoma blisko korišćenju arhitektura u realnom vremenu

.



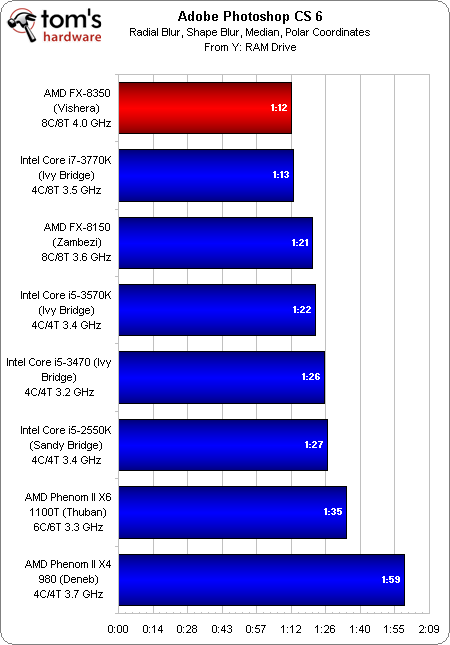
*Slika 22: Test 1*

Prvi test re rađen u iTunes aplikaciji, koja generalno koristi „single core“ najviše, ovde je naravno Intel veoma dominantniji u odnosu na AMD ove arhitekture, ali poređenja radi, vidi se unapređenje na Piledriver arhitekturi, a zapravo su obe Bulldozer koje rade na istim frekvencijama sporije od svoje prethodne Thuban arhitekture u single core aplikacijama.



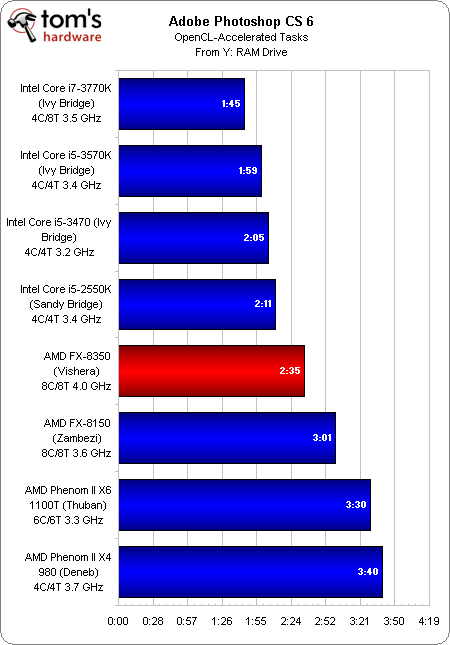
*Slika 23: Test 2*

U sledećem testu se ponovo vidi napredak Piledriver arhitekture, međutim primeti se da intel i nije toliko odskočio, to je zato što u testu nije korišćen Intelov najjači alat HyperThreding, i u samom testu pise da zapravo radi samo sa 4 fizička jezgra 4C.



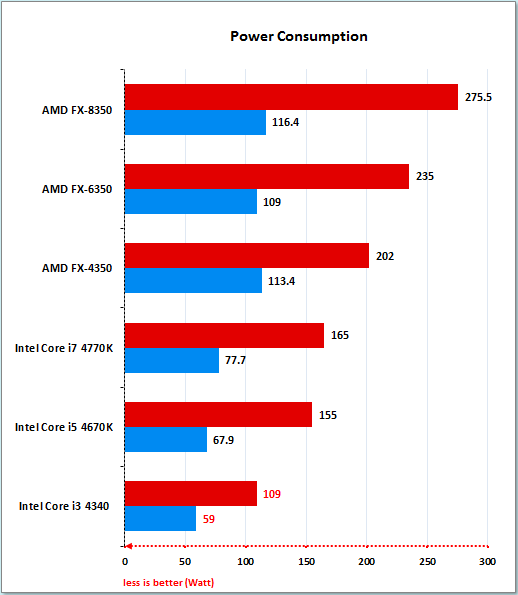
*Slika 24: Test 3*

U photoshopu starije verzije, multithreading uzima ono najbolje iz AMD-a, ravnomerno se deli aplikacija po svim jezgrima, što fizičkim što logičkim, i najnovija arhitektura izbija na prvo mesto, međutim to je zanemarljivo mala prednost, iz razloga što je ova jedna od retkih aplikacija koja u to vreme može da iskoristi pun potencijal AMD-a.



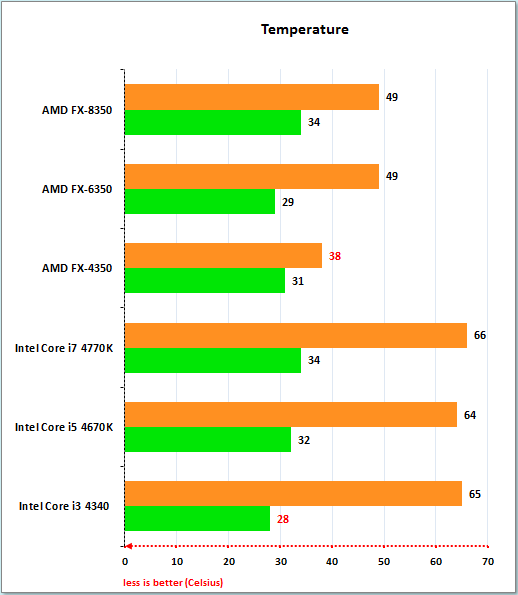
*Slika 25 Test 4*

Realno stanje bi izgledalo ovako nekako, kada se iskoristi puna moć i sve što jedan CPU može da ponudi bez prilagođavanja, što je u 90% slučajeva kod običnog korisnika, vidi se nadmoć Intela.



*Slika 26: Upotreba energije*

Potrošnja energije na maksimalnom opterećenju. Već je bilo reči i negativnih komentara ka AMD-u u ovom pogledu, zato što im Buldozer arhitektura koristi 125W TDP, dok Intel koristi znatno manje čime mu je maksimum 85W.



*Slika 27: Temperature*

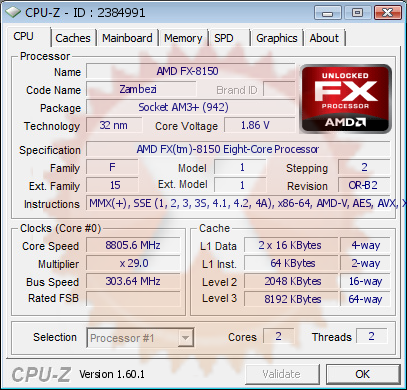
Kada su procesori u stanju punog opterećenja Intel modeli pokazuju prednost savremenijeg procesa izrade te daleko manje troše energiju, AMD ipak, parira u pogledu temperature jer veća površina silicijumskog jezgra gusto pakovanih tranzistora lakše disipira toplotu u okruženje te se jezgro lakše hladi. Kod intela je veliki broj tranzistora "zgusnust" na izuzetno malu površinu što stvara probleme konvencnalnim sistemima hlađenja jer ne mogu tako brzo da reaguju i oslobode toplotu iz jezgra u okruženje.

## 4.4 Overclocking

Svi AMD FX procesori imaju otključan multiplikator radne frekvencije koji omogućava jednostavan overkloking podizanjem radne frekvencije procesora bez stresiranja ostalih komponenti i sistemske magistrale PC računara. Kao i svi moderni procesori, AMD FX čipovi raspolažu sa automatskim sistemom dinamičkog povećanja radne frekvencije koji AMD obeležava terminom Turbo CORE. On deluje tako što se tokom izvršavanja softvera koji ima potrebe za dodatnom procesorskom snagom i kada to dozvoljava radna temperatura, poveća frekvenciju pojedinačnih jezgara iznad fabrički deklarisanih vrednosti. Time se dodatno povećavaju performanse procesora u realnom radu.

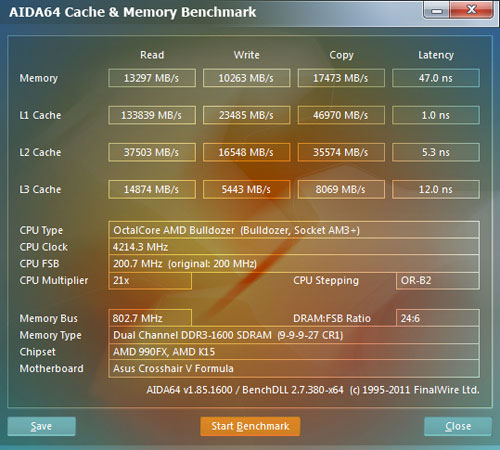
Naravno da overklokovanje sa svakom novijom generacijom i arhitekturom ima sve manje i manje smisla, čak šta više proizvođači sami prave procesore koji se takođe sami overklokuju ili underklokuju u zavisnosti od potrebe. Pred toga, ukoliko bi korisnik želeo da uživa te poboljšane performanse, morao bi da uloži dodatno u hlađenje kao i u sopstveno poznavanje do koje granice sam mikroprocesor može izdržati pre nego što dođe do deformacija samih signala i gubitka podataka kao i nestabilnosti sistema. Dakle, ukoliko bi korisnik išao na pristupačniji CPU sa ciljen da mu poveća radni takt, odma bi bio primoran u dodatna ulaganja koja pored toga se ogledaju i u potrošnji same električne energije, a performanse daju ne znatna poboljšanja.

Kao zaključak overklokovanja i očiglednih činjenica da se ne isplati to raditi, biće prikazano nekoliko testova kao i nekoliko rekorda na Buldozer arhitekturi.

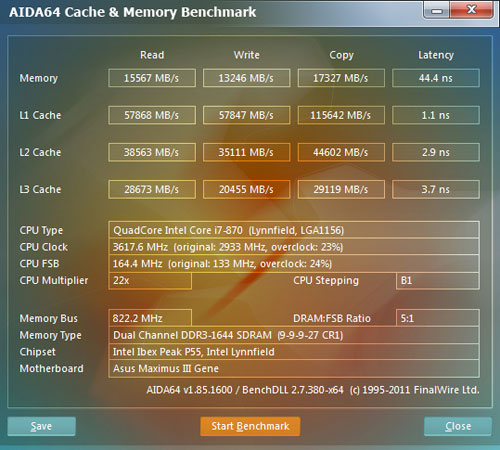


*Slika 28: rekord*

Sama fleksibilnost u overklokovanju Buldozer arhitekture postala je pravi izazov kod ljubitelja overklokovanja kao i simbol samog overkloka, dakle, većina pokušaja zbog slobode i otvorenosti ka korisnicima, vrši se bas na FX CPU-ovima. Neke od informacija u konkretnom slučaju obaranja rekorda su da je voltaža bila 1.86v ,osnovni takt je bio 303.64 MHz sa multiplajerom od 29x



*Slika 29: Test Memorije*



*Slika 30: Test memorije*

# 5. Zaključak

Pord zanimljivih činjenica u samom uvodu u temu, obrađena je do sitnih detalja sama arhitektura, barem što se tiče organizacije i implementacije. Nije se previše fokusirano na tehničke detalje koji je odnose na voltaže, kao i slične manje bitnije stvari.  
  
Performanse su zagrebane po površini iz razloga što ih ima jako mnogo a cilj nisu same performanse nego kroz objašnjenja arhitekture da se provuku i neki testovi.

Sam rad pokušava da da odgovore na to kako Buldozer arhitektura funkcioniše, koji su sastavni delovi, šta koji deo i na koji način radi, što pored samog uvida u Buldozer arhitekturu objašnjava veliki broj do sada nejasnih delova i načina funkcionisanja što samog mikroprocesora i njegovih operacija, tako i arhitekture.

# Reference:

[1] Butler, Mike. “Bulldozer” A new approach to multithreaded compute performance. Hot Chips XXII, August 2010.   
[2] Multithreading Architecture, Mario Nemirovsky, Dean M. Tullsen

[3] The spirit of AMD, Jeffrey L. Rodengen  
[4] Interview with Mike Butler, Chuck Moore, Gary Silcott.   
[5] Jotwani, R. et al. “An x86-64 Core Implemented in 32nm SOI CMOS,” Proceedings of International Solid State Circuits Conference, pp 106-107, February 2010.   
[6] Conway, P. et al. Blade Computing with the AMD Opteron Processor (“Magny-Cours”). Hot Chips XXI, August 2009.

[7] Software Optimization Guide for AMD Family 15h Processors – AMD, January 2012

[8] Processor Microarchitecture: An Implementation Perspective (Synthesis Lectures on Computer Architecture), Antonio Gonzalez,Fernando Latorre

# Literatura:

<http://www.tomshardware.com/picturestory/713-amd-cpu-history.html>

lams.metropolitan.ac.rs:8080/lams/

<http://www.amd.com/en-us/products/processors/desktop/fx>

<http://www.amd-k6.com/history/>

<http://www.benchmark.rs/bulldozer-2871>

<http://www.bozzabench.com/Tests/TestView/tabid/95/id/459/currentpage/3/Maticne-ploce-cipsetovi-procesori/AMD-FX-procesori.aspx>

<http://support.amd.com/TechDocs/47414_15h_sw_opt_guide.pdf>

<http://www.xbitlabs.com/>