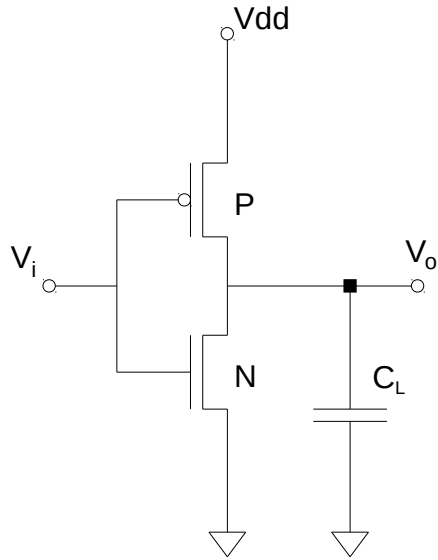


Consumo en circuitos CMOS



Inversor CMOS con carga capacitiva



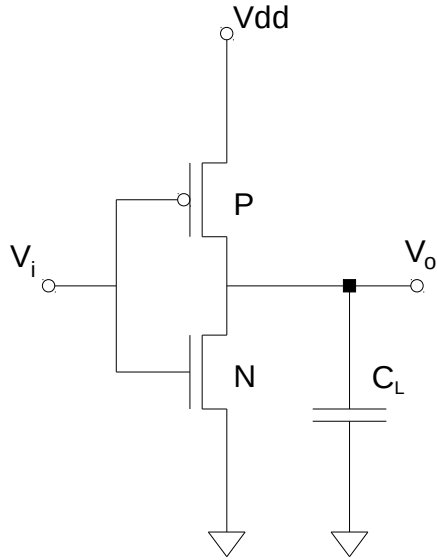
Co-funded by the
Erasmus+ Programme
of the European Union

Componentes del consumo

$$P = P_{switching} + P_{short-circuit} + P_{leakage}$$

- Consumo dinámico
 - 1 - Carga/descarga de la capacidad vista
 - 2 - Corriente de corto circuito
- Consumo estático
 - 3 - Corrientes de fuga

1 – Carga descarga de la capacidad vista



Analizando primero la carga del condensador desde 0V a V_{dd} a través de la conducción del transistor P podemos ver que se disipa una energía

$$E_P = \frac{1}{2} C_L V_{dd}^2$$

y el condensador a su vez almacena la misma cantidad energía

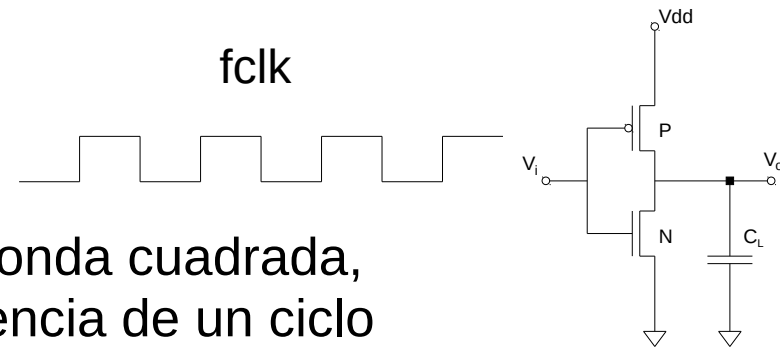
$$E_{CL} = \frac{1}{2} C_L V_{dd}^2$$

Esta energía almacenada en el condensador se disipa en el transistor N al descargarse el mismo, por lo tanto la energía disipada en el transistor N es una vez más:

$$E_N = \frac{1}{2} C_L V_{dd}^2$$

La energía total disipada por el inversor CMOS en un ciclo subida y bajada de su salida, o lo que es lo mismo de carga y descarga de la capacidad C_L , es entonces

$$E = C_L V_{dd}^2$$



Si la entrada V_i del inversor CMOS es una onda cuadrada, periódica de frecuencia f_{clk} entonces la potencia de un ciclo completo de carga y descarga está dada por la ecuación:

$$P = C_L V_{dd}^2 f_{clk}$$

Esta ecuación puede generalizarse a una red de compuertas CMOS con n nodos en donde la potencia total tiene la siguiente expresión:

$$P = V_{dd}^2 f_{clk} \sum_{i=1}^n C_i \alpha_i$$

donde C_i es la capacidad del nodo i , y α_i representa la cantidad de transiciones completas de carga-descarga de dicho nodo por ciclo de reloj, también llamada tasa de actividad (*activity rate*) de un nodo.

$$P = V_{dd}^2 f_{clk} \sum_{i=1}^n C_i \alpha_i$$

α_i no es directamente el valor que dan las herramientas de simulación, conocido como *toggle rate*, ya que las mismas cuentan o acumulan los cambios de nivel (o los flancos) de cada nodo del circuito, y no las transiciones completas carga-descarga. Es debido a esto que muchas veces esta ecuación aparece con un factor de $\frac{1}{2}$

$$P = \frac{1}{2} V_{dd}^2 f_{clk} \sum_{i=1}^n C_i toggle_i$$

$$P = V_{dd}^2 f_{clk} \sum_{i=1}^n C_i \alpha_i$$

V_{dd} tensión de alimentación

C_i capacidad del nodo i

α_i representa la cantidad de transiciones completas de carga-descarga de dicho nodo por ciclo de reloj

f_{clk} frecuencia de reloj

En un circuito síncrono sin azares:

$$0 \leq \alpha_i \leq 1$$

ya que un nodo puede cambiar a lo sumo una vez en cada período de reloj.

Este valor puede ser mayor si en el circuito hay ***glitches***.

Los ***glitches***, son pulsos no deseados debidos a los diferentes retardos de propagación de las señales en la etapa combinatoria, pueden aumentar mucho el consumo de un circuito.

Otro comportamiento posible es que los pulsos no tengan una excursión completa entre fuente y tierra, ya que si son muy angostos las capacidades pueden no llegar a cargarse o descargarse completamente.

Para que el cálculo de la potencia sea correcto estos efectos se deben incluir en el modelo, y una forma de hacerlo es incluirlos en el valor de α_i .

En este factor α_i se deben incluir no solo las transiciones de cada nodo, sino también las transiciones debidas a los *glitches*, ya sean completas o incompletas.

2 – Corriente de corto circuito

Se debe a la conducción simultánea de los dos transistores N y P del CMOS.

Corriente que circula entre V_{dd} y tierra.

Breves transitorios en las conmutaciones, debido a que la forma de onda de entrada no sube o baja en forma instantánea.

Cuando la entrada recorre valores intermedios se presentan zonas de conducción de los dos transistores.

Cálculo analítico de la potencia de cortocircuito para un inversor CMOS sin carga con una entrada en rampa con tiempos τ de subida y bajada:

$$P_{SC} = \frac{\beta}{12} (V_{dd} - 2V_{th})^3 f_{clk} \tau$$

β representa la ganancia en continua de los transistores.

Esta ecuación sin embargo no es muy útil, ya que siempre los inversores tienen a la salida algún tipo de carga, generalmente capacitiva.

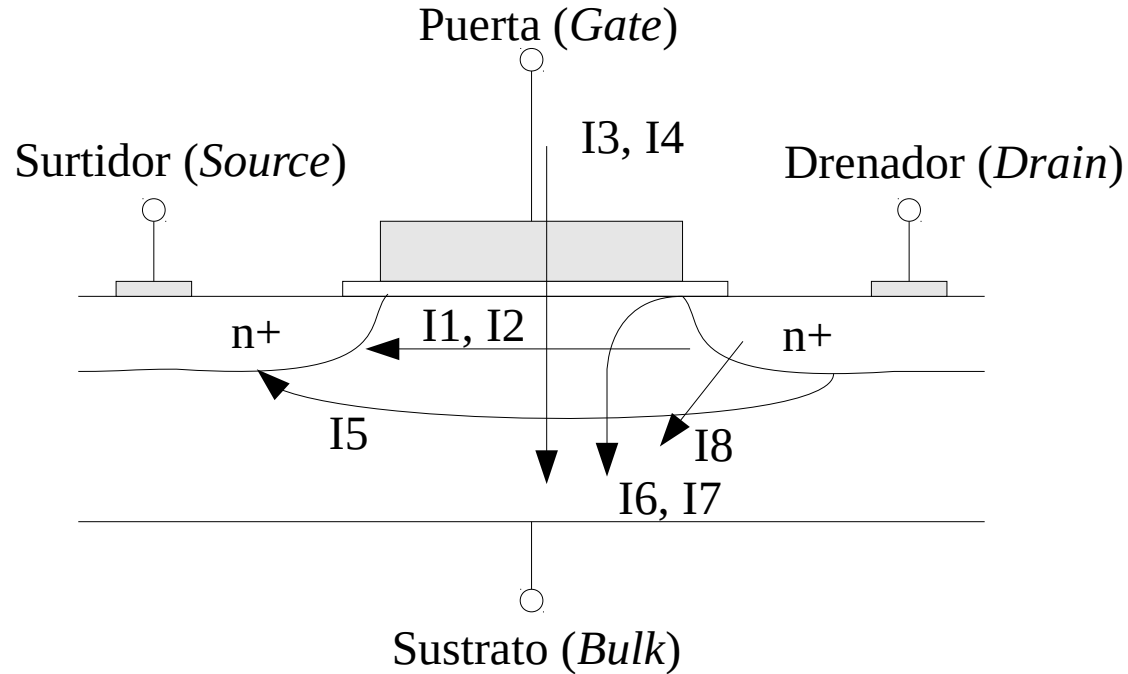
- [1] H. J. M. Veendrick, "Short-circuit dissipation of static CMOS circuitry and its impact on the design of buffer circuits," *IEEE J. Solid-State Circuits*, vol. 19, no. 4, pp. 468–473, Aug. 1984.
- [2] N. Hedenstierna and K. O. Jeppson, "CMOS Circuit Speed and Buffer Optimization," *IEEE Trans. Comput. Des. Integr. Circuits Syst.*, vol. 6, no. 2, pp. 270–281, Mar. 1987.
- [3] W. Nebel and J. Mermet, Eds., *Low Power Design in Deep Submicron Electronics*. Boston, MA: Springer US, 1997.
- [4] A. Bellaouar and M. I. Elmasry, *Low-Power Digital Vlsi Design*. Boston, MA: Kluwer Academic Publishers, 1995.
- [5] M. J. S. Smith, *Application-Specific Integrated Circuits*. ADDISON WESLEY Publishing Company Incorporated, 1997.
- [6] J. Rabaey, *Low Power Design Essentials*. Boston, MA: Springer US, 2009.

Comportamiento de la corriente de cortocircuito:

- Es lineal con la frecuencia de reloj (se produce en las conmutaciones).
- Depende fuertemente de los tiempos de subida y bajada de la entrada al inversor:
 - crece al incrementarse los tiempos de subida y bajada de la señal de entrada
 - decrece para grandes capacidades de salida
 - decrece cuando baja el voltaje de alimentación, incluso puede llegar a ser completamente eliminada si ya que en este caso es imposible que los dos transistores estén conduciendo al mismo tiempo.

Hay técnicas que permiten reducir y acotar la potencia de cortocircuito (esto es válido también para las nuevas tecnologías submicrónicas).

3 – Corrientes de fuga (consumo estático)



	Estado		Descripción
	ON	OFF	
I1	X		drain-to-source active current
I2		X	subthreshold leakage
I3	X	X	gate leakage (oxide tunneling current)
I4	X	X	gate current due to hot-carrier injection
I5		X	channel punch-through current
I6		X	gate-induced drain leakage (GIDL)
I7		X	band-to-band tunneling current (BTBT)
I8	X	X	reverse bias PN junction leakage

Las corrientes de fuga se han visto incrementadas enormemente con la reducción del tamaño de los transistores especialmente por debajo de los 100nm

En los transistores actuales con bajos voltajes V_{th} las componentes dominantes de las fugas son:

- I_2 -subthreshold leakage
- I_3 -gate leakage

seguidas de

- I_6 -GIDL
- I_7 -BTBT.

Además

- I_2 aumenta fuertemente con la temperatura.

Existen varias técnicas para lidiar con estas corrientes de fugas ya sea a nivel del proceso tecnológico o a nivel de circuito.

[7] S. Narendra and A. P. Chandrakasan, *Leakage in nanometer CMOS technologies*. New York: Springer, 2006, p. 307.

[8] S. P. Mohanty, N. Ranganathan, E. Kougianos, and P. Patra, *Low-Power High-Level Synthesis for Nanoscale CMOS Circuits*. Boston, MA: Springer US, 2008.

[9] K. Roy, S. Mukhopadhyay, and H. Mahmoodi-Meimand, "Leakage current mechanisms and leakage reduction techniques in deep-submicrometer CMOS circuits," *Proc. IEEE*, vol. 91, no. 2, pp. 305–327, Feb. 2003.

[10] Z. Abbas, V. Genua, and M. Olivieri, "A novel logic level calculation model for leakage currents in digital nano-CMOS circuits," in *2011 7th Conference on Ph.D. Research in Microelectronics and Electronics*, 2011, pp. 221–224.

[11] A. Abdollahi, F. Fallah, and M. Pedram, "Leakage current reduction in CMOS VLSI circuits by input vector control," *IEEE Trans. Very Large Scale Integr. Syst.*, vol. 12, no. 2, pp. 140–154, Feb. 2004.

[12] S. Singh, B. Kaur, B. K. Kaushik, and S. Dasgupta, "Leakage current reduction using modified gate replacement technique for CMOS VLSI circuit," in *2012 International Conference on Communications, Devices and Intelligent Systems (CODIS)*, 2012, pp. 464–467.

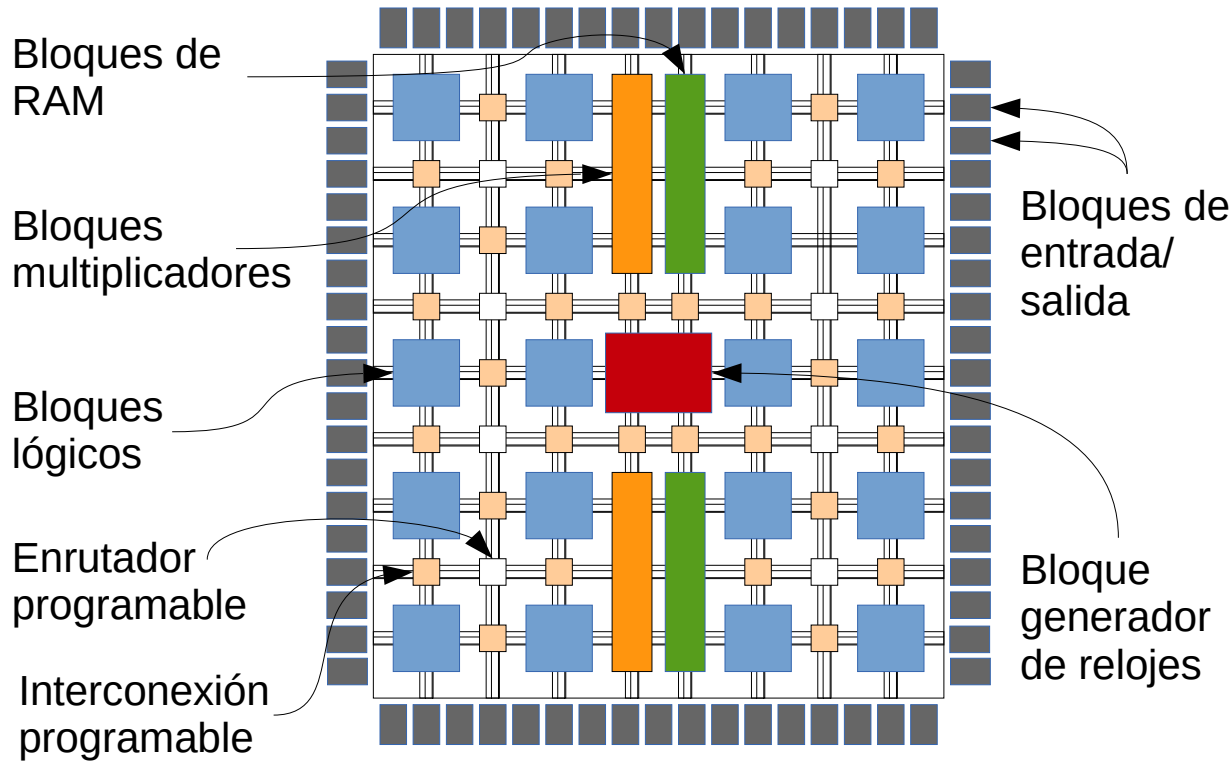
Consumo en FPGAs

- SRAM, EEPROM, FLASH
- Interconexiones programables, líneas
- Bloques hardware
 - DSP
 - PLLs
- I/O

Consumo de I/O (pines)

- Consumo dinámico de carga descarga del capacitor
- Tipo de buffer de salida, pull-up, pull-down
- Pines con interfaces especiales: LVDS, HSTL, SSTL
- Retardo programable
- Capacidad aprox: 50 pF
 - $P (@ 5V) = 1.25 \text{ mW por MHz}$
 - $P (@ 1V) = 0.05 \text{ mW por MHz}$

Arquitectura de una FPGA

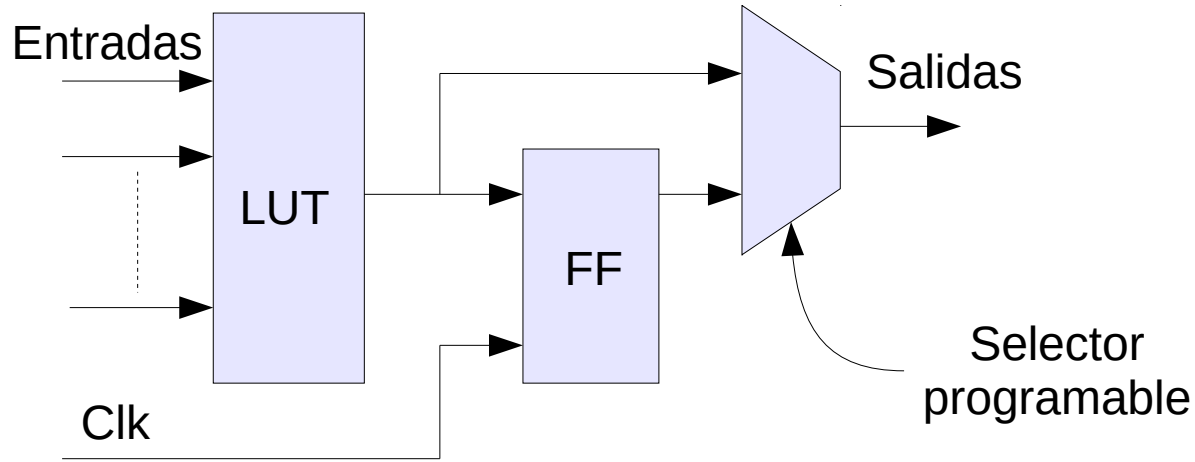


- Conjunto de bloques lógicos cuya función es programable
- Red de interconexiones de estos bloques también programable

Configuración del dispositivo:

- RAM estática, EEPROM o FLASH
- Los bits de RAM controlan:
 - el enrutamiento de las señales
 - las funciones combinatorias de las LUTs, y si se utiliza o no el elemento de memoria o *flip-flop*.

Bloques lógicos



- Parte combinatoria: Look-up table (LUT)
- Memoria: FF

Consumo en Microcontroladores

- Tecnología
- Reloj
- Bloques hardware (timers, PWM, UART, etc.)
- Modos de bajo consumo
- I/O