

1. Modulador delta

1.1. Introducción

El segundo conversor analógico/digital que se implementó fue un modulador delta. El mismo hace uso del principio de que, al muestrear una señal a una frecuencia mucho mayor a la de Nyquist (oversampling), el valor de la misma no se altera significativamente entre muestra y muestra. Por lo tanto, codificando la diferencia entre una muestra y la siguiente, en lugar del valor de la muestra en sí, se puede ganar SQNR sin necesidad de incrementar el número de bits del ADC. El diagrama de bloques básico de este conversor se observa en la figura 1.

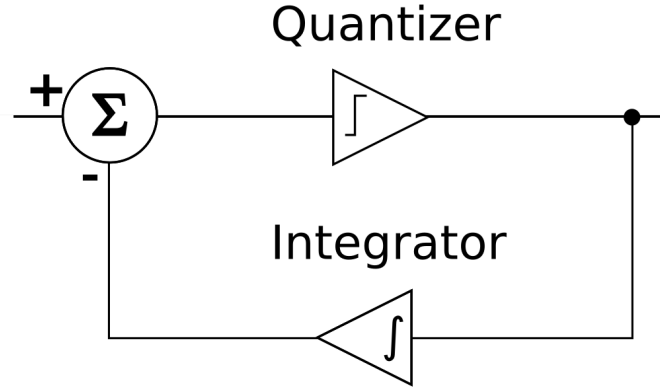


Figura 1: Diagrama de bloques del modulador delta

De esta manera, la salida digital del sistema indica si la señal es mayor o menor a su último valor, y de esta manera puede reconstruirse la señal original utilizando un integrador (al igual que lo hace el realimentador).

La principal limitación que presenta este conversor es el tiempo de adquisición, es decir, aquél que se demora entre un cambio de full scale en la entrada, y que el mismo es observable en la salida. Dado que la salida sólo puede cambiar de a un bit por período de muestreo, este tiempo limita la frecuencia máxima de entrada que se puede seguir con una cierta frecuencia de muestreo f_s . Llamamos Δ a la diferencia entre dos niveles lógicos en la salida (un LSB), que en nuestro caso es:

$$\Delta = \frac{5V}{256 - 1} \sim 0.0196V \quad (1)$$

Luego, la condición para que la salida pueda seguir a la entrada, es decir, que por cada período de muestreo T_s , la salida no cambie más de 1LSB, queda expresada como:

$$\frac{dx}{dt} \leq \frac{\Delta}{2T_s} \quad (2)$$

Si consideramos entradas senoidales de amplitud V_p y frecuencia f_0 , se obtiene entonces que:

$$f_s \geq \frac{V_p}{\Delta} \cdot 4\pi f_0 \quad (3)$$

Considerando el valor obtenido en 1, y que la tensión pico máxima es $5V/2 = 2.5V$, se obtiene que:

$$f_s \geq 510\pi \cdot f_0 \simeq 1603 \cdot f_0 \quad (4)$$

Dado que en este trabajo se utiliza $f_s \in [6\text{kHz}, 45\text{kHz}]$, las senoidales más rápidas que se puedan seguir serán de entre 3.74Hz (para $f_s = 6\text{kHz}$) y 28Hz (para $f_s = 45\text{kHz}$).

1.2. Implementación

En este trabajo, la implementación utiliza la FPGA como integrador y un LM311 para realizar la resta y la cuantización: su salida es V_{CC} (un uno lógico) cuando la entrada es mayor que la salida, y 0 (la tensión de referencia, que a su vez representa un cero lógico) cuando no. La FPGA recibe esta información, e incrementa o decrementa un contador de 8 bits, dependiendo de si el comparador arrojó un 0 o un 1 respectivamente. Finalmente, el valor digital de este contador atraviesa un DAC0800 (con el mismo conexionado discutido en relación a la placa ADA), cuya salida se realimenta al LM311, cerrando así el lazo de realimentación.

Dado a que se realiza una conversión por período de muestreo, a partir del valor instantáneo de la salida del comparador (con la frecuencia que selecciona el usuario, e implementado internamente en la FPGA), no es necesario utilizar un sample and hold en la entrada de este conversor. Sin embargo, por compatibilidad con el conexionado requerido para el conversor SAR (que sí lo requiere), se decidió pasar la señal por el mismo de todas maneras, cambiando sólo la señal de control del mismo (determinada por la FPGA para que se esté siempre en modo sample cuando el usuario indica que se debe trabajar en modo "modulador delta" (lo cual se implementó con jumpers que modificaban señales que iban a la FPGA).

1.3. Mediciones