

Instituto Tecnológico de Buenos Aires

22.05 ANÁLISIS DE SEÑALES Y SISTEMAS DIGITALES

Trabajo práctico 3: Procesamiento mixto de señales

Grupo 1

MÁSPERO, Martina	57120
MESTANZA, Joaquín Matías	58288
NOWIK, Ariel Santiago	58309
PARRA, Rocío	57669
REGUEIRA, Marcelo Daniel	58300

Profesores

JACOBY, Daniel Andrés
IRIBARREN, Rodrigo Iñaki
BELAUSTEGUI GOITIA, Carlos

Presentado: 14/06/2019

Índice

1. Placa Base ADA	2
1.1. Acondicionamiento de la señal	2
1.2. Conversor analógico - digital	2
1.3. Conversor digital - analógico	3
1.4. Filtros	3
1.4.1. Cálculo de la frecuencia del clock externo	4
1.4.2. Alimentación y protecciones	5
1.5. Mediciones	6
2. SAR	7
2.1. Introducción	7
2.2. Implementación	7
2.3. Mediciones	8
3. Modulador delta	9
3.1. Introducción	9
3.2. Implementación	11
3.3. Mediciones	11
4. Conversores $\Sigma\Delta$	13
4.1. Error de cuantización	13
4.2. Principios de Oversampling	16
4.3. Concepto de Noise Shaping	17
4.4. Decimación: Introducción teórica	18
4.4.1. Rate Conversion	18
4.4.2. Decimación	18
4.4.3. Filtros de decimación	19
4.4.4. Filtros Comb	20
4.5. Simulaciones	21
4.5.1. Respuesta al impulso	21
4.5.2. Espectro del ruido de cuantización	22
4.5.3. Respuesta del sistema frente a una senoidal de 1KHz	24
4.5.4. Respuesta en frecuencia del filtro decimador	25
4.6. Moduladores $\Sigma\Delta$ de primer orden	26
4.7. Implementación	27
4.7.1. Oscilador	27
4.7.2. Filtros Antialiasing - Recuperador	29
4.7.3. Diferenciador	30
4.7.4. Integrador con switched capacitors (SC)	31
4.7.5. Cuantizador de 1 bit	34
4.7.6. DAC para realimentación	35
4.8. Mediciones - Resultados obtenidos	36
4.8.1. Senoidal	36
4.8.2. 1/2 Gauss	39
4.8.3. Sinc	43

1. Placa Base ADA

1.1. Acondicionamiento de la señal

Dado que el conversor ADC trabaja únicamente con señales positivas, es necesario agregar un offset a la señal de entrada, para aprovechar la máxima excursión del integrador. Como los integrados de los filtros no pueden trabajar con señales de más de 5V, se eligió un offset de 2.5V y la señal queda limitada a $5V_{pp}$. El circuito implementado es el siguiente:

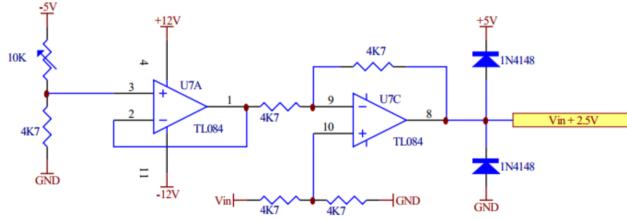


Figura 1: Circuito de Offset

1.2. Conversor analógico - digital

Se utilizó el integrado ADC0809, un conversor analógico-digital de 8 bits, compuesto por tres partes principales: una escalera de resistencias, un registro de aproximación sucesivo y un comparador. Al recibir un flanco ascendente de START, el registro del conversor se restablece, la señal de fin de la conversión (EOC) se mantiene alta por un tiempo denominado t_{EOC} (EOC Delay Time) para después pasar a su estado bajo como se muestra en la figura 2. La conversión se inicia entre 0 y 8 ciclos de clock luego del flanco descendente de START. Luego, para avisar la finalización de la conversión, la señal de EOC vuelve a su estado alto. Para realizar sucesivas conversiones, en la hoja de datos se recomienda unir la salida de la señal EOC a la entrada del START, logrando que el conversor reciba como nuevo pulso de START al flanco ascendente de la señal EOC y comience una nueva conversión. Si se utiliza en este modo, un pulso de inicio de conversión externo debe aplicarse después de encenderse. Es importante que durante todo el tiempo de conversión la señal analógica de entrada se mantenga estable para asegurar que la misma se efectúe de manera correcta.

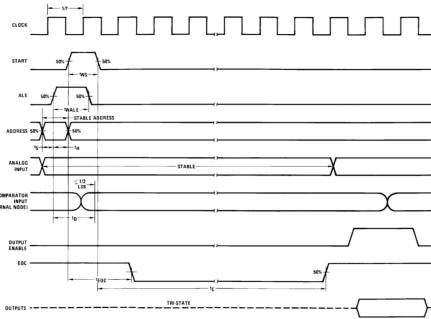


Figura 2: Señales ADC

A una frecuencia de clock de 640KHz, el ADC0809 requiere $100 \mu s$ para realizar la conversión. No será necesario el uso de un Sample & Hold si la entrada varía menos de 1 bit en ese tiempo, pero en caso contrario, cuando la entrada varíe rápidamente si lo será, y se sincroniza al mismo con la señal de EOC. La señal de EOC bajará entre 0 y 8 pulsos de clock después del flanco ascendente de START. Puede pasar que el tiempo de sample (cuando EOC está en su estado alto) sea menor al tiempo de transitorio del Sample & Hold, haciendo que el valor guardado en el hold un valor incorrecto. Como solución a esto se decidió no utilizar la conexión propuesta en la hoja de datos, si no que se conectó el START y el EOC al FPGA. Utilizando un clock a la frecuencia de muestreo, en cuanto llega un flanco ascendente del clock el sample and hold se pone en estado hold y luego de $8\mu s$ (que es el tiempo de establecimiento) se manda el START al ADC. Cuando se finaliza la conversión, el EOC pasa a estado alto y el sample and hold al estado sample y se actualiza la salida del flip flop. Una vez en este estado se espera al flanco ascendente del clock y se repite el ciclo. El clock del flip flop está conectado al EOC para que la salida se actualice una vez que se haya terminado la conversión.

1.3. Conversor digital - analógico

Se utilizó el integrado DAC0800, un conversor D/A de 8 bits con salida diferencial de corriente. Para convertirlo a un nivel de tensión se utilizó el circuito propuesto por la hoja de datos que se muestra a continuación:

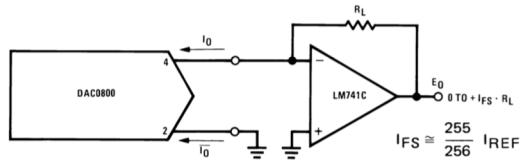


Figura 3: Configuración DAC

La salida va de 0 a $V_{fs} = I_{fs}R_f$.

1.4. Filtros

Para implementar los filtros antialiasing y recuperador, se utilizó el integrado MAX297. Éste funciona como un filtro pasa bajos Cauer de orden 8 que funciona con capacitores switcheados. El dispositivo permite ajustar la frecuencia de paso del filtro mediante dos formas: la primera mediante capacitores externos que ajustan al oscilador interno del integrado, y la segunda, con un clock externo que tiene una frecuencia proporcional a la frecuencia de paso. En este caso se decidió utilizar la segunda opción, y más adelante se hará el cálculo de la frecuencia que debe tener el clock para ajustar bien la frecuencia de paso del filtro. A partir de las características del integrado se obtuvieron la respuesta en frecuencia y el diagrama de polos y ceros:

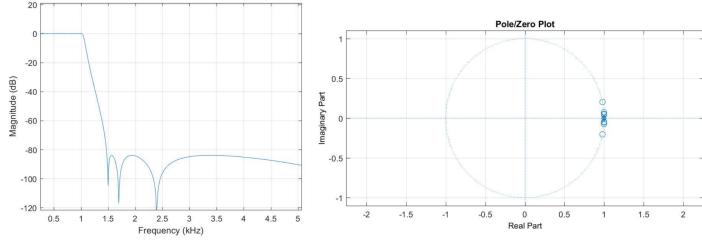


Figura 4: Respuesta en frecuencia y diagrama de polos y ceros en el plano 'z' del integrado

Además se obtuvieron los coeficientes del filtro quedando la función transferencia como:

$$\frac{z^8 - 7.948z^7 + 27.69z^6 - 55.22z^5 + 68.95z^4 - 55.22z^3 + 27.69z^2 - 7.948z + 1}{z^8 - 7.948z^7 + 27.63z^6 - 54.89z^5 + 68.17z^4 - 54.19z^3 + 26.92z^2 - 7.645z + 0.9498}$$

1.4.1. Cálculo de la frecuencia del clock externo

Según la hoja de datos del integrado la relación de la frecuencia del clock y la frecuencia de paso es:

$$\frac{f_{clk}}{f_p} = 50 \quad (1)$$

Donde la frecuencia de paso puede ir de 0.1Hz a 50KHz. En la banda de paso hay un ripple típico de 0.23 dB medidos a una $f_{clk} = 50\text{KHz}$ y una atenuación en la banda atenuada de 80dB. A continuación se muestra la respuesta en frecuencia del filtro dada para una frecuencia de paso de 1KHz:

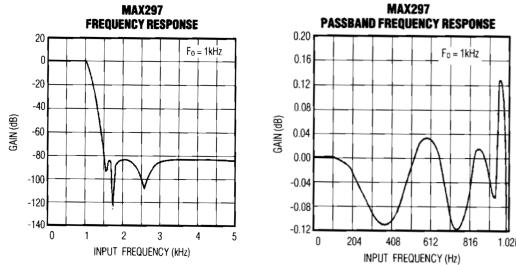


Figura 5: Respuesta en frecuencia del integrado MAX297

Dado que se pide muestrear con frecuencias entre 6KHz y 44.5KHz, para que no se produzca aliasing, por le criterio de Nyquist la frecuencia de atenuación deberá ser:

$$f_a = \frac{f_s}{2}$$

Por lo que debería suceder que comprenda el intervalo entre 3KHz y 22.25KHz. Y como la selectividad esta dada por:

$$\frac{f_a}{f_p} = 1.5$$

$$f_p = \frac{f_s}{3}$$

Sabiendo la relación entre la frecuencia del clock y la frecuencia de paso dada por la ecuación 1, se obtiene finalmente:

$$f_{clk} = \frac{50}{3} f_s \simeq 16 f_s$$

Entonces queda que el rango de las frecuencias de clock deberá ser:

$$96KHz \leq f_{clk} \leq 712KHz$$

1.4.2. Alimentación y protecciones

La alimentación del integrado se encuentra acotada entre $\pm 2.35V$ y $\pm 6V$ Dual Supply, en este caso se alimentó con $\pm 5V$. Por lo que se decidió poner diodos zener de 5.6V conectados como muestra la figura. Luego en caso de que se coloque la alimentación al revés, actúan los diodos que limitan la tensión a 0.7V protegiendo al integrado. Además como el integrado suele quemarse con los picos de corriente que resultan del encendido de la fuente se colocó un capacitor para evitarlos y además una resistencia para que el capacitor pueda descargarse.

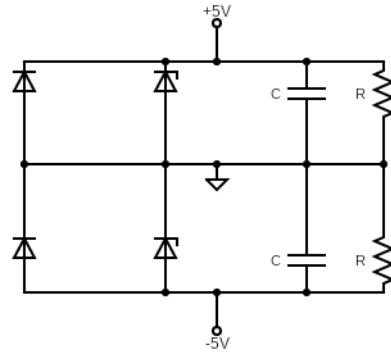


Figura 6: Protección en la alimentación

La entrada analógica tampoco debe sobrepasar los límites permitidos ($V^- - 0.3V \leq Vin \leq V^+ + 0.3V$), por lo que se colocó la siguiente protección:

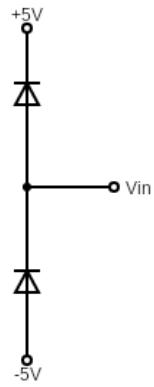


Figura 7: Protección en la entrada

1.5. Mediciones

2. SAR

2.1. Introducción

El primer conversor que se implementó fue un registro de aproximaciones sucesivas, o SAR por sus siglas en inglés (Successive Approximation Register). El diagrama de bloques de este conversor se observa en la figura 8.

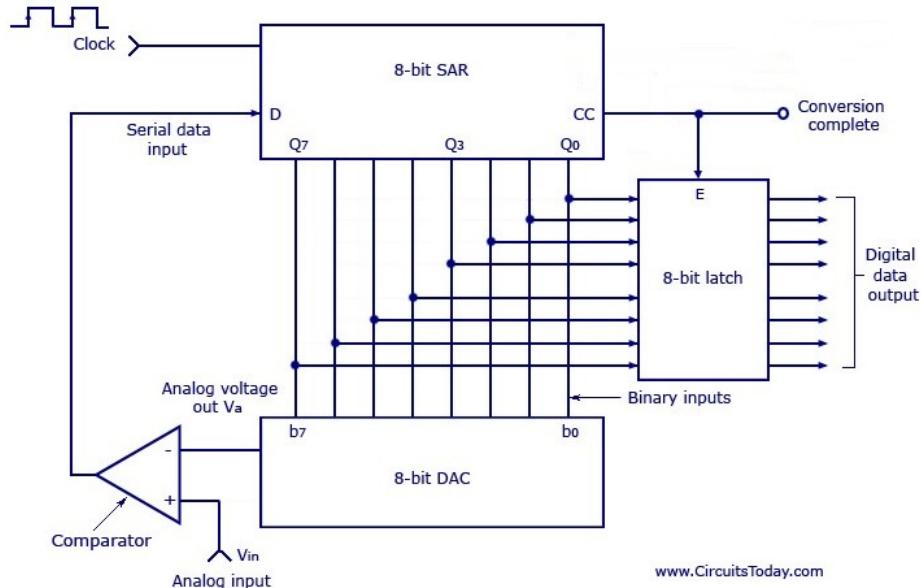


Figura 8: Diagrama en bloques del SAR

La lógica de predicción del SAR sigue el principio de la búsqueda binaria. Se comienza con el bit más significativo en 1 y el resto en 0, se convierte esta señal al dominio analógico, y se la compara con la entrada. Según el resultado de esta comparación (a la cual se la puede considerar una cuantización de un bit), el bit se dejará encendido o se apagará en la siguiente iteración, en la cual además se encenderá el bit siguiente. El proceso se repite sucesivamente hasta llegar al bit menos significativo, luego de lo cual se enciende la señal de end of conversion, guardando el resultado de la conversión en el latch de salida. Como para cada conversión de N bits se deben hacer N comparaciones, y un pulso adicional para obtener la nueva muestra, entonces se requiere que la frecuencia del clock que controla al registro de aproximaciones sucesivas sea:

$$f_{CLK} = 9f_s \quad (2)$$

Adicionalmente, es necesario que la señal de entrada se mantenga constante durante el tiempo de conversión, o al menos que varíe menos de un LSB. por lo tanto, la misma debe atravesar un sample and hold antes de ingresar al comparador.

2.2. Implementación

Para la implementación, se utilizó un sample and hold LF398, un comparador LM311 y un DAC0800 con un LM398 como amplificador de transimpedancia, tal como se explicó para la placa

base ADA. Tanto el registro de aproximaciones sucesivas como el latch se implementaron con la FPGA, que a su vez controlaba el input lógico del sample and hold.

2.3. Mediciones

La precisión del conversor se vio confirmada por las mediciones realizadas en continua, tal como se observa en la figura 9.

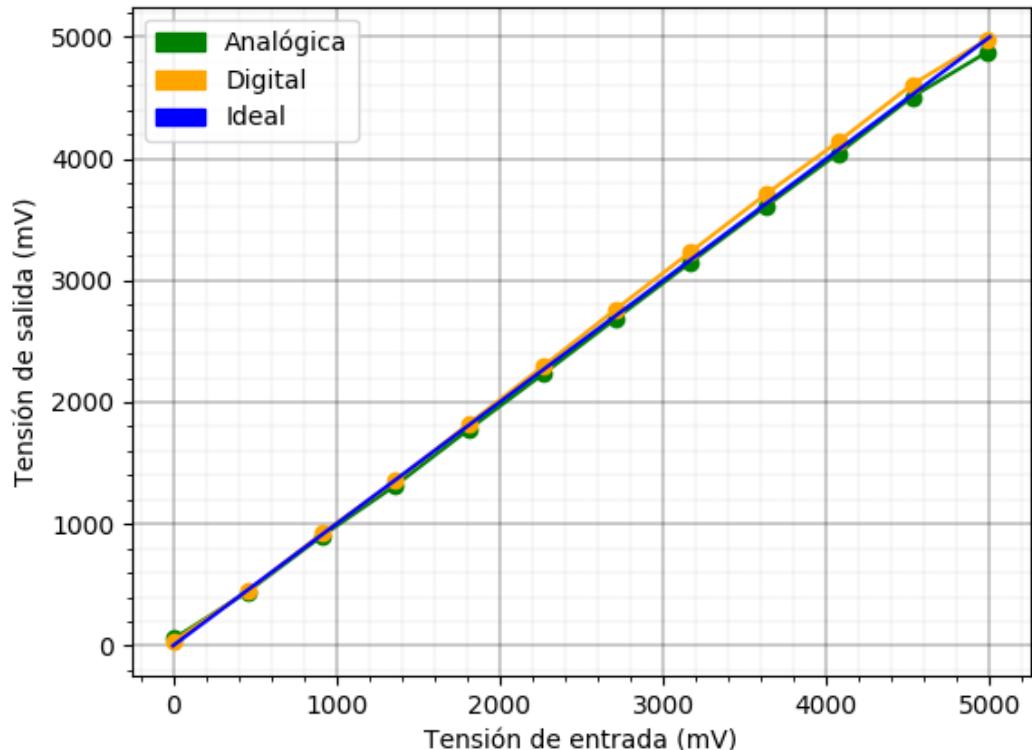


Figura 9: Salida del SAR con entrada continua

Un problema que se observa en continua es que cuando la entrada es de 5V, la tensión de full scale, no se obtienen 5V a la salida. Efectivamente, en la figura 10 se puede confirmar que el conversor presenta problemas para llegar a los extremos del rango donde debería funcionar. Esto puede deberse a inexactitud en las resistencias usadas en el conversor digital-analógico, lo cual sería consistente con el hecho de que el error es mayor en la salida analógica que en la digital.

Se estudió, asimismo, el efecto de reducir la cantidad de bits activos. Esto podría, en teoría, resultar en una frecuencia de clock menor, pero esto no se implementó en la FPGA, con lo cual la frecuencia de muestreo se mantiene constante. Se observa que aparece una mayor cantidad de niveles discretos, con mayor cantidad de bits encendidos.

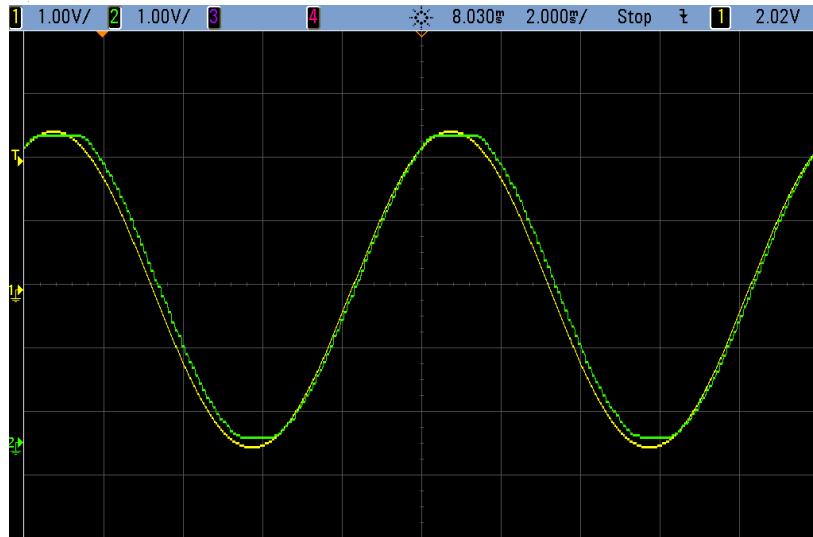


Figura 10: Salida del SAR con entrada de 5V pico a pico

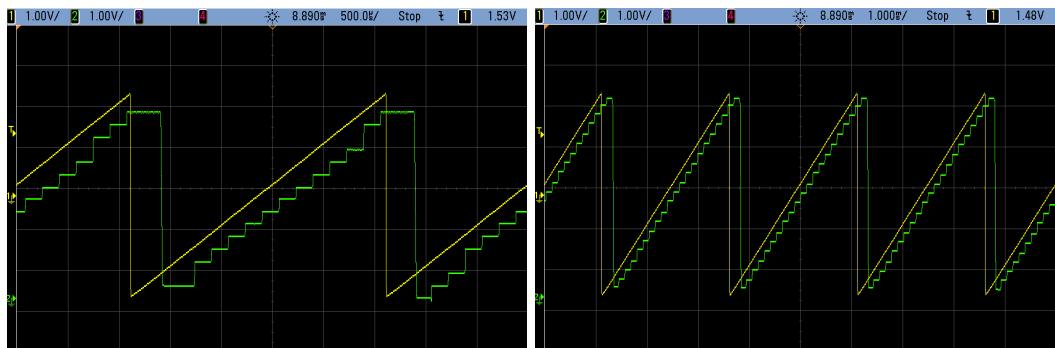


Figura 11: Salida del SAR con 4 y 6 bits activos

3. Modulador delta

3.1. Introducción

El segundo conversor analógico/digital que se implementó fue un modulador delta. El mismo hace uso del principio de que, al muestrear una señal a una frecuencia mucho mayor a la de Nyquist (oversampling), el valor de la misma no se altera significativamente entre muestra y muestra. Por lo tanto, codificando la diferencia entre una muestra y la siguiente, en lugar del valor de la muestra en sí, se puede ganar SQNR sin necesidad de incrementar el número de bits del ADC. El diagrama de bloques básico de este conversor se observa en la figura 13.

De esta manera, la salida digital del sistema indica si la señal es mayor o menor a su último valor, y de esta manera puede reconstruirse la señal original utilizando un integrador (al igual que lo hace el realimentador).

La principal limitación que presenta este conversor es el tiempo de adquisición, es decir, aquél que

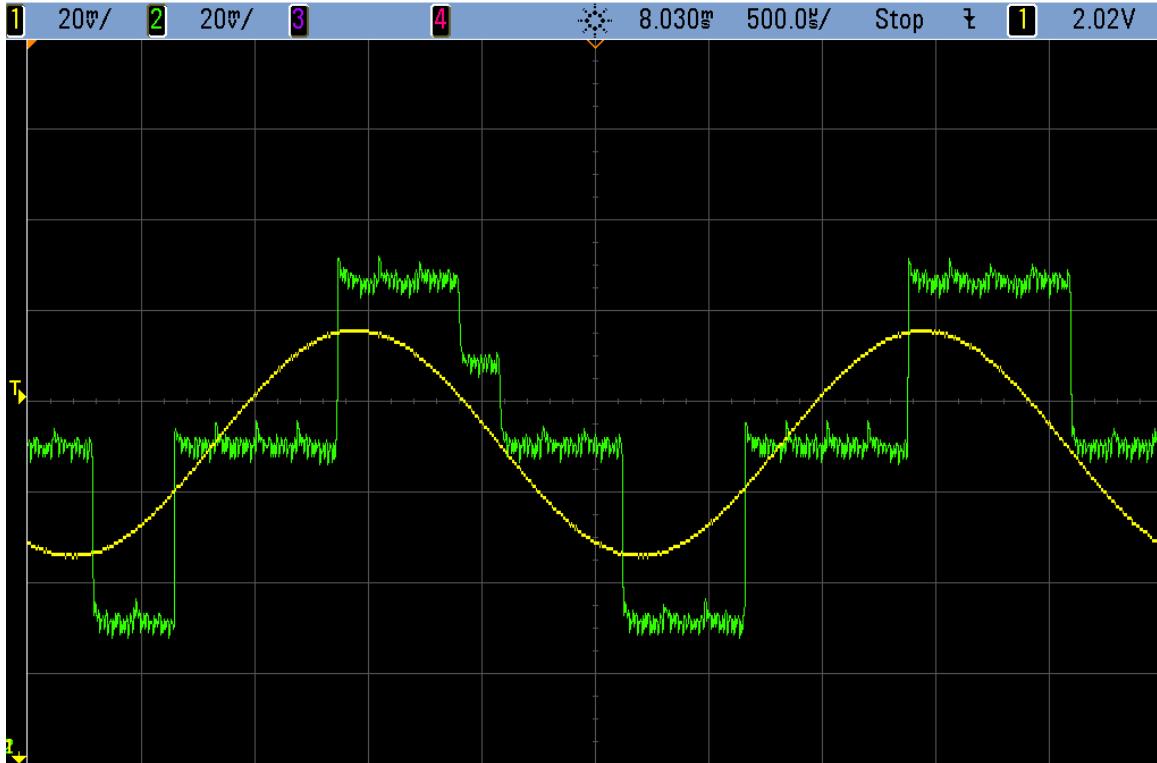


Figura 12: Salida del SAR con entrada de 25mV de amplitud

se demora entre un cambio de full scale en la entrada, y que el mismo es observable en la salida. Dado que la salida sólo puede cambiar de a un bit por período de muestreo, este tiempo limita la frecuencia máxima de entrada que se puede seguir con una cierta frecuencia de muestreo f_s . Llamamos Δ a la diferencia entre dos niveles lógicos en la salida (un LSB), que en nuestro caso es:

$$\Delta = \frac{5V}{256 - 1} \sim 0.0196V \quad (3)$$

Luego, la condición para que la salida pueda seguir a la entrada, es decir, que por cada período de muestreo T_s , la salida no cambie más de 1LSB, queda expresada como:

$$\frac{dx}{dt} \leq \frac{\Delta}{2T_s} \quad (4)$$

Si consideramos entradas senoidales de amplitud V_p y frecuencia f_0 , se obtiene entonces que:

$$f_s \geq \frac{V_p}{\Delta} \cdot 4\pi f_0 \quad (5)$$

Considerando el valor obtenido en 3, y que la tensión pico máxima es $5V/2 = 2.5V$, se obtiene que:

$$f_s \geq 510\pi \cdot f_0 \simeq 1603 \cdot f_0 \quad (6)$$

Dado que en este trabajo se utiliza $f_s \in [6kHz, 45kHz]$, las senoidales más rápidas que se puedan seguir serán de entre 3.74Hz (para $f_s = 6kHz$) y 28Hz (para $f_s = 45kHz$).

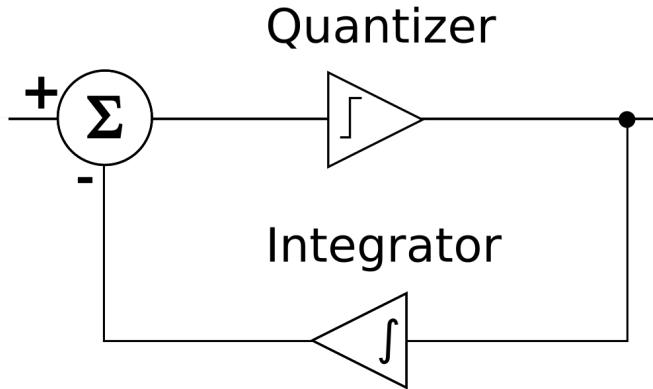


Figura 13: Diagrama de bloques del modulador delta

3.2. Implementación

En este trabajo, la implementación utiliza la FPGA como integrador y un LM311 para realizar la resta y la cuantización: su salida es V_{CC} (un uno lógico) cuando la entrada es mayor que la salida, y 0 (la tensión de referencia, que a su vez representa un cero lógico) cuando no. La FPGA recibe esta información, e incrementa o decremente un contador de 8 bits, dependiendo de si el comparador arrojó un 0 o un 1 respectivamente. Finalmente, el valor digital de este contador atraviesa un DAC0800 (con el mismo conexionado discutido en relación a la placa ADA), cuya salida se realimenta al LM311, cerrando así el lazo de realimentación.

Dado a que se realiza una conversión por período de muestreo, a partir del valor instantáneo de la salida del comparador (con la frecuencia que selecciona el usuario, e implementado internamente en la FPGA), no es necesario utilizar un sample and hold en la entrada de este conversor. Sin embargo, por compatibilidad con el conexionado requerido para el conversor SAR (que sí lo requiere), se decidió pasar la señal por el mismo de todas maneras, cambiando sólo la señal de control del mismo (determinada por la FPGA para que se esté siempre en modo sample cuando el usuario indica que se debe trabajar en modo "modulador delta" (lo cual se implementó con jumpers que modificaban señales que iban a la FPGA).

3.3. Mediciones

Para obtener la curva entrada-salida del conversor implementado, se realizaron mediciones de continua en todo el rango del conversor. Los resultados se observan en la figura 14.

Se observa en la salida digital un pequeño offset respecto de la entrada, pero también respecto de su conversión a analógica. Es razonable suponer, pues, que esto se debe a que el ruido inherente del sistema se manifestaba en los bits menos significativos, manteniendo los leds prendidos en todo momento, no porque estuviesen en 1, sino porque se encontraban oscilando. Esto es, de hecho, exactamente lo que debe suceder en este conversor en la teoría: como la salida no puede mantenerse constante, sino que debe subir o bajar un LSB en cada muestra, este es el comportamiento que se esperaría.

Esto puede observarse más claramente en la figura ???. Aquí, como la amplitud de la senoidal es de 25mV, que es apenas superior a los 20mV que representa el LSB, en los picos de la entrada, la

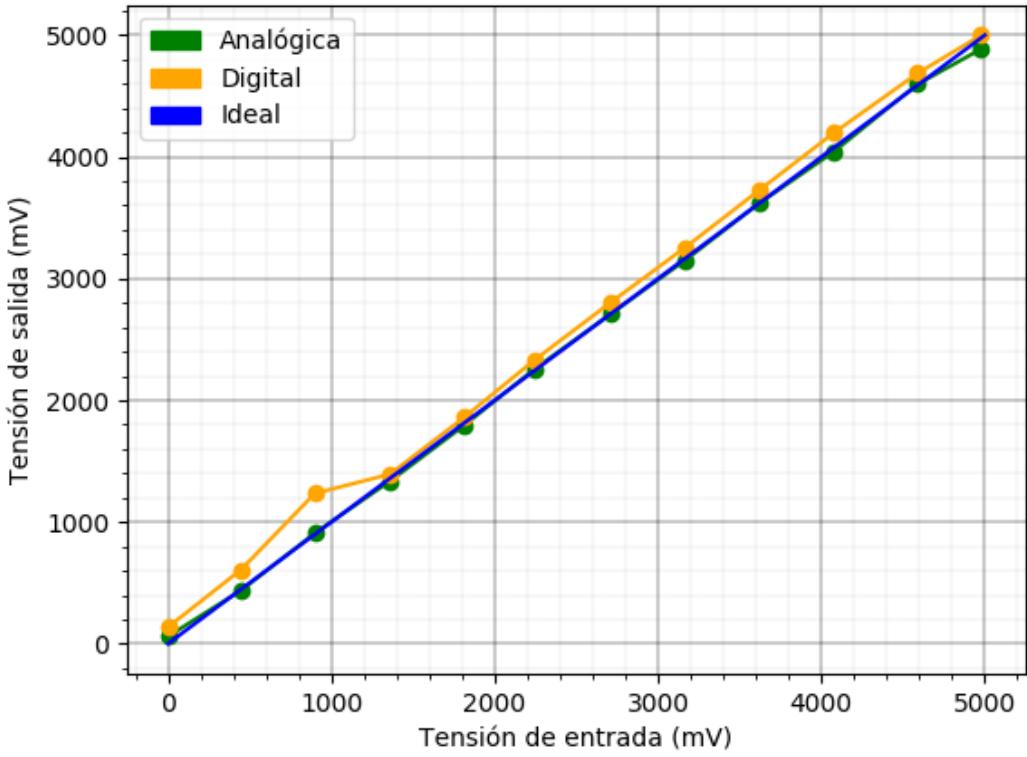


Figura 14: Curva de entrada-salida del modulador delta, incluyendo su posterior conversión a analógico y la curva ideal

salida oscila con 20mV de amplitud.

Se observó también los efectos de reducir los bits activos en la salida. En la figura 16, resulta claro que una mayor cantidad de bits conlleva más precisión, y más niveles discretos a la salida.

Algo que se esperaría que ocurra, pero no se observa, es que el tiempo de adquisición se reduzca, dado que al reducir N, aumenta Δ , y con ello debería subir la frecuencia de sampleo mínima. Esto se debe a que, por consideraciones prácticas, la anulación de bits se implementó sólo en la salida latcheada (que en este caso coincide siempre con la no latcheada, pero no así para el SAR), con lo cual el loop de realimentación sigue funcionando en todo momento con 8 bits.

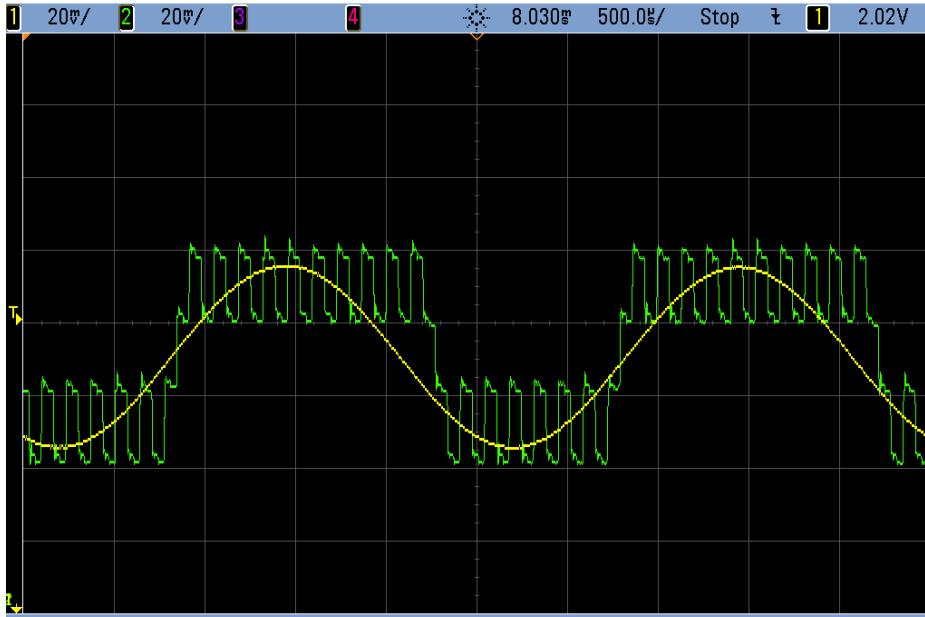


Figura 15: Salida del modulador delta, con una entrada senoidal de 400Hz, 2V de offset, y 50mV_{PP} pico a pico

4. Conversores $\Sigma\Delta$

Los conversores $\Sigma\Delta$ destacan por brindar la posibilidad de tener un buen rango dinámico siempre que la señal a digitalizar no se extienda en un amplio rango de frecuencia.

4.1. Error de cuantización

La cuantización es convertir una muestra de valor continuo x a un conjunto finito de valores discretos q_i . M es la cantidad de valores q_i que esta determinada por el tipo de cuantizador su función transferencia $q(x)$. Para un cuantizador uniforme, los subintervalos $\Delta = q_{i+1} - q_i$ son iguales. Este tipo de cuantizador es más común pero no siempre es el más eficiente. La diferencia $e(n) = q_i(n) - x(n)$ se llama error de cuantización. El mismo está en el orden de Δ . Cabe aclarar que si se va de escala la señal introducida Δ toma un valor mayor que el establecido. Como la señal digital final es representada en un valor binario de B bits entonces hay un total de $M = 2^B$ niveles de cuantización disponibles. Asumiendo que la secuencia $x(n)$ es escalada de forma tal que $|x(n)| \leq 1$ entonces como $x_{max} = 1$ y $x_{min} = -1$:

$$\Delta = \frac{x_{max} - x_{min}}{2^B - 1} = \frac{2}{2^B - 1}$$

El error de cuantización $e(n)$ debido a que se obtiene por aproximar al valor mas cercano, tiene un máximo valor absoluto de 0.5Δ . Se sigue que:

$$x_q(n) = x(n) + e(n)$$

En donde $e(n)$ se lo llamará de ahora en más ruido de cuantización.

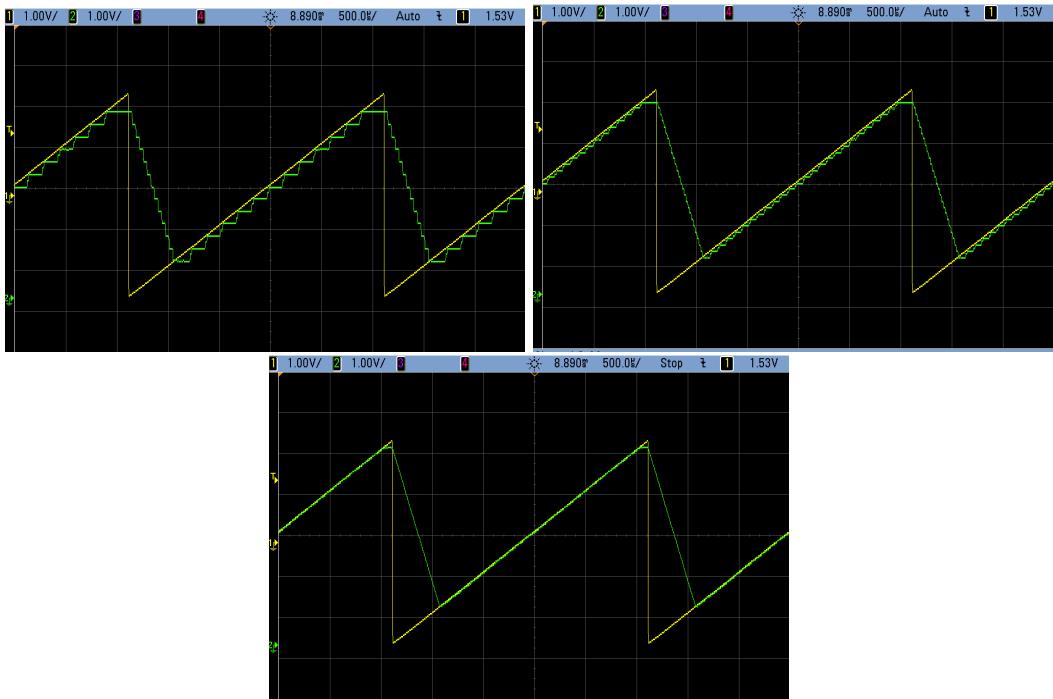


Figura 16: Salida del conversor con 4, 5 y 8 bits activos

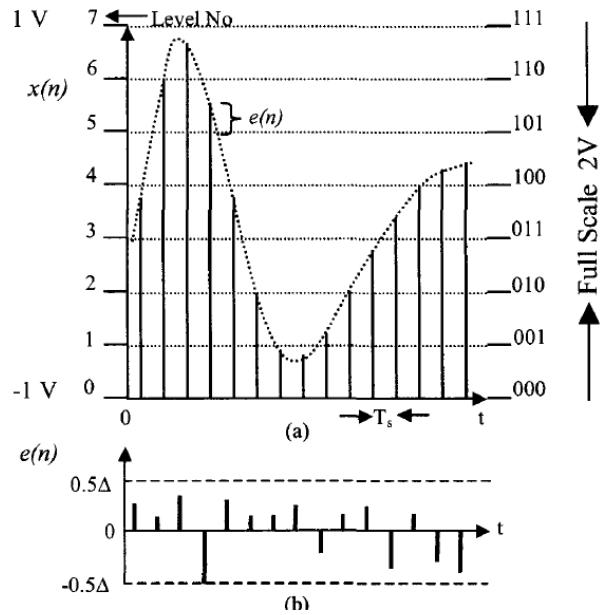


Figura 17: En los procesos de cuantización los valores de las muestras son redondeadas al nivel más cerca disponible y luego son representadas en binario. La alteración de las muestras iniciales converge en el ruido de cuantización $e(n)$

El ruido de cuantización $e(n)$ está casi incorrelacionado con la señal de entrada, tiene un espectro blanco y su distribución de probabilidad es uniforme en el rango $[-\Delta/2, \Delta/2]$. Como consecuencia el error de cuantización puede pensarse como una fuente de ruido blanco aditivo e independiente.

Se define el SQRN como la relación Señal-Ruido de cuantización:

$$SQNR = \frac{PotSeñal}{PotRuidoCuantizado}$$

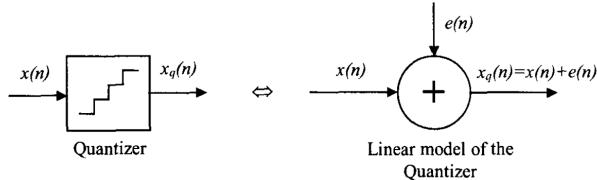


Figura 18: Modelo lineal para el cuantizador

Por ser uniforme en $[-\Delta/2, \Delta/2]$:

$$\mu_e = 0$$

$$\sigma_e^2 = \frac{\Delta^2}{12}$$

Si los valores de $e(n)$ se asumen incorrelacionados e identicamente distribuidos el ruido de cuantización es blanco y su potencia es distribuida uniformemente sobre todo el rango de $[-f_s/2, f_s/2]$. Por tanto, la densidad espectral de potencia en el ruido $N(f)$ puede ser expresada como:

$$N(f) = \frac{\Delta^2}{12f_s}$$

Para una senoidad con variación de amplitud en escala completa $2A = (2^B - 1)\Delta$, su potencia es $A^2/2$ y el SQRN es:

$$SQRN = 10\log\left(\frac{A^2/2}{\sigma_e^2}\right) \approx 10\log\left(\frac{3 \cdot 2^{2B}}{2}\right) = (6.02 \cdot B + 1.76)dB$$

Se concluye que si se incrementa en uno el número de bits, se aumenta el SQNR en 6dB. De hecho, esto nos da pie a pensar el máximo número de bits que se necesita para cuantizar una señal analógica con un piso de ruido específico. Una característica que se debe destacar de un cuantizador es su rango dinámico.

$$rango\ dinamico = \log_2 \frac{x_{max}}{\Delta/2}$$

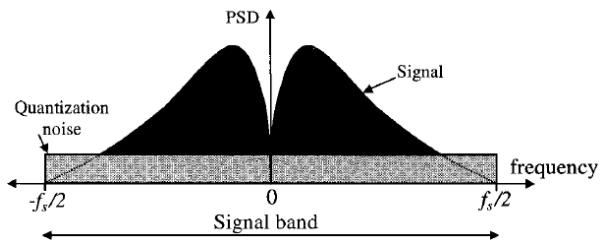


Figura 19: Densidad Espectral de Potencia en la salida de un ADC convencional. El ruido de cuantización se distribuye en toda la banda de la señal

4.2. Principios de Oversampling

Los requerimientos de alta resolución y rango dinámico en el procesamiento de señales no puede ser logrado con los ADCs convencionales, debido a las limitaciones de sus implementaciones.

Algunos problemas que suelen presentar son los siguientes:

- La implementación de cuantizadores uniformes con un gran número de niveles de cuantización. Para un SAR ADC con 16 bits de precisión, $2^{16} = 65536$ niveles equidistantes deben ser determinados.
- La implementación del FAA con requerimientos estrictos tales como una banda angosta de transición, alta atenuación en la banda de rechazo, muy poco ripple en la banda pasante ,fase lineal, bajo ruido, etc. Tales especificaciones no se pueden lograr con circuitos integrados analógicos.
- La presencia del efecto Jitter, por ejemplo la incertidumbre en el tiempo de flancos del pulso de clock usados en el muestreador.

Una manera de mejorar esta situación es incrementar la tasa de muestreo mucho más que la de los ADCs convencionales, por ejemplo arriba de Nyquist ($f_N = 2f_b$). Muestrear a una f_s mas grande que la de Nyquist se la suele llamar **oversampling**. Una medida del oversampling es la llamada Oversampling Ratio (OSR) definida como R:

$$R = \frac{f_s}{f_N}$$

En general R es un número potencia de 2. Si el R está entre 2 y 16 hablamos de un grado leve de oversampling mientras que un grado elevado de oversampling ocurre cuando R está entre 16 y 256.

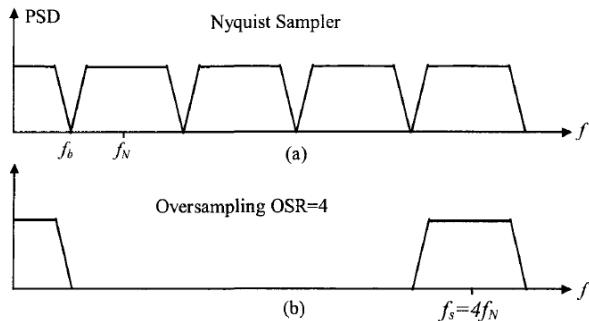


Figura 20: El proceso de oversampling separa las bandas de la señal

En la figura 20 se puede ver que las bandas no están muy cercanas a otras, lo cual nos permite tener una frecuencia en el FAA mayor. Además cuando el oversampling es utilizado, la potencia del ruido de cuantización se distribuye en un rango más amplio de frecuencia lo que provoca que su efecto se vea en menor proporción. El ruido de cuantización que queda afuera de la banda de la señal puede ser eliminada con un filtro digital de alta precisión.

$$SQNR_{Oversampling} = 10\log \frac{A^2/2}{(\Delta^2/12)/R} = SQNR_{Nyquist} 10\log(R)$$

Entonces se concluye que frente a una igual cantidad de bits se tiene mejor precisión utilizando el concepto de oversampling.

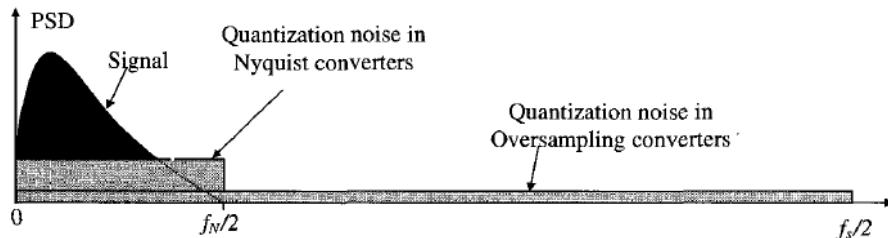


Figura 21: Cuando se incrementa en 4 la tasa de muestreo, el ruido de cuantización se distribuye sobre una región más grande. En consecuencia, la potencia del ruido de cuantización es 4 veces menor

4.3. Concepto de Noise Shaping

Una última mejora en el SQNR puede ser lograda mediante el desplazamiento del ruido que se encuentra en la banda de la señal. Esto se puede lograr fácilmente si STF(z) es un pasa todo mientras que NTF(z) es un pasa altos. Esta técnica se conoce como Noise Shaping y puede ser fácil y eficientemente implementada por una modificación en el sistema DM. Si en el diagrama en bloques del modulador delta colocamos otro integrador después de la $x(n)$, lo que se obtiene finalmente es STF(z) y NTF(z) de la forma que queríamos.

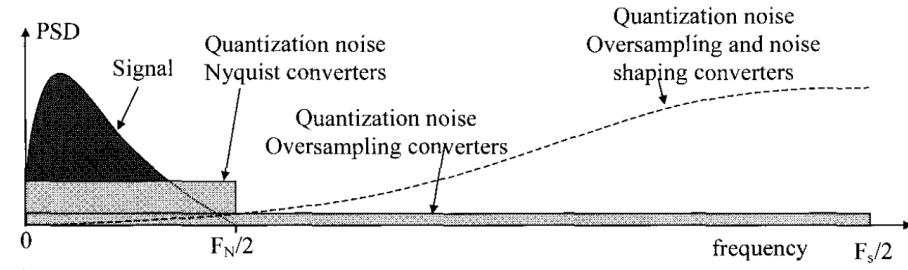


Figura 22: Espectro de la salida de un cuantizador con noise shaping comparado con el de los conversores Nyquist y con Oversampling implementado

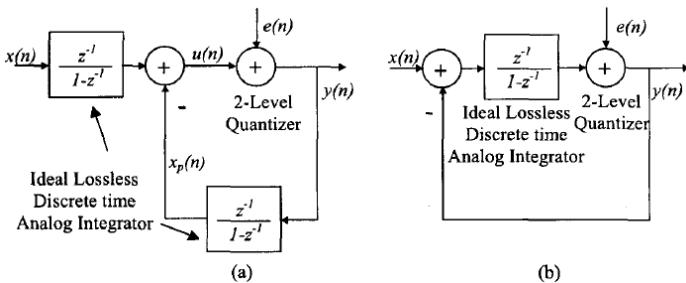


Figura 23: Desarrollo sucesivo del esquema $\Sigma\Delta$

4.4. Decimación: Introducción teórica

El general se suele hacer un oversampling de una señal y luego reducir la frecuencia de muestreo hasta la de Nyquist en el caso de un ADC o incrementarlo en caso de un DAC. La primera opción es llamada decimación mientras que a la otra se la llama interpolación. Esas tasas de muestreo pueden ser implementadas utilizando filtros FIR de alta precisión, usualmente en distintas etapas. Usualmente la decimación es aplicada en la salida del sigma delta para facilitar la conversión A/D y dar una señal multibit que se encuentra en la banda la frecuencia de muestreo de Nyquist.

4.4.1. Rate Conversion

Hay varios casos donde la tasa de muestreo en la cual las señales digitales son procesadas necesitan ser cambiadas. Surgen esas necesidades cuando se interfacean dos sistemas con dos tasas de muestreo distintos. El proceso en el cual la tasa de muestreo es reducido r veces se llama decimación, **debido a que se guarda solo una de cada r muestras**. El proceso inverso de aumentar la tasa de muestreo por r , se llama interpolación, debido a que se insertan $r-1$ muestras apropiadas entre dos muestras originales.

4.4.2. Decimación

Una de cada r muestras se guardan, el resto se descartan. De esta forma, $f_s(nueva) = f_s/r$. Para evitar aliasing hay que colocar un filtro antialiasing en $f_s/2r$.

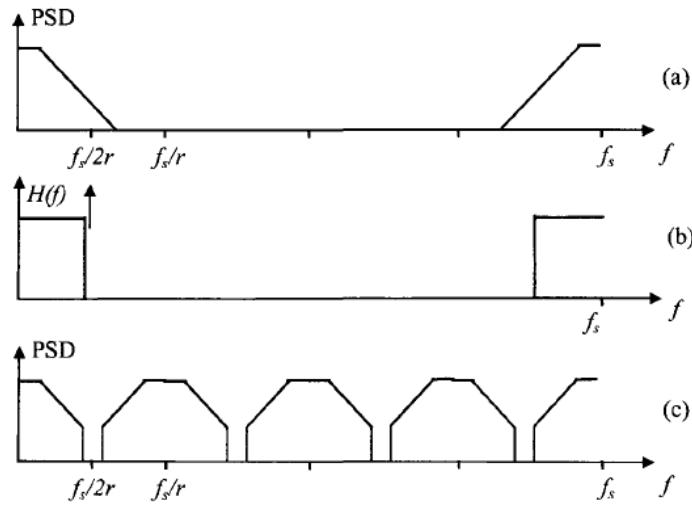


Figura 24: Decimación con $r=4$. a. Espectro de la señal oversampleada. b. Filtro pasabajos de los componentes de la señal que sean mayores a $f_s/2r$. c. Espectro de la señal downsampleada

4.4.3. Filtros de decimación

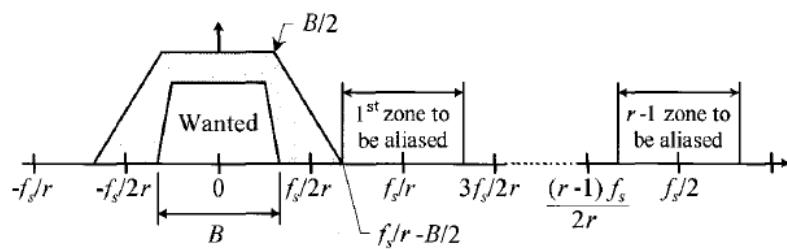


Figura 25: Filtros pasabajos de decimación con reducción de f_s en r en la que se asume que r es par

Un filtro pasa bajos es utilizado en el proceso de decimación. La reducción de f_s en r , divide la zona original de nyquist $(0, f_s/2)$ en r zonas $(mf_s/2r, (m+1)f_s/2r)$, $m=0, \dots, r-1$. Las $r-1$ zonas ($m=0, \dots, r-1$) provocan aliasing a la primera, por lo tanto el contenido en esas zonas tiene que ser suprimido debajo de un nivel determinado para que la señal se pueda considerar libre de ruido. Como el ancho de banda de la señal usualmente no cubre todo el espectro de la zona de Nyquist las zonas que deben ser suprimidas son:

$$(m\frac{f_s}{r} - \frac{B}{2}, m\frac{f_s}{r} + \frac{B}{2})$$

donde:

$$m = 1, \dots, \begin{cases} r/2, & r \text{ es par} \\ (r-1)/2, & r \text{ es impar} \end{cases} \quad (7)$$

La frecuencia de corte debe ser de $B/2$ y debería llegar a máxima atenuación en $f_s/r - B/2$. En resumen, siempre que nos quedemos con el espectro adecuado, se va a poder hablar de un down-sampling o decimación. Esto es un problema que se reduce a elegir el filtro correcto y para ello hay multiples alternativas.

4.4.4. Filtros Comb

En casos donde la relación R suele ser grande, la conversión suele hacerse en multiples etapas, con la etapa de más relación implementada por un filtro comb. Los filtros comb son filtros low-pass FIR cuya función transferencia es:

$$H(z) = \left(\frac{1}{r} \sum_{i=0}^{r-1} z^{-i} \right)^N = \left(\frac{1}{r} \frac{1-z^{-r}}{1-z^{-1}} \right)^N$$

Como todos los coeficientes son unitarios, se pueden implementar facilmente. El denominador está implementado como integrador en la reducción de f_s más grande, mientras el numerador es implementado como diferenciador a la relación más chica. El orden del filtro comb es elegido igual al la tasa de conversión r, de forma tal que los zeros de la ecuación sean multiplos de f_s/r .

4.5. Simulaciones

Se modificó el ejemplo dado por la ejecución del comando `dspsdadc` en matlab. En el mismo se utilizó un valor estándar de decimación de $R = 64$. Se divide en 3 etapas de relación 4:1 y las 3 etapas son el mismo filtro. Además, en cada filtro se utiliza la función `fir1` de matlab (que utiliza ventana de hamming) con los cuales se obtuvieron los coeficientes del filtro. Donde:

- $f_s = 512\text{ KHz}$
- $f_c = 38.4\text{ KHz}$
- $w_N = f_c/(f_s/2) = 0.15$
- $N = 31$

4.5.1. Respuesta al impulso

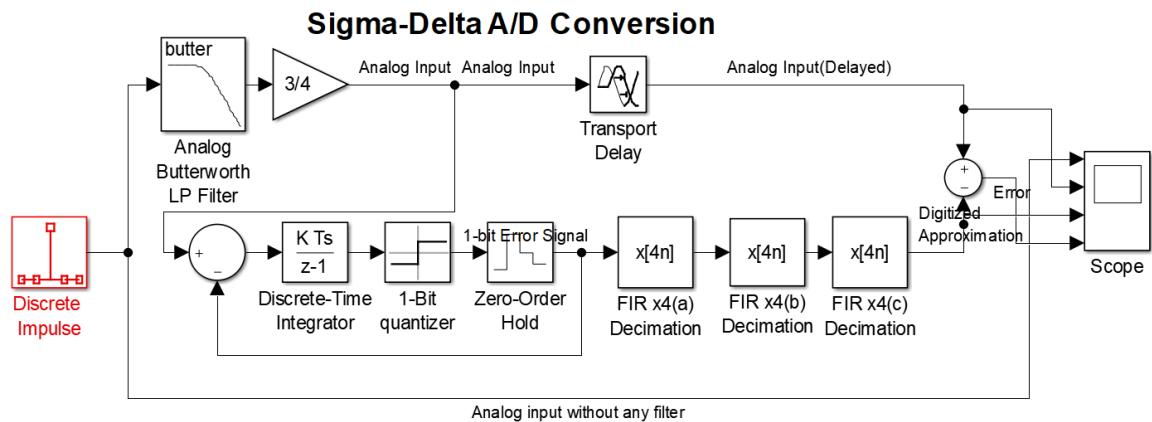


Figura 26: Respuesta al impulso del sistema: Diagrama en bloques

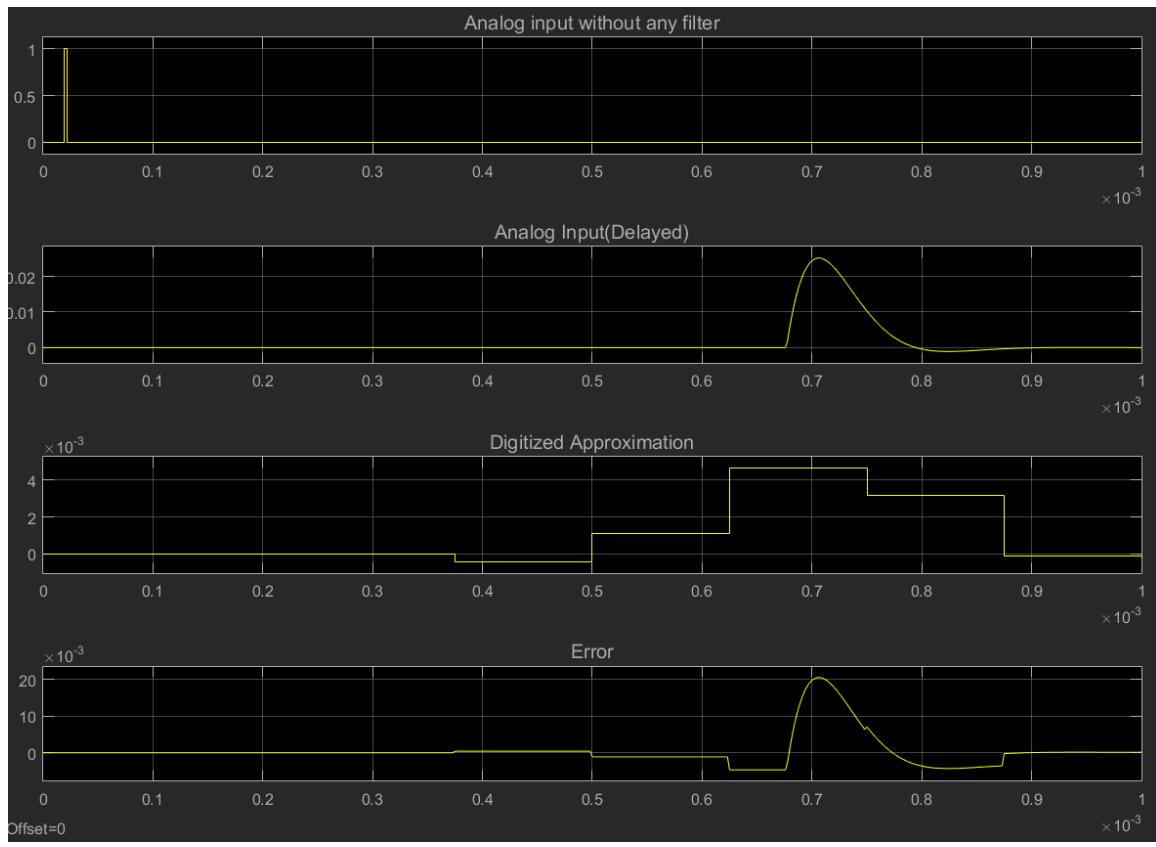


Figura 27: Respuesta al impulso del sistema

4.5.2. Espectro del ruido de cuantización

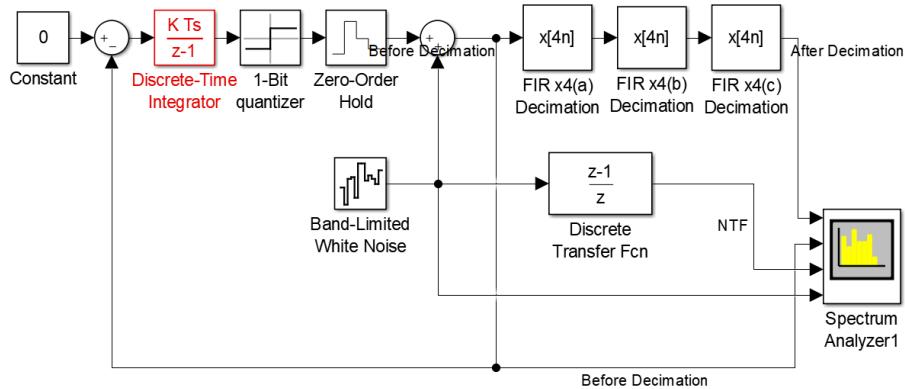


Figura 28: Espectro de Ruido de cuantización: Diagrama en bloques

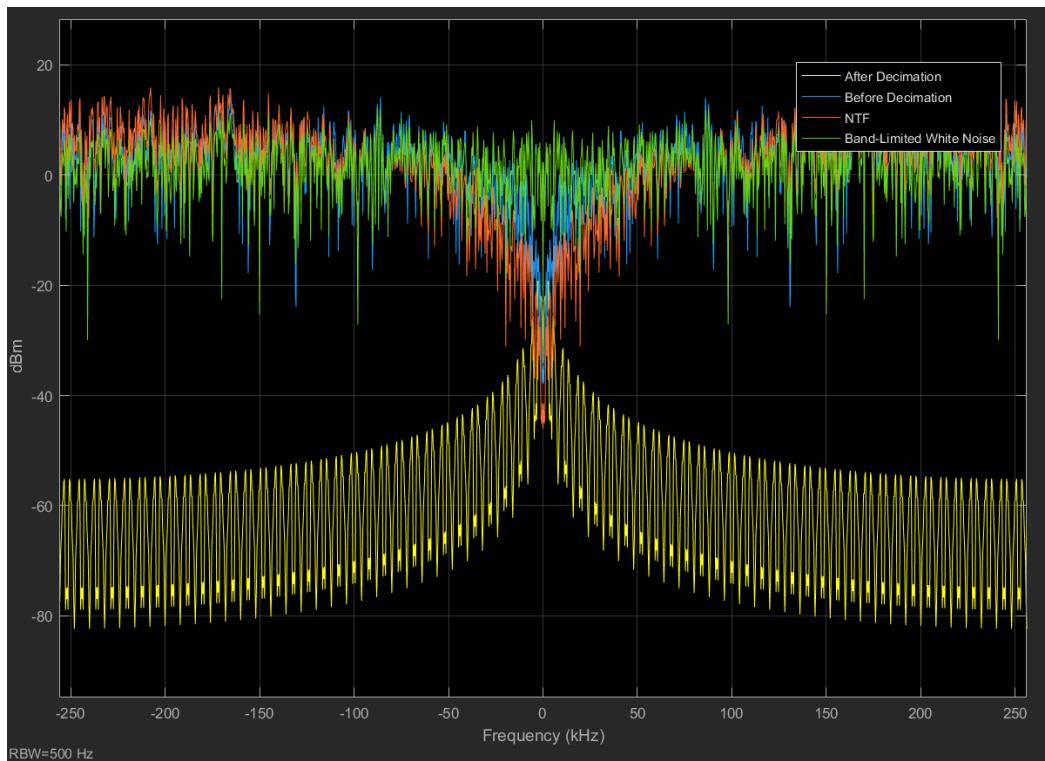


Figura 29: Espectro del Ruido de cuantización, antes de la decimación, después de la decimación y la respuesta de NTF frente al ruido

En la figura 29 se ve que antes de la decimación está presente el concepto de Noise Shaping el cual se ajusta a la Noise Tranfer Function. Luego del decimador lo que se ve es la forma característica del filtro con el cual se implementó.

4.5.3. Respuesta del sistema frente a una senoidal de 1KHz

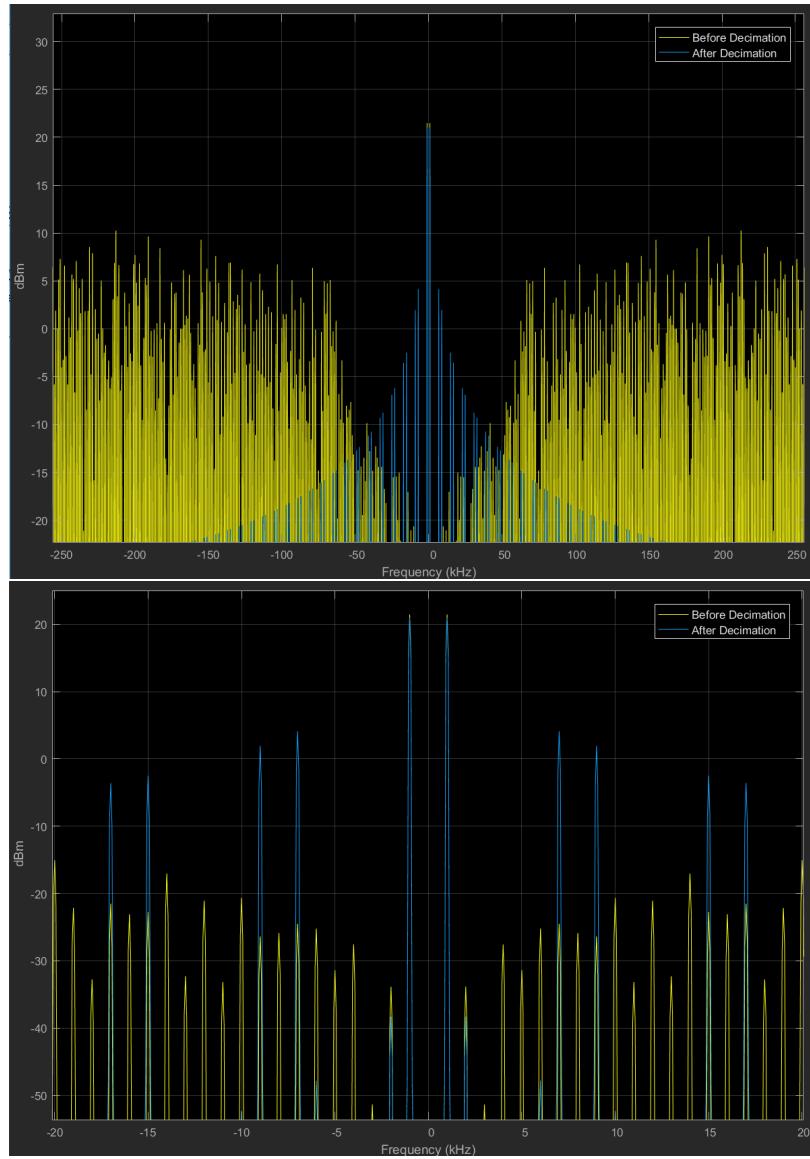


Figura 30: Respuesta a una senoidal de 1KHz

Se puede apreciar que antes de la decimación está presente el concepto de noise shaping, luego de la etapa de decimación, el ruido de cuantización es disminuido por lo que solo queda la banda de la señal, la cual al ser muestreada y haber fuga espacial (dado que el filtro no es ideal) queda modulada por una sinc (se distorsiona el espectro en amplitud) y hace que aparezcan más componentes espectrales y no sean solo dos deltas. Esto puede ser apreciado más en detalle en la segunda imagen de la figura 30 en la cual se hizo un zoom a la imagen. Además, las bandas están separadas en 6KHz, eso se

debe a que el filtro antialiasing está puesto en 6KHz.

4.5.4. Respuesta en frecuencia del filtro decimador

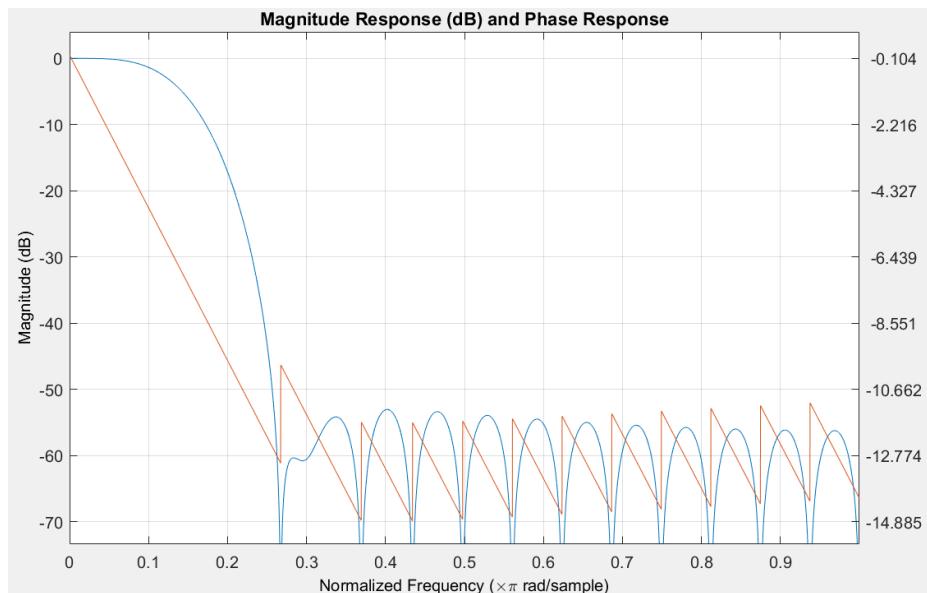


Figura 31: Respuesta en frecuencia de un solo filtro decimador

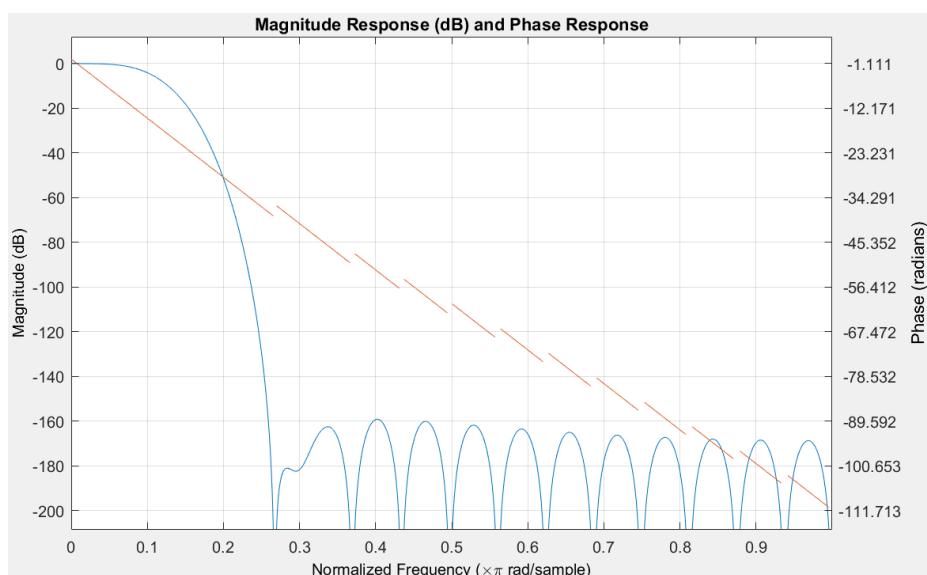


Figura 32: Respuesta en frecuencia de los 3 filtros decimadores iguales en cascada

Por último se puede observar que en la gráfica resultante de las 3 etapas en cascada, la fase resultante es aproximadamente lineal, lo cual es consistente con las características de un filtro fir. Como la fase es lineal el retardo de grupo es constante y por tanto no hay casi distorsión de fase.

4.6. Moduladores $\Sigma\Delta$ de primer orden

Recordamos dos características importantes del modulador:

- **Oversampling:** distribuye el ruido de cuantización
- **Noise shaping:** expulsa la mayoría del ruido que estaba dentro de la banda a frecuencias altas.

A continuación se presentan diagramas en bloques del modulador $\Sigma\Delta$ de primer orden.

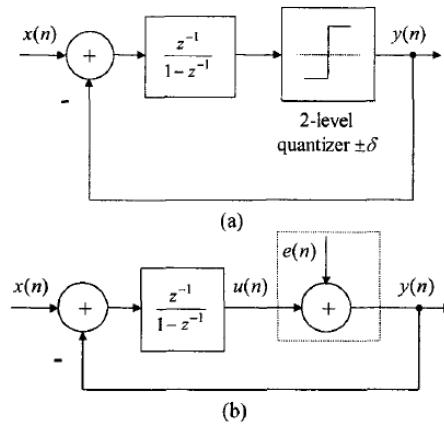


Figura 33: Diagrama en bloques del modulador $\Sigma\Delta$ (a) y su modelo lineal(b)

La señal $e(n)$ en el modelo lineal de la figura 33 se la llama ruido de cuantización.

$$y(n) = x_q(n) = u(n) + e(n)$$

De la figura 33 obtenemos la SignalTransferFunction (STF) y la NoiseTransferFunction (NTF):

$$Y(z) = z^{-1}X(z) + (1 - z^{-1})E(z)$$

$$STF(z) = z^{-1}$$

$$NTF(z) = 1 - z^{-1}$$

4.7. Implementación

Para realizar la implementación práctica, se utilizó de base el circuito propuesto en las indicaciones del trabajo práctico, realizando las modificaciones pertinentes para su correcto funcionamiento. El diagrama en bloques del circuito es el siguiente.

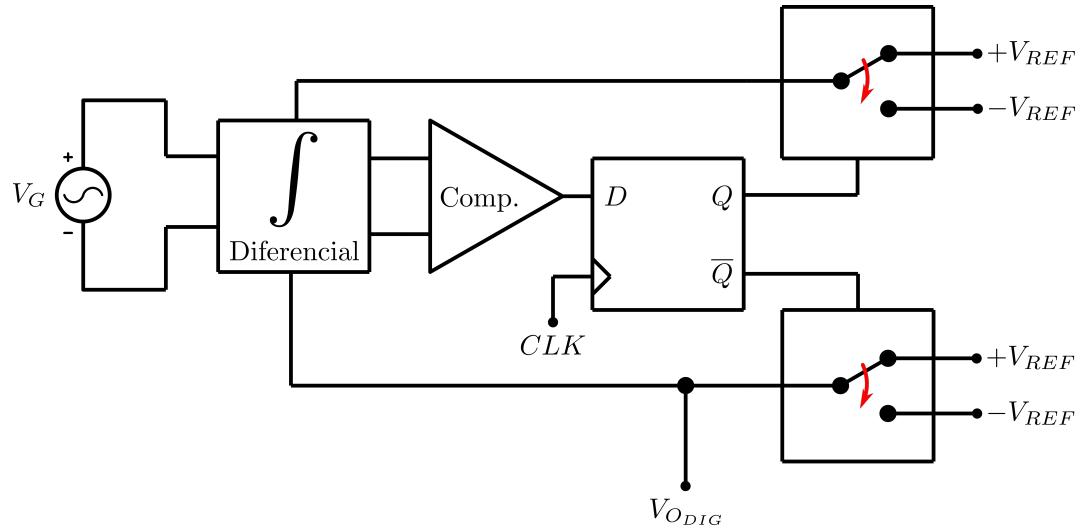


Figura 34: Diagrama en bloques

4.7.1. Oscilador

Para implementar el oscilador, se utilizó el VCO integrado en el PLL CD4046. Partiendo de los extremos teóricos pedidos:

$$f_{MIN} = 60\text{KHz} \quad f_{MAX} = 1\text{MHz}$$

Se calcula el cociente entre ambos:

$$\frac{f_{MAX}}{f_{MIN}} = 16.6$$

Tomando la hoja de datos de Texas Instruments, a partir del gráfico de $\frac{f_{MAX}}{f_{MIN}}$, se obtiene la relación $\frac{R_2}{R_1}$:

De donde se obtiene que la relación es aproximadamente 40. Para una $R_2(N) = 680\text{K}\Omega$, resulta $R_1(N) = 18\text{K}\Omega$.

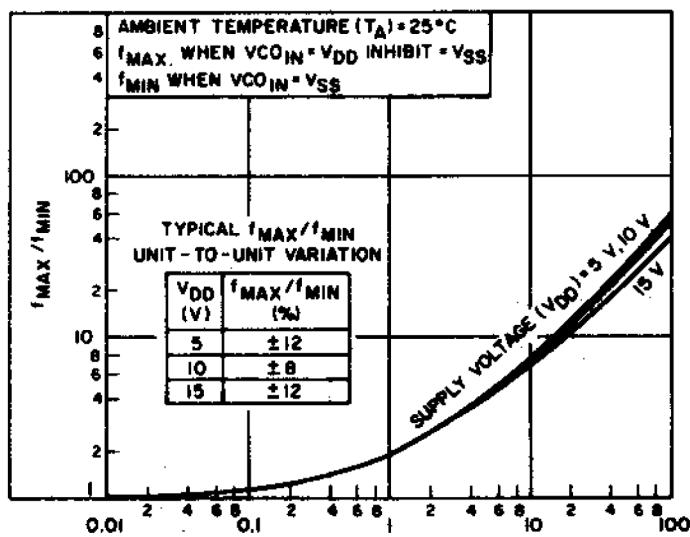


Figura 35: Gráfica del cociente entre las frecuencias en función de la relación de resistencias

De la gráfica de rectas de R_2 en función de C_1 :

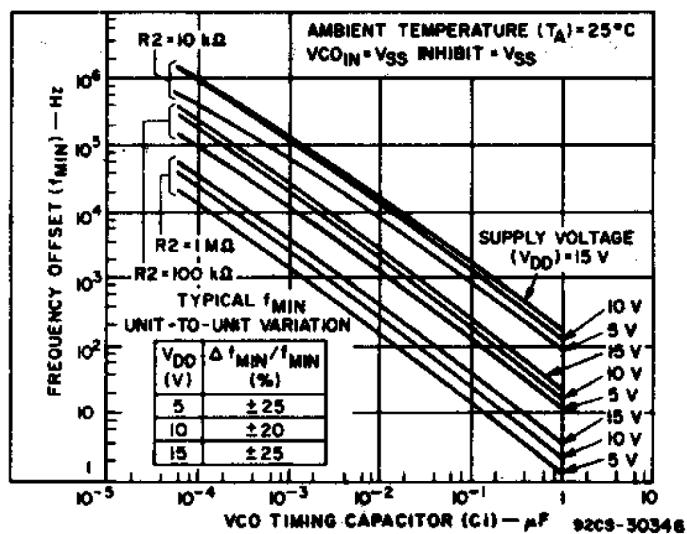


Figura 36: Gráfica de rectas de R_2 para valores de C_1

Se obtiene un valor aproximado de $C_1(N) = 39\text{pF}$. Dada la alta dispersión que posee el circuito para el cociente de las frecuencias, se ajustó el valor de R_1 en el PCB a $R_1(N) = 4.7K$, logrando finalmente un intervalo de frecuencias práctico de entre 52KHz a 1.14MHz. En las figuras siguientes se muestran ambas señales obtenidas correspondientes a los extremos.



Figura 37: Gráfica de rectas de R_2 para valores de C_1

4.7.2. Filtros Antialiasing - Recuperador

El objetivo para el diseño de ambos filtros es que resulten de bajo orden, aprovechando la ventaja de estar realizando oversampling, lo cual sitúa las repeticiones del espectro de la señal de entrada considerablemente separados.

Para elegir la frecuencia de corte de los filtros, se considera como limitación a la mínima frecuencia de sampleo que provee el clock diseñado anteriormente. El peor caso de ancho de banda de entrada se da con la señal 1/2 Gauss, dado que su discontinuidad tipo escalón produce una gran cantidad de armónicos. Esta señal se puede modelar como una señal cuadrada multiplicada por una gaussiana que se repite con el mismo período. Visto desde la frecuencia, resulta la convolución del espectro de la señal cuadrada (el cual ya conocemos que es muy grande) con el de la gaussiana, el cual tiene también forma de gaussiana. Dado que ambas señales son periódicas, sus espectros son discretos, por lo que se puede pensar que el espectro de la señal gaussiana se monta en cada una de las deltas del espectro de la señal cuadrada, por lo que el espectro de la señal resultante (1/2 Gauss en el tiempo) sigue siendo tan grande como el de la señal cuadrada.

Teniendo esto en cuenta, para tratar de incluir la mayor cantidad de armónicos posibles sin obtener aliasing a la salida, se ubicó la frecuencia de corte una década antes de la f_{MIN} del clock, es decir $f_c = 6\text{KHz}$. Utilizando un filtro de orden 2, se logra para la frecuencia de 60KHz (es decir, donde se encontraría la primer repetición en el peor caso) una atenuación de 40dB. Dado que para las señales de prueba se pide que sean de una frecuencia mínima, se perderán varios armónicos para el caso de 1/2 Gauss, como se mostrará en las mediciones.

Teniendo el orden del filtro (2), por simplicidad se implementa utilizando dos integradores compensados en cascada, como se muestra en la figura.

La transferencia de cada uno, usando la expresión conocida para un amplificador no inversor:

$$A_V = -\frac{Z_f}{Z_r} = -\frac{R_f}{R_i(1 + sC_f R_f)}$$

Donde la frecuencia de corte:

$$f_c = \frac{1}{2\pi R_f C_f}$$

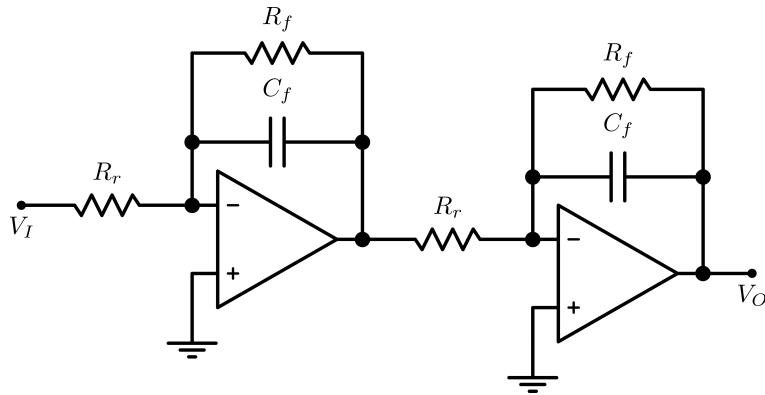


Figura 38: Filtro de orden 2 con integradores compensados

Teniendo en cuenta la frecuencia de corte $f_c = 6\text{KHz}$, proponiendo $C_f = 10nF$, se despeja R_f :

$$R_f = \frac{1}{2\pi f_c C_f} = 2.65K\Omega \implies R_f(N) = 2.7K\Omega$$

Dado que en banda pasante el filtro debe tener ganancia unitaria, se define también $R_i(N) = R_f(N) = 2.7K\Omega$

4.7.3. Diferenciador

En la implementación propuesta, el modulador posee entrada diferencial (en lugar de una sola entrada referida a masa). Esto permite cancelar bastante el ruido en modo común, lo cual resulta como una ventaja adicional dado que se trabajará con frecuencias de clock de hasta 1MHz, y éste podría provocar interferencias en la señal muestreada con capacitores switcheados de manera no deseada si no se toman algunas consideraciones en el layout del PCB (que se explicará luego). El circuito diferenciador se implementó con amplificadores operacionales, como se muestra a continuación.

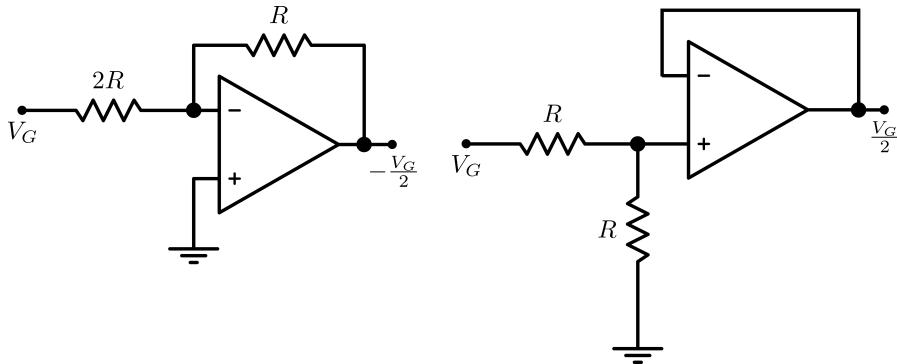


Figura 39: Generador de señal diferencial

4.7.4. Integrador con switched capacitors (SC)

La idea se basa en la comutación de los terminales del capacitor entre tensiones diferentes, que para el análisis deben ser suficientemente estables durante el tiempo T que dura la comutación. Dicha comutación suele realizarse con llaves simuladas mediante transistores MOS, pero para simplificar la comprensión se lo esquematiza con llaves ideales, como se muestra a continuación.

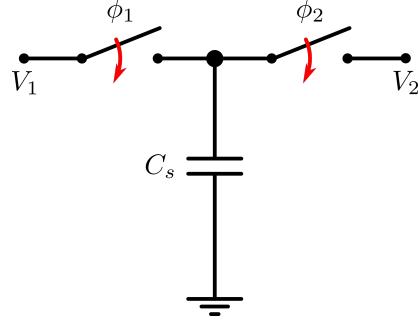


Figura 40: Esquema de capacitor switcheado

Supongase que inicialmente se tiene al capacitor cargado con la tensión V_2 , con ambos switches abiertos. Luego, se cierra el switch ϕ_1 , conectando ahora el terminal del capacitor a la tensión V_1 , durante un tiempo T . La diferencia de carga puede expresarse como:

$$\Delta Q_1 = C_s \cdot (V_1 - V_2)$$

Posteriormente se abre ϕ_1 , quedando el capacitor ahora cargado con V_1 . Ahora se cierra ϕ_2 , conectando el terminal del capacitor a la tensión V_2 , durante un mismo tiempo T . La diferencia de carga puede expresarse como sigue:

$$\Delta Q_2 = C_s \cdot (V_1 - V_2)$$

Observando que $\Delta Q_1 = \Delta Q_2$, la corriente promedio en cada tiempo T debe ser la misma:

$$i = \frac{\Delta Q_1}{T} = \frac{\Delta Q_2}{T} = \frac{C_s \cdot (V_1 - V_2)}{T}$$

Despejando según la ley de Ohm, se obtiene la resistencia R equivalente (ya que como se dijo, la carga que circula es la misma):

$$\frac{V_1 - V_2}{i} = R = \frac{T}{C_s}$$

Llamaremos T al tiempo de muestreo de las tensiones V_1 y V_2 . Se deja por un lado esta equivalencia, pasando ahora al circuito donde se busca aplicar este sistema.

Para que el circuito se adapte al modelo discreto analizado previamente, se parte del integrador conocido implementado con RC. Se muestra el circuito conocido (ideal) para señales referidas a masa:

Aplicando la ganancia de tensión conocida para un circuito inversor con operacionales se tiene:

$$V_O = (V_I + V_{REF}) \cdot \frac{-\frac{1}{sC}}{R} = (V_I + V_{REF}) \cdot -\frac{1}{sCR}$$

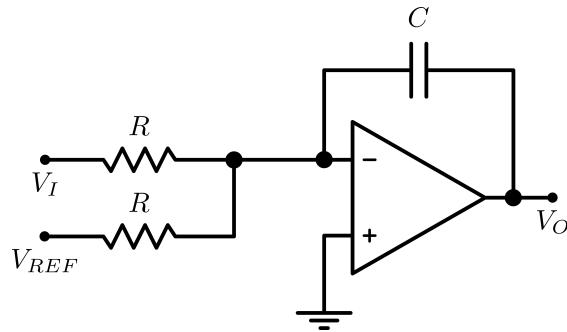


Figura 41: Circuito integrador analógico

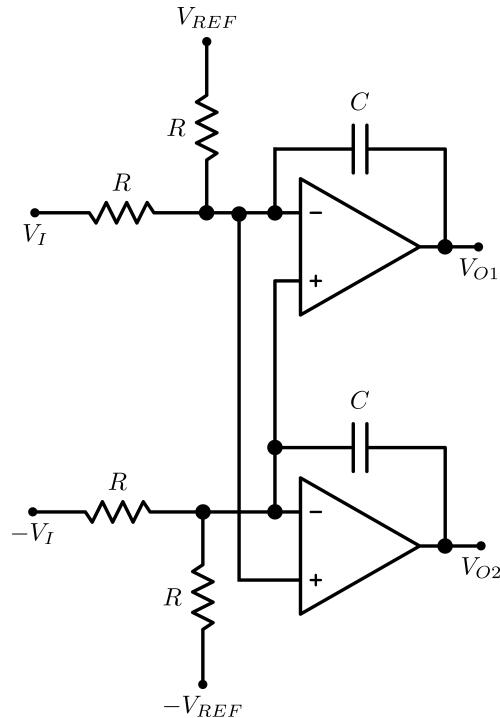


Figura 42: Circuito integrador diferencial

En el caso propuesto, el circuito a implementar es diferencial, como se muestra a continuación.

Como se mostró al inicio en el diagrama en bloques, se toma para una realimentación la salida Q (pasada por el DAC) para un lazo y \bar{Q} (también pasada por otro DAC idéntico) para el otro lazo (ya que al ser diferencial, ambos lazos deben ser complementarios). En este caso la salida a considerar $V_{O1} - V_{O2}$ no se observa en forma directa como en el circuito anterior. Pasivando por un lado las tensiones V_{REF} , se tiene planteando nodos:

$$\begin{cases} \frac{V_I - V_A}{R} + \frac{-V_A}{R} = (V_A - V_{O1}) \cdot sC \\ \frac{-V_I - V_A}{R} + \frac{-V_A}{R} = (V_A - V_{O2}) \cdot sC \end{cases}$$

Restando ambas ecuaciones resulta:

$$\frac{V_I}{sCR} = \frac{V_{O2} - V_{O1}}{2}$$

Análogamente, pasivando las tensiones V_{REF} :

$$\frac{V_{REF}}{sCR} = \frac{V_{O2} - V_{O1}}{2}$$

Luego, por superposición, sumando ambos resultados se tiene finalmente:

$$V_{O1} - V_{O2} = -\frac{1}{sCR} \cdot (V_I + V_{REF})$$

Aplicando la transformación bilineal (que es la aproximación discreta de un integrador analógico):

$$s \simeq \frac{2}{T} \cdot \frac{z - 1}{z + 1}$$

Siendo T el período de muestreo. Resulta en la ecuación anterior:

$$V_{O1} - V_{O2} = -\frac{V_I + V_{REF}}{CR} \cdot \frac{T}{2} \cdot \frac{z + 1}{z - 1}$$

Recordando ahora la equivalencia resistiva simulada del capacitor switcheado explicada al inicio (considerando ahora que son 4 switches y no 2, el período es la mitad):

$$R = \frac{T}{2C_s}$$

Si se reemplaza en la expresión anterior queda la aproximación al integrador analógico buscada:

$$V_{O1} - V_{O2} = -\frac{V_I + V_{REF}}{C \cdot \frac{T}{2C_s}} \cdot \frac{T}{2} \cdot \frac{z+1}{z-1} = -(V_I + V_{REF}) \cdot \frac{C_s}{C} \cdot \frac{z+1}{z-1}$$

El circuito que resulta de reemplazar la resistencia por el capacitor C_s es:

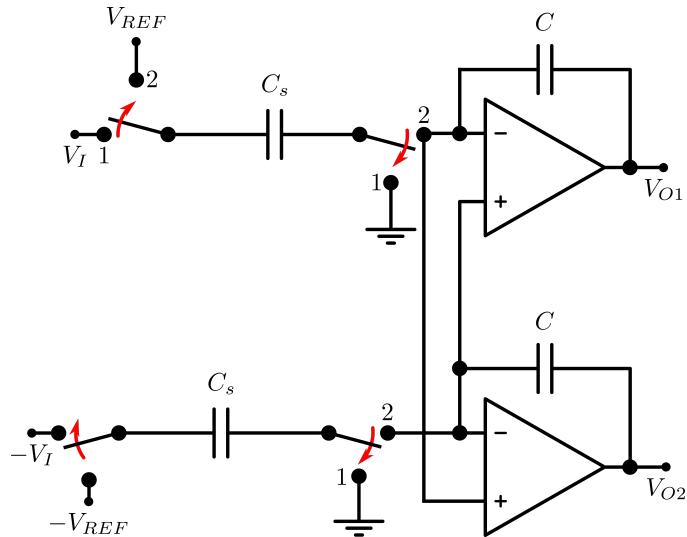


Figura 43: Circuito integrador diferencial con SC

Las llaves ϕ se implementaron mediante multiplexores, utilizando la señal de clock como señal de control para la selección de las llaves. El multiplexor que se encontraba disponible es el CD4053.

En la bibliografía de apoyo utilizada (“Delta-Sigma Modulators: Modeling, Design and Applications”, George Bourdopoulos), en la sección 5.4 se describe una implementación de un modulador de primer orden para una frecuencia de sampleo similar a la mínima utilizada en este caso, sugiriendo un valor de 330pF para los capacitores del integrador SC. Por lo tanto, se adoptaron en primera instancia dichos valores ($C = C_s = 330\text{pF}$).

4.7.5. Cuantizador de 1 bit

Se toma la salida del integrador diferencial, y mediante un comparador a lazo abierto se implementa el cuantificador de 1 bit. El circuito implementado es utilizando el comparador LM311, y luego, dicha salida se conecta a un flip-flop D, el cual actúa como latch. El flip-flop D utilizado es el integrado CD4013, alimentado entre $+5\text{V}$ y 0V . La alimentación adicional se obtuvo a partir de la entrada de $+15\text{V}$ del circuito pasándola un regulador LM7805.

Como se mostrará en las mediciones obtenidas, la salida que se obtiene en este punto del circuito es una señal cuadrada de ancho de pulso modulado (PWM). En los tramos donde la pendiente de la

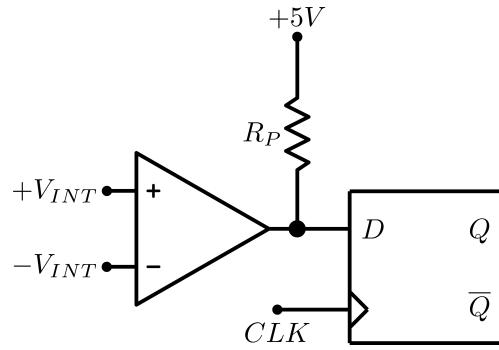


Figura 44: Cuantizador 1 bit

señal es pequeña, las variaciones en la salida del integrador serán menores, por lo que en consecuencia el ancho de los pulsos resultantes es mayor. En los tramos donde la pendiente de la señal es mayor, las variaciones a la salida del integrador son más frecuentes, por lo que el ancho de los pulsos es menor.

4.7.6. DAC para realimentación

Las salidas binarias del flip-flop D corresponden a 0V (0 lógico), y +5V (1 lógico). Esta salida (tanto Q y \bar{Q}) son convertidas mediante un DAC a -5V (0 lógico) y +5V (1 lógico), siguiendo el esquema propuesto por la bibliografía. Cada DAC es implementado mediante un multiplexor, utilizando las salidas del flip-flop como señales de control.

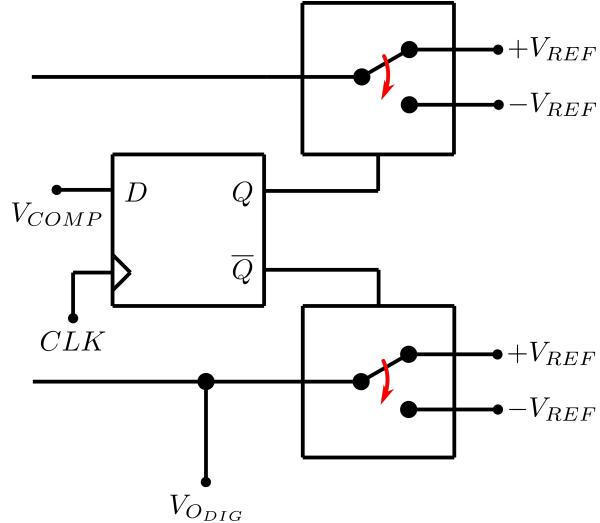


Figura 45: DAC de [0V +5V] a [-5V +5V]

Se toma la salida de uno de los DAC como señal digital, para luego procesarla por el filtro recuperador (idéntico al antialiasing), para volver a obtener la señal original al quedarnos sólo con el espectro en banda base.

4.8. Mediciones - Resultados obtenidos

Al realizar las mediciones con señales senoidales de prueba, se observó que la señal recuperada se encontraba invertida respecto a la señal de entrada. Esto se debe a un pequeño error en el esquemático del PCB, donde se conectaron en forma inversa las salidas del diferenciador a las entradas del integrador diferencial. Para solventar esto, se utilizó la función Invert del osciloscopio sobre el canal que mide la salida.

4.8.1. Senoidal

Para este caso, se logró utilizar una senoidal de entrada de 10Vp, y como frecuencia máxima se tomó una un poco menor (5KHz) a la de corte del filtro antialias (que se encuentra en 6KHz, para evitar los 3dB de máximo error de la respuesta en frecuencia real). En este caso, también se buscó probar el muestreo a máxima frecuencia, es decir a MHz. Los resultados en los distintos puntos del circuito se muestran a continuación.

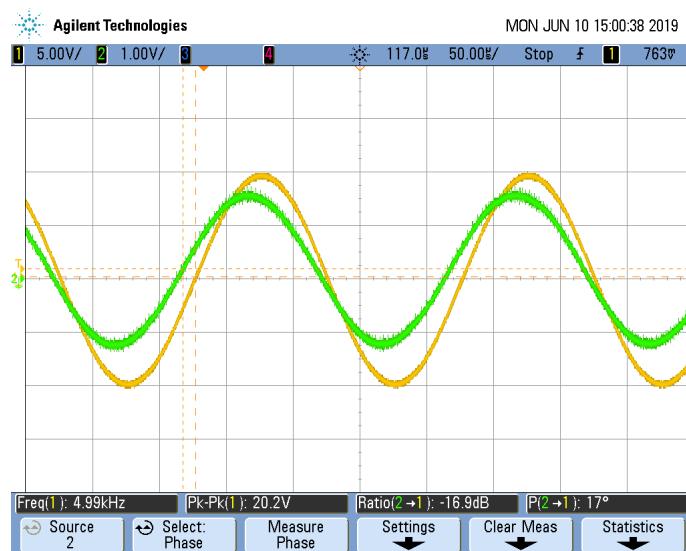


Figura 46: Señal de entrada y recuperada - Atenuación y desfasaje (CH1: Entrada, CH2: Salida)

Se observa que la señal recuperada sigue la forma senoidal de la entrada, aunque atenuada. Dado que el espectro de la senoidal ideal son dos deltas a la frecuencia de oscilación, no se pierden armónicos en el filtro antialias. Por lo tanto, al filtrar las repeticiones del espectro a la salida y quedarse solamente con la banda base, se esperaba obtener una buena representación, como efectivamente se observó. En este caso, al estar la frecuencia de sampleo en 1MHz, la atenuación de la primer repetición del espectro ya resulta mayor a 80dB.

Se tomaron las dos salidas del integrador diferencial, y mediante la función Math del osciloscopio se hizo la diferencia. El resultado que se observa en la figura tiene una frecuencia fundamental similar a la senoidal original, y se corresponde con la integral de la senoidal (que es de la misma forma) sumada a la respuesta a la señal cuadrada de la realimentación del DAC.

La señal obtenida del comparador resulta una cuadrada de ancho de pulsos variables, como se mencionó en la implementación. Los pulsos resultan anchos en las cercanías de los picos de la

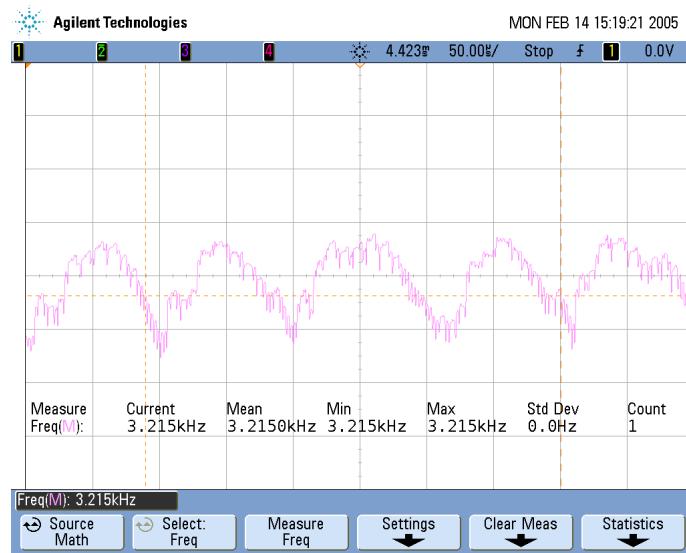


Figura 47: Señal de entrada y salida diferencial - (CH1: Entrada, CH2: Salida diferencial)

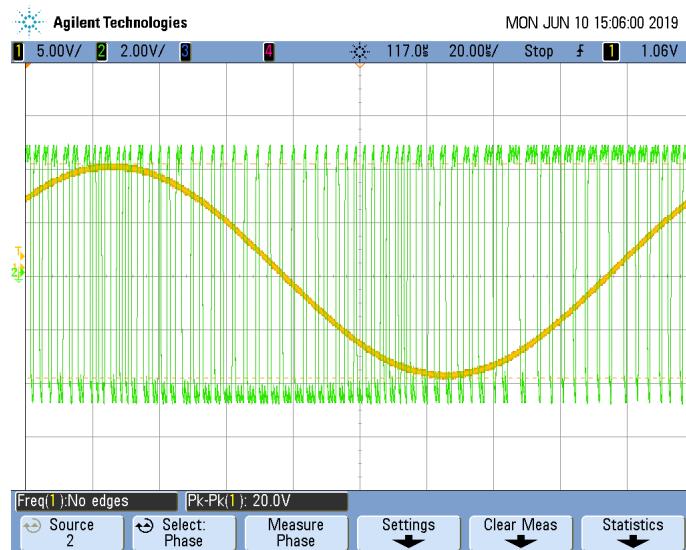


Figura 48: Señal de entrada y salida digital - (CH1: Entrada, CH2: Salida digital)

senoidal (dado que allí la variación es más leve), mientras que en torno a donde la señal cruza por cero la variación es máxima, y el ancho de los pulsos resulta menor.

Al utilizar el promediador del osciloscopio, en forma aproximada se filtra la señal digital, dejando solamente componentes en bajas frecuencias, lo que resulta en una señal que se asemeja a la de la entrada. Sin embargo, en comparación a la señal recuperada con el filtro de la placa, la promediada en el osciloscopio pierde más amplitud. Esto se debe a que lo que se realiza en este caso no es filtrado del espectro en sí, sino una promediación de una cierta cantidad de muestras tomadas de la señal,

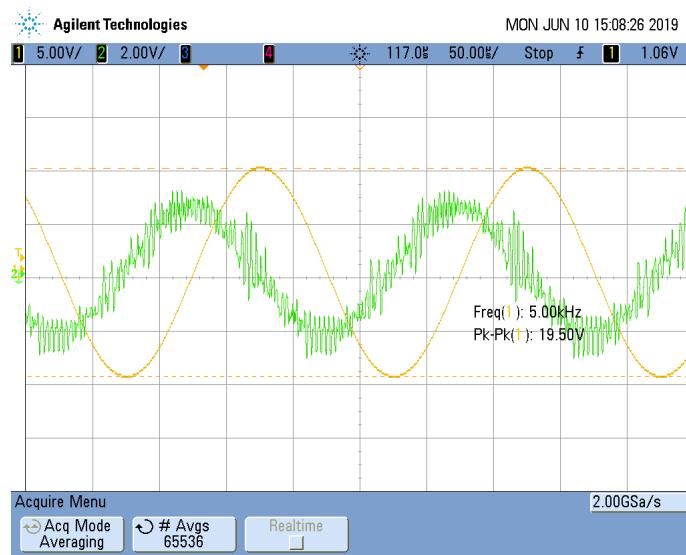


Figura 49: Señal de entrada y salida digital - (CH1: Entrada, CH2: Salida digital con average máximo)

lo que inevitablemente lleva a perder un poco de información.

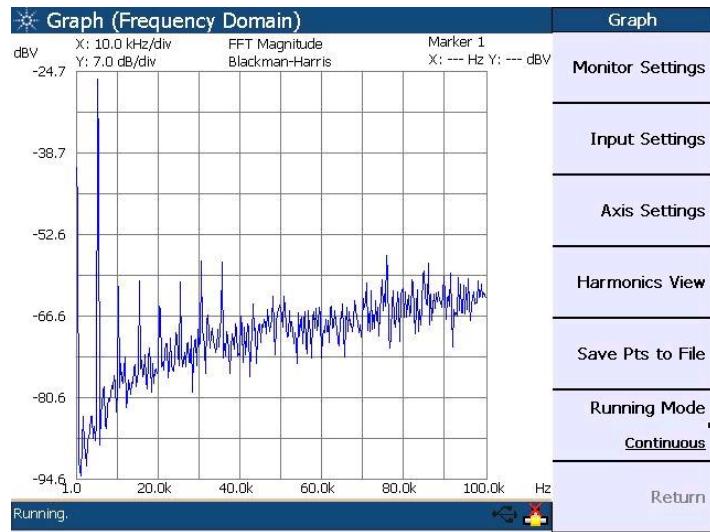


Figura 50: Visualización de efecto de noise shaping en la señal digital

Tomando la señal digital, en el espectro obtenido del analizador de espectros se observa que en bajas frecuencias se tiene la mayor atenuación, y a medida que se aumenta la frecuencia la atenuación es cada vez menor, visualizando el efecto de noise shaping. Por otra parte, se puede observar también en forma notoria el espectro de la senoidal en banda base, correspondiente a la delta de Dirac en aproximadamente 5KHz.

4.8.2. 1/2 Gauss

En este caso, considerando que se pedía una frecuencia mínima de 2.5KHz, se utilizó una cercana (3KHz - 5Vp) de forma tal de poder conservar la mayor cantidad de armónicos posibles al pasar por el filtro antialias (dado que la frecuencia de corte es fija). Sin embargo, dado el gran ancho de banda de esta señal (como ya se explicó), se pierde una parte considerable de la potencia de la misma, por lo que el salto tipo escalón resultará visiblemente atenuado.

Para esta señal y la siguiente, se utilizó un factor de oversampleo $L = 64$, el mínimo comúnmente utilizado. Considerando la frecuencia de la señal a 3KHz, la frecuencia para cumplir con Nyquist es de 6KHz. Multiplicando por el factor L, resulta en una frecuencia de oversampling de aproximadamente 400KHz. Por lo tanto, se configuró el clock a dicha frecuencia.

Como era de esperar, la sección del salto resultó bastante atenuada. Midiendo el desfase temporal con cursor, las señales resultaron desfasadas en aproximadamente 30° .



Figura 51: Señal de entrada y recuperada - Atenuación (CH1: Entrada, CH2: Salida)

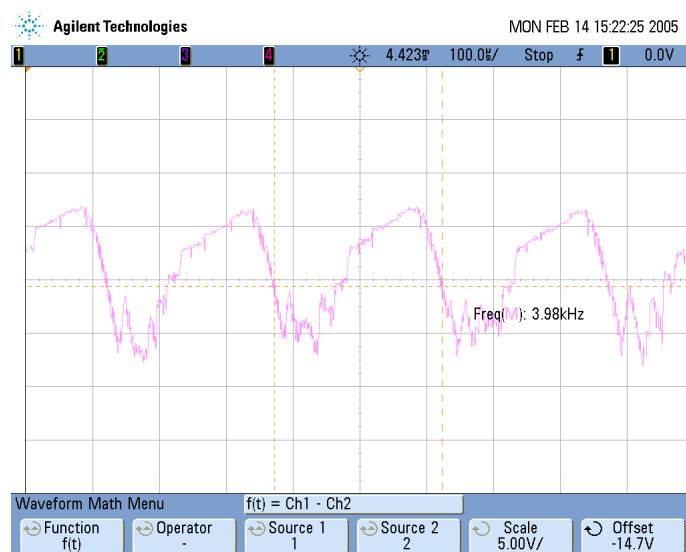


Figura 52: Señal de entrada y salida diferencial - (CH1: Entrada, CH2: Salida diferencial)

En este caso se procedió de igual manera que para la señal senoidal, tomando la salida diferencial del integrador, y haciendo la resta mediante la función Math. La señal obtenida tiene características similares a lo mencionado para la senoidal. También mantiene una forma similar a la 1/2 de gauss, pero como se encuentra invertida por lo explicado al principio (y en Math no se puede usar la función de inversión) no se puede comparar a simple vista.

En este caso, al usar una frecuencia de sampleo menor, logra apreciarse lo comentado previamente sobre las variaciones de ancho de pulso. Se puede observar claramente en este caso, donde mayor

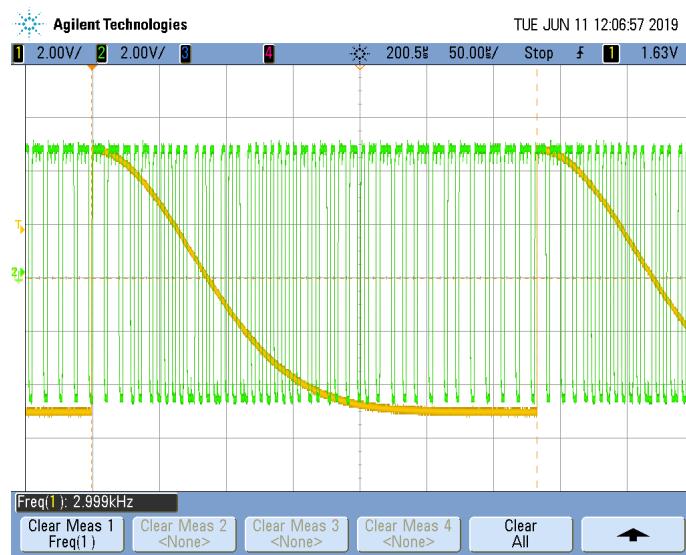


Figura 53: Señal de entrada y salida digital - (CH1: Entrada, CH2: Salida digital)

pendiente posee la gaussiana más oscilaciones resultan (debido a menor ancho de pulso), y éstos se van agrandando a medida que pierde pendiente en forma monótona.

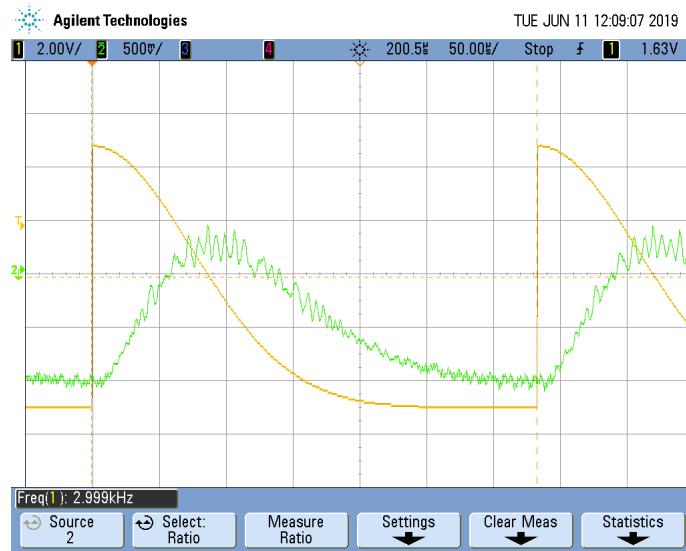


Figura 54: Señal de entrada y salida digital - (CH1: Entrada, CH2: Salida digital con average máximo)

Al igual que para la senoidal, se aplica el promediador del osciloscopio sobre la salida digital, buscando filtrarla en forma aproximada. La salida obtenida es muy similar a la que se obtiene con el filtro recuperador, pero la promediada es de menor amplitud al igual que en el caso senoidal por las misma razones mencionadas.

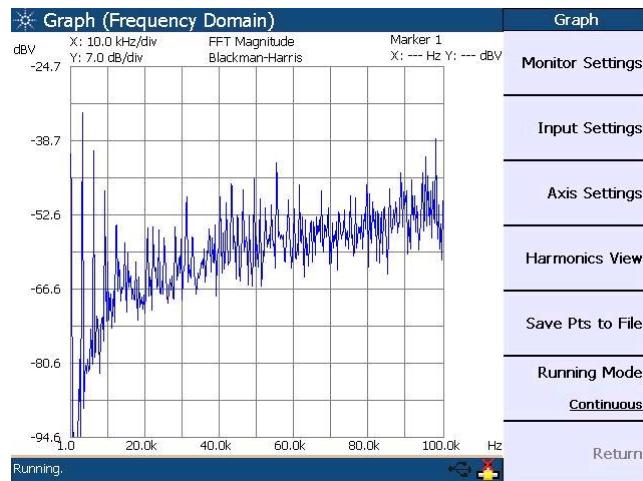


Figura 55: Visualización de efecto de noise shaping en la señal digital

En este caso, la salida digital para la señal 1/2 Gauss presenta un espectro donde el efecto de noise shaping resulta más visible que en el caso senoidal. También, por otra parte, se observa la parte del espectro en banda base que pasó por el filtro antialias (que no es el espectro completo, por lo explicado sobre el ancho de banda de la señal en cuestión previamente).

A modo de prueba, se disminuyó una década la frecuencia de la señal gaussiana (es decir a 300Hz), para que pasen más armónicos a través del filtro antialias y poder observar una salida recuperada más fiel a la entrada. Las señales resultantes se muestran a continuación.



Figura 56: Señal de entrada y recuperada - Atenuación (CH1: Entrada, CH2: Salida) - Ejemplo a 300Hz

4.8.3. Sinc

Para esta señal, considerando que se pedía una frecuencia mínima de 3.3KHz, se utilizó una cercana (4KHz). De esta forma, siendo el espectro de la sinc un pulso rectangular entre [-4KHz 4 KHz], se logra conservar todo el espectro al pasar por el filtro antialias, dado que la frecuencia de corte se encontraba en 6KHz.

Siguiendo el mismo criterio que para la señal 1/2 Gauss, el factor de oversampleo $L = 64$, resulta en una frecuencia de sampleo de aproximadamente 600KHz, por lo que se configuró el oscilador a dicha frecuencia. Como se esperaba, a la salida se obtiene una buena representación de la señal de entrada, dado que el espectro de ésta es acotado (como se mencionó previamente).

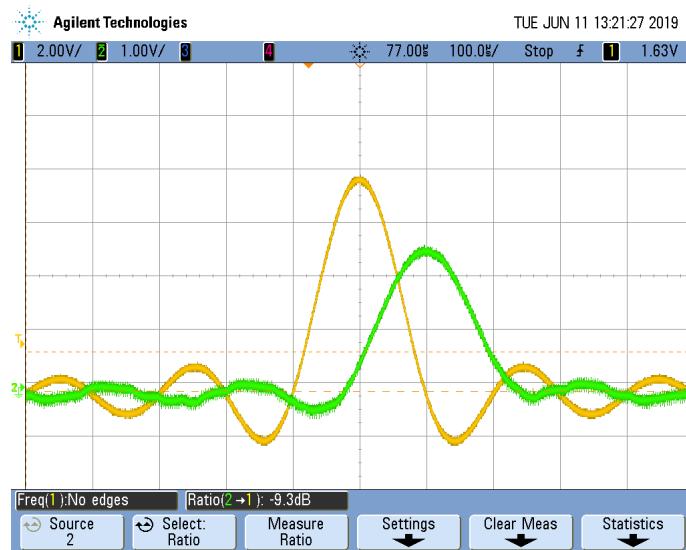


Figura 57: Señal de entrada y recuperada - Atenuación (CH1: Entrada, CH2: Salida)

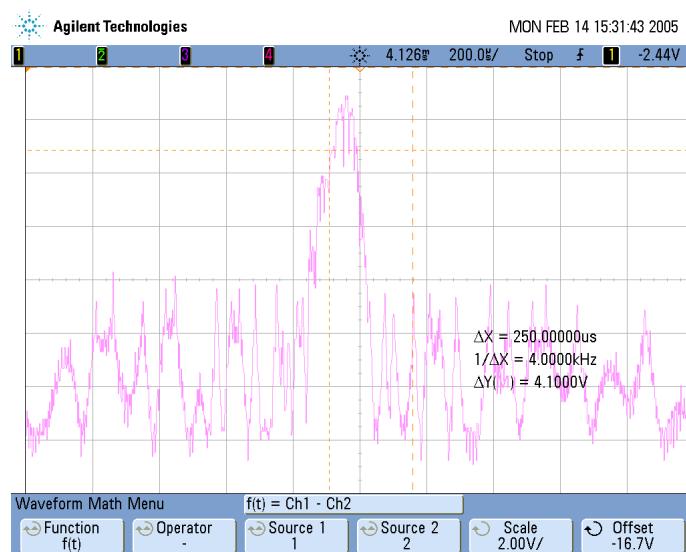


Figura 58: Señal de entrada y salida diferencial - (CH1: Entrada, CH2: Salida diferencial)

La señal diferencial medida a la salida del integrador mediante el mismo método que en los casos anteriores resulta, como era de esperar, que siguiera la forma de la Sinc original, sumado a la respuesta a la señal cuadrada proveniente del DAC.

En la figura, se observa la señal digital resultante, con características similares a las explicadas para las dos señales de prueba anteriores.

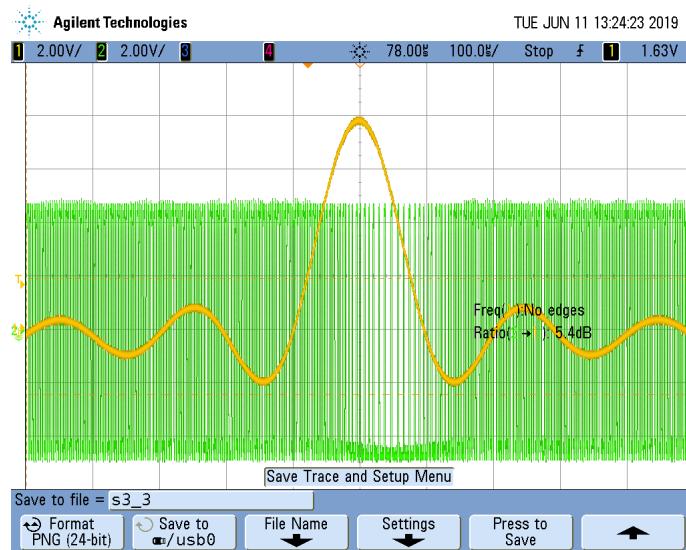


Figura 59: Señal de entrada y salida digital - (CH1: Entrada, CH2: Salida digital)

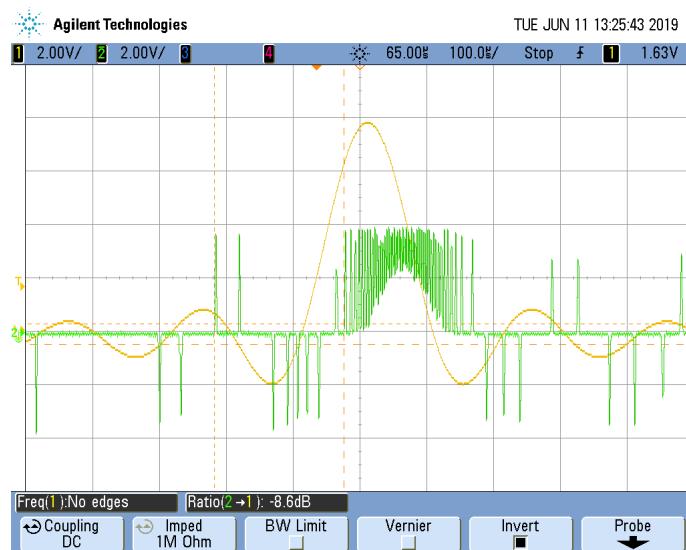


Figura 60: Señal de entrada y salida digital - (CH1: Entrada, CH2: Salida digital con average máximo)

En este último caso, se realizó también la promediación la señal digital con el osciloscopio. El lóbulo central, que es el de mayor amplitud es el que mejor queda representado por el promedio, mientras que los lóbulos laterales, al atenuarse rápidamente, en la promediación prácticamente se anulan, pero quedan remanentes algunos picos representativos en los lugares donde el seno toma su valor pico.

En este caso, la señal digital correspondiente a la Sinc posee un espectro donde no es tan notorio el efecto de noise shaping, pero de igual forma presenta la característica de que la atenuación disminuye

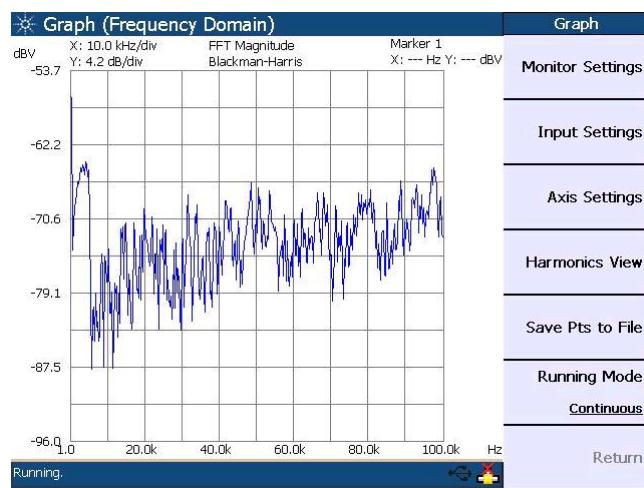


Figura 61: Visualización de efecto de noise shaping en la señal digital

al aumentar la frecuencia (aunque en forma leve). En banda base además se logra ver la parte del espectro de la sinc para frecuencias positivas (recordar que el espectro que le corresponde es un pulso centrado en 0 que va, en este caso, desde -4KHz a 4Khz).