

1. Modulador delta

El segundo conversor analógico/digital que se implementó fue un modulador delta. El mismo hace uso del principio de que, al muestrear una señal a una frecuencia mucho mayor a la de Nyquist (oversampling), el valor de la misma no se altera significativamente entre muestra y muestra. Por lo tanto, codificando la diferencia entre una muestra y la siguiente, en lugar del valor de la muestra en sí, se puede ganar SQNR sin necesidad de incrementar el número de bits del ADC. El diagrama de bloques básico de este conversor se observa en la figura 1.

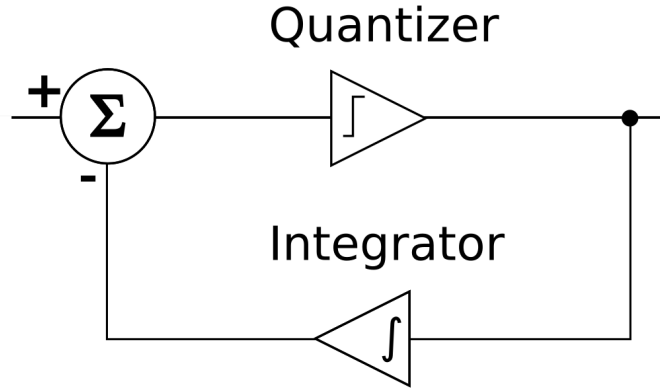


Figura 1: Diagrama de bloques del modulador delta

En este trabajo, la implementación utiliza la FPGA como integrador y un LM311 para realizar la resta. La FPGA recibe la salida del comparador (que indica si la aproximación actual es menor o mayor que la entrada), y en función de la respuesta, incrementa o decrementa un contador de 8 bits. De esta manera, la salida sigue a la entrada en todo momento, si bien hay un tiempo de adquisición proveniente de que la salida solo puede cambiar un LSB por período de muestreo.

Este tiempo de adquisición limita la frecuencia máxima que se puede seguir con una cierta frecuencia de muestreo f_s . Llamamos Δ a la diferencia entre dos niveles lógicos en la salida (un LSB), que en nuestro caso es:

$$\Delta = \frac{5V}{256 - 1} \sim 0.0196V \quad (1)$$

Luego, la condición para que la salida pueda seguir a la entrada, es decir, que por cada período de muestreo T_s , la salida no cambie más de 1LSB, queda expresada como:

$$\frac{dx}{dt} \leq \frac{\Delta}{2T_s}$$

Si consideramos entradas senoidales de amplitud V_p y frecuencia f_0 , se obtiene entonces que:

$$f_s \geq \frac{V_p}{\Delta} \cdot 4\pi f_0 \quad (2)$$

Considerando el valor obtenido en 1, y que la tensión pico máxima es $5V/2 = 2.5V$, se obtiene que:

$$f_s \geq 510\pi \cdot f_0 \simeq 1603 \cdot f_0 \quad (3)$$