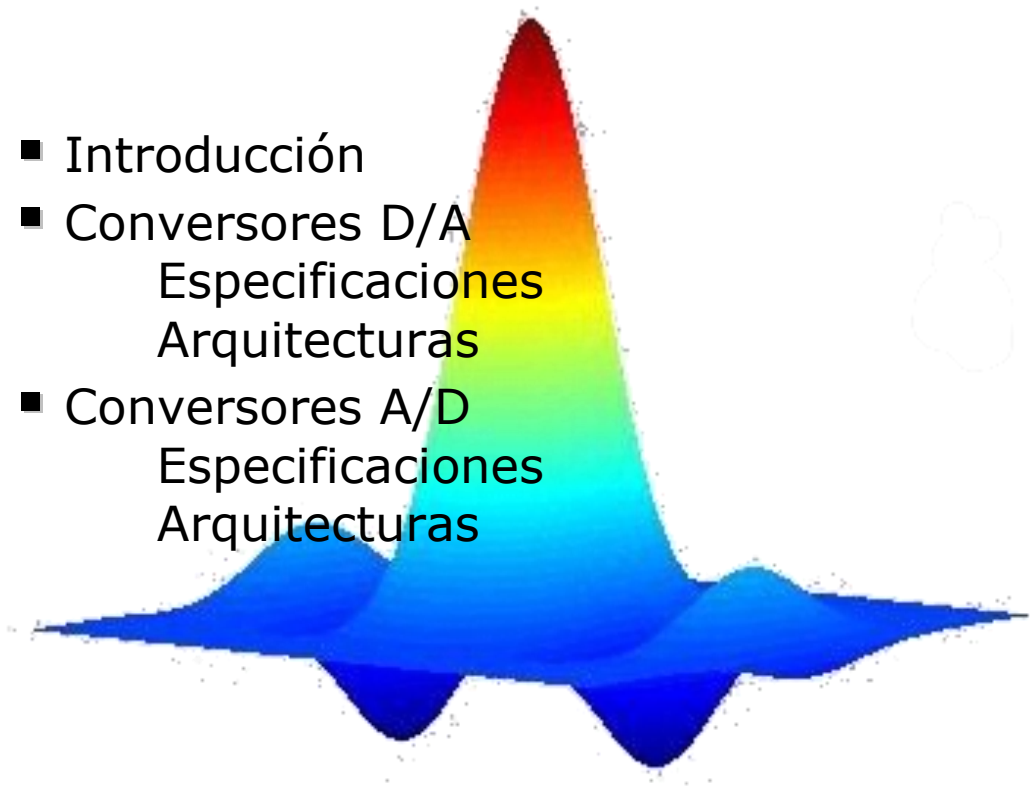


## Análisis de Señales y Sistemas Digitales

# Conversores Clásicos

- Introducción
- Conversores D/A
  - Especificaciones
  - Arquitecturas
- Conversores A/D
  - Especificaciones
  - Arquitecturas



## Introducción

De acuerdo a las características del problema, la conversión de señales se basa en dos técnicas muy diferentes. La primera, a la que llamamos conversión clásica, realiza la conversión de acuerdo a una señal de *clock* sincronizada con la única frecuencia de muestreo, cercana al valor de Nyquist. El número de bits usados depende de la resolución deseada, resultando la complejidad del dispositivo dependiente de ambos parámetros.

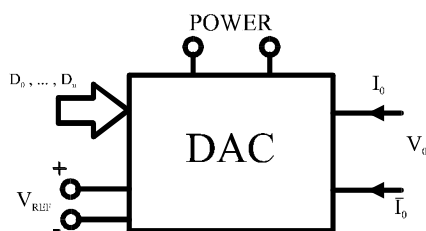
Para el caso en que la combinación de frecuencia de muestreo – resolución no encuentra solución en los conversores anteriores, se emplea otra técnica conocida como sigma-delta.

Este apunte esquematiza las distintas arquitecturas de los conversores clásicos.

Comenzamos introduciendo los bloques fundamentales de los conversores D/A y A/D y sus especificaciones

### Conversores D/A:

Digital → Analógico (DAC's)



$$V_0 = kV_{FS} \left( a_1 2^{-1} + a_2 2^{-2} + \dots + a_n 2^{-n} \right) + V_{OS}$$

MSBLSB

$a_1, a_2, \dots, a_n$  : fracción binaria.

$V_{FS} \equiv V_{REF}$  : Tensión fondo de escala.

$k$  : Ganancia.

$V_{OS}$  : Tensión de *offset*.

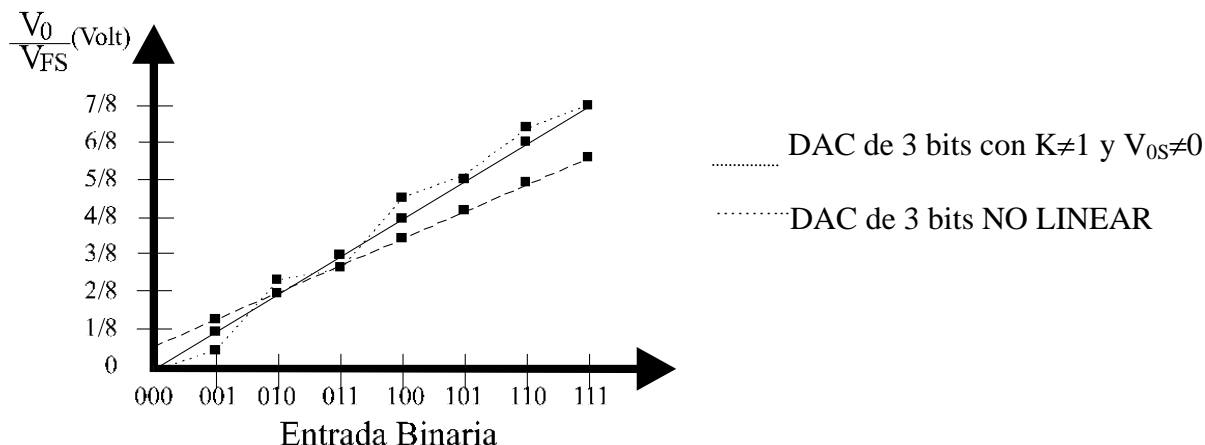
**DAC:** Dispositivo activo que toma la palabra digital como señal de entrada y la convierte en una tensión o corriente constante que representa una fracción de la  $V_{REF}$ .

**Resolución:** Mínimo cambio en voltaje o corriente que puede ser observado a la salida del conversor.

$$V_q = \frac{V_{FS}}{2^n - 1} \equiv LSB \quad n = \text{Nº de bits.}$$

Entonces el máximo error tolerable será:  $V_q = \pm \frac{LSB}{2}$

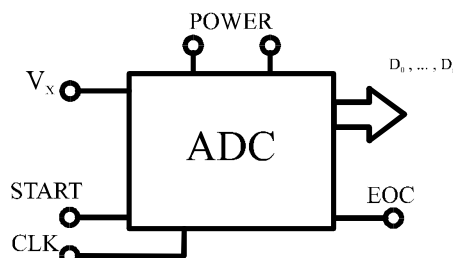
### DAC ideal de 3 bits.



$K$  y  $V_{0S}$  son ajustados según diversos criterios para llevar la característica entrada-salida a acercarse al caso ideal.

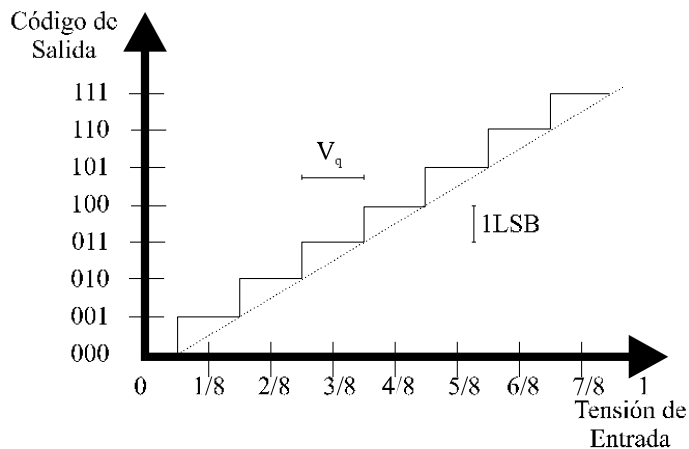
## Conversores A/D

Señal Analógica  $\rightarrow$  Digital (ADC)

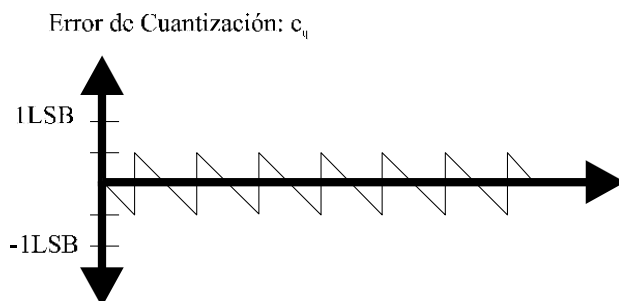


- ADC:** Dispositivo activo que convierte la tensión desconocida  $V_x$  en un n° binario de n bits.
- START:** Señal lógica que inicia cada conversión.
- CLK:** Señal cuadrada cuya frecuencia  $f_{CLK}$  determina el tiempo de conversión.
- $V_x$ :** Señal analógica desconocida, que debe mantenerse constante durante la conversión (según tecnología).
- EOC:** (End Of Conversion), señal lógica que determina el final de la conversión, validando la señal digital.
- ALE:** Habilita el dispositivo

### EJEMPLO: ADC de 3 bits (ideal)



$$V_q = \frac{V_{FS}}{2^n - 1}$$



$$-\frac{LSB}{2} < e_q < +\frac{LSB}{2}$$

Distribución Normal

### **Error de cuantización $e_q$**

Es el error natural producido por los conversores y depende de la resolución. Su valor idealmente oscila entre  $\pm 1/2$  LSB.

Cabe destacar que se lo considera un error aleatorio de distribución normal, mientras las señales a convertir no sean de amplitudes bajas (unos pocos LSB's)

### **Especificaciones de los conversores**

#### **Errores estáticos**

Los errores estáticos son aquellos que afectan la precisión del conversor cuando éste se encuentra trabajando con señales continuas. Cada uno de los posibles errores puede expresarse tanto en unidades LSB o como porcentaje del fondo de escala (FSR). Por ejemplo, un error de  $1/2$  LSB para un conversor de 8 bits corresponde a un 0,2% FSR.

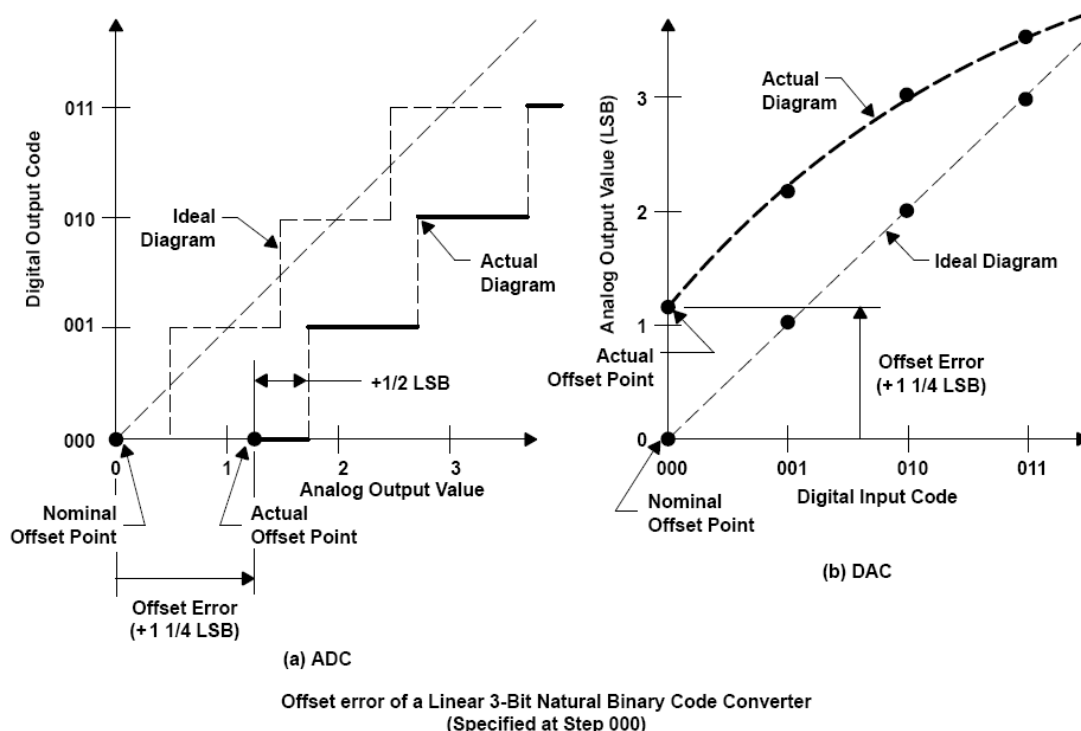
- a) Resolución. Número real de bits.
- b) Precisión absoluta (error relativo al valor de máxima escala)
- c) Offset**
- d) **Ganancia** (muchas veces es ajustable externamente)

- e) Desviación por coeficiente de temperatura
- f) Error Diferencial de no-linealidad (DNL)**
- g) Error Integral de no-linealidad (INL)**
- h) Monotonía
- i) Estabilidad de la salida respecto al tiempo
- j) Rango de tensiones o corrientes a la salida
- k) Resistencia de salida  $R_{OUT}$
- l) Rango de alimentación permitida
- m) Relación de rechazo de la señal a la variación de la alimentación (PSRR)
- n) Disipación de potencia

Describiremos los más importantes:

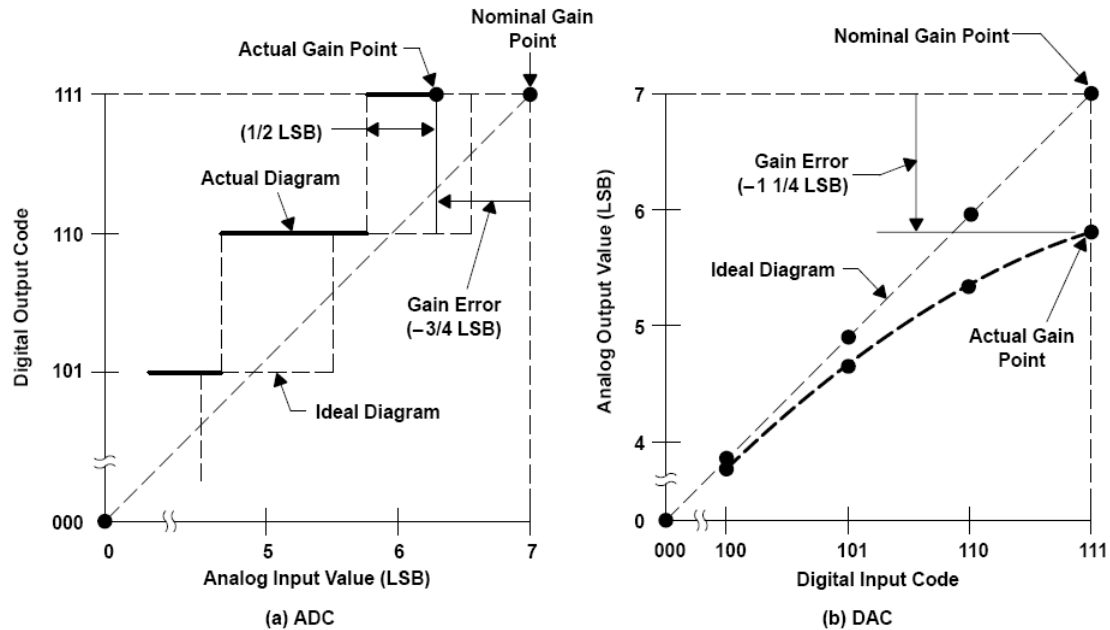
### Offset

El error debido al offset, como se muestra en la siguiente figura, se define como la diferencia entre el offset nominal y el actual. Este error afecta a todos los códigos en la misma proporción y generalmente es compensado por una red de diseñada para tal fin. En los casos en los cuales dicho error no puede ser compensado, a este error se lo denomina "zero-scale error".



### Error de Ganancia

El error debido a la ganancia es definido (ver figura siguiente) como la diferencia entre la ganancia nominal y real una vez que el offset se ha corregido a cero. Este error representa una diferencia en la pendiente ideal y real de las funciones transferencias.

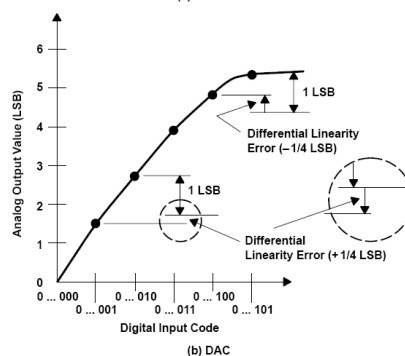
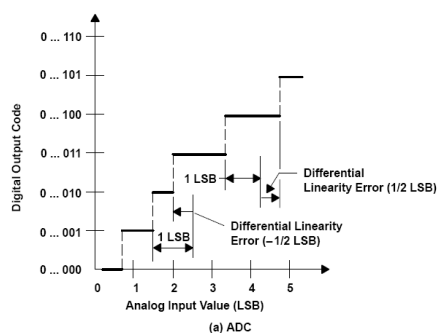


Gain Error of a Linear 3-Bit Natural Binary Code Converter  
(Specified at Step 111), After Correction of the Offset Error

## Error diferencial de no-linealidad (DNL)

El error diferencial de no-linealidad es la diferencia entre el ancho del escalón (ADC) o el alto del escalón (DAC) real y el valor ideal de 1 LSB. Por consiguiente, si el ancho del escalón o alto es exactamente 1 LSB, el error diferencial de no-linealidad es cero. Si el DNL excede el valor de 1 LSB existe la posibilidad que el conversor pase a ser NO monótono lo que implica que la salida disminuye ante un aumento en la magnitud de la señal de entrada. En el caso de un conversor A/D esto trae aparejado la posibilidad de la existencia de códigos faltantes.

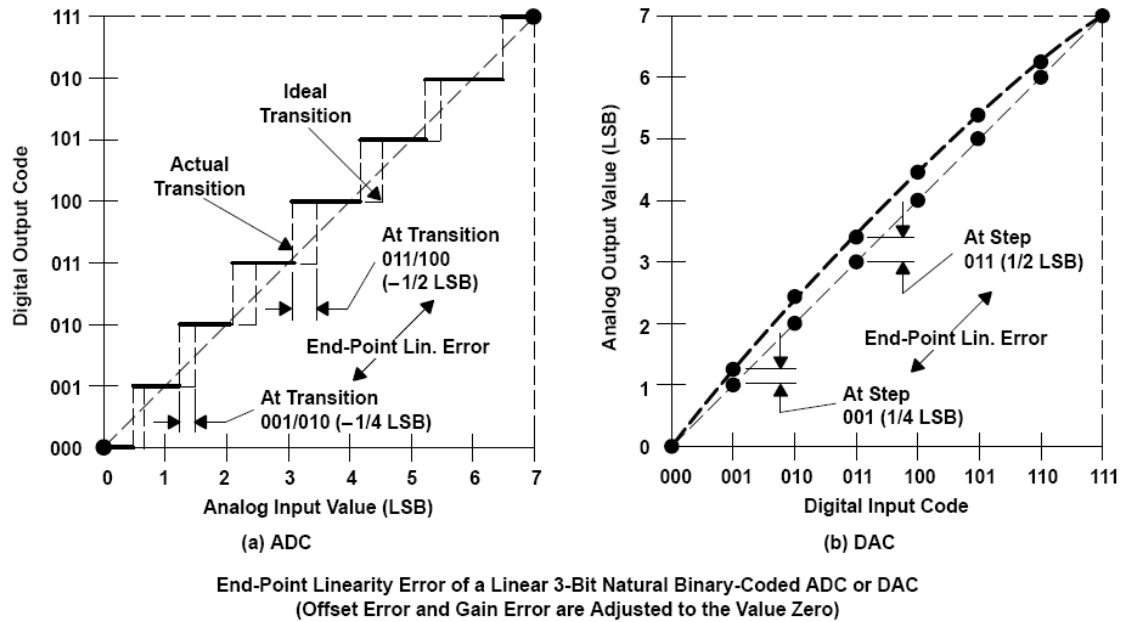
$$DNL_{DAC} = 1 - \frac{V(x) - V(x+1)}{V_q}$$



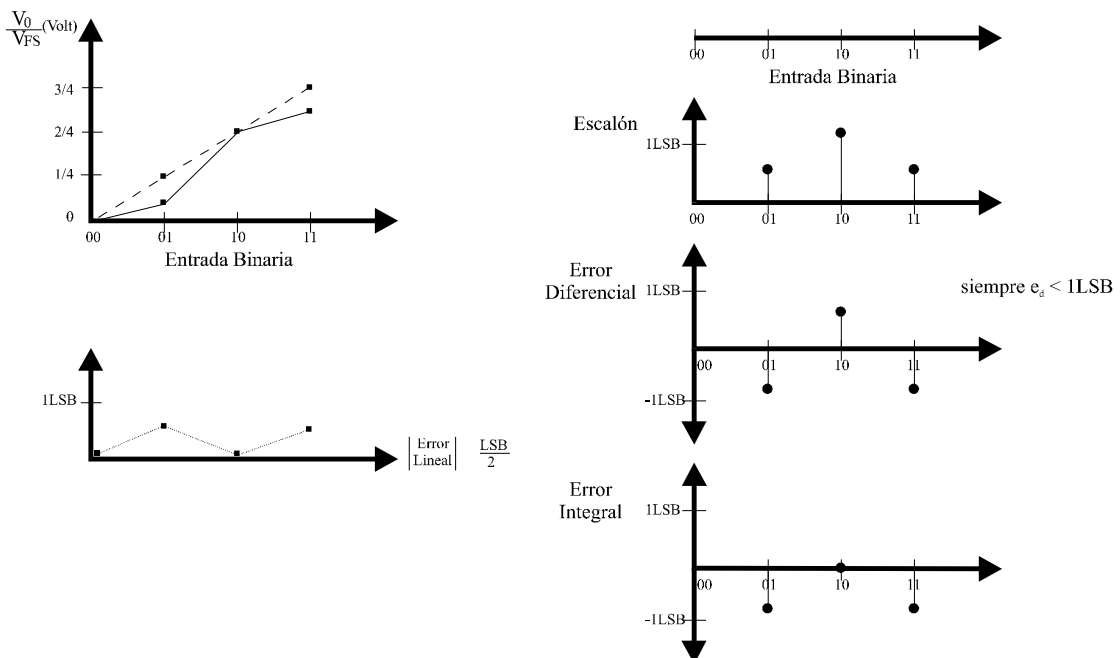
Differential Linearity Error of a Linear ADC or DAC

## Error Integral de no-linealidad (INL)

El error integral de no-linealidad es la suma algebraica de todos los errores diferenciales.

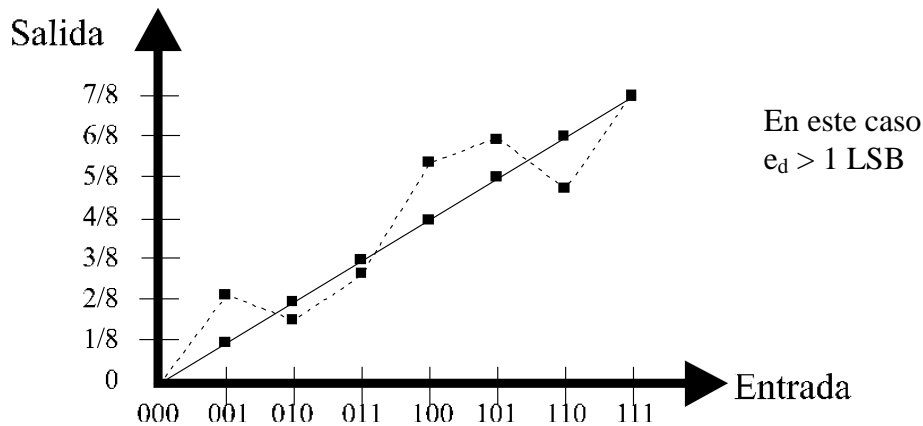


Resumiendo, en un DAC de 3 bits vemos estos errores de la siguiente manera.



## Monotonía

Si la entrada de un DAC crece, la salida debe crecer. Cuando esto no ocurre, el conversor es NO MONÓTONO, y puede llevar a la inestabilidad del sistema.



## Especificaciones dinámicas del D/A:

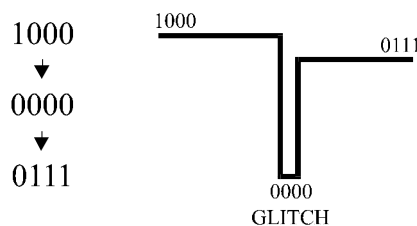
### Tiempo de establecimiento

Debido a capacidades e inductancias parásitas, existen retardos en el circuito, entre un cambio de señal a la entrada, y la correspondiente respuesta del DAC.

### Glitches

Cuando el tiempo de transición de  $0 \rightarrow 1$  es distinto del de  $1 \rightarrow 0$ ; de un n° binario a otro que difieren en más de un bit, se producen estados transitorios denominados glitches.

Ejemplo: (de 1000 a 0111) si  $1 \rightarrow 0 < 0 \rightarrow 1$



Estos efectos pueden ser minimizados eligiendo cuidadosamente los circuitos que implementen el DAC. Por otro lado, la salida analógica presentará un "ruido" de alta frecuencia que puede ser atenuado con un filtro pasabajos.

### Latencia

Es el retardo total desde que entrada digital cambia hasta que culmina el tiempo de establecimiento.



Las especificaciones requeridas en los conversores dependen de la aplicación y no son siempre coincidentes. Por ejemplo, normalmente se busca un D/A con baja área de glitches, aunque se tolera una latencia elevada; sin embargo al usar el D/A como parte del A/D, dichas especificaciones resultan opuestas.

### **Especificaciones dinámicas del A/D**

#### **Relación señal a ruido de cuantización del A/D**

Se define así a la relación entre la máxima señal admisible a la entrada respecto del mínimo nivel del conversor. Se mide en cantidad de niveles o mas comúnmente en dB.

En correspondencia a lo estudiado en D/A, cuando la entrada es sinusoidal y el ruido de cuantización es gaussiano el rango dinámico expresado como relación de potencias nos da:

$$SQNR(\text{dB}) = 1.76 + 6.02 n$$

Esto implica aproximadamente 6 dB de SQNR de mejora por cada bit agregado

#### **Número efectivo de bits**

Es una medida de la *performance* global del conversor frente a las variaciones dinámicas de las condiciones de operación.

$$ENOB = \frac{SQNR - 1.76}{6.02}$$

En la fórmula se debe considerar a SQNR como el obtenido de la medición del dispositivo en laboratorio. Ver hojas de datos.

#### **Generalización de parámetros que evalúan la *performance***

Los conversores A/D pueden ser especificados de varias maneras dependiendo del tipo de aplicación en la cual será empleado. Generalmente, el tipo de aplicaciones pueden dividirse en dos grandes grupos: Sistemas que procesan información y sistemas que no procesan información.

Los sistemas que procesan información incluyen a los sistemas que emplean tratamiento en el dominio de la frecuencia empleando la FFT. En estas aplicaciones la información recibida del conversor es promediada o convolucionada matemáticamente. Como resultado de es proceso se obtiene una aparente mejora en el piso de ruido de la señal de salida. En el caso de la FFT, el ruido es distribuido a lo largo de todo el espectro. Para el caso de sistemas promediadores, la distribución gaussiana del ruido es notablemente atenuada, aparentando un incremento en la resolución del conversor. Dentro de este tipo de

sistemas podemos encontrar: radares, analizadores de espectros, analizadores de redes, receptores de sistemas de comunicaciones, etc.

Los sistemas que no procesan la información tienden a tomar las muestras provenientes del conversor con un mínimo procesamiento. Esto implica que la reducción de ruido mencionada anteriormente no es aplicable. Dentro de este grupo de sistemas se encuentran principalmente aplicaciones de tiempo real como ser osciloscopios digitales, procesamiento de imágenes, etc.

Por consiguiente, para las aplicaciones en tiempo real (sistemas que no procesan información) las características más importantes del conversor son la relación señal – ruido (SNR) y la precisión del conversor (DNL). Además, en este tipo de aplicaciones, el ruido de cuantización y el ruido en la etapa de entrada dominan la precisión del conversor. La distorsión armónica (INL) del conversor tiene poca importancia en este tipo de aplicaciones ya que en general el resultado se inspeccionará visualmente (como es el caso de los osciloscopios digitales).

En el caso de aplicaciones que realizan procesamiento en el dominio de la frecuencia, el ruido del conversor es procesado a tal punto, que en la mayoría de las aplicaciones, deja de ser un problema. Esto se manifiesta como una aparente reducción del piso de ruido del sistema. Cabe aclarar, que el valor RMS del ruido no disminuye, pero es distribuido a lo largo de una gran cantidad de BINS a medida que se incrementa el nivel de procesamiento.

Desafortunadamente, la distorsión armónica no es afectada a medida que se incrementa el procesamiento, esto hace que este tipo de distorsión sea el factor dominante en este tipo de aplicaciones.

A continuación se citarán los parámetros más importantes referencias a las características dinámicas de los conversores.

### **Relación señal ruido**

Se define como la relación entre la potencia de la fundamental y la potencia contenida en el piso de ruido. Esta última potencia se obtiene integrando cada una de las componentes de ruido presente en el sistema de forma de obtener la potencia total. Además, para este tipo de medición (SNR) la potencia de los armónicos es excluida del cálculo.

### **Relación señal ruido + distorsión**

Se define como la relación entre la potencia de señal y la potencia contenida en el resto de las frecuencias. Esto incluye todo tipo de ruido junto con todas las armónicas que pudieran estar presentes. Por lo tanto, el SINAD es la especificación más restrictiva ya que combina variables relacionadas con el espectro de frecuencias y variables relacionadas al dominio del tiempo. De todas maneras, este parámetro resulta confuso en determinados sistemas ya que no predice

exactamente el comportamiento que va a tener un conversor para una determinada aplicación.

### **Distorsión armónica total (THD)**

Se define como la relación de potencia entre una cantidad definida de armónicos y la potencia de la fundamental. En la práctica, generalmente solo los primeros cinco armónicos son incluidos para el cálculo de este parámetro. Este parámetro generalmente no se adecua muy bien a sistemas que trabajan en el dominio de la frecuencia los cuales son, por naturaleza, más sensibles al parámetro denominado "Rango dinámico libre de espurias". Sin embargo, en el resto de los sistemas, la distorsión armónica total es un indicativo de la distorsión total a fondo de escala.

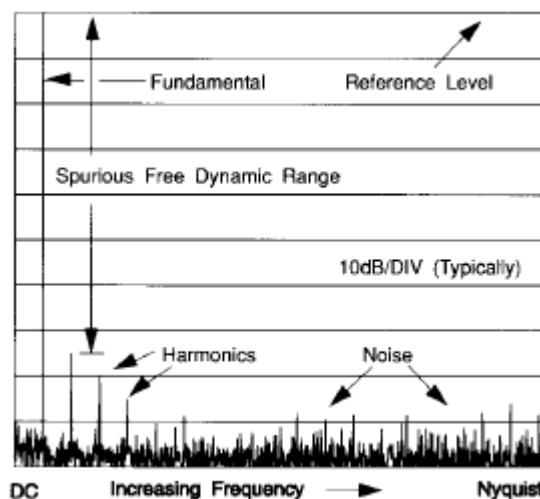
### **Rango dinámico libre de espurias (SFDR)**

Representa al rango dinámico total "limpio" libre de armónicos y espurias. SFDR es la relación entre la potencia de la fundamental comparada contra la potencia de la mayor componente. Este parámetro es especialmente importante en los sistemas que trabajan en el dominio de la frecuencia, lo cual calculan la FFT para analizar la información de salida del conversor. Por lo tanto, el SFDR es el mejor parámetro a comparar a la hora de determinar si un conversor es adecuado o no para una aplicación de aquel tipo.

### **Armónicos dentro de banda (IDH)**

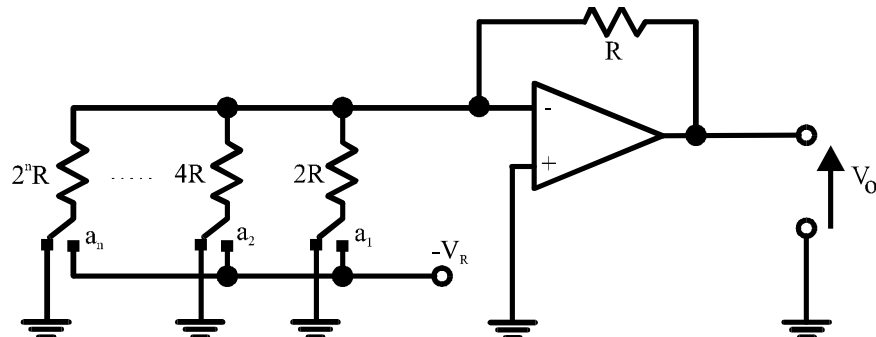
Se define como la relación de potencias entre la fundamental y el mayor armónico presente. Este parámetro es similar al SFDR pero como solo considera un número limitado de armónicos, es un medidor incompleto del desempeño del convertidor.

La siguiente figura muestra una representación gráfica de los parámetros antes mencionados.



## CIRCUITOS BÁSICOS DE DAC'S

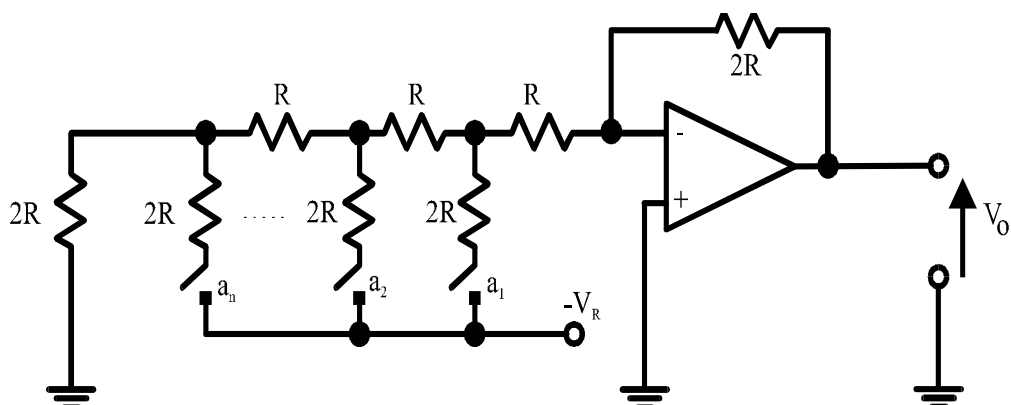
### ① Resistores Ponderados.



$$V_0 = V_R \sum_{i=1}^n a_i 2^{-i}$$

- Condiciones
  - Precisión en los valores de las R en amplio rango.
  - Baja resistencia en las llaves.
  - Cero *offset* en las llaves.
- Errores
  - $R_g$  de  $V_R$  por las diferentes corrientes  $\Rightarrow$  error de superposición.
  - Imprecisión en las R (DNL+INL)
  - Disipación despareja  $\Rightarrow$  alinealidad.

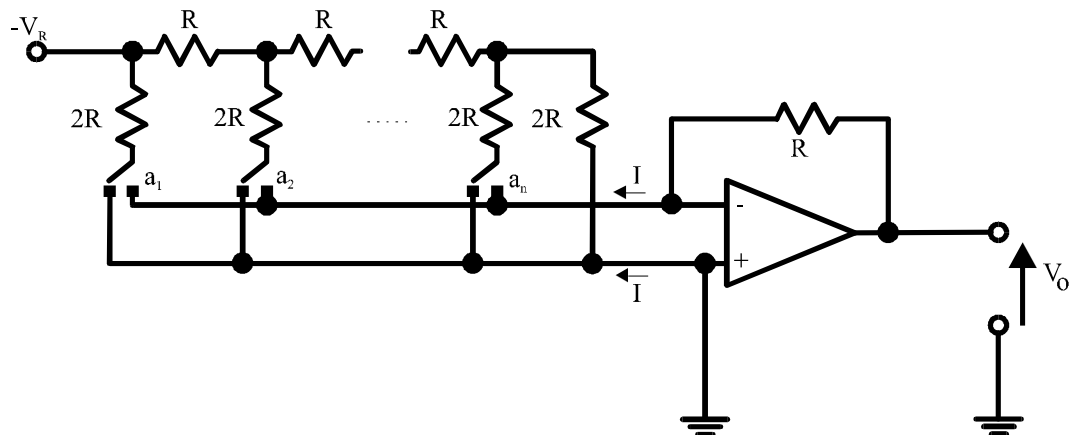
### ② Escalera R-2R.



$$2.5k\Omega < R < 10k\Omega$$

Este circuito soluciona el problema de la precisión en un amplio rango de resistencias y permite integración a gran escala.

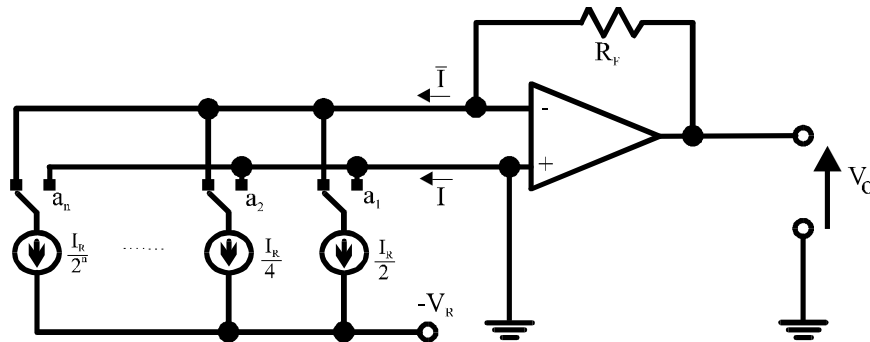
## ③ Escalera invertida R-2R.



Aquí también se soluciona el error de superposición.

**-USADO-**

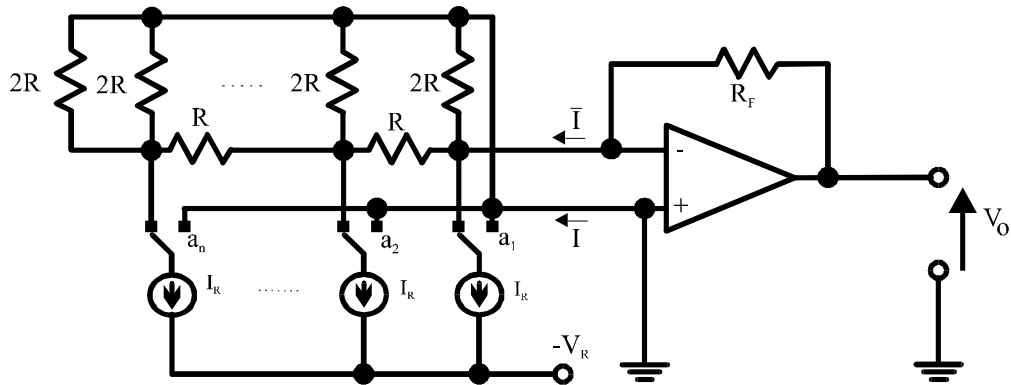
## ④ Fuentes de corriente ponderadas.



## • Características.

- Son fáciles de integrar.
- Baja disipación.
- No hay error de disipación pues las I's siempre circulan.
- Para lograr las fuentes ponderadas, las áreas de los emisores de los transistores
- bipolares deben estar en escala muy precisa, y emplear R's en escala.

## ⑤ Fuentes de corriente con R-2R invertida.

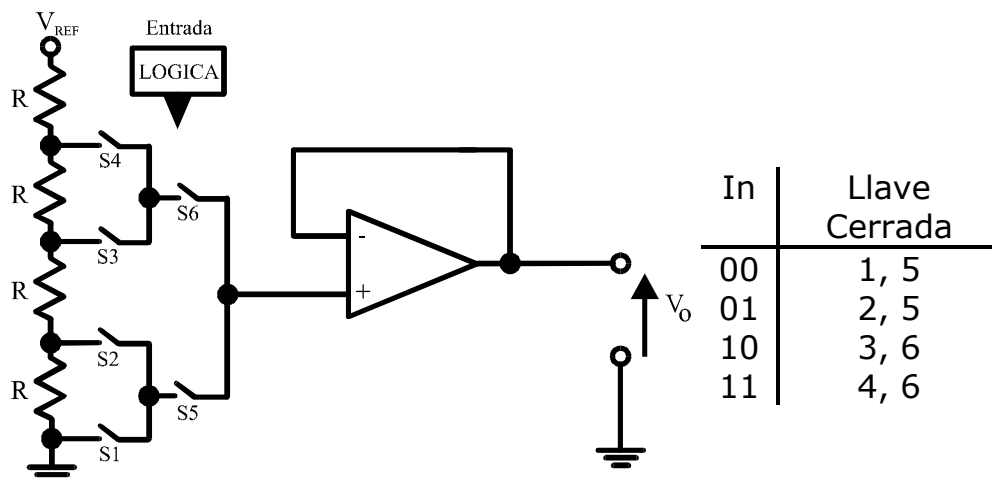


- Se soluciona el problema de la escala en las fuentes.
- Aumenta el tiempo de establecimiento por R-2R.

**-USADO-**

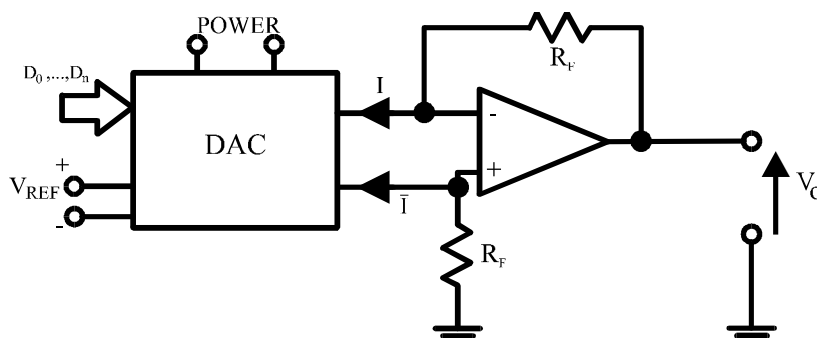
## ⑥ Árbol de llaves.

Ejemplo de 2 bits:



Requiere R's iguales, gran cantidad de llaves y una lógica de decodificación complicada. Sin embargo, se puede integrar fácilmente en la actualidad.

Para obtener una salida bipolar de un DAC cuya salida es por corrientes complementarias:



$$I = I_{FS} \sum_{i=1}^n a_i 2^{-i}$$

$$\text{Si } 0 \leq I \leq I_{FS} - 1\text{LSB}$$

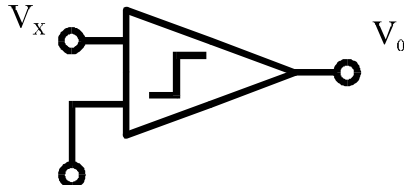
$$\Rightarrow -V_{FS} \leq V_0 \leq V_{FS} - 1\text{LSB}$$

### Método Básico de Conversión:

Comparador

$$V_0 = "1" \quad \text{si } V_X > V_R$$

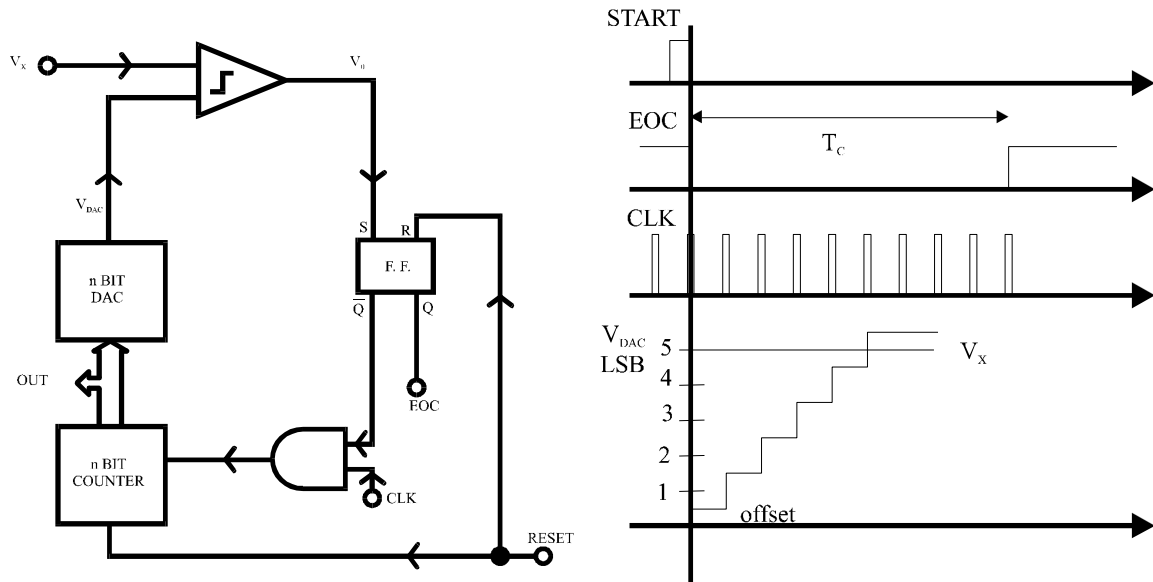
$$V_0 = "0" \quad \text{si } V_X < V_R$$



Se varía  $V_R$  tal que  $\left| \left( V_X - V_{FS} \sum_{i=1}^n a_i \cdot 2^{-i} \right) \right| < \frac{LSB}{2}$

① Convertidor por simple rampa contadora

Se emplea un contador binario que cuenta hasta que su valor supere  $V_X$ .

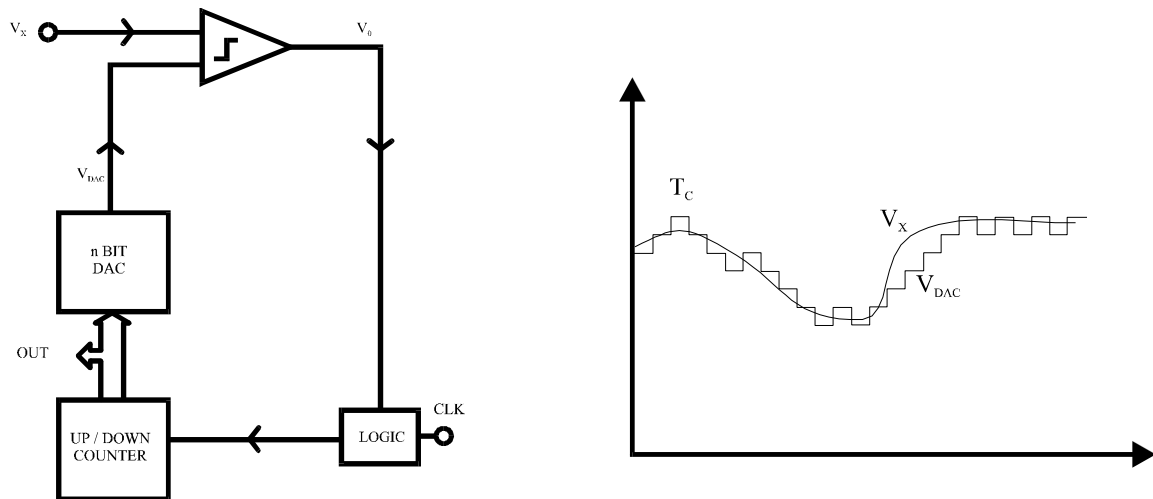


- Requiere un hardware mínimo.
- Es muy lento (hasta 1000 conversiones por segundo.).
- $V_X$  debe permanecer constante.
- El  $T_C$  depende de  $V_X \Rightarrow T_{C_{max.}} = \frac{2^n}{f_{CLK}} \Big|_{V_X = V_{FS}}$



## ② Convertidor Seguidor

El convertidor busca seguir la señal  $V_X$  de entrada, si esta no varía en forma brusca. De esta forma se logra reducir  $T_C$ .



$$\text{Si } V_X = \frac{V_{FS}}{2} \sin(\omega_0 t)$$

la máxima variación posible será  $\left. \frac{d}{dt} \left( \frac{V_{FS}}{2} \sin(\omega_0 t) \right) \right|_{MAX} = V_{FS} \frac{\omega_0}{2}$   
que debe ser inferior a 1 LSB por período de Clock.

$$\Rightarrow \frac{V_{FS}}{2} \omega_0 < \frac{1LSB}{T_{CLK}}$$

$$\frac{V_{FS}}{2} \omega_0 < \frac{V_{FS}}{2^n} f_{CLK}$$

$$\Rightarrow f_0 < \frac{f_{CLK}}{\pi 2^n}$$

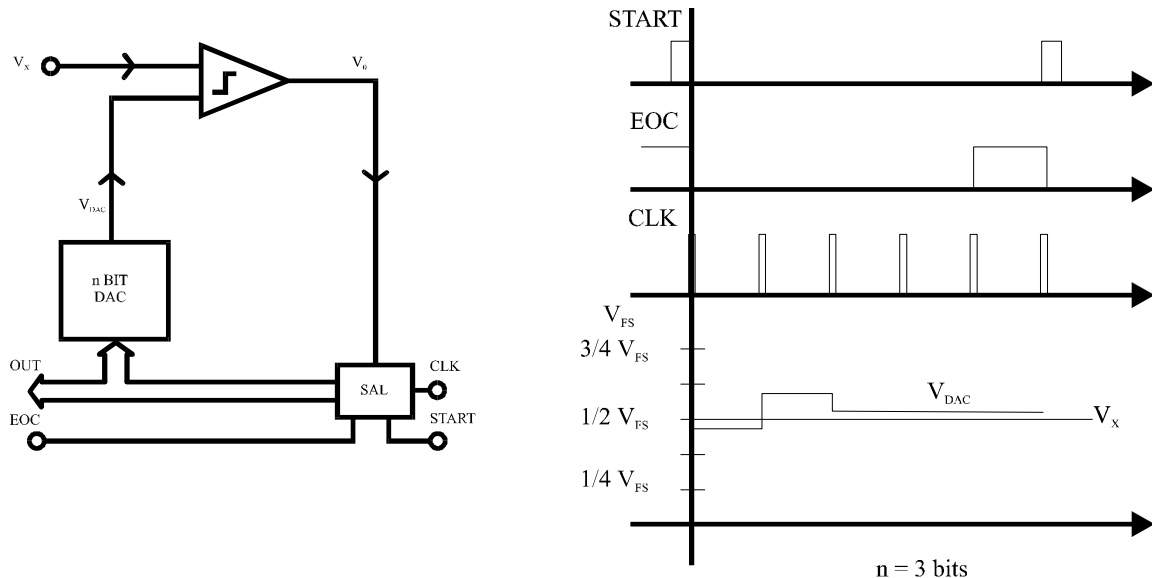
Si empleamos un convertor de 8 bits y un Clock de 100KHz, la máxima frecuencia de esa senoide a plena escala es 125 Hz!!!.

Por estos motivos, estos conversores son poco empleados.

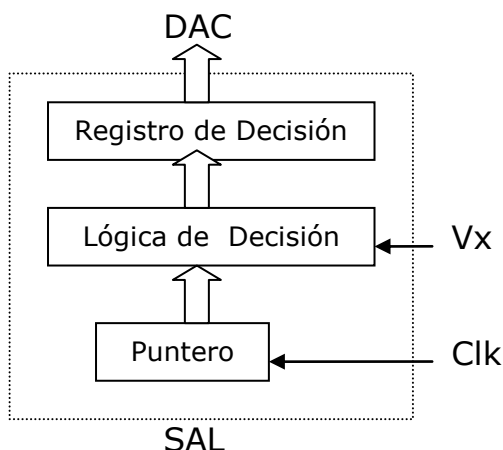
### ③ Conversores por aproximaciones sucesivas (serie)

a) Directo

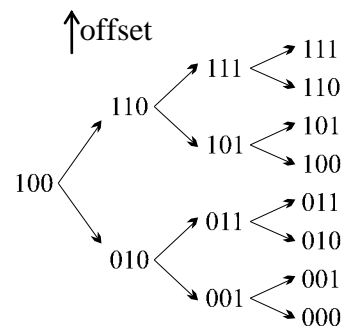
Variando en forma más eficiente la entrada al comparador, este tipo de conversor logra llevar a  $n$  períodos de clock una conversión de  $n$  bits.



Donde la Logica de aproximaciones sucesivas es:



$$\left[ \frac{1}{2} \pm \frac{1}{4} \pm \frac{1}{8} \right] - \frac{1}{16}$$



Si la entrada es sinusoidal:

$$V_x = \frac{V_{FS}}{2} \sin(\omega_0 t)$$

La señal no debe variar mas de 0.5 LSB durante el tiempo de conversión, por lo tanto, sin S&H se necesita :

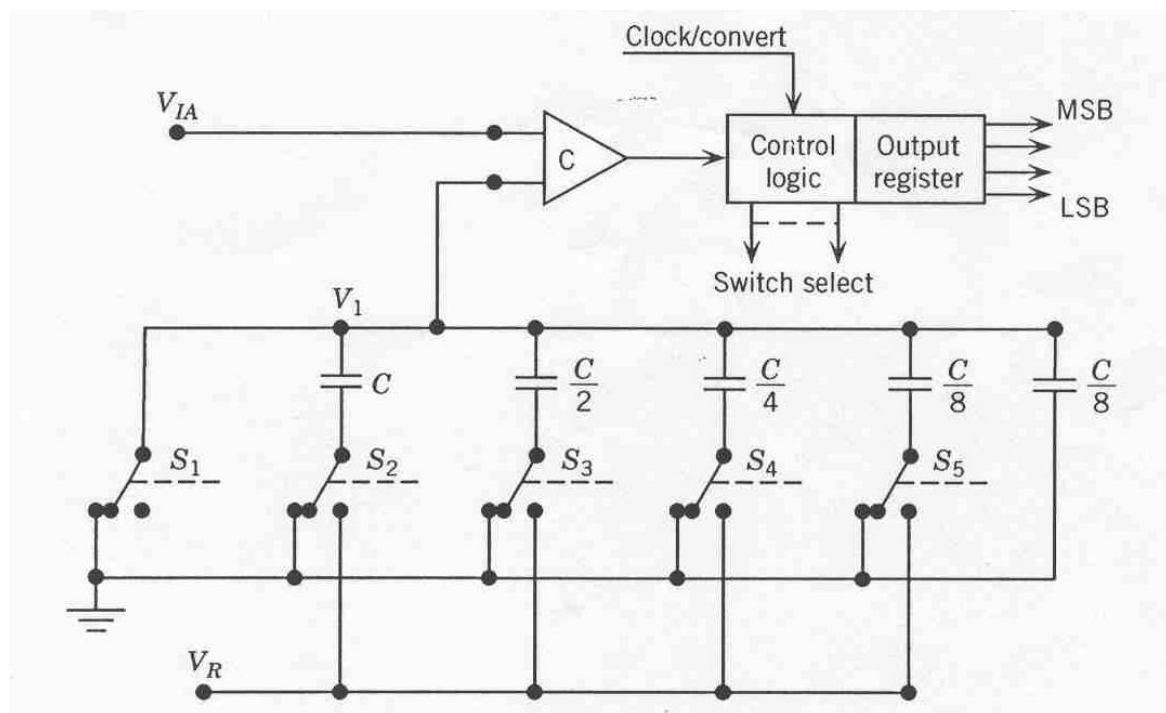
$f_0 \leq f_{\text{CLK}} \frac{1}{2\pi n 2^n}$  Es demasiado restrictivo!

b) Por redistribución de carga

En este tipo de conversores, el elemento de precisión es la relación entre valores de capacidades. Dicha relación puede ser mejor controlada en los procesos de fabricación de MOS y CMOS que la relación entre valores de resistores. De todas maneras, técnicas para el ajuste fino del valor de capacidades han sido desarrolladas posibilitando obtener conversores de hasta 12 bits de precisión con una baja disipación de potencia.

La siguiente figura muestra el principio de funcionamiento de un conversor de aproximaciones sucesivas por redistribución de cargas. Inicialmente todos las llaves están conectadas a 0V de manera de resetear la carga de todos los capacitores a cero. Luego, el algoritmo de aproximaciones sucesivas, procede a determinar el valor de cada bit comenzando por el más significativo hasta completar todos los bits. El proceso se puede describir mediante los siguientes pasos:

El proceso se realiza en distintos pasos:



1. Las llaves están en 0V, los capacitores se descargan y  $V_1=0V$ .
2. La llave  $S_2$  conmuta a  $+V_R$  y  $V_1$  cambia a  $V_R/2$  debido al divisor capacitivo  $C$  en serie con  $\{\frac{C}{2} \square \frac{C}{4} \square 2\frac{C}{8}\}=C$ . El comparador detecta si  $V_{IA}>V_1$  ó  $V_{IA}<V_1$ .

3. El MSB queda determinado por la comparación anterior y la llave correspondiente ( $S_2$ ) permanecerá en  $V_R$  si  $V_{1A} > V_1$  ó se conmutará a 0V si  $V_{1A} < V_1$ .
4. La llave  $S_3$  conmuta a  $+V_R$  y  $V_1$  variará en  $V_R/4$  debido al nuevo divisor capacitivo  $C/2$  en serie con  $\{C \square \frac{C}{4} \square 2 \frac{C}{8}\}$ . El comparador detecta si  $V_{1A} > V_1$  ó  $V_{1A} < V_1$
5. El proceso se repite hasta obtener el LSB.

### Características

- Requieren una entrada constante (S&H a la entrada)
- Son rápidos  $T_C = n T_{CLK}$  (como mínimo)
- Relativamente simples de implementar.
- Permiten de 8 a 12 bits de resolución, según arquitectura y velocidad.
- Para superar las limitaciones que impone la SAL respecto a número de bits y velocidad, se utilizan las versiones en etapas.

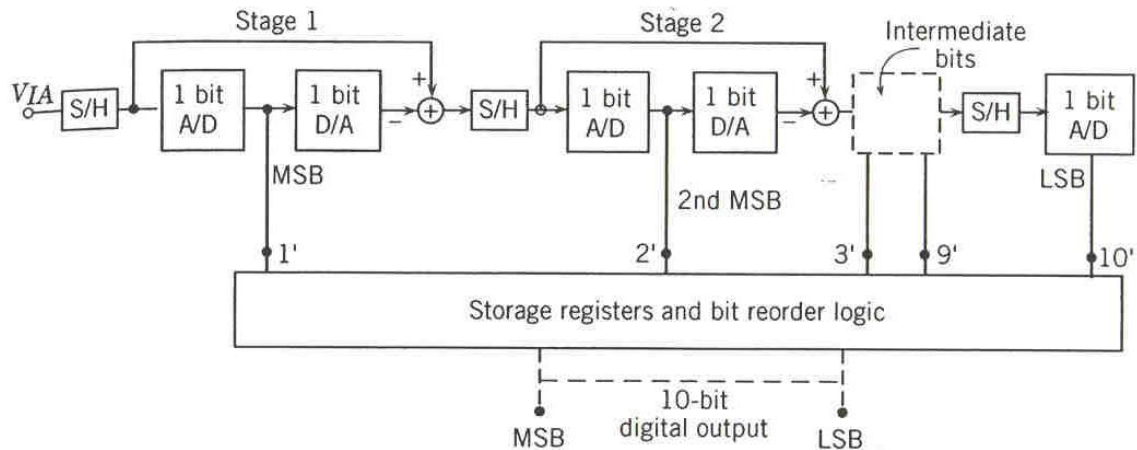
### c) En Etapas (Pipelined)

En este tipo de sistemas la conversión es efectuada en dos o más intervalos de muestreo de la señal de entrada. La primera etapa convierte cierta cantidad de los bits más significativos durante el primer intervalo de muestreo, luego el residuo es enviado a la siguiente etapa de la cadena para ser procesado. Durante el segundo intervalo de muestreo, la primera etapa convierte ciertos MSBs de la siguiente muestra tomada mientras que la segunda etapa convierte algunos bits del residuo de la muestra anterior. Continuando, el residuo generado por esta segunda etapa es transferido a la siguiente etapa y así sucesivamente hasta que todos los bits han sido determinados.

Como resultado, se logra que el conversor trabaje a la frecuencia real de muestreo a pesar de que para obtener los valores digitales completos de dichas muestras es necesario esperar una cantidad de ciclos de muestreo igual a la cantidad de etapas que el conversor posea. De esta manera, se logran conversores de alta velocidad empleando circuitos de ancho de banda reducido. El inconveniente que poseen es la latencia de la conversión, pero para la mayoría de las aplicaciones esto no es un factor de interés.

La siguiente figura muestra un conversor de aproximaciones sucesivas en etapas que convierte 1 bit durante cada intervalo de muestreo de la señal de entrada.

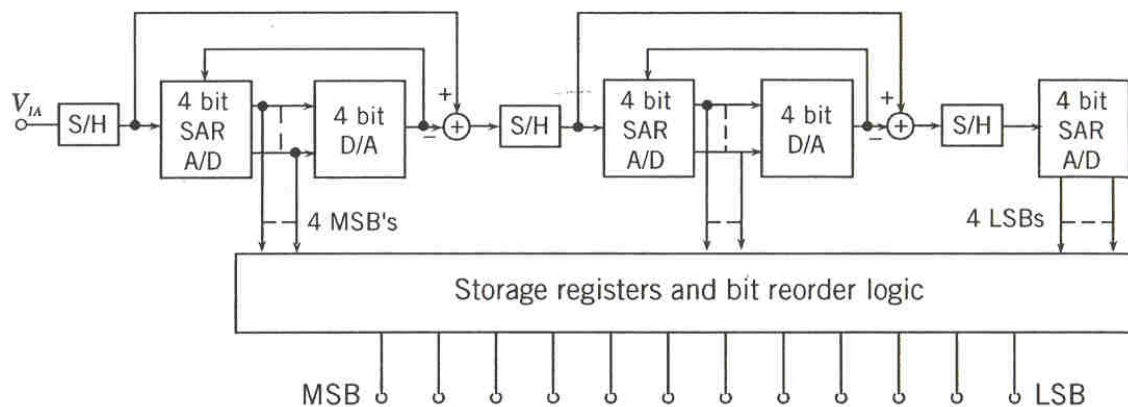
Este tipo de conversores pueden llegar a ser hasta  $n$  veces más rápidos que los conversores de aproximaciones sucesivas recursivos que utilizan un solo comparador analógico. Este incremento se logra empleando aproximadamente circuitos con el doble de ancho de banda que los circuitos que poseen un solo comparador.



Otra posibilidad es lograr la misma cantidad de muestras por segundo que un convertor de aproximaciones sucesivas convencional empleando circuitos con mucho menor ancho de banda.

Como desventaja se puede mencionar que la lógica de control de este tipo de convertidores es más complicada que la de un convertidor estándar y dada la mayor cantidad de etapas que intervienen en el proceso de conversión se pueden producir errores de conversión adicionales.

Otra alternativa intermedia (ver figura siguiente), es que cada etapa convierta más de un solo bit de la palabra final. Esto trae aparejado que el proceso de conversión de cada etapa sea más lento pero simplifica mucho la complejidad del circuito de control y potencia disipada.



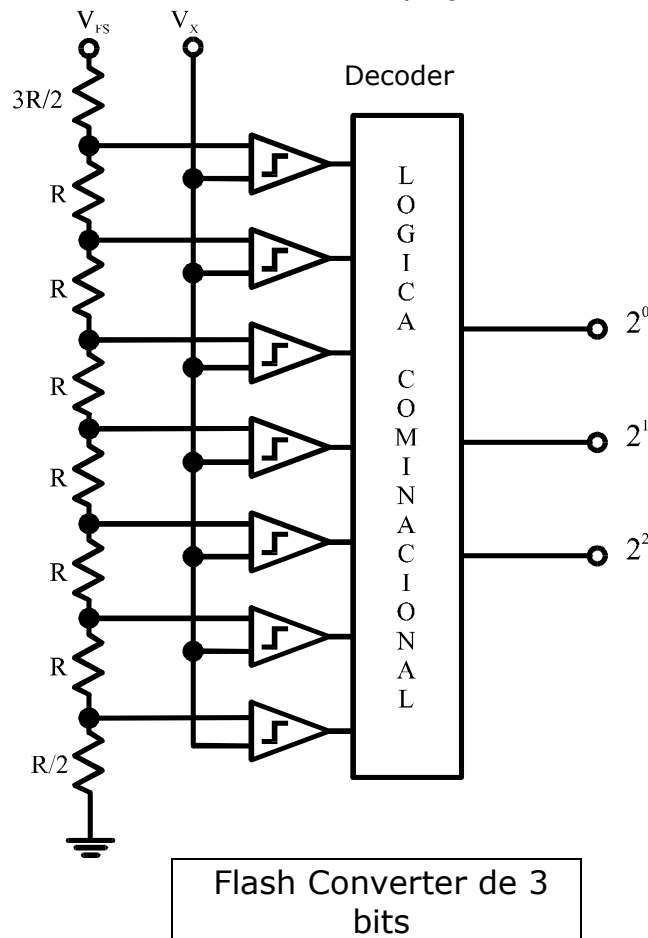
Cada etapa intermedia contiene convertidores de 4 bits implementados por aproximaciones sucesivas. Se han reducido notablemente el número de S/H y de sumadores, lo que disminuye los errores, la latencia y la complejidad, pero a costa de menor velocidad.

#### ④ Convertidores paralelo (Flash converters)

## a) Paralelo completo

Este tipo de conversores usan comparadores, con una tensión de referencia fija conectada a una de sus entradas, para cada nivel de cuantización desde cero hasta fondo de escala. La otra entrada de estos comparadores es conectada a la señal a medir de manera que dicha señal es comparada contra todos los niveles de cuantización simultáneamente. Las salidas de estos comparadores están conectadas a un circuito de codificación el cual se encarga de generar el código binario apropiado a partir del resultado obtenido por los comparadores.

La tasa de conversión alcanzable por este tipo de comparadores es muy alta ya que la conversión es finalizada en un solo paso. Sin embargo, la desventaja que presentan estos tipos de conversores es que por cada bit adicional que se necesite, la cantidad de comparadores prácticamente se ve duplicada. Por ejemplo un conversor de 8 bits requerirá de 255 comparadores mientras que un conversor de 12 bits requerirá 4095 comparadores, 4095 tensiones de referencia más una red de codificación mucho más compleja.


**Ventajas:**

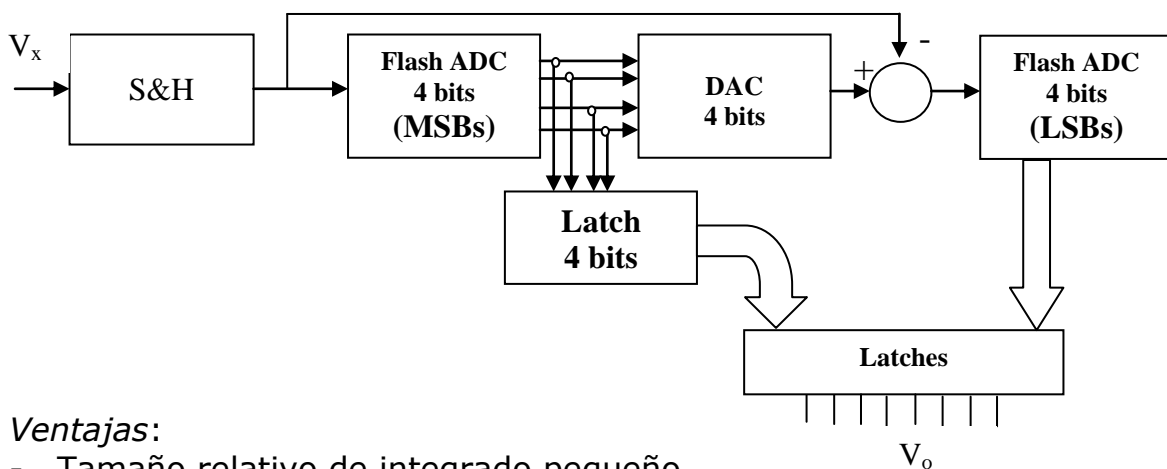
- Alta velocidad que sólo lo limita el retardo de los comparadores y el circuito lógico (hasta 100.000.000 conversiones por segundo).
- No se requieren S&H

**Desventajas:**

- No se puede lograr un número elevado de bits debido a que se requieren  $2^n - 1$  comparadores (se ha llegado hasta 10 bits).
- Requieren gran superficie de integrado.
- Alta disipación
- Alto valor de capacidad de entrada
- El hardware aumenta exponencialmente con la resolución

### **Flash Converter de dos pasos (pipelined)**

Una variación de los conversores Flash se logra haciendo la misma en dos pasos, con el objeto de disminuir el número de componentes a integrar.

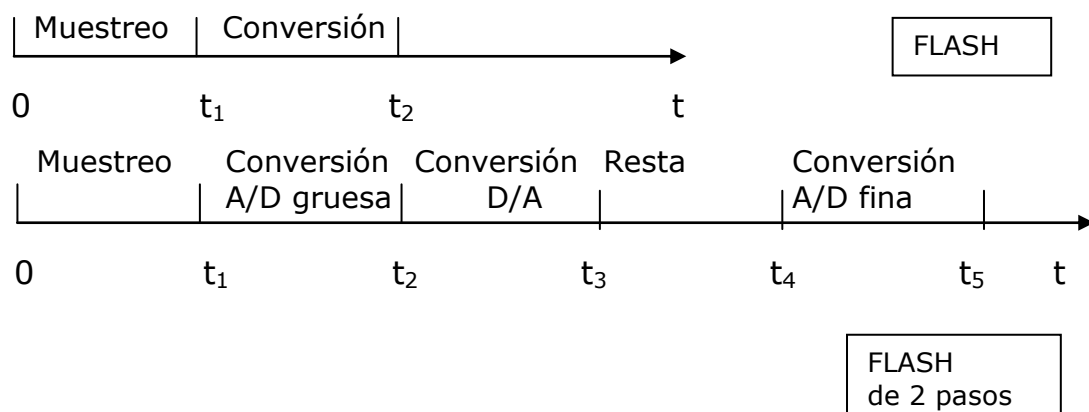


#### *Ventajas:*

- Tamaño relativo de integrado pequeño.
- Mucho menos hardware que el flash del mismo N° de bits.
- Disipación de potencia moderada.
- Impedancia de entrada menos capacitiva

#### *Desventajas:*

- Se requiere un DAC rápido y alta resolución
- El S&H debe ser de alta precisión y bajo tiempo de establecimiento
- El restador es de difícil implementación (ganancia lineal)
- El hardware aumenta exponencialmente con la resolución.
- Bastante más lento que el flash





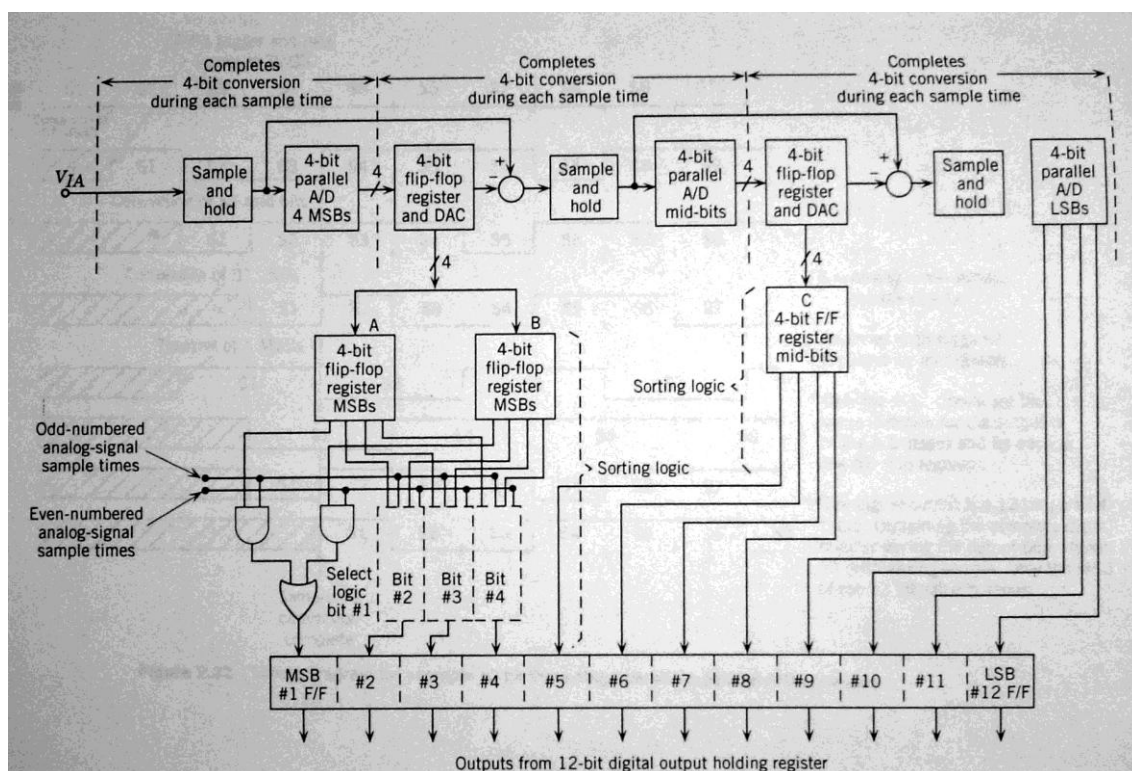
## Conversores paralelos de pasos múltiples pipelined

Para aplicaciones que requieran una resolución superior a 10 bits, una velocidad de conversión entre 100 MSPS y 10 GSPS, los conversores paralelos de pasos múltiples por etapas con corrector interno de errores son los más aptos.

La ventajas son que cada etapa dispone de un intervalo de muestreo completo para realizar la conversión parcial (incluyendo realizar el S&H), lo que permite reducir significativamente la velocidad de los circuitos correspondientes.

Como se observa en la figura, cada conversión incluye un tiempo de adquisición (S&H), el tiempo requerido por los comparadores para obtener una salida estable sumado al tiempo de establecimiento de DAC y el circuito restador.

La desventaja de este tipo de comparadores es que requiere la adición de un S&H por cada etapa presente en la cadena. Dado que se trata básicamente de amplificadores clase A, y estos deben estar siempre dentro de la zona lineal de funcionamiento para mantener la precisión requerida, la cantidad de potencia requerida es elevada. Peor aún, para los conversores A/D de baja potencia implica emplear S&H de baja potencia lo que complica aún más su diseño.





### ⑤ Conversores integradores

Para el caso de los conversores de mayor número de bits, pero de tiempos de conversión lentos, se puede emplear un contador de rampa similar al ① pero que en lugar de emplear internamente un DAC, integra la tensión de referencia. Sufre de los mismos problemas que el anterior, excepto los errores introducidos por el DAC. En contrapartida, debido a la integración, la respuesta en frecuencia degrada el espectro de cualquier señal que sea de frecuencias superiores a varios Hz.

Para independizarse de los errores introducidos por el clock, se emplea el de doble rampa, que integra además la señal, según las figuras de las próximas páginas:

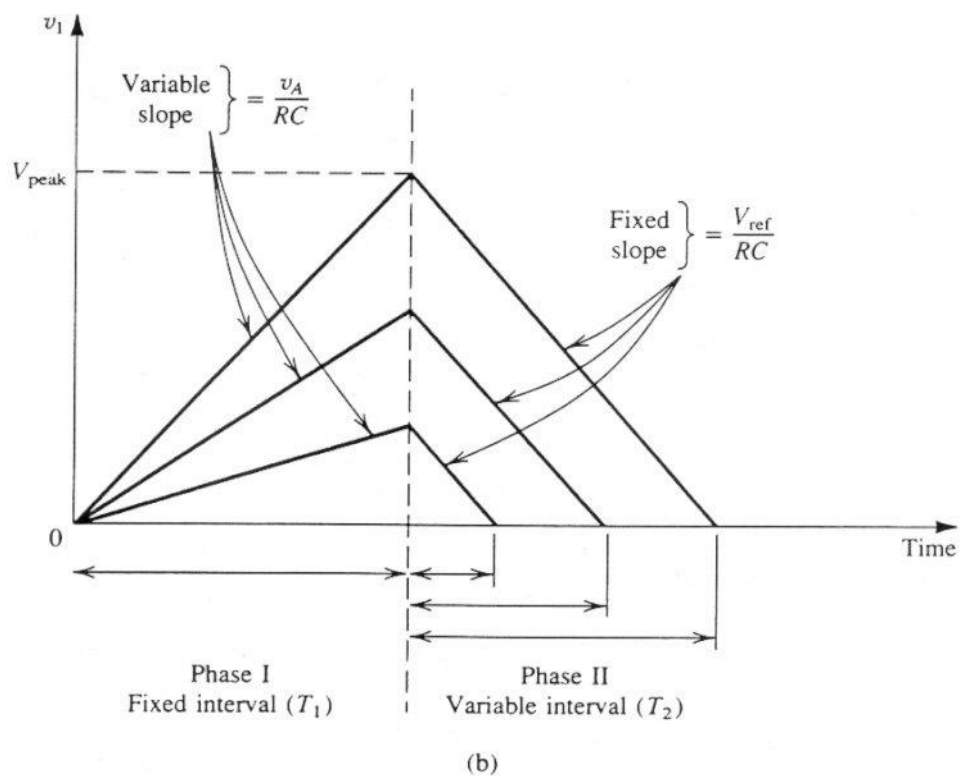
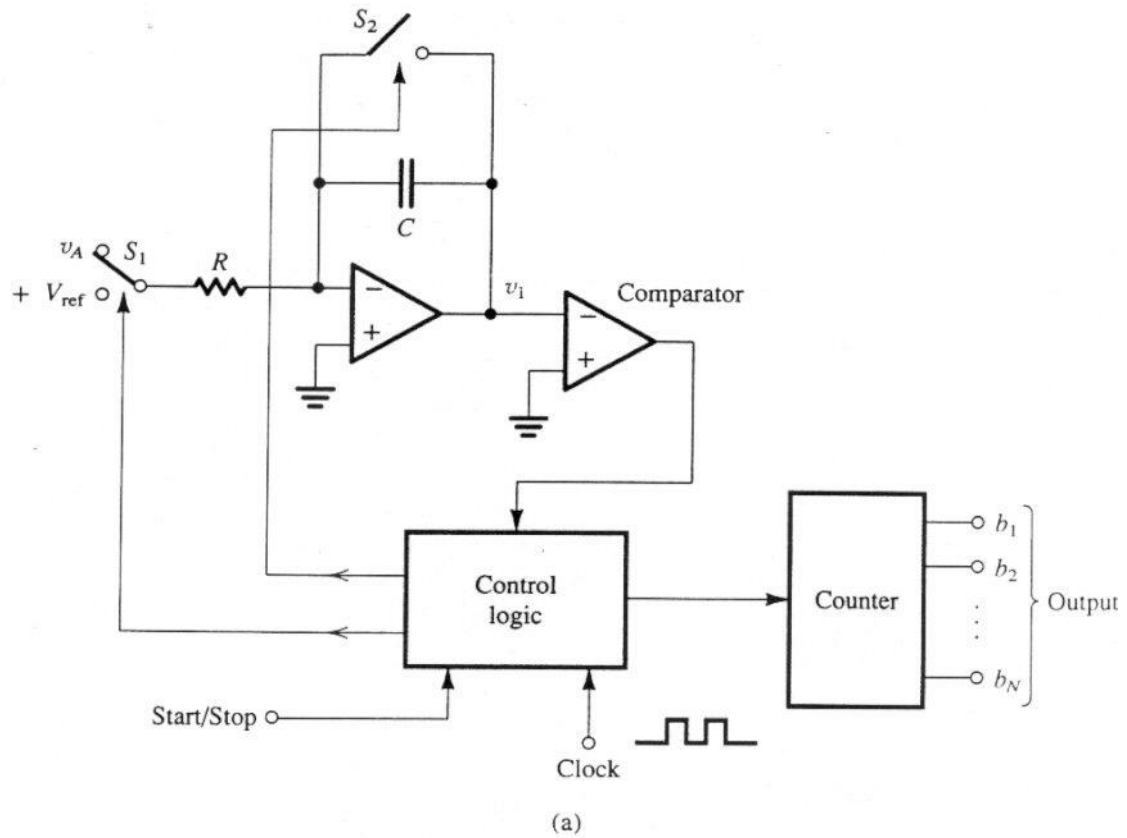
$$v_1(T_1) = -\frac{1}{RC} \int_0^{T_1} v_A(t) dt = V_A \frac{T_1}{RC}$$

$$v_1(t) = -\frac{1}{RC} \int_{T_1}^t V_{REF} dt + V_A \frac{T_1}{RC} = V_A \frac{T_1}{RC} - V_{REF} \frac{t - T_1}{RC}$$

por lo tanto, en  $t = T_1 + T_2$ ,  $v_1(t) = 0$

$$\boxed{\frac{T_2}{T_1} = \frac{V_A}{V_{REF}}}$$

$T_1$  es el tiempo de Carga  
 $T_2$  es el tiempo de medida  
 $V_{ref}$  Dato dado  
 $V_A$  V que hay que hallar.

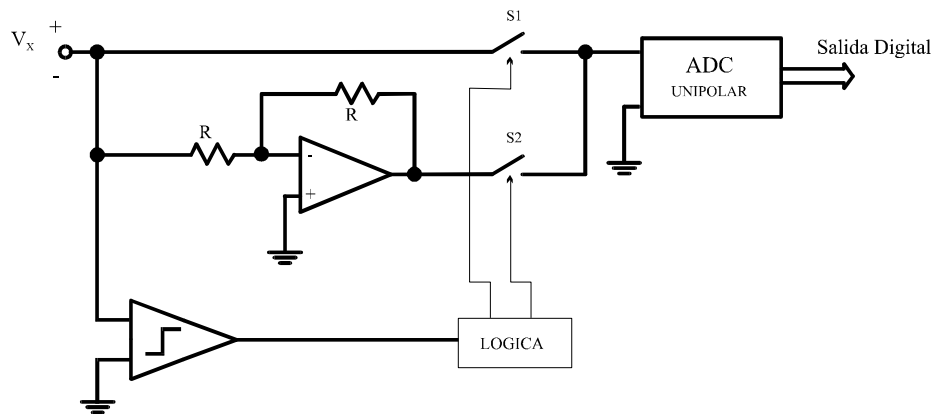


## Conversores bipolares

En el caso de conversores de aproximaciones sucesivas, existen conversores bipolares. Internamente trabajan con algún código binario que maneje números negativos (por ejemplo, complemento a 2).

En el caso de los conversores tipo flash, basta con cambiar la referencia de masa de las R's a una tensión  $-V_{REF}$ .

Si  $V_x$  es una señal bipolar y el conversor es unipolar de doble rampa, se puede usar el siguiente circuito:



## Relaciones de compromiso entre distintas tecnologías de conversores A/D clásicos

Tipo de Conversor	Pulsos de clock	Resolución Máxima <sup>1</sup>	Inmunidad al Ruido	Costo
Rampa	$2^n - 1$	14 - 24 bits	Muy buena	Medio
Integrador	$2^{n/2} - 1$	12 - 18 bits	Muy buena	Bajo
Aproximaciones Sucesivas	$n \cdot 1$	10 - 16 bits	Pequeña	Bajo
Flash	1	4 - 10 bits	Ninguna	Alto
Pipelined Flash	Nº etapas	12 bits ó más	Pequeña	Medio/Alto

Se recomienda investigar cual es el rango de frecuencias de muestreo con el que trabaja cada tecnología.

<sup>1</sup> Los valores dependen de la arquitectura y varían a medida que avanza la tecnología