

1. SAR

1.1. Introducción

El primer convertor que se implementó fue un registro de aproximaciones sucesivas, o SAR por sus siglas en inglés (Successive Approximation Register). El diagrama de bloques de este convertor se observa en la figura 1.

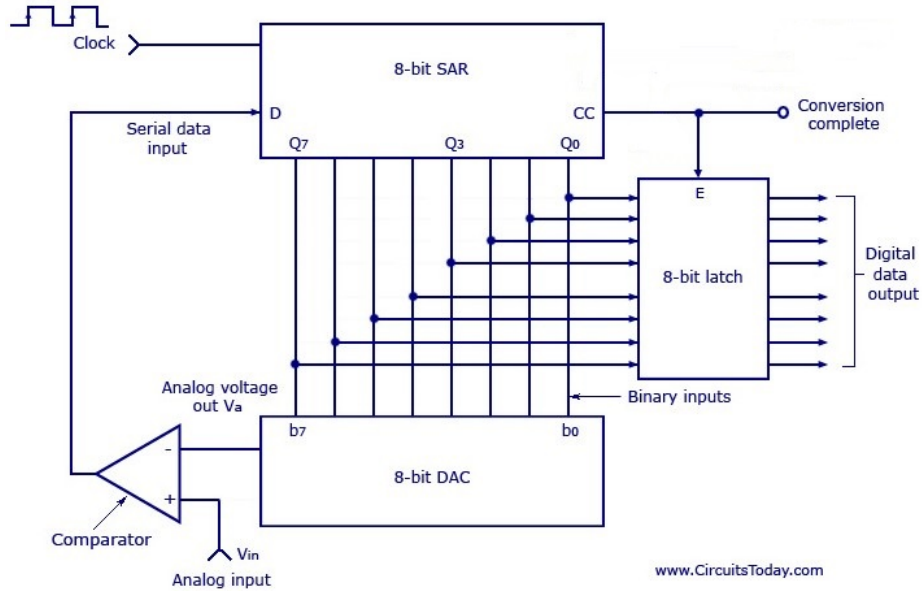


Figura 1: Diagrama en bloques del SAR

La lógica de predicción del SAR sigue el principio de la búsqueda binaria. Se comienza con el bit más significativo en 1 y el resto en 0, se convierte esta señal al dominio analógico, y se la compara con la entrada. Según el resultado de esta comparación (a la cual se la puede considerar una cuantización de un bit), el bit se dejará encendido o se apagará en la siguiente iteración, en la cual además se encenderá el bit siguiente. El proceso se repite sucesivamente hasta llegar al bit menos significativo, luego de lo cual se enciende la señal de end of conversion, guardando el resultado de la conversión en el latch de salida. Como para cada conversión de N bits se deben hacer N+1 comparaciones, entonces se requiere que la frecuencia del clock que controla al registro de aproximaciones sucesivas sea:

$$f_{CLK} \geq 9f_s \quad (1)$$

1.2. Implementación

1.3. Mediciones