

1. SAR

1.1. Introducción

El primer conversor que se implementó fue un registro de aproximaciones sucesivas, o SAR por sus siglas en inglés (Successive Approximation Register). El diagrama de bloques de este conversor se observa en la figura 1.

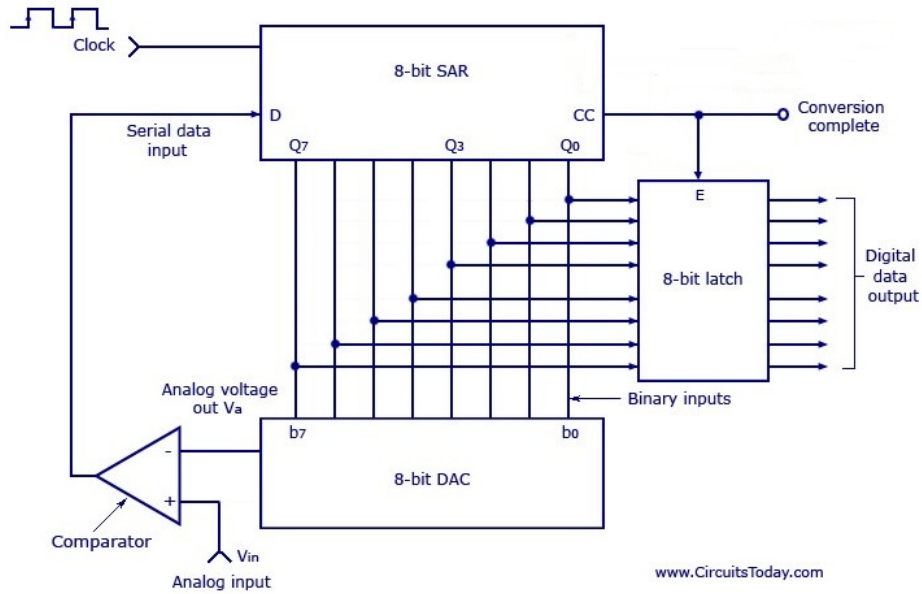


Figura 1: Diagrama en bloques del SAR

La lógica de predicción del SAR sigue el principio de la búsqueda binaria. Se comienza con el bit más significativo en 1 y el resto en 0, se convierte esta señal al dominio analógico, y se la compara con la entrada. Según el resultado de esta comparación (a la cual se la puede considerar una cuantización de un bit), el bit se dejará encendido o se apagará en la siguiente iteración, en la cual además se encenderá el bit siguiente. El proceso se repite sucesivamente hasta llegar al bit menos significativo, luego de lo cual se enciende la señal de end of conversion, guardando el resultado de la conversión en el latch de salida. Como para cada conversión de N bits se deben hacer N comparaciones, y un pulso adicional para obtener la nueva muestra, entonces se requiere que la frecuencia del clock que controla al registro de aproximaciones sucesivas sea:

$$f_{CLK} = 9f_s \quad (1)$$

Adicionalmente, es necesario que la señal de entrada se mantenga constante durante el tiempo de conversión, o al menos que varíe menos de un LSB. por lo tanto, la misma debe atravesar un sample and hold antes de ingresar al comparador.

1.2. Implementación

Para la implementación, se utilizó un sample and hold LF398, un comparador LM311 y un DAC0800 con un LM398 como amplificador de transimpedancia, tal como se explicó para la placa

base ADA. Tanto el registro de aproximaciones sucesivas como el latch se implementaron con la FPGA, que a su vez controlaba el input lógico del sample and hold.

1.3. Mediciones

La precisión del conversor se vio confirmada por las mediciones realizadas en continua, tal como se observa en la figura 2.

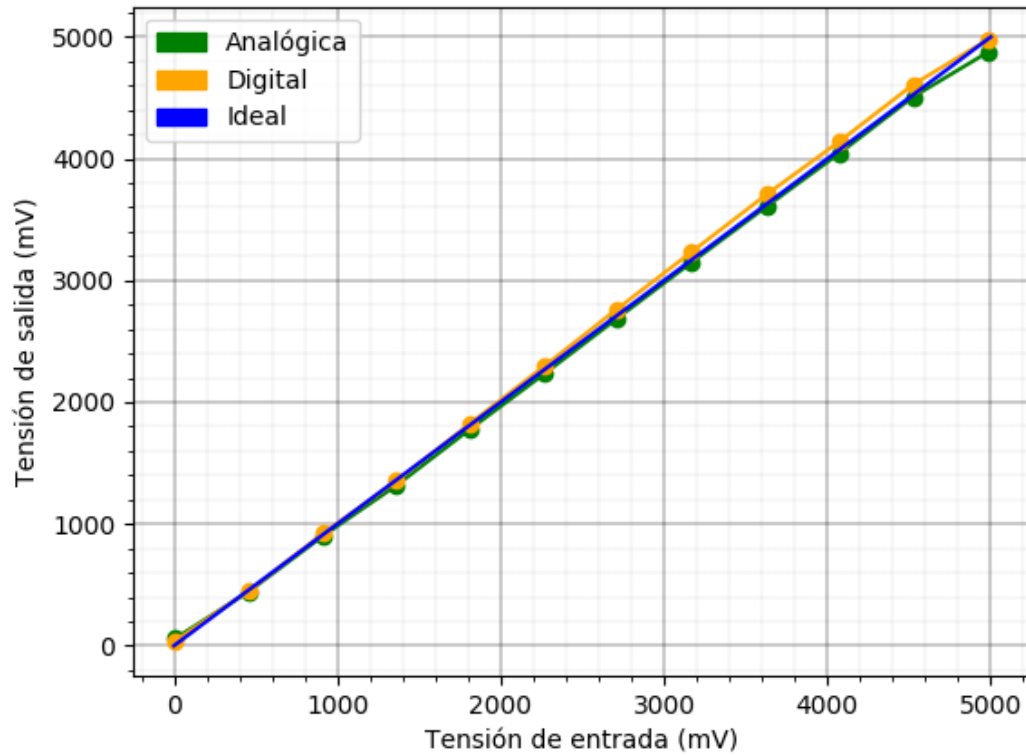


Figura 2: Salida del SAR con entrada continua

Un problema que se observa en continua es que cuando la entrada es de 5V, la tensión de full scale, no se obtienen 5V a la salida. Efectivamente, en la figura 3 se puede confirmar que el conversor presenta problemas para llegar a los extremos del rango donde debería funcionar. Esto puede deberse a inexactitud en las resistencias usadas en el conversor digital-analógico, lo cual sería consistente con el hecho de que el error es mayor en la salida analógica que en la digital.

Se estudió, asimismo, el efecto de reducir la cantidad de bits activos. Esto podría, en teoría, resultar en una frecuencia de clock menor, pero esto no se implementó en la FPGA, con lo cual la frecuencia de muestreo se mantiene constante. Se observa que aparece una mayor cantidad de niveles discretos, con mayor cantidad de bits encendidos.

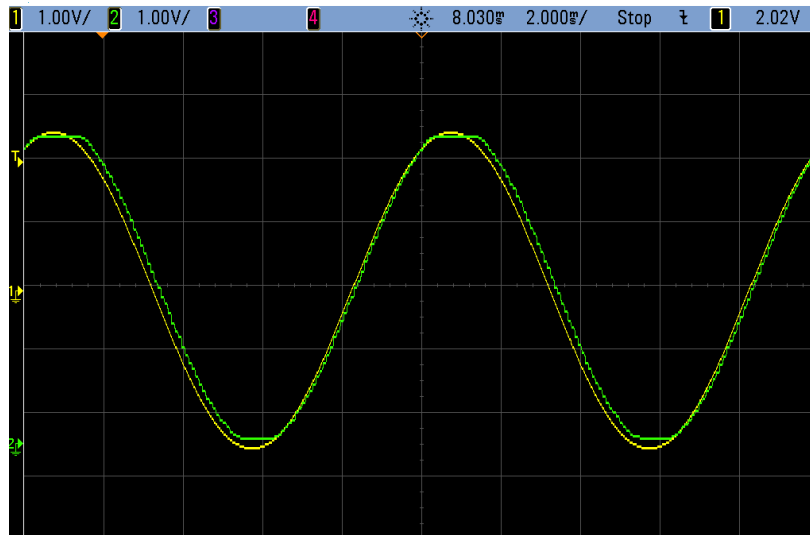


Figura 3: Salida del SAR con entrada de 5V pico a pico

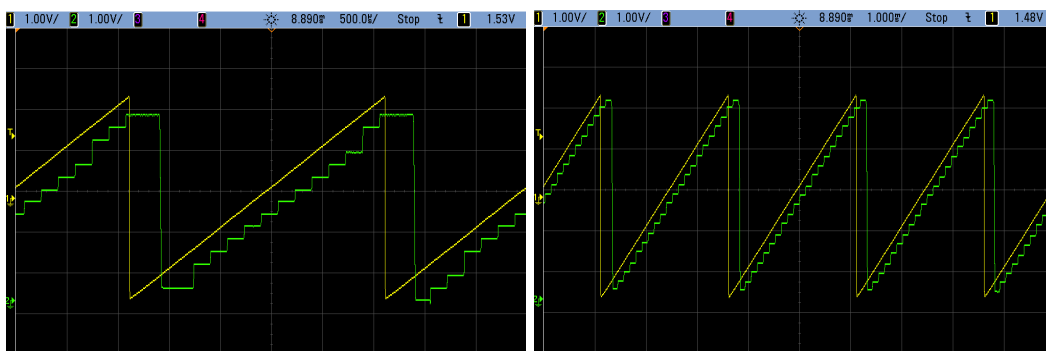


Figura 4: Salida del SAR con 4 y 6 bits activos

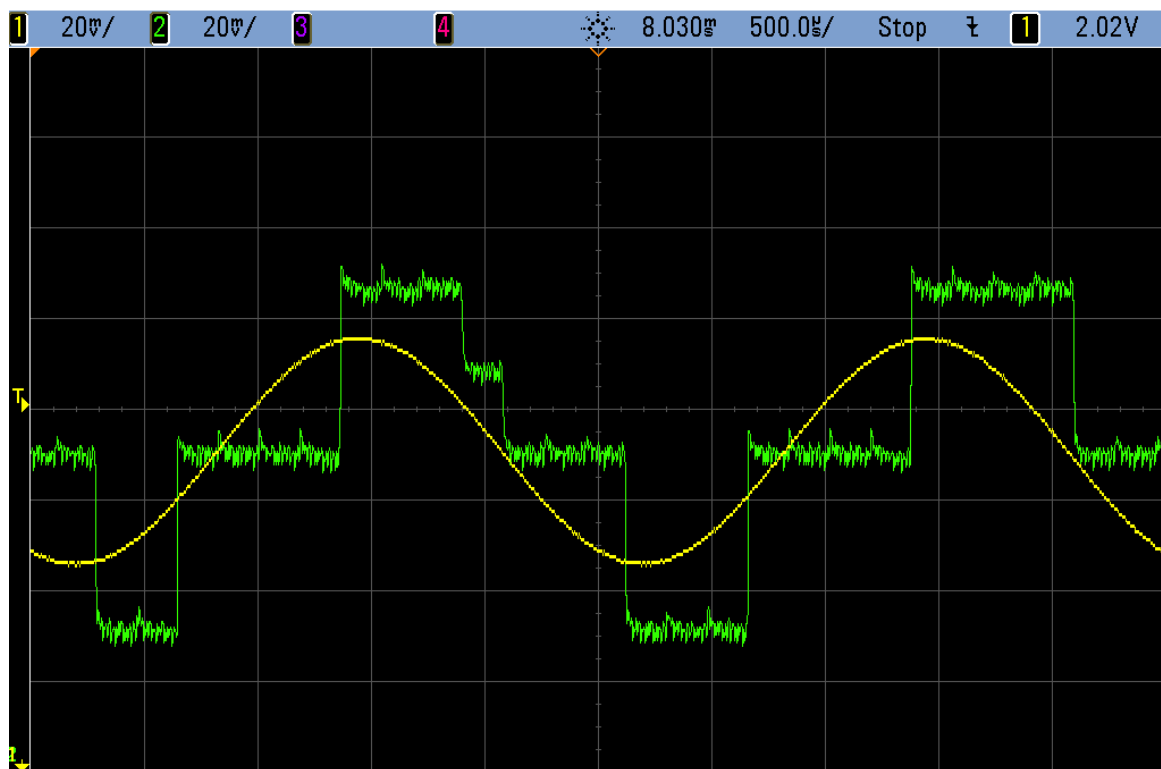


Figura 5: Salida del SAR con entrada de 25mV de amplitud