

0.1. Implementación

Para realizar la implementación práctica, se utilizó de base el circuito propuesto en las indicaciones del trabajo práctico, realizando las modificaciones pertinentes para su correcto funcionamiento. El diagrama en bloques del circuito es el siguiente.

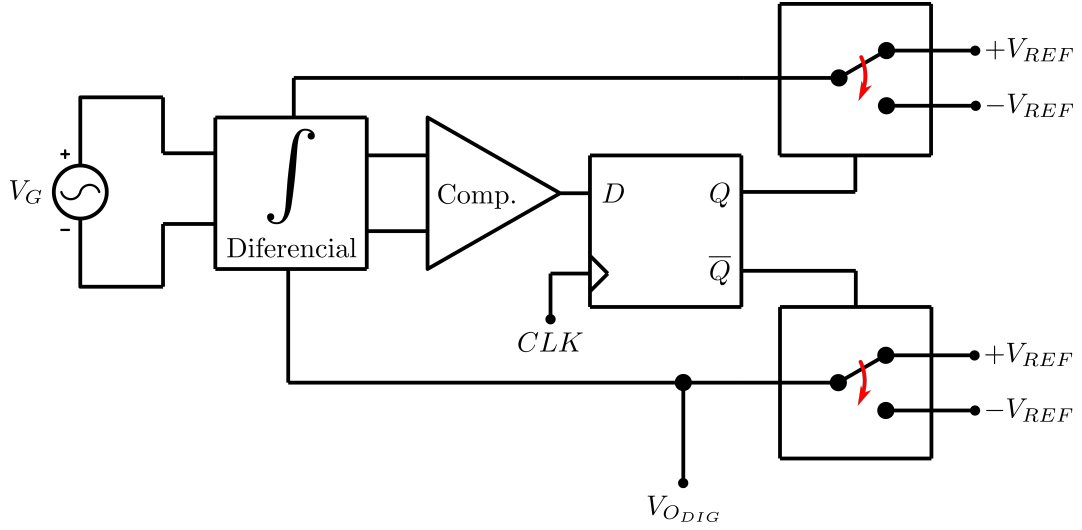


Figura 1: Diagrama en bloques

0.1.1. Oscilador

Para implementar el oscilador, se utilizó el VCO integrado en el PLL CD4046. Partiendo de los extremos teóricos pedidos:

$$f_{MIN} = 60KHz \quad f_{MAX} = 1MHz$$

Se calcula el cociente entre ambos:

$$\frac{f_{MAX}}{f_{MIN}} = 16.6$$

Tomando la hoja de datos de Texas Instruments, a partir del gráfico de $\frac{f_{MAX}}{f_{MIN}}$, se obtiene la relación $\frac{R_2}{R_1}$:

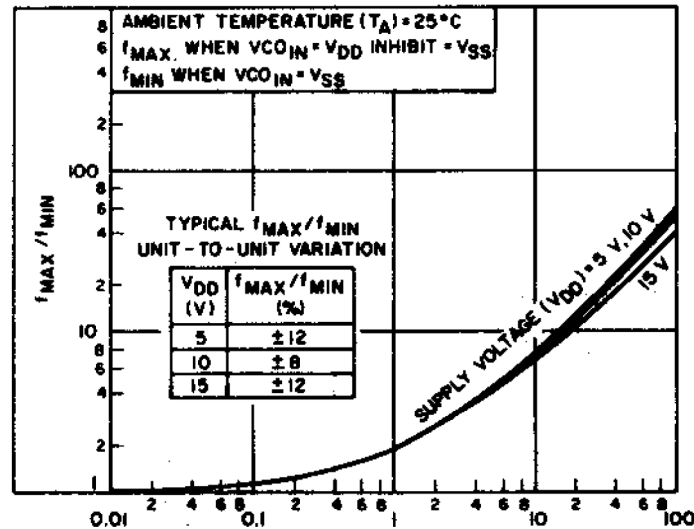


Figura 2: Gráfica del cociente entre las frecuencias en función de la relación de resistencias

De donde se obtiene que la relación es aproximadamente 40. Para una $R_2(N) = 680K\Omega$, resulta $R_1(N) = 18K\Omega$.

De la gráfica de rectas de R_2 en función de C_1 :

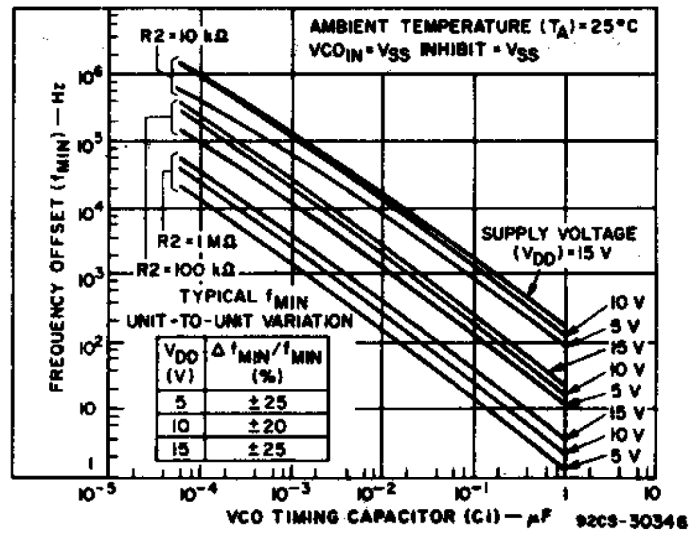


Figura 3: Gráfica de rectas de R_2 para valores de C_1

Se obtiene un valor aproximado de $C_1(N) = 39pF$. Dada la alta dispersión que posee el circuito para el cociente de las frecuencias, se ajusto el valor de R_1 en el PCB a $R_1(N) = 4.7K$, logrando finalmente un intervalo de frecuencias práctico de entre 52KHz a 1.14MHz. En las figuras siguientes se muestran ambas señales obtenidas correspondientes a los extremos.

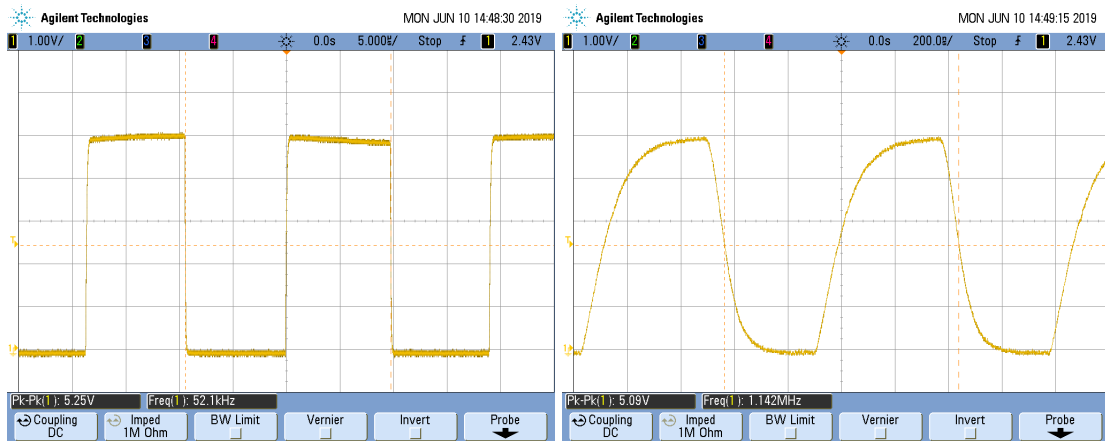


Figura 4: Gráfica de rectas de R_2 para valores de C_1

0.1.2. Filtros Antialiasing - Recuperador

El objetivo para el diseño de ambos filtros es que resulten de bajo orden, aprovechando la ventaja de estar realizando oversamplig, lo cual sitúa las repeticiones del espectro de la señal de entrada considerablemente separados.

Para elegir la frecuencia de corte de los filtros, se considera como limitación a la mínima frecuencia de muestreo que provee el clock diseñado anteriormente. El peor caso de ancho de banda de entrada se da con la señal 1/2 Gauss, dado que su discontinuidad tipo escalón produce una gran cantidad de armónicos. Esta señal se puede modelar como una señal cuadrada multiplicada por una gaussiana que se repite con el mismo período. Visto desde la frecuencia, resulta la convolución del espectro de la señal cuadrada (el cual ya conocemos que es muy grande) con el de la gaussiana, el cual tiene también forma de gaussiana. Dado que ambas señales son periódicas, sus espectros son discretos, por lo que se puede pensar que el espectro de la señal gaussiana se monta en cada una de las deltas del espectro de la señal cuadrada, por lo que el espectro de la señal resultante (1/2 Gauss en el tiempo) sigue siendo tan grande como el de la señal cuadrada.

Teniendo esto en cuenta, para tratar de incluir la mayor cantidad de armónicos posibles sin obtener aliasing a la salida, se ubicó la frecuencia de corte una década antes de la f_{MIN} del clock, es decir $f_c = 6KHz$.

Utilizando un filtro de orden 2, se logra para la frecuencia de 60KHz (es decir, donde se encontraría la primer repetición en el peor caso) una atenuación de 40dB. Dado que para las señales de prueba se pide que sean de una frecuencia mínima, se perderán varios armónicos para el caso de 1/2 Gauss, como se mostrará en las mediciones.

Teniendo el orden del filtro (2), por simplicidad se implementa utilizando dos integradores compensados en cascada, como se muestra en la figura.

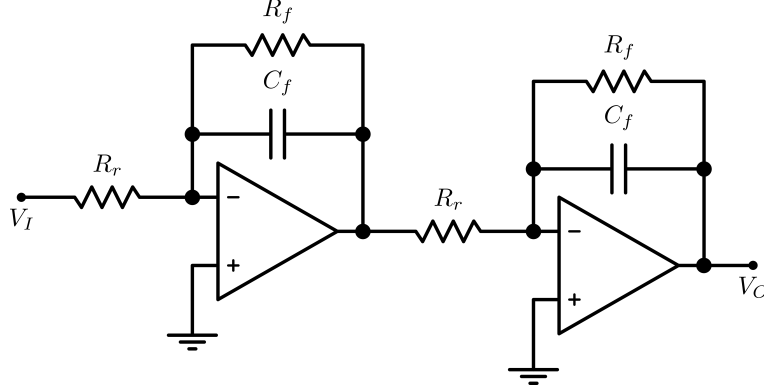


Figura 5: Filtro de orden 2 con integradores compensados

La transferencia de cada uno, usando la expresión conocida para un amplificador no inversor:

$$A_V = -\frac{Z_f}{Z_r} = -\frac{R_f}{R_i(1 + sC_fR_f)}$$

Donde la frecuencia de corte:

$$f_c = \frac{1}{2\pi R_f C_f}$$

Teniendo en cuenta la frecuencia de corte $f_c = 6\text{KHz}$, proponiendo $C_f = 10\text{nF}$, se despeja R_f :

$$R_f = \frac{1}{2\pi f_c C_f} = 2.65\text{K}\Omega \implies R_f(N) = 2.7\text{K}\Omega$$

Dado que en banda pasante el filtro debe tener ganancia unitaria, se define también $R_i(N) = R_f(N) = 2.7\text{K}\Omega$

0.1.3. Diferenciador

En la implementación propuesta, el modulador posee entrada diferencial (en lugar de una sola entrada referida a masa). Esto permite cancelar bastante el ruido en modo común, lo cual resulta como una ventaja adicional dado que se trabajará con frecuencias de clock de hasta 1MHz, y éste podría provocar interferencias en la señal muestreada con capacitores switcheados de manera no deseada si no se toman algunas consideraciones en el layout del PCB (que se explicará luego). El circuito diferenciador se implementó con amplificadores operacionales, como se muestra a continuación.

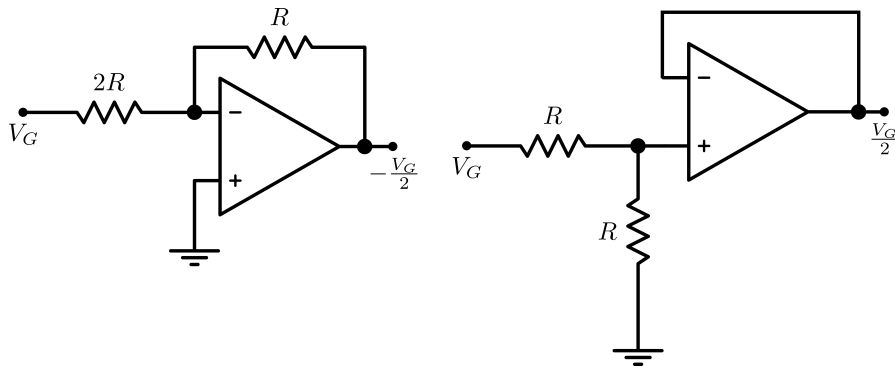


Figura 6: Generador de señal diferencial

0.1.4. Integrador con switched capacitors (SC)

La idea se basa en la conmutación de los terminales del capacitor entre tensiones diferentes, que para el análisis deben ser suficientemente estables durante el tiempo T que dura la conmutación. Dicha conmutación suele realizarse con llaves simuladas mediante transistores MOS, pero para simplificar la comprensión se lo esquematiza con llaves ideales, como se muestra a continuación.

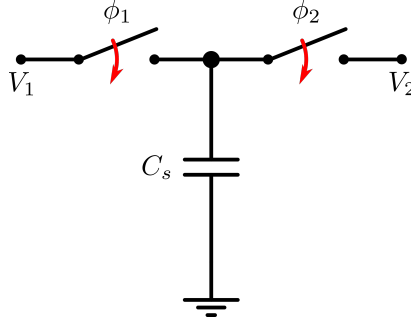


Figura 7: Esquema de capacitor switchheado

Supongase que inicialmente se tiene al capacitor cargado con la tensión V_2 , con ambos switches abiertos. Luego, se cierra el switch ϕ_1 , conectando ahora el terminal del capacitor a la tensión V_1 , durante un tiempo T . La diferencia de carga puede expresarse como:

$$\Delta Q_1 = C_s \cdot (V_1 - V_2)$$

Posteriormente se abre ϕ_1 , quedando el capacitor ahora cargado con V_1 . Ahora se cierra ϕ_2 , conectando el terminal del capacitor a la tensión V_2 , durante un mismo tiempo T . La diferencia de carga puede expresarse como sigue:

$$\Delta Q_2 = C_s \cdot (V_1 - V_2)$$

Observando que $\Delta Q_1 = \Delta Q_2$, la corriente promedio en cada tiempo T debe ser la misma:

$$i = \frac{\Delta Q_1}{T} = \frac{\Delta Q_2}{T} = \frac{C_s \cdot (V_1 - V_2)}{T}$$

Despejando según la ley de Ohm, se obtiene la resistencia R equivalente (ya que como se dijo, la carga que circula es la misma):

$$\frac{V_1 - V_2}{i} = R = \frac{T}{C_s}$$

Llamaremos T al tiempo de muestreo de las tensiones V_1 y V_2 . Se deja por un lado esta equivalencia, pasando ahora al circuito donde se busca aplicar este sistema.

Para que el circuito se adapte al modelo discreto analizado previamente, se parte del integrador conocido implementado con RC. Se muestra el circuito conocido (ideal) para señales referidas a masa:

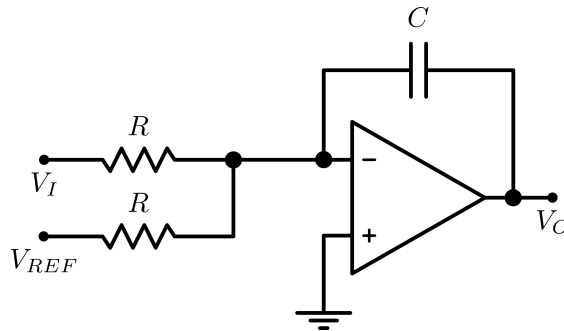


Figura 8: Circuito integrador analógico

Aplicando la ganancia de tensión conocida para un circuito inversor con operacionales se tiene:

$$V_O = (V_I + V_{REF}) \cdot \frac{-\frac{1}{sC}}{R} = (V_I + V_{REF}) \cdot -\frac{1}{sCR}$$

En el caso propuesto, el circuito a implementar es diferencial, como se muestra a continuación.

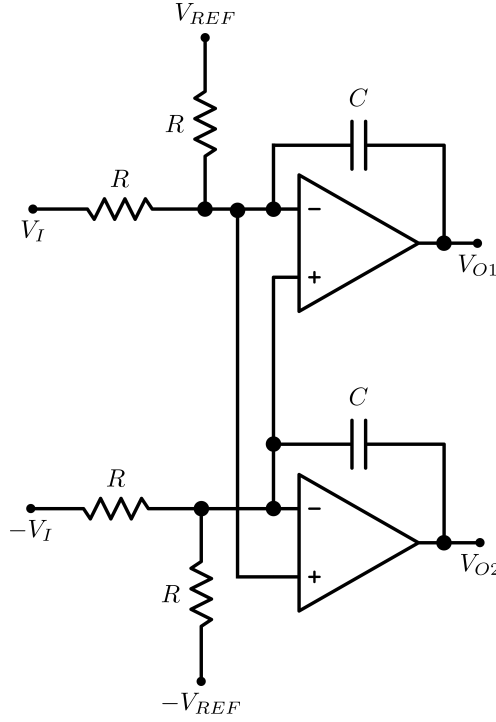


Figura 9: Circuito integrador diferencial

Como se mostró al inicio en el diagrama en bloques, se toma para una realimentación la salida Q (pasada por el DAC) para un lazo y \bar{Q} (también pasada por otro DAC idéntico) para el otro lazo (ya que al ser diferencial, ambos lazos deben ser complementarios). En este caso la salida a considerar $V_{O1} - V_{O2}$ no se observa en forma directa como en el circuito anterior. Pasivando por un lado las tensiones V_{REF} , se tiene planteando nodos:

$$\begin{cases} \frac{V_I - V_A}{R} + \frac{-V_A}{R} = (V_A - V_{O1}) \cdot sC \\ \frac{-V_I - V_A}{R} + \frac{-V_A}{R} = (V_A - V_{O2}) \cdot sC \end{cases}$$

Restando ambas ecuaciones resulta:

$$\frac{V_I}{sCR} = \frac{V_{O2} - V_{O1}}{2}$$

Análogamente, pasivando las tensiones V_{REF} :

$$\frac{V_{REF}}{sCR} = \frac{V_{O2} - V_{O1}}{2}$$

Luego, por superposición, sumando ambos resultados se tiene finalmente:

$$V_{O1} - V_{O2} = -\frac{1}{sCR} \cdot (V_I + V_{REF})$$

Aplicando la transformación bilineal (que es la aproximación discreta de un integrador analógico):

$$s \simeq \frac{2}{T} \cdot \frac{z-1}{z+1}$$

Siendo T el período de muestreo. Resulta en la ecuación anterior:

$$V_{O1} - V_{O2} = -\frac{V_I + V_{REF}}{CR} \cdot \frac{T}{2} \cdot \frac{z+1}{z-1}$$

Recordando ahora la equivalencia resistiva simulada del capacitor switcheado explicada al inicio (considerando ahora que son 4 switches y no 2, el período es la mitad):

$$R = \frac{T}{2C_s}$$

Si se reemplaza en la expresión anterior queda la aproximación al integrador analógico buscada:

$$V_{O1} - V_{O2} = -\frac{V_I + V_{REF}}{C \cdot \frac{T}{2C_s}} \cdot \frac{T}{2} \cdot \frac{z+1}{z-1} = -(V_I + V_{REF}) \cdot \frac{C_s}{C} \cdot \frac{z+1}{z-1}$$

El circuito que resulta de reemplazar la resistencia por el capacitor C_s es:

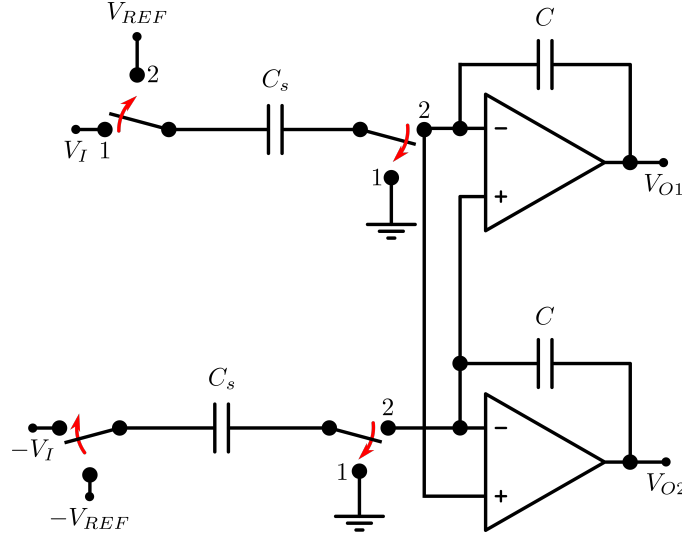


Figura 10: Circuito integrador diferencial con SC

Las llaves ϕ se implementaron mediante multiplexores, utilizando la señal de clock como señal de control para la selección de las llaves. El multiplexor que se encontraba disponible es el CD4053.

0.1.5. Cuantizador de 1 bit

Se toma la salida del integrador diferencial, y mediante un comparador a lazo abierto se implementa el cuantizador de 1 bit. El circuito implementado es utilizando el comparador LM311, y luego, dicha salida se conecta a un flip-flop D, el cual actúa como latch. El flip-flop D utilizado es el integrado CD4013, alimentado entre +5V y 0V. La alimentación adicional se obtuvo a partir de la entrada de +15V del circuito pasándola un regulador LM7805.

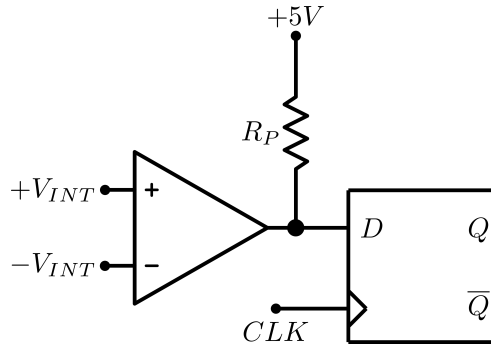


Figura 11: Cuantizador 1 bit

Como se mostrará en las mediciones obtenidas, la salida que se obtiene en este punto del circuito es una señal cuadrada de ancho de pulso modulado (PWM). En los tramos donde la pendiente de la señal es pequeña, las variaciones en la salida del integrador serán menores, por lo que en consecuencia el ancho de los pulsos resultantes es mayor. En los tramos donde la pendiente de la señal es mayor, las variaciones a la salida del integrador son más frecuentes, por lo que el ancho de los pulsos es menor.

0.1.6. DAC para realimentación

Las salidas binarias del flip-flop D corresponden a 0V (0 lógico), y +5V (1 lógico). Esta salida (tanto Q y \bar{Q}) son convertidas mediante un DAC a -5V (0 lógico) y +5V (1 lógico), siguiendo el esquema propuesto por la bibliografía. Cada DAC es implementado mediante un multiplexor, utilizando las salidas del flip-flop como señales de control.

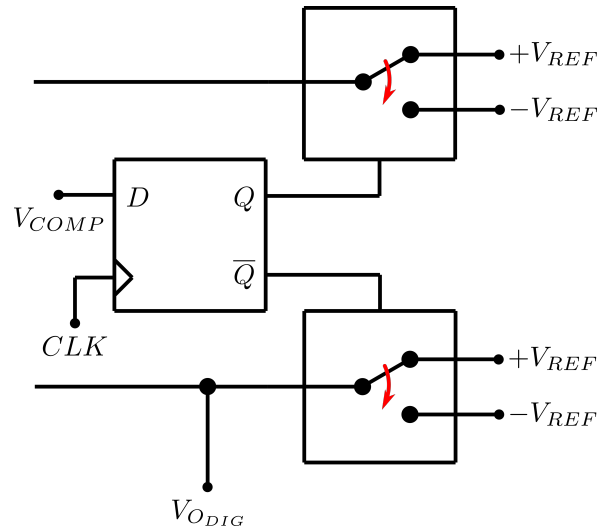


Figura 12: DAC de [0V +5V] a [-5V +5V]

Se toma la salida de uno de los DAC como señal digital, para luego procesarla por el filtro recuperador (idéntico al antialiasing), para volver a obtener la señal original al quedarnos sólo con el espectro en banda base.

0.2. Mediciones - Resultados obtenidos

va lo que medi, y conclusiones en cada caso. Aclarar el tema de la señal invertida