

1. Placa Base ADA

1.1. Acondicionamiento de la señal

Dado que el conversor ADC trabaja únicamente con señales positivas, es necesario agregar un offset a la señal de entrada, para aprovechar la máxima excursión del integrado. Como los integrados de los filtros no pueden trabajar con señales de más de 5V, se eligió un offset de 2.5V y la señal queda limitada a $5V_{pp}$. El circuito implementado es el siguiente:

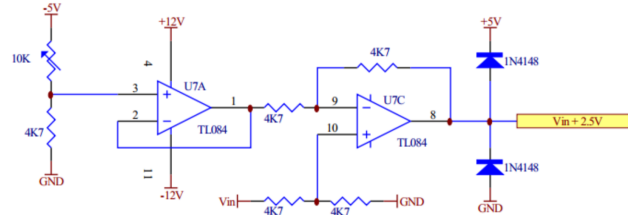


Figura 1: Circuito de Offset

1.2. Conversor analógico - digital

Se utilizó el integrado ADC0809, un conversor analógico-digital de 8 bits, compuesto por tres partes principales: una escalera de resistencias, un registro de aproximación sucesivo y un comparador. Al recibir un flanco ascendente de START, el registro del conversor se restablece, la señal de fin de la conversión (EOC) se mantiene alta por un tiempo denominado t_{EOC} (EOC Delay Time) para después pasar a su estado bajo como se muestra en la figura 2. La conversión se inicia entre 0 y 8 ciclos de clock luego del flanco descendente de START. Luego, para avisar la finalización de la conversión, la señal de EOC vuelve a su estado alto. Para realizar sucesivas conversiones, en la hoja de datos se recomienda unir la salida de la señal EOC a la entrada del START, logrando que el conversor reciba como nuevo pulso de START al flanco ascendente de la señal EOC y comience una nueva conversión. Si se utiliza en este modo, un pulso de inicio de conversión externo debe aplicarse después de encenderse. Es importante que durante todo el tiempo de conversión la señal analógica de entrada se mantenga estable para asegurar que la misma se efectúe de manera correcta.

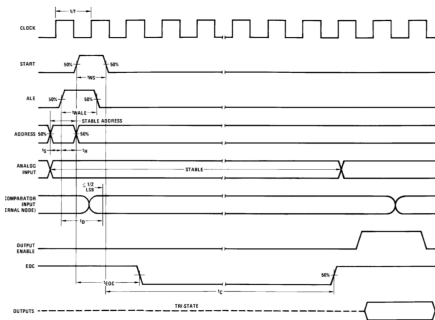


Figura 2: Señales ADC

A una frecuencia de clock de 640KHz, el ADC0809 requiere $100 \mu s$ para realizar la conversión. No será necesario el uso de un Sample & Hold si la entrada varía menos de 1 bit en ese tiempo, pero en caso contrario, cuando la entrada varíe rápidamente si lo será, y se sincroniza al mismo con la señal de EOC. La señal de EOC bajará entre 0 y 8 pulsos de clock después del flanco ascendente de START. Puede pasar que el tiempo de sample (cuando EOC está en su estado alto) sea menor al tiempo de transitorio del Sample & Hold, haciendo que el valor guardado en el hold un valor incorrecto. Como solución a esto se decidió no utilizar la conexión propuesta en la hoja de datos, si no que se conectó el START y el EOC al FPGA. Utilizando un clock a la frecuencia de muestreo, en cuanto llega un flanco ascendente del clock el sample and hold se pone en estado hold y luego de $8 \mu s$ (que es el tiempo de establecimiento) se manda el START al ADC. Cuando se finaliza la conversión, el EOC pasa a estado alto y el sample and hold al estado sample y se actualiza la salida del flip flop. Una vez en este estado se espera al flanco ascendente del clock y se repite el ciclo. El clock del flip flop está conectado al EOC para que la salida se actualice una vez que se haya terminado la conversión.

1.3. Conversor digital - analógico

Se utilizó el integrado DAC0800, un conversor D/A de 8 bits con salida diferencial de corriente. Para convertirlo a un nivel de tensión se utilizó el circuito propuesto por la hoja de datos que se muestra a continuación:

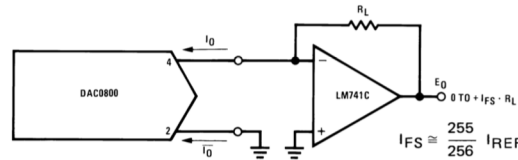


Figura 3: Configuración DAC

La salida va de 0 a $V_{fs} = I_{fs} R_f$.

1.4. Filtros

Para implementar los filtros antialiasing y recuperador, se utilizó el integrado MAX297. Éste funciona como un filtro pasa bajos Cauer de orden 8 que funciona con capacitores switcheados. El dispositivo permite ajustar la frecuencia de paso del filtro mediante dos formas: la primera mediante capacitores externos que ajustan al oscilador interno del integrado, y la segunda, con un clock externo que tiene una frecuencia proporcional a la frecuencia de paso. En este caso se decidió utilizar la segunda opción, y más adelante se hará el cálculo de la frecuencia que debe tener el clock para ajustar bien la frecuencia de paso del filtro. A partir de las características del integrado se obtuvieron la respuesta en frecuencia y el diagrama de polos y ceros:

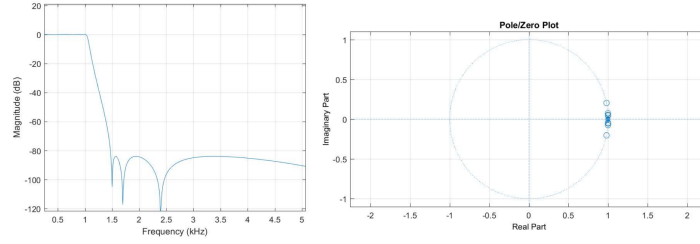


Figura 4: Respuesta en frecuencia y diagrama de polos y ceros en el plano 'z' del integrado

Además se obtuvieron los coeficientes del filtro quedando la función transferencia como:

$$\frac{z^8 - 7.948z^7 + 27.69z^6 - 55.22z^5 + 68.95z^4 - 55.22z^3 + 27.69z^2 - 7.948z + 1}{z^8 - 7.948z^7 + 27.63z^6 - 54.89z^5 + 68.17z^4 - 54.19z^3 + 26.92z^2 - 7.645z + 0.9498}$$

1.4.1. Cálculo de la frecuencia del clock externo

Según la hoja de datos del integrado la relación de la frecuencia del clock y la frecuencia de paso es:

$$\frac{f_{clk}}{f_p} = 50 \quad (1)$$

Donde la frecuencia de paso puede ir de 0.1Hz a 50KHz. En la banda de paso hay un ripple típico de 0.23 dB medidos a una $f_{clk} = 50KHz$ y una atenuación en la banda atenuada de 80dB. A continuación se muestra la respuesta en frecuencia del filtro dada para una frecuencia de paso de 1KHz:

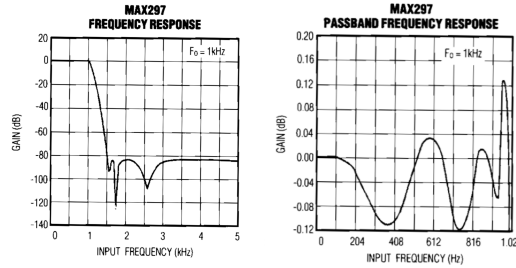


Figura 5: Respuesta en frecuencia del integrado MAX297

Dado que se pide muestrear con frecuencias entre 6KHz y 44.5KHz, para que no se produzca aliasing, por le criterio de Nyquist la frecuencia de atenuación deberá ser:

$$f_a = \frac{f_s}{2}$$

Por lo que debería suceder que comprenda el intervalo entre 3KHz y 22.25KHz. Y como la selectividad esta dada por:

$$\frac{f_a}{f_p} = 1.5$$

$$f_p = \frac{f_s}{3}$$

Sabiendo la relación entre la frecuencia del clock y la frecuencia de paso dada por la ecuación 1, se obtiene finalmente:

$$f_{clk} = \frac{50}{3}f_s \simeq 16f_s$$

Entonces queda que el rango de las frecuencias de clock deberá ser:

$$96KHz \leq f_{clk} \leq 712KHz$$

1.4.2. Alimentación y protecciones

La alimentación del integrado se encuentra acotada entre $\pm 2.35V$ y $\pm 6V$ Dual Supply, en este caso se alimentó con $\pm 5V$. Por lo que se decidió poner diodos zener de $5.6V$ conectados como muestra la figura. Luego en caso de que se coloque la alimentación al revés, actúan los diodos que limitan la tensión a $0.7V$ protegiendo al integrado. Además como el integrado suele quemarse con los picos de corriente que resultan del encendido de la fuente se colocó un capacitor para evitarlas y además una resistencia para que el capacitor pueda descargarse.

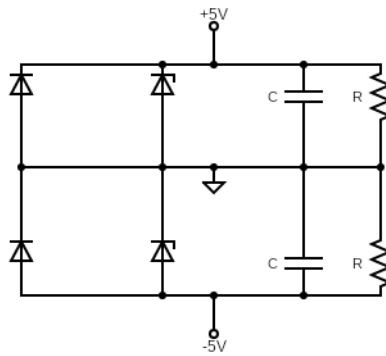


Figura 6: Protección en la alimentación

La entrada analógica tampoco debe sobrepasar los límites permitidos ($V^- - 0.3V \leq V_{in} \leq V^+ + 0.3V$), por lo que se colocó la siguiente protección:

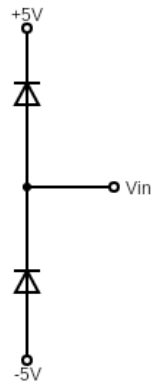


Figura 7: Protección en la entrada

1.5. Mediciones

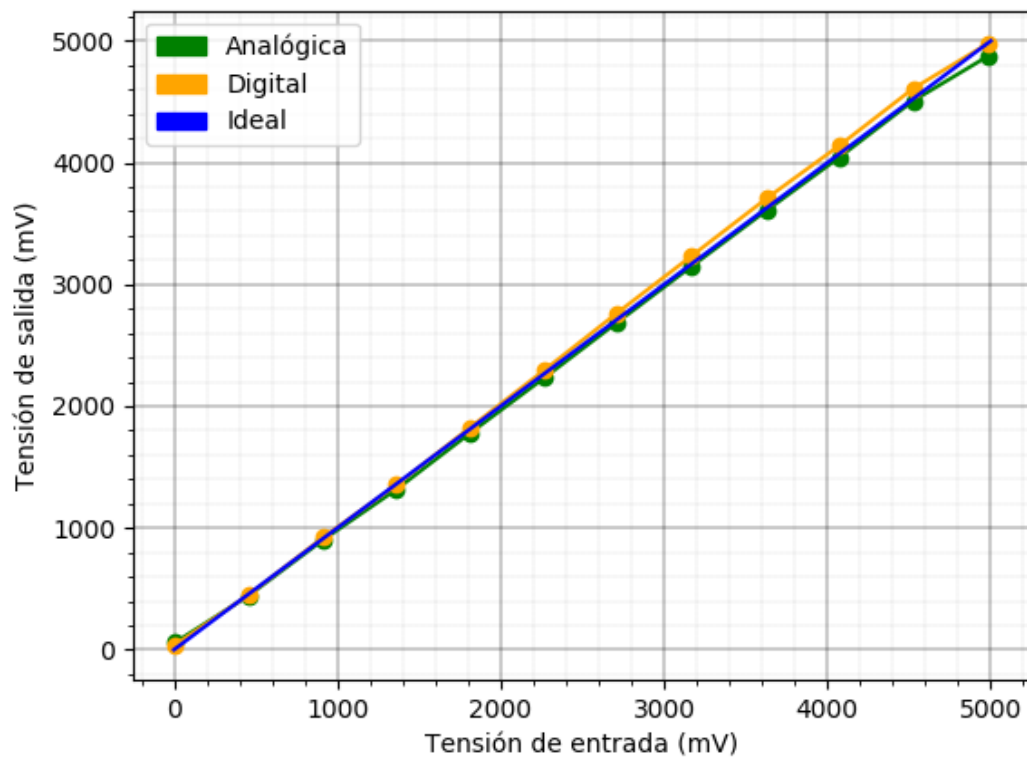


Figura 8: Salida del ADC con entrada continua

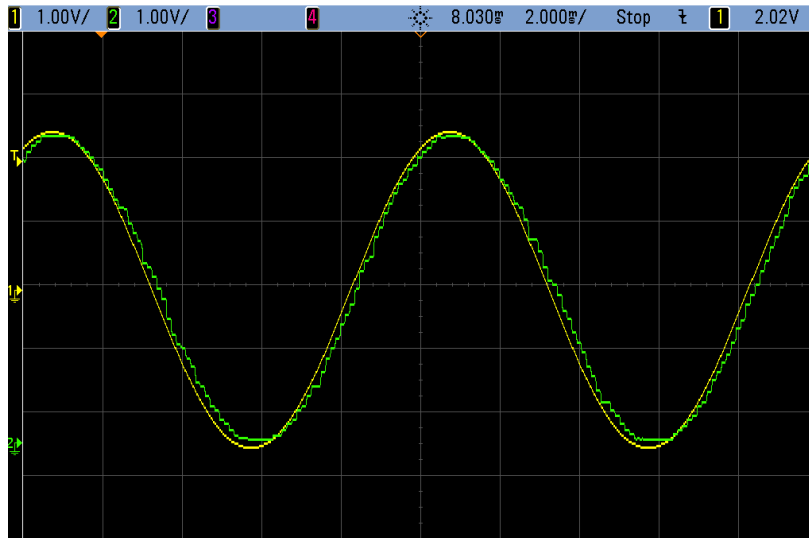


Figura 9: Salida del ADC con entrada de 5V pico a pico

Se verificó la precisión del conversor estudiando su respuesta a señales de continua (figura 8) y a senoidales que cubrían toda la escala (figura 9). La salida no llega nunca a 0V, lo cual indica que probablemente un cierto nivel de ruido se esté convirtiendo también. Esto se condice con lo que se observa en la figura 10, donde se observa que los bit menos significativo tiene un aporte prácticamente nulo en la precisión de la señal.

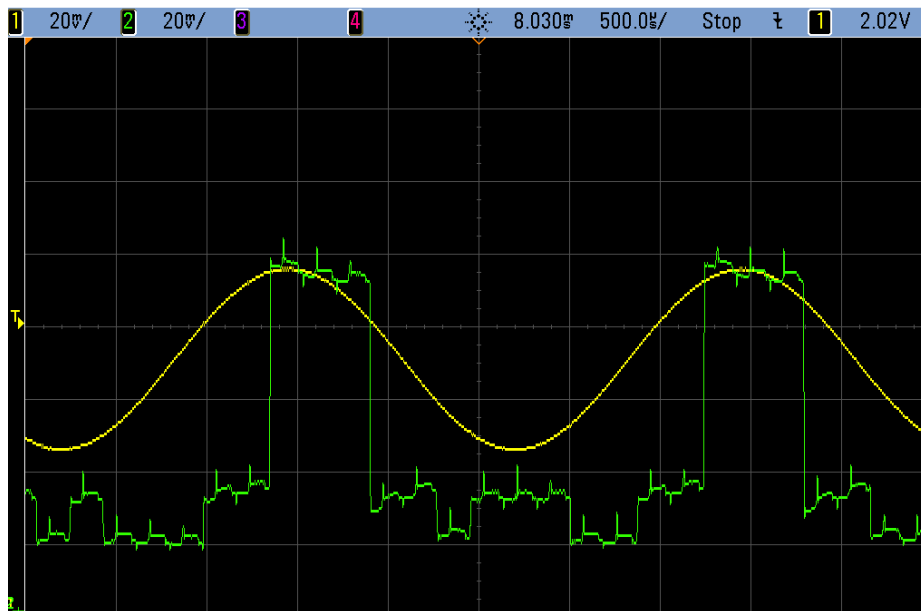


Figura 10: Salida del ADC0800 con entrada de 25mV de amplitud

Sin embargo, esto no quita que no haya una pérdida apreciable de precisión eliminando los bits menos significativos. Los efectos de esto se observan en la figura 11. Particularmente para 4 bits, se observa que el ruido de cuantización se hace considerable. Sin embargo, la gran diferencia con los resultados de la figura 9 se debe principalmente a que se midió con una baja frecuencia de muestreo más baja.

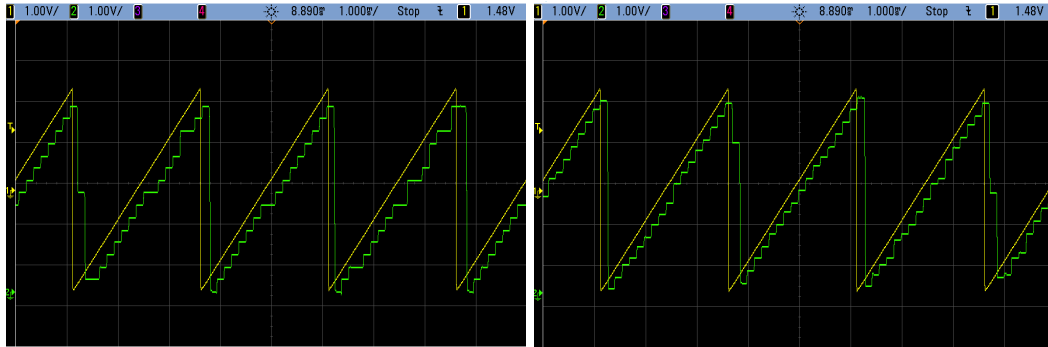


Figura 11: Salida del ADC con 4 y 6 bits activos