

Họ và tên: Nguyễn Đình Khánh Vy

MSSV: 22161043

BÁO CÁO CUỐI KÌ TT VLSI

Câu 1:

a. Bảng trạng thái

Số TP	D	C	B	A	Y
0	0	0	0	0	1
1	0	0	0	1	1
2	0	0	1	0	x
3	0	0	1	1	0
4	0	1	0	0	1
5	0	1	0	1	1
6	0	1	1	0	0
7	0	1	1	1	1
8	1	0	0	0	x
9	1	0	0	1	0
10	1	0	1	0	1
11	1	0	1	1	x
12	1	1	0	0	0
13	1	1	0	1	x
14	1	1	1	0	1
15	1	1	1	1	1

b. Bìa Kanaugh

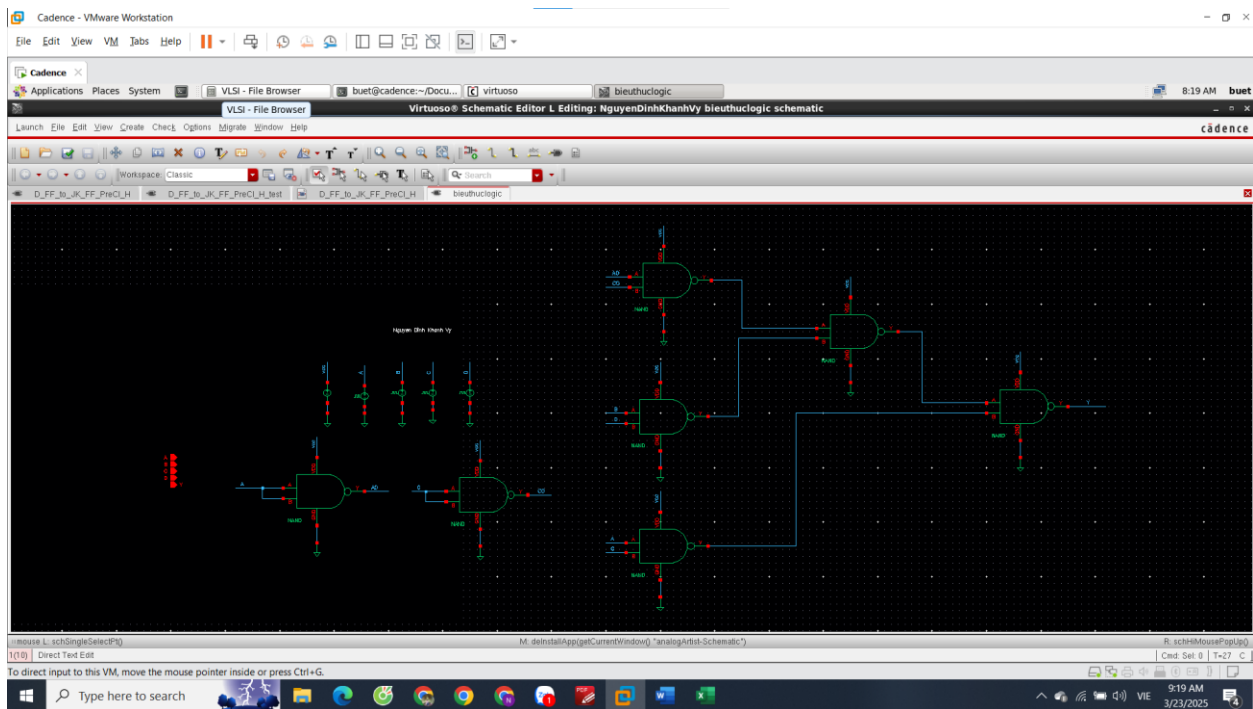
b) Bìa Karnaugh

$a \backslash bA$	00	01	11	10
00	1	1	0	x
01	1	1	1	0
11	0	x	1	1
10	x	0	x	1

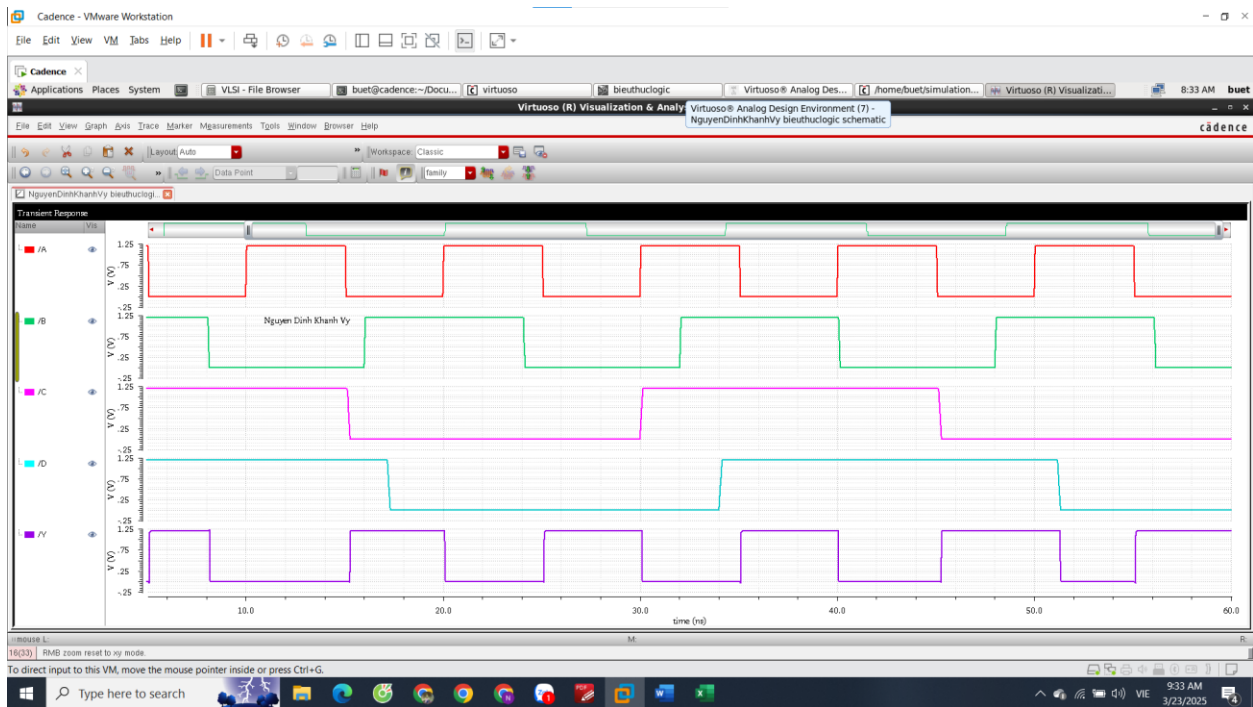
$$Y = \overline{D}B + \overline{A}C + BD + AC$$

c. Mô phỏng

- Mạch thiết kế dùng cổng NAND 2 ngõ



- Mô phỏng dạng sóng



- Nhận xét:

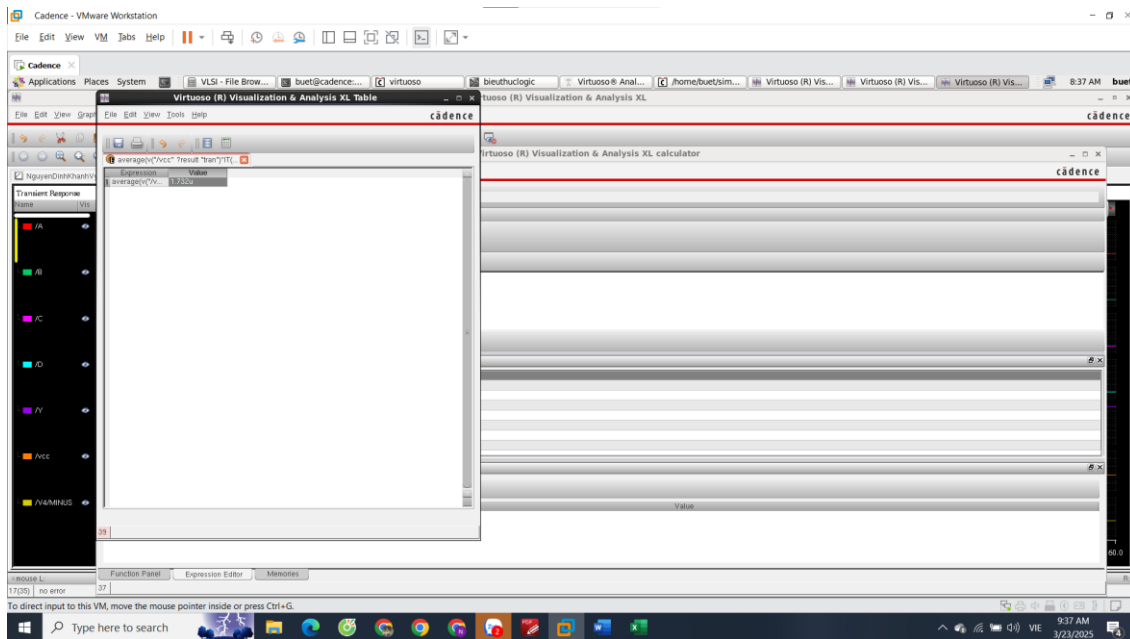
+ Khi $A = 0, B = 1, C = 1, D = 1, Y = 1$

+ Khi $A = 1, B = 0, C = 1, D = 1, Y = 0$

+ Khi $A = 1, B = 1, C = 0, D = 0, Y = 0$

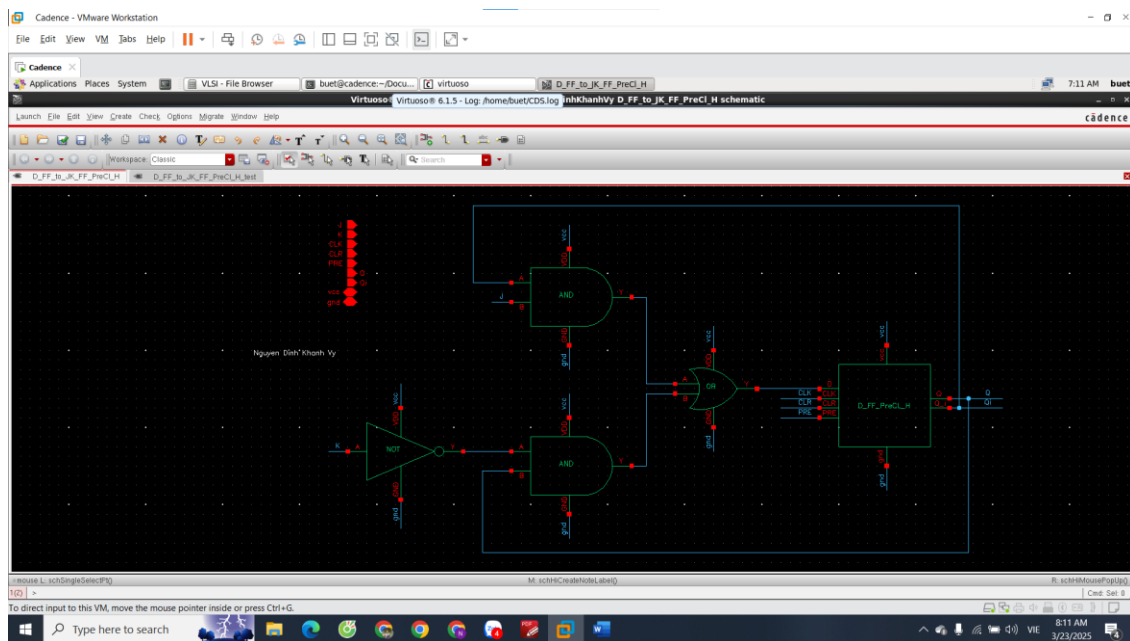
=> Các chuyển trạng thái Y khớp với các điều kiện logic

- Công suất trung bình của mạch là 1.732uW

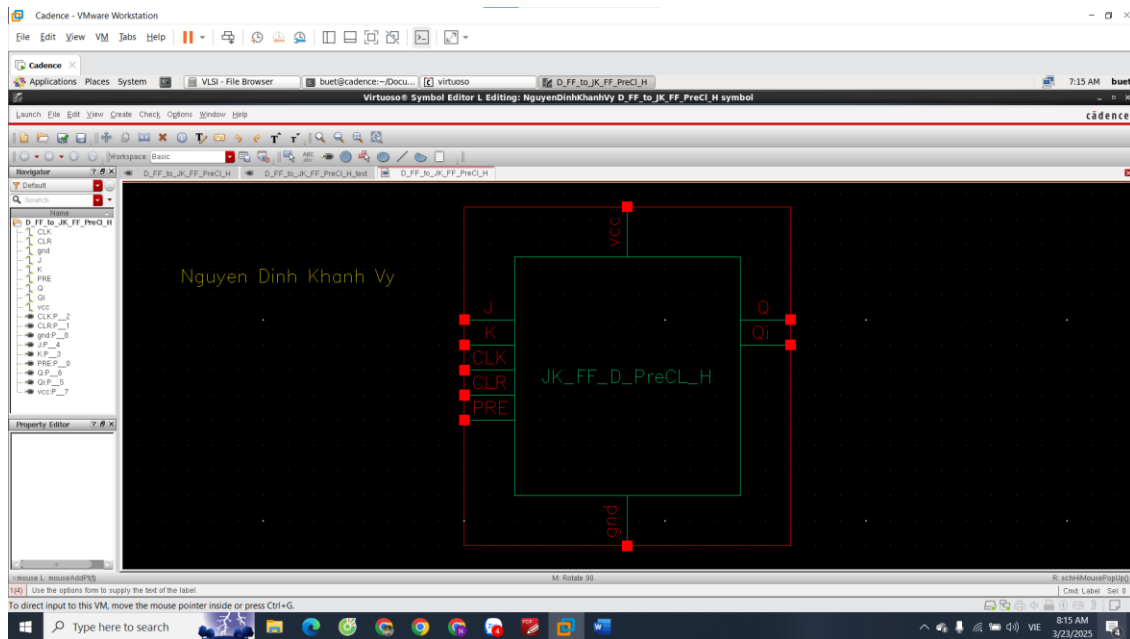


Câu 2:

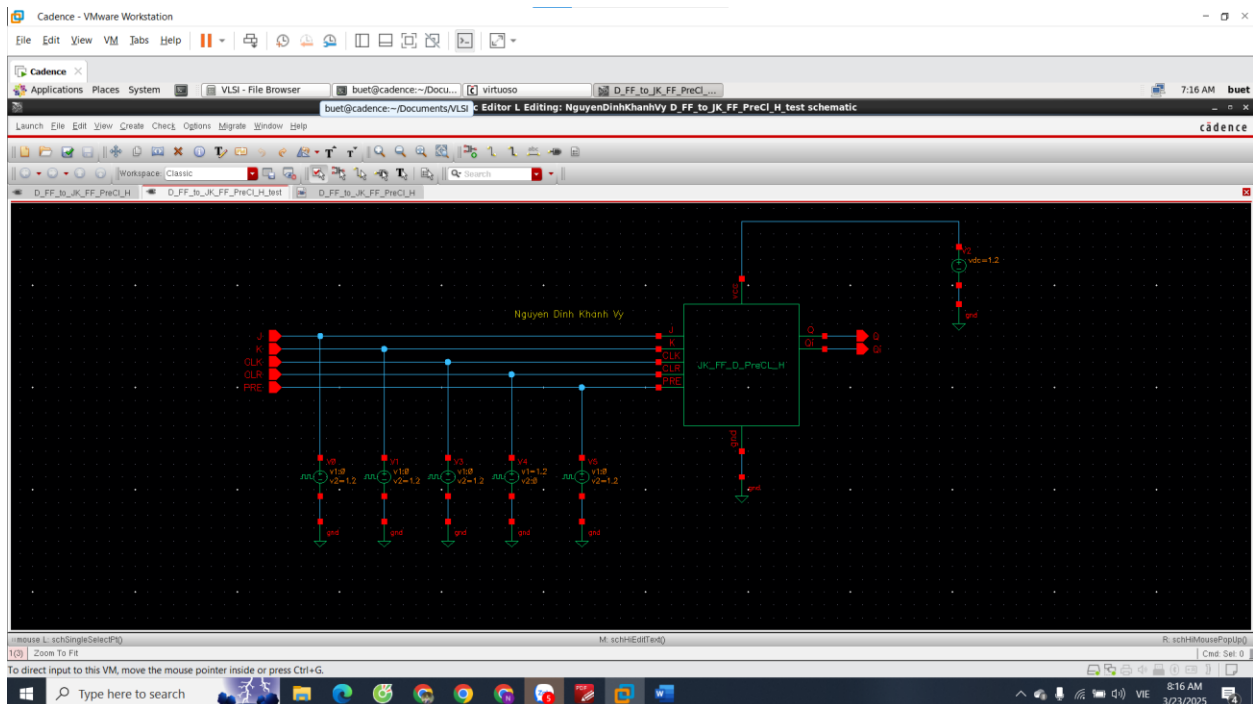
- Mạch thiết kế mô phỏng JK-FF từ D-FF



- Đóng gói thiết kế



- Mạch kiểm tra hoạt động của FF



- Thông số cài đặt:

- + Chân V_{DD} nối với nguồn $V_{DC} = 1.2V$
- + Chân GND nối đất

+ Chân V_{in} tương ứng với chân J ta nối với nguồn V_{pulse} với các thông số sau:

- Mức điện áp 1 (V1): 0V
- Mức điện áp 2 (V2): 1.2V
- Thời gian trễ: 0s
- Thời gian xung cạnh lên (tr): 0ns
- Thời gian xung cạnh xuống (tf): 0ns
- Độ rộng xung (ton): 10ns
- Chu kỳ (period): 20ns

Voltage 1	0 V
Voltage 2	1.2 V
Period	20n s
Delay time	0 s
Rise time	
Fall time	
Pulse width	10n s

- Thông số cài đặt:

+ Chân V_{DD} nối với nguồn $V_{DC} = 1.2V$

+ Chân GND nối đất

+ Chân V_{in} tương ứng với chân K ta nối với nguồn V_{pulse} với các thông số sau:

- Mức điện áp 1 (V1): 0V
- Mức điện áp 2 (V2): 1.2V
- Thời gian trễ: 0s
- Thời gian xung cạnh lên (tr): 0ns
- Thời gian xung cạnh xuống (tf): 0ns
- Độ rộng xung (ton): 21us
- Chu kỳ (period): 42us

Voltage 1	0 V
Voltage 2	1.2 V
Period	42n s
Delay time	
Rise time	
Fall time	
Pulse width	21n s

- Thông số cài đặt:

+ Chân V_{DD} nối với nguồn $V_{DC} = 1.2V$

+ Chân GND nối đất

+ Chân V_{in} tương ứng với chân CLR ta nối với nguồn V_{pulse} với các thông số sau:

- Mức điện áp 1 (V1): 1.2V
- Mức điện áp 2 (V2): 0V
- Thời gian trễ: 0s
- Thời gian xung cạnh lên (tr): 0ns
- Thời gian xung cạnh xuống (tf): 0ns
- Độ rộng xung (ton): 20ns
- Chu kỳ (period): 10ns

Voltage 1	1.2 V
Voltage 2	0 V
Period	42n s
Delay time	
Rise time	
Fall time	
Pulse width	21n s

- Thông số cài đặt:

+ Chân V_{DD} nối với nguồn $V_{DC} = 1.2V$

+ Chân GND nối đất

+ Chân V_{in} tương ứng với chân CLR ta nối với nguồn V_{pulse} với các thông số sau:

- Mức điện áp 1 (V1): 0V
- Mức điện áp 2 (V2): 1.2V

- Thời gian trễ: 0s
- Thời gian xung cạnh lên (tr): 0ns
- Thời gian xung cạnh xuống (tf): 0ns
- Độ rộng xung (ton): 21ns
- Chu kỳ (period): 42ns

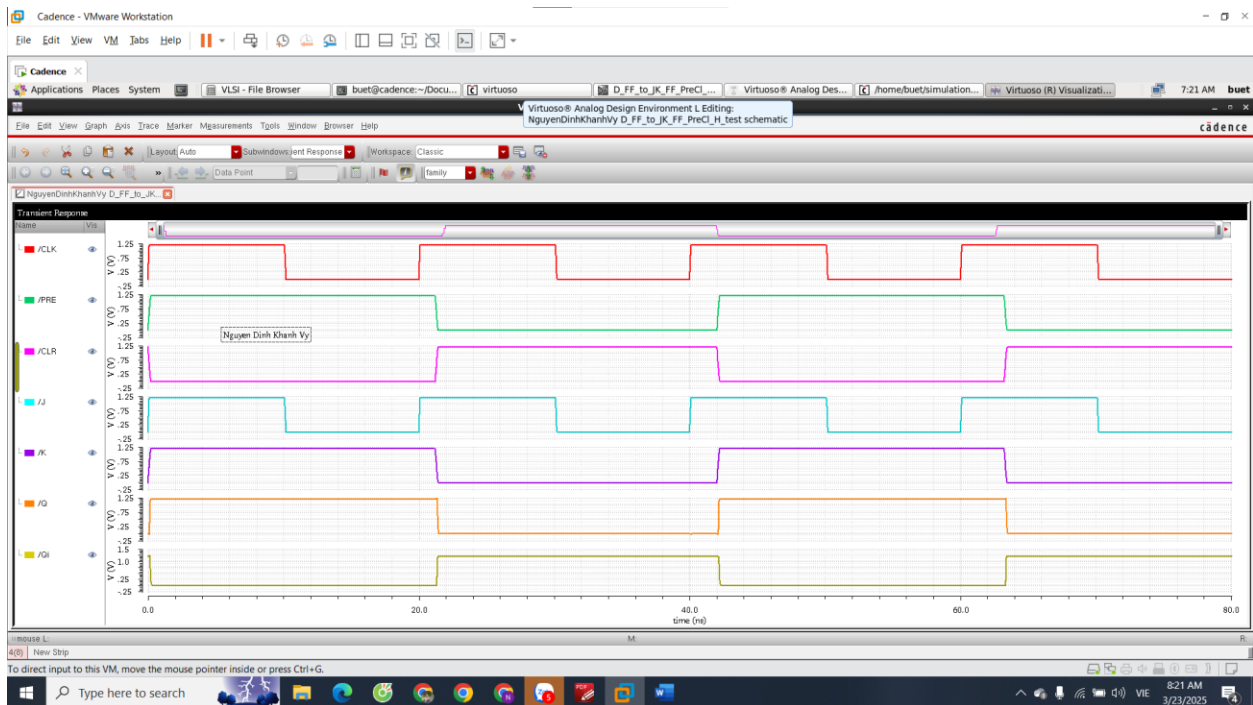
Voltage 1	0 V
Voltage 2	1.2 V
Period	42n s
Delay time	
Rise time	
Fall time	
Pulse width	21n s

- Thông số cài đặt:

- + Chân V_{DD} nối với nguồn $V_{DC} = 1.2V$
- + Chân GND nối đất
- + Chân V_{in} tương ứng với chân PRE ta nối với nguồn V_{pulse} với các thông số sau:
 - Mức điện áp 1 (V1): 0V
 - Mức điện áp 2 (V2): 1.2V
 - Thời gian trễ: 0s
 - Thời gian xung cạnh lên (tr): 0ns
 - Thời gian xung cạnh xuống (tf): 0ns
 - Độ rộng xung (ton): 21ns
 - Chu kỳ (period): 42ns

Voltage 1	0 V
Voltage 2	1.2 V
Period	42n s
Delay time	
Rise time	
Fall time	
Pulse width	21n s

- Thực hiện mô phỏng để kiểm tra hoạt động theo bảng trạng thái của Flip Flop JK, kết quả thu được dạng sóng như hình bên dưới.



- Nhận xét:

- + Khi $J = 0, K = 0$, trạng thái Q giữ nguyên (no change).
- + Khi $J = 0, K = 1$, đầu ra Q reset về 0 tại cạnh lên của CLK.
- + Khi $J = 1, K = 0$, đầu ra Q set lên 1 tại cạnh lên của CLK.
- + Khi $J = 1, K = 1$, đầu ra Q toggle (đảo trạng thái) tại mỗi cạnh lên của CLK.

=> Kết luận: Flip Flop JK hoạt động đúng trạng thái.

- Công suất trung bình của Flip Flop JK là 2.066uW.

average(v("/net7" ?result "tran")*IT(...	
Expression	Value
1 average(v("/n...	2.066u

Câu 3

a) Sơ đồ nguyên lý mạch

