

**TRƯỜNG ĐẠI HỌC SƯ PHẠM KỸ THUẬT TP.HCM  
KHOA ĐIỆN – ĐIỆN TỬ  
BỘ MÔN TT THIẾT KẾ MẠCH TÍCH HỢP VLSI**



**BÁO CÁO TT THIẾT KẾ  
MẠCH TÍCH HỢP VLSI**

**Mã môn học:** ICDL416264\_02CLC

**GVHD:** THS.Lê Minh Thành

**SVTH:** Nguyễn Đình Khánh Vy

**MSSV:** 22161043

*Thành phố Hồ Chí Minh, tháng 3 năm 2025*

## MỤC LỤC

<b>CHƯƠNG 1: THIẾT KẾ VÀ MÔ PHỎNG CÁC CỘNG LOGIC .....</b>	<b>1</b>
1.1. Cổng NOT .....	1
1.1.1. Lý thuyết .....	1
1.1.2. Thiết kế mô phỏng cổng NOT không có tụ và tải ký sinh .....	2
1.1.3. Thiết kế mô phỏng cổng NOT có tụ và tải ký sinh .....	8
1.1.4. Mạch ghép tầng 3 cổng NOT .....	14
1.1.5. Kết luận .....	18
1.2. Cổng NAND .....	24
1.2.1. Lý thuyết .....	24
1.2.2. Thiết kế mô phỏng cổng NAND không có tụ và tải ký sinh .....	25
1.2.3. Thiết kế mô phỏng cổng NAND có tụ và tải ký sinh .....	33
1.2.4. Kết luận .....	42
1.3. Cổng AND .....	43
1.3.1. Lý thuyết .....	43
1.3.2. Thiết kế mô phỏng cổng AND không có tụ và tải ký sinh .....	44
1.3.3. Thiết kế mô phỏng cổng AND có tụ và tải ký sinh .....	52
1.3.4. Kết luận .....	61
1.4. Cổng NOR .....	62
1.4.1. Lý thuyết .....	62
1.4.2. Thiết kế mô phỏng cổng NOR không có tụ và tải ký sinh .....	63
1.4.3. Thiết kế mô phỏng cổng NOR có tụ và tải ký sinh .....	69
1.4.4. Kết luận .....	74
1.5. Cổng OR .....	75
1.5.1. Lý thuyết .....	75
1.5.2. Thiết kế mô phỏng cổng OR không có tụ và tải ký sinh .....	76
1.5.3. Thiết kế mô phỏng cổng OR có tụ và tải ký sinh .....	82
1.5.4. Kết luận .....	87
1.6. Cổng EXNOR .....	88
1.6.1. Lý thuyết .....	88
1.6.2. Thiết kế mô phỏng cổng EXNOR không có tụ và tải ký sinh .....	89
1.6.3. Thiết kế mô phỏng cổng EXNOR có tụ và tải ký sinh .....	96
1.6.4. Kết luận .....	102
1.7. Cổng EXOR .....	103

1.7.1. Lý thuyết .....	103
1.7.2. Thiết kế mô phỏng cổng EXOR không có tụ và tải ký sinh .....	104
1.7.3. Thiết kế mô phỏng cổng EXOR có tụ và tải ký sinh .....	111
1.7.4. Kết luận .....	117
<b>CHƯƠNG 2: LÝ THUYẾT VÀ THIẾT KẾ MÔ PHỎNG MẠCH SCHMITT TRIGGER..</b>	<b>118</b>
2.1. Lý thuyết.....	118
2.2. Thiết kế mô phỏng cổng NOT dùng mạch Schmitt Trigger.....	119
2.3. Kết luận .....	125
<b>CHƯƠNG 3: LÝ THUYẾT VÀ THIẾT KẾ MÔ PHỎNG BỘ CỘNG FULL ADDER .....</b>	<b>126</b>
3.1. Bộ cộng Full Adder 1 bit.....	126
3.1.1. Lý thuyết .....	126
3.1.2. Thiết kế mô phỏng bộ cộng Full Adder .....	127
3.2. Bộ cộng Full Adder 3 bit .....	132
3.2.1. Lý thuyết .....	132
3.2.2. Thiết kế mô phỏng bộ cộng Full Adder 3 bit.....	132
<b>CHƯƠNG 4: LÝ THUYẾT VÀ THIẾT KẾ MÔ PHỎNG BỘ MUX.....</b>	<b>138</b>
4.1. Bộ MUX 2 sang 1 .....	138
4.1.1. Lý thuyết .....	138
4.1.2. Thiết kế mô phỏng mạch Mux 2 sang 1 .....	139
4.2. Bộ MUX 4 sang 1 không có chân Enable .....	144
4.2.1. Lý thuyết .....	144
4.2.2. Thiết kế mô phỏng mạch Mux 4 sang 1 .....	145
4.3. Bộ MUX 4 sang 1 có chân Enable cho phép mức cao .....	151
4.3.1. Lý thuyết .....	151
4.3.2. Thiết kế mô phỏng mạch Mux 4 sang 1 có chân Enable cho phép ở mức cao .....	152
4.4. Bộ MUX 4 sang 1 có chân Enable cho phép mức thấp .....	158
4.4.1. Lý thuyết .....	158
4.4.2. Thiết kế mô phỏng mạch Mux 4 sang 1 có chân Enable cho phép ở mức cao .....	159
<b>CHƯƠNG 5: LÝ THUYẾT VÀ THIẾT KẾ MÔ PHỎNG MẠCH SO SÁNH 2 BIT KHÔNG CÓ NGÕ VÀO MỞ RỘNG .....</b>	<b>166</b>
5.1. Mạch so sánh 2 bit không có ngõ vào mở rộng.....	166
5.1.1. Lý thuyết .....	166
5.1.2. Thiết kế mô phỏng mạch so sánh 2 bit .....	167
5.2. Mạch so sánh 2 bit có ngõ vào mở rộng.....	173

5.2.1. Lý thuyết .....	173
5.2.2. Thiết kế mô phỏng mạch so sánh 2 bit .....	174
5.3. Mạch so sánh 4 bit có ngõ vào mở rộng .....	182
5.3.1. Lý thuyết .....	182
5.3.2. Thiết kế mô phỏng mạch so sánh 4 bit .....	182
<b>CHƯƠNG 6: THIẾT KẾ MẠCH CHỐT .....</b>	<b>190</b>
6.1. Lý thuyết.....	190
6.2. Cổng đảo ghép ngang (a cross-coupled inverter) .....	190
6.3. Mạch chốt nhạy theo mức tín hiệu (A level-sensitive latch).....	192
6.4. Mạch chốt nhạy mức hiệu suất cao (A higher performance level-sensitive latch).....	195
6.5. Mạch Flip-flop nhạy theo biên có tín hiệu set và clear bắt đồng bộ (An edge-triggered FF with asynchronous set and clear).....	198
<b>CHƯƠNG 7: THIẾT KẾ MẠCH ĐÉM LÊN 3 BIT.....</b>	<b>202</b>
7.1. Thiết kế Flip Flop D có ngõ vào bắt đồng bộ mức cao .....	202
7.1.1. Lý thuyết .....	202
7.1.2. Thiết kế mô phỏng Flip Flop D có ngõ vào bắt đồng bộ hoạt động mức cao.....	203
7.2. THIẾT KẾ FLIP FLOP JK TỪ FLIP FLIP D .....	208
7.2.1. Lý thuyết .....	208
7.2.2. Thiết kế mô phỏng Flip Flop JK có ngõ vào bắt đồng bộ hoạt động mức cao .....	209
7.3. Thiết kế mạch đếm lên 3 bit .....	214
7.3.1. Lý thuyết .....	214
7.3.2 Thiết kế mô phỏng mạch đếm lên 3 bit: .....	215
<b>CHƯƠNG 8: THANH GHI DỊCH SISO .....</b>	<b>217</b>
8.1. Lý thuyết.....	217
8.2. Thiết kế mô phỏng thanh ghi dịch SISO .....	217

## **DANH MỤC CÁC BẢNG**

Bảng 1.1. Bảng thông số PMOS, NMOS để thiết kế mô phỏng cổng NOT .....	2
Bảng 1.2. Chế độ hoạt động của PMOS, NMOS .....	20
Bảng 1.3. Các thông số của tín hiệu DC, AC đã mô phỏng của cổng NOT .....	23
Bảng 1.4. Bảng thông số PMOS, NMOS để thiết kế mô phỏng cổng NAND.....	25
Bảng 1.5. Các thông số của cổng NAND.....	42
Bảng 1.6. Bảng thông số PMOS, NMOS để thiết kế mô phỏng cổng AND.....	44
Bảng 1.7. Các thông số của cổng AND.....	61
Bảng 1.8. Bảng thông số PMOS, NMOS để thiết kế mô phỏng cổng NOR .....	63
Bảng 1.9. Các thông số của cổng NOR .....	74
Bảng 1.10. Bảng thông số PMOS, NMOS để thiết kế mô phỏng cổng OR.....	76
Bảng 1.11. Các thông số của cổng OR.....	87
Bảng 1.12. Bảng thông số PMOS, NMOS để thiết kế mô phỏng cổng EXNOR.....	89
Bảng 1.13. Các thông số của cổng EXNOR .....	102
Bảng 1.14. Bảng thông số PMOS, NMOS để thiết kế mô phỏng cổng EXOR .....	104
Bảng 1.15. Các thông số của cổng EXOR .....	117
Bảng 2.1. Bảng thông số PMOS, NMOS để thiết kế mô phỏng cổng NOT dùng Schmitt Trigger.	120
Bảng 3.1. Bảng trạng thái của bộ cộng Full Adder .....	126
Bảng 3.2. Bảng thông số PMOS, NMOS để thiết kế mô phỏng .....	129
Bảng 3.3. Bảng thông số PMOS, NMOS để thiết kế mô phỏng .....	136
Bảng 4.1. Bảng thông số PMOS, NMOS để thiết kế .....	141

## **DANH MỤC HÌNH ẢNH**

Hình 1.1. Ký hiệu và bảng trạng thái của cổng NOT .....	1
Hình 1.2. Sơ đồ nguyên lý cổng NOT.....	1
Hình 1.3. Sơ đồ nguyên lý mô phỏng cổng NOT.....	2
Hình 1.4. Cài đặt nhiệt độ thiết kế mô phỏng .....	2
Hình 1.5. Đóng gói thiết kế cổng NOT .....	3
Hình 1.6. Mạch kiểm tra hoạt động cổng NOT.....	3
Hình 1.7. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào A .....	4
Hình 1.8. Kết quả mô phỏng dạng sóng của cổng NOT .....	4
Hình 1.9. Kết quả mô phỏng dạng sóng của cổng NOT dùng nguồn $VDC = 0.8V$ .....	5
Hình 1.10. Các điểm thay đổi khi tín hiệu ngõ vào và tín hiệu ngõ ra thay đổi của cổng NOT .....	5
Hình 1.11. Độ trễ lan truyền cạnh lên của cổng NOT không gắn tụ, tải.....	6
Hình 1.12. Độ trễ lan truyền cạnh xuống của cổng NOT không gắn tụ, tải.....	6
Hình 1.13. Thời gian xung cạnh lên và cạnh xuống đo được trên mô phỏng .....	7
Hình 1.14. Công suất trung bình đo được từ mô phỏng.....	7
Hình 1.15. Thiết kế layout cho cổng NOT .....	8
Hình 1.16. Sơ đồ nguyên lý mô phỏng cổng NOT có tụ và tải kỵ sinh .....	8
Hình 1.17. Đóng gói thiết kế cổng NOT có tụ và tải kỵ sinh.....	9
Hình 1.18. Mạch kiểm tra hoạt động cổng NOT có tụ và tải kỵ sinh .....	9
Hình 1.19. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào A .....	10
Hình 1.20. Kết quả mô phỏng dạng sóng của cổng NOT khi có tụ và tải.....	10
Hình 1.21. Các điểm thay đổi khi tín hiệu ngõ vào và tín hiệu ngõ ra thay đổi của cổng NOT .....	11
Hình 1.22. Công suất trung bình đo được từ mô phỏng.....	12
Hình 1.23. Độ trễ lan truyền cạnh lên của cổng NOT có gắn tụ, tải .....	12
Hình 1.24. Độ trễ lan truyền cạnh xuống của cổng NOT có gắn tụ, tải .....	13
Hình 1.25. Thời gian xung cạnh lên và cạnh xuống đo được trên mô phỏng .....	13
Hình 1.26. Mạch ghép tầng 3 cổng NOT có gắn tụ, tải .....	14
Hình 1.27. Kết quả mô phỏng dạng sóng của mạch ghép cổng NOT khi có tụ và tải .....	14
Hình 1.28. Các điểm thay đổi khi tín hiệu ngõ vào và tín hiệu ngõ ra thay đổi của mạch ghép tầng .....	15
Hình 1.29. Công suất trung bình đo được từ mô phỏng.....	16
Hình 1.30. Độ trễ lan truyền tín hiệu ngõ ra khi ngõ vào mức thấp cổng NOT có gắn tụ, tải .....	16
Hình 1.31. Độ trễ lan truyền tín hiệu ngõ ra khi ngõ vào mức cao cổng NOT có gắn tụ, tải .....	17

Hình 1.32. Thời gian chuyển tiếp cạnh lên và cạnh xuống đo được trên mô phỏng.....	17
Hình 1.33. Mạch phân tích đặc tuyến của NMOS .....	18
Hình 1.34. Điện áp ngưỡng của NMOS qua mô phỏng .....	18
Hình 1.35. Mạch phân tích đặc tuyến của PMOS .....	19
Hình 1.36. Điện áp ngưỡng của PMOS qua mô phỏng.....	19
Hình 1.37. Đường đặc tuyến DC của cổng NOT không có gắn tụ, tải .....	19
Hình 1.38. Đường đặc tuyến DC của tín hiệu ngõ ra và hai điểm giá trị thể hiện biên độ nhiễu .....	21
Hình 1.39. Đường đặc tuyến DC của tín hiệu ngõ ra và hai điểm giá trị thể hiện biên độ nhiễu .....	22
Hình 1.40. Ký hiệu và bảng trạng thái của cổng NAND .....	24
Hình 1.41. Sơ đồ nguyên lý cổng NAND .....	24
Hình 1.42. Sơ đồ nguyên lý mô phỏng cổng NAND .....	25
Hình 1.43. Cài đặt nhiệt độ thiết kế mô phỏng .....	25
Hình 1.44. Đóng gói thiết kế cổng NAND.....	26
Hình 1.45. Mạch kiểm tra hoạt động cổng NAND .....	26
Hình 1.46. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào A .....	27
Hình 1.47. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào B.....	27
Hình 1.48. Kết quả mô phỏng dạng sóng của cổng NAND .....	28
Hình 1.49. Các điểm thay đổi khi tín hiệu ngõ vào và tín hiệu ngõ ra thay đổi của cổng NAND.....	28
Hình 1.50. Thay đổi thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào B.....	29
Hình 1.51. Kết quả mô phỏng dạng sóng của cổng NAND không có hiện tượng glitch.....	30
Hình 1.52. Xác định nguyên nhân xảy ra hiện tượng glitch do tín hiệu B.....	30
Hình 1.53. Độ trễ lan truyền cạnh lên so với tín hiệu ngõ vào A cổng NAND không gắn tụ, tải .....	31
Hình 1.54. Độ trễ lan truyền cạnh xuống so với tín hiệu ngõ vào A cổng NAND không gắn tụ, tải .....	31
Hình 1.55. Độ trễ lan truyền cạnh lên so với tín hiệu ngõ vào B cổng NAND không gắn tụ, tải.....	32
Hình 1.56. Độ trễ lan truyền cạnh xuống so với tín hiệu ngõ vào B cổng NAND không gắn tụ, tải.	32
Hình 1.57. Thời gian xung cạnh lên và cạnh xuống đo được trên mô phỏng .....	33
Hình 1.58. Công suất trung bình đo được từ mô phỏng.....	33
Hình 1.59. Sơ đồ nguyên lý mô phỏng cổng NAND có tụ và tải ký sinh.....	33
Hình 1.60. Đóng gói thiết kế cổng NAND có tụ và tải ký sinh .....	34
Hình 1.61. Mạch kiểm tra hoạt động cổng NAND có tụ và tải ký sinh .....	34
Hình 1.62. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào A .....	35
Hình 1.63. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào B.....	35
Hình 1.64. Kết quả mô phỏng dạng sóng của cổng NAND khi có tụ và tải .....	35

Hình 1.65. Các điểm thay đổi khi tín hiệu ngõ vào và tín hiệu ngõ ra thay đổi của cổng NAND.....	36
Hình 1.66. Thay đổi thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào B.....	37
Hình 1.67. Kết quả mô phỏng dạng sóng của cổng NAND có tụ, tải không có hiện tượng glitch....	37
Hình 1.68. Xác định nguyên nhân xảy ra hiện tượng glitch do tín hiệu B.....	38
Hình 1.69. Độ trễ lan truyền cạnh lên so với tín hiệu ngõ vào A cổng NAND có gắn tụ, tải.....	38
Hình 1.70. Độ trễ lan truyền cạnh xuống so với tín hiệu ngõ vào A cổng NAND có gắn tụ, tải.....	39
Hình 1.71. Độ trễ lan truyền cạnh lên so với tín hiệu ngõ vào B cổng NAND có gắn tụ, tải.....	39
Hình 1.72. Độ trễ lan truyền cạnh xuống so với tín hiệu ngõ vào B cổng NAND có gắn tụ, tải.....	40
Hình 1.73. Thời gian xung cạnh lên và cạnh xuống đo được trên mô phỏng .....	40
Hình 1.74. Công suất trung bình đo được từ mô phỏng.....	41
Hình 1.75. Ký hiệu và bảng trạng thái của cổng AND .....	43
Hình 1.76. Sơ đồ nguyên lý cổng AND .....	43
Hình 1.77. Sơ đồ nguyên lý mô phỏng cổng AND .....	44
Hình 1.78. Cài đặt nhiệt độ thiết kế mô phỏng .....	44
Hình 1.79. Đóng gói thiết kế cổng AND.....	45
Hình 1.80. Mạch kiểm tra hoạt động cổng AND .....	45
Hình 1.81. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào A .....	46
Hình 1.82. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào B.....	46
Hình 1.83. Kết quả mô phỏng dạng sóng của cổng AND .....	47
Hình 1.84. Các điểm thay đổi khi tín hiệu ngõ vào và tín hiệu ngõ ra thay đổi của cổng AND.....	47
Hình 1.85. Thay đổi thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào B.....	48
Hình 1.86. Kết quả mô phỏng dạng sóng của cổng AND không có hiện tượng glitch.....	49
Hình 1.87. Xác định nguyên nhân xảy ra hiện tượng glitch do tín hiệu B.....	49
Hình 1.88. Độ trễ lan truyền cạnh lên so với tín hiệu ngõ vào A cổng AND không gắn tụ, tải .....	50
Hình 1.89. Độ trễ lan truyền cạnh xuống so với tín hiệu ngõ vào A cổng AND không gắn tụ, tải ...	50
Hình 1.90. Độ trễ lan truyền cạnh lên so với tín hiệu ngõ vào B cổng AND không gắn tụ, tải.....	51
Hình 1.91. Độ trễ lan truyền cạnh xuống so với tín hiệu ngõ vào B cổng AND không gắn tụ, tải ...	51
Hình 1.92. Thời gian xung cạnh lên và cạnh xuống đo được trên mô phỏng .....	52
Hình 1.93. Công suất trung bình đo được từ mô phỏng.....	52
Hình 1.94. Sơ đồ nguyên lý mô phỏng cổng AND có tụ và tải ký sinh.....	52
Hình 1.95. Đóng gói thiết kế cổng AND có tụ và tải ký sinh .....	53
Hình 1.96. Mạch kiểm tra hoạt động cổng AND có tụ và tải ký sinh.....	53
Hình 1.97. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào A .....	54

Hình 1.98. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào B.....	54
Hình 1.99. Kết quả mô phỏng dạng sóng của cổng AND khi có tụ và tải .....	54
Hình 1.100. Các điểm thay đổi khi tín hiệu ngõ vào và tín hiệu ngõ ra thay đổi của cổng AND.....	55
Hình 1.101. Thay đổi thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào B.....	56
Hình 1.102. Kết quả mô phỏng dạng sóng của cổng AND có tụ, tải không có hiện tượng glitch....	56
Hình 1.103. Xác định nguyên nhân xảy ra hiện tượng glitch do tín hiệu B .....	57
Hình 1.104. Độ trễ lan truyền cạnh lên so với tín hiệu ngõ vào A cổng AND có gắn tụ, tải.....	57
Hình 1.105. Độ trễ lan truyền cạnh xuống so với tín hiệu ngõ vào A cổng AND có gắn tụ, tải .....	58
Hình 1.106. Độ trễ lan truyền cạnh lên so với tín hiệu ngõ vào B cổng AND có gắn tụ, tải.....	58
Hình 1.107. Độ trễ lan truyền cạnh xuống so với tín hiệu ngõ vào B cổng AND có gắn tụ, tải.....	59
Hình 1.108. Thời gian xung cạnh lên và cạnh xuống đo được trên mô phỏng .....	59
Hình 1.109. Công suất trung bình đo được từ mô phỏng.....	60
Hình 1.110. Ký hiệu và bảng trạng thái của cổng NOR.....	62
Hình 1.111. Sơ đồ nguyên lý cổng NOR .....	62
Hình 1.112. Sơ đồ nguyên lý mô phỏng cổng NOR .....	63
Hình 1.113. Cài đặt nhiệt độ thiết kế mô phỏng .....	63
Hình 1.114. Đóng gói thiết kế cổng NOR.....	64
Hình 1.115. Mạch kiểm tra hoạt động cổng NOR .....	64
Hình 1.116. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào A .....	65
Hình 1.117. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào B.....	65
Hình 1.118. Kết quả mô phỏng dạng sóng của cổng NOR .....	66
Hình 1.119. Các điểm thay đổi khi tín hiệu ngõ vào và tín hiệu ngõ ra thay đổi của cổng NOR .....	66
Hình 1.120. Độ trễ lan truyền cạnh lên so với tín hiệu ngõ vào A cổng NOR không gắn tụ, tải.....	67
Hình 1.121. Độ trễ lan truyền cạnh xuống so với tín hiệu ngõ vào A cổng NOR không gắn tụ, tải .....	68
Hình 1.122. Thời gian xung cạnh lên và cạnh xuống đo được trên mô phỏng .....	68
Hình 1.123. Công suất trung bình đo được từ mô phỏng.....	68
Hình 1.124. Sơ đồ nguyên lý mô phỏng cổng NOR có tụ và tải ký sinh .....	69
Hình 1.125. Đóng gói thiết kế cổng NOR có tụ và tải ký sinh .....	69
Hình 1.126. Mạch kiểm tra hoạt động cổng NOR có tụ và tải ký sinh .....	70
Hình 1.127. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào A .....	70
Hình 1.128. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào B.....	70
Hình 1.129. Kết quả mô phỏng dạng sóng của cổng NOR khi có tụ và tải .....	71
Hình 1.130. Các điểm thay đổi khi tín hiệu ngõ vào và tín hiệu ngõ ra thay đổi của cổng NOR .....	71

Hình 1.131. Độ trễ lan truyền cạnh lên so với tín hiệu ngõ vào A cổng NOR có gắn tụ, tải.....	72
Hình 1.132. Độ trễ lan truyền cạnh xuống so với tín hiệu ngõ vào A cổng NOR có gắn tụ, tải.....	73
Hình 1.133. Thời gian xung cạnh lên và cạnh xuống đo được trên mô phỏng .....	73
Hình 1.134. Công suất trung bình đo được từ mô phỏng.....	74
Hình 1.135. Ký hiệu và bảng trạng thái của cổng OR .....	75
Hình 1.136. Sơ đồ nguyên lý cổng OR .....	75
Hình 1.137. Sơ đồ nguyên lý mô phỏng cổng OR .....	76
Hình 1.138. Cài đặt nhiệt độ thiết kế mô phỏng .....	76
Hình 1.139. Đóng gói thiết kế cổng OR.....	77
Hình 1.140. Mạch kiểm tra hoạt động cổng OR .....	77
Hình 1.141. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào A .....	78
Hình 1.142. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào B.....	78
Hình 1.143. Kết quả mô phỏng dạng sóng của cổng OR .....	79
Hình 1.144. Các điểm thay đổi khi tín hiệu ngõ vào và tín hiệu ngõ ra thay đổi của cổng OR .....	79
Hình 1.145. Độ trễ lan truyền cạnh lên so với tín hiệu ngõ vào A cổng OR không gắn tụ, tải .....	80
Hình 1.146. Độ trễ lan truyền cạnh xuống so với tín hiệu ngõ vào A cổng OR không gắn tụ, tải ....	81
Hình 1.147. Thời gian xung cạnh lên và cạnh xuống đo được trên mô phỏng .....	81
Hình 1.148. Công suất trung bình đo được từ mô phỏng.....	81
Hình 1.149. Sơ đồ nguyên lý mô phỏng cổng OR có tụ và tải ký sinh.....	82
Hình 1.150. Đóng gói thiết kế cổng OR có tụ và tải ký sinh .....	82
Hình 1.151. Mạch kiểm tra hoạt động cổng OR có tụ và tải ký sinh .....	83
Hình 1.152. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào A .....	83
Hình 1.153. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào B.....	83
Hình 1.154. Kết quả mô phỏng dạng sóng của cổng OR khi có tụ và tải .....	84
Hình 1.155. Các điểm thay đổi khi tín hiệu ngõ vào và tín hiệu ngõ ra thay đổi của cổng OR.....	84
Hình 1.156. Độ trễ lan truyền cạnh lên so với tín hiệu ngõ vào A cổng OR có gắn tụ, tải.....	85
Hình 1.157. Độ trễ lan truyền cạnh xuống so với tín hiệu ngõ vào A cổng OR có gắn tụ, tải.....	86
Hình 1.158. Thời gian xung cạnh lên và cạnh xuống đo được trên mô phỏng .....	86
Hình 1.159. Công suất trung bình đo được từ mô phỏng.....	87
Hình 1.160. Ký hiệu và bảng trạng thái của cổng EXNOR .....	88
Hình 1.161. Sơ đồ nguyên lý cổng EXNOR .....	88
Hình 1.162. Sơ đồ nguyên lý mô phỏng cổng EXNOR .....	89
Hình 1.163. Cài đặt nhiệt độ thiết kế mô phỏng .....	89

Hình 1.164. Đóng gói thiết kế cổng EXNOR .....	90
Hình 1.165. Mạch kiểm tra hoạt động cổng EXNOR .....	90
Hình 1.166. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào A .....	91
Hình 1.167. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào B.....	91
Hình 1.168. Kết quả mô phỏng dạng sóng của cổng EXNOR.....	92
Hình 1.169. Các điểm thay đổi khi tín hiệu ngõ vào và tín hiệu ngõ ra thay đổi của cổng EXNOR. 92	
Hình 1.170. Điểm thấp bát thường trong tín hiệu .....	93
Hình 1.171. Nguyên nhân có điểm bất thường là do tín hiệu B thay đổi trạng thái trễ hơn A .....	94
Hình 1.172. Độ trễ lan truyền cạnh lên so với tín hiệu A cổng EXNOR không gắn tụ, tải .....	94
Hình 1.173. Độ trễ lan truyền cạnh xuống so với tín hiệu A cổng EXNOR không gắn tụ, tải .....	95
Hình 1.174. Thời gian xung cạnh lên và cạnh xuống đo được trên mô phỏng .....	95
Hình 1.175. Công suất trung bình đo được từ mô phỏng.....	95
Hình 1.176. Sơ đồ nguyên lý mô phỏng cổng EXNOR có tụ và tải ký sinh.....	96
Hình 1.177. Đóng gói thiết kế cổng EXNOR có tụ và tải ký sinh .....	96
Hình 1.178. Mạch kiểm tra hoạt động cổng EXNOR có tụ và tải ký sinh.....	97
Hình 1.179. Kết quả mô phỏng dạng sóng của cổng EXNOR khi có tụ và tải .....	97
Hình 1.180. Các điểm thay đổi khi tín hiệu ngõ vào và tín hiệu ngõ ra thay đổi của cổng EXNOR. 98	
Hình 1.181. Tín hiệu ngõ ra đã được lọc.....	99
Hình 1.182. Tín hiệu ngõ ra đã được lọc.....	99
Hình 1.183. Độ trễ lan truyền cạnh lên so với tín hiệu A cổng EXNOR có gắn tụ, tải .....	100
Hình 1.184. Độ trễ lan truyền cạnh xuống so với tín hiệu A cổng EXNOR không gắn tụ, tải.....	100
Hình 1.185. Thời gian xung cạnh lên và cạnh xuống đo được trên mô phỏng .....	101
Hình 1.186. Công suất trung bình đo được từ mô phỏng.....	101
Hình 1.187. Ký hiệu và bảng trạng thái của cổng EXOR .....	103
Hình 1.188. Sơ đồ nguyên lý cổng EXOR .....	103
Hình 1.189. Sơ đồ nguyên lý mô phỏng cổng EXOR .....	104
Hình 1.190. Cài đặt nhiệt độ thiết kế mô phỏng .....	104
Hình 1.191. Đóng gói thiết kế cổng EXOR .....	105
Hình 1.192. Mạch kiểm tra hoạt động cổng EXOR .....	105
Hình 1.193. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào A .....	106
Hình 1.194. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào B.....	106
Hình 1.195. Kết quả mô phỏng dạng sóng của cổng EXOR.....	107
Hình 1.196. Các điểm thay đổi khi tín hiệu ngõ vào và tín hiệu ngõ ra thay đổi của cổng EXOR . 107	

Hình 1.197. Điểm cao bất thường trong tín hiệu.....	108
Hình 1.198. Nguyên nhân có điểm bất thường là do tín hiệu B thay đổi trạng thái trễ hơn A .....	109
Hình 1.199. Độ trễ lan truyền cạnh lên so với tín hiệu ngõ vào A cảng EXOR không gắn tụ, tải ..	109
Hình 1.200. Độ trễ lan truyền cạnh xuống so với tín hiệu ngõ vào A cảng EXOR không gắn tụ, tải .....	110
Hình 1.201. Thời gian xung cạnh lên và cạnh xuống đo được trên mô phỏng .....	110
Hình 1.202. Công suất trung bình đo được từ mô phỏng.....	110
Hình 1.203. Sơ đồ nguyên lý mô phỏng cảng EXOR có tụ và tải ký sinh.....	111
Hình 1.204. Đóng gói thiết kế cảng EXOR có tụ và tải ký sinh.....	111
Hình 1.205. Mạch kiểm tra hoạt động cảng EXOR có tụ và tải ký sinh.....	112
Hình 1.206. Kết quả mô phỏng dạng sóng của cảng EXOR khi có tụ và tải .....	112
Hình 1.207. Các điểm thay đổi khi tín hiệu ngõ vào và tín hiệu ngõ ra thay đổi của cảng EXOR .	113
Hình 1.208. Tín hiệu ngõ ra đã được lọc.....	114
Hình 1.209. Tín hiệu ngõ ra đã được lọc.....	114
Hình 1.210. Độ trễ lan truyền cạnh lên so với tín hiệu ngõ vào A cảng EXOR có gắn tụ, tải .....	115
Hình 1.211. Độ trễ lan truyền cạnh xuống so với tín hiệu ngõ vào A cảng EXOR không gắn tụ, tải .....	115
Hình 1.212. Thời gian xung cạnh lên và cạnh xuống đo được trên mô phỏng .....	116
Hình 1.213. Công suất trung bình đo được từ mô phỏng.....	116
Hình 2.1. Ký hiệu và bảng trạng thái của cảng NOT dùng Schmitt Trigger .....	118
Hình 2.2. Sơ đồ nguyên lý cảng NOT dùng mạch Schmitt Trigger.....	118
Hình 2.3. Mô phỏng cảng NOT dựa trên sơ đồ nguyên lý.....	119
Hình 2.4. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào Vin .....	120
Hình 2.5. Cài đặt nhiệt độ thiết kế mô phỏng .....	121
Hình 2.6. Kết quả mô phỏng dạng sóng của cảng NOT dùng mạch Schmitt Trigger .....	121
Hình 2.7. Kết quả mô phỏng dạng sóng của cảng NOT dùng mạch Schmitt Trigger .....	122
Hình 2.8. Độ trễ lan truyền cạnh lên của cảng NOT dùng mạch Schmitt Trigger.....	122
Hình 2.9. Độ trễ lan truyền cạnh lên của cảng NOT dùng mạch Schmitt Trigger.....	123
Hình 2.10. Thời gian xung cạnh lên và cạnh xuống đo được trên mô phỏng .....	124
Hình 2.11. Công suất trung bình của cảng NOT không dùng P3, N3.....	124
Hình 2.12. Công suất trung bình của cảng NOT dùng N3.....	124
Hình 2.13. Công suất trung bình của cảng NOT dùng P3 .....	124
Hình 2.14. Công suất trung bình của cảng NOT dùng P3, N3.....	124

Hình 2.15. Đường đặc tuyến DC của công NOT dùng và không dùng Schmitt Trigger .....	125
Hình 3.1. Sơ đồ nguyên lý bộ cộng Full Adder .....	126
Hình 3.2. Mô phỏng bộ cộng Full Adder dựa trên sơ đồ nguyên lý .....	127
Hình 3.3. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào A.....	127
Hình 3.4. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào B .....	128
Hình 3.5. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào C .....	128
Hình 3.6. Cài đặt nhiệt độ thiết kế mô phỏng .....	129
Hình 3.7. Kết quả mô phỏng dạng sóng của bộ cộng Full Adder .....	129
Hình 3.8. Kết quả mô phỏng dạng sóng của bộ cộng Full Adder .....	130
Hình 3.9. Kết quả mô phỏng dạng sóng của bộ cộng Full Adder .....	131
Hình 3.10. Công suất trung bình của bộ cộng Full Adder .....	131
Hình 3.11. Sơ đồ khối của bộ cộng FA 3 bit.....	132
Hình 3.12. Mô phỏng bộ Full Adder 3 bit.....	132
Hình 3.13. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào A1.....	133
Hình 3.14. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào B1 .....	133
Hình 3.15. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào A2 .....	134
Hình 3.16. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào B2 .....	134
Hình 3.17. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào A3 .....	135
Hình 3.18. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào B3 .....	135
Hình 3.19. Cài đặt nhiệt độ thiết kế mô phỏng .....	136
Hình 3.20. Kết quả mô phỏng dạng sóng của bộ cộng Full Adder 3 bit.....	136
Hình 3.21. Công suất trung bình của mạch cộng FA 3 bit.....	137
Hình 4.1. Ký hiệu và bảng trạng thái của bộ MUX 2 sang 1 .....	138
Hình 4.2. Dùng công logic thiết kế mạch mux 2-1 .....	138
Hình 4.3. Dùng NMOS thiết kế mạch mux 2-1 .....	138
Hình 4.4. Dùng PMOS và NMOS để thiết kế mạch mux 2-1 .....	139
Hình 4.5. Thiết kế và mô phỏng bộ MUX 2 sang 1 .....	139
Hình 4.6. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào S .....	140
Hình 4.7. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào A.....	140
Hình 4.8. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào B .....	141
Hình 4.9. Cài đặt nhiệt độ thiết kế mô phỏng .....	141
Hình 4.10. Kết quả mô phỏng dạng sóng của bộ MUX 2 sang 1.....	142

Hình 4.11. Kết quả mô phỏng dạng sóng của bộ MUX 2 sang 1.....	143
Hình 4.12. Công suất trung bình theo cách dùng cổng logic .....	143
Hình 4.13. Công suất trung bình theo cách dùng PMOS, NMOS.....	143
Hình 4.14. Ký hiệu và bảng trạng thái của bộ MUX 4 sang 1 .....	144
Hình 4.15. Dùng cổng logic thiết kế mạch mux 4-1 .....	144
Hình 4.16. Thiết kế và mô phỏng bộ MUX 4 sang 1 .....	145
Hình 4.17. Thiết kế và mô phỏng bộ MUX 4 sang 1 .....	145
Hình 4.18. Mạch kiểm tra hoạt động bộ MUX 4 sang 1 .....	146
Hình 4.19. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào I0.....	146
Hình 4.20. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào I1 .....	147
Hình 4.21. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào I2 .....	147
Hình 4.22. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào I3 .....	148
Hình 4.23. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào S0.....	148
Hình 4.24. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào S1 .....	149
Hình 4.25. Cài đặt nhiệt độ thiết kế mô phỏng .....	149
Hình 4.26. Kết quả mô phỏng dạng sóng của bộ MUX 4 sang 1.....	149
Hình 4.27. Công suất trung bình của bộ MUX 4 sang 1 .....	150
Hình 4.28. Ký hiệu và bảng trạng thái của bộ MUX 4 sang 1 có Enable .....	151
Hình 4.29. Sơ đồ nguyên lý của bộ MUX 4 sang 1 có chân Enable .....	151
Hình 4.30. Thiết kế và mô phỏng bộ MUX 4 sang 1 có chân Enable.....	152
Hình 4.31. Đóng gói thiết kế mạch MUX 4 sang 1 .....	152
Hình 4.32. Mạch kiểm tra hoạt động bộ MUX 4 sang 1 .....	153
Hình 4.33. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào I0.....	153
Hình 4.34. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào I1 .....	154
Hình 4.35. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào I2 .....	154
Hình 4.36. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào I3 .....	155
Hình 4.37. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào S0.....	155
Hình 4.38. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào S1 .....	156
Hình 4.39. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào E.....	156
Hình 4.40. Cài đặt nhiệt độ thiết kế mô phỏng .....	157
Hình 4.41. Kết quả mô phỏng dạng sóng của bộ MUX 4 sang 1.....	157
Hình 4.42. Công suất trung bình của bộ MUX 4 sang 1 .....	158
Hình 4.43. Ký hiệu và bảng trạng thái của bộ MUX 4 sang 1 có Enable .....	158

Hình 4.44. Sơ đồ nguyên lý của bộ MUX 4 sang 1 có chân Enable .....	159
Hình 4.45. Thiết kế và mô phỏng bộ MUX 4 sang 1 có chân Enable.....	159
Hình 4.46. Đóng gói thiết kế mạch MUX 4 sang 1 .....	160
Hình 4.47. Mạch kiểm tra hoạt động bộ MUX 4 sang 1 .....	160
Hình 4.48. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào I0.....	161
Hình 4.49. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào I1 .....	161
Hình 4.50. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào I2 .....	162
Hình 4.51. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào I3 .....	162
Hình 4.52. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào S0 .....	163
Hình 4.53. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào S1 .....	163
Hình 4.54. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào E.....	164
Hình 4.55. Cài đặt nhiệt độ thiết kế mô phỏng .....	164
Hình 4.56. Kết quả mô phỏng dạng sóng của bộ MUX 4 sang 1.....	164
Hình 4.57. Công suất trung bình của bộ MUX 4 sang 1 .....	165
Hình 5.1. Ký hiệu và bảng trạng thái của mạch so sánh 2 bit .....	166
Hình 5.2. Dùng cổng logic thiết kế mạch so sánh 2 bit.....	167
Hình 5.3. Thiết kế và mô phỏng mạch so sánh 2 bit.....	167
Hình 5.4. Thiết kế và mô phỏng mạch so sánh 2 bit.....	168
Hình 5.5. Thiết kế và mô phỏng mạch so sánh 2 bit.....	168
Hình 5.6. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào A0 .....	169
Hình 5.7. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào A1.....	169
Hình 5.8. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào B0 .....	170
Hình 5.9. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào B1 .....	170
Hình 5.10. Cài đặt nhiệt độ thiết kế mô phỏng .....	171
Hình 5.11. Kết quả mô phỏng dạng sóng của mạch so sánh 2 bit.....	171
Hình 5.12. Kết quả mô phỏng dạng sóng của mạch so sánh 2 bit.....	172
Hình 5.13. Công suất trung bình mô phỏng được .....	172
Hình 5.14. Ký hiệu và bảng trạng thái của mạch so sánh 2 bit .....	173
Hình 5.15. Dùng cổng logic thiết kế mạch so sánh 2 bit.....	174
Hình 5.16. Thiết kế và mô phỏng mạch so sánh 2 bit.....	174
Hình 5.17. Thiết kế và mô phỏng mạch so sánh 2 bit.....	175
Hình 5.18. Thiết kế và mô phỏng mạch so sánh 2 bit.....	175
Hình 5.19. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào A0_p .....	176

Hình 5.20. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào A1_p.....	176
Hình 5.21. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào B0_p .....	177
Hình 5.22. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào B1_p .....	177
Hình 5.23. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào A0 .....	178
Hình 5.24. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào A1.....	178
Hình 5.25. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào B0 .....	179
Hình 5.26. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào B1 .....	179
Hình 5.27. Cài đặt nhiệt độ thiết kế mô phỏng .....	180
Hình 5.30. Công suất trung bình mô phỏng được .....	182
Hình 5.31. Mạch so sánh 4 bit.....	182
Hình 5.32. Thiết kế và mô phỏng mạch so sánh 4 bit.....	182
Hình 5.33. Thiết kế và mô phỏng mạch so sánh 4 bit.....	183
Hình 5.34. Thiết kế và mô phỏng mạch so sánh 4 bit.....	183
Hình 5.35. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào A0_p, A0 .....	184
Hình 5.36. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào A1_p, A1 .....	184
Hình 5.37. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào B0_p, A2.....	185
Hình 5.38. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào B1_p, A3.....	185
Hình 5.39. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào B0.....	186
Hình 5.40. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào B1.....	186
Hình 5.41. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào B2 .....	187
Hình 5.42. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào B3 .....	187
Hình 5.43. Cài đặt nhiệt độ thiết kế mô phỏng .....	188
Hình 5.44. Kết quả mô phỏng dạng sóng của mạch so sánh 2 bit.....	188
Hình 5.45. Kết quả mô phỏng dạng sóng của mạch so sánh 4 bit.....	189
Hình 5.46. Công suất trung bình mô phỏng được .....	189
Hình 6.1. Sơ đồ nguyên lý.....	190
Hình 6.2. Thiết kế cổng đảo ghép ngang.....	190
Hình 6.3. Thông số cài đặt nguồn .....	191
Hình 6.4. Đặc tuyến DC của cổng đảo ghép ngang .....	191
Hình 6.5. A level-sensitive latch .....	192
Hình 6.6. Thiết kế mô phỏng mạch .....	192
Hình 6.7. Thông số cài đặt nguồn .....	193

Hình 6.8. Thông số cài đặt nguồn .....	193
Hình 6.9. Dạng sóng của mạch .....	194
Hình 6.10. Độ trễ lan truyền cạnh xuống .....	194
Hình 6.11. Thời gian cạnh xuống của mạch.....	194
Hình 6.12. Công suất trung bình mô phỏng được .....	195
Hình 6.13. Sơ đồ nguyên lý của mạch .....	195
Hình 6.14. Thiết kế mô phỏng mạch.....	195
Hình 6.15. Thông số cài đặt nguồn .....	196
Hình 6.16. Thông số cài đặt nguồn .....	197
Hình 6.18. Công suất trung bình mô phỏng được .....	197
Hình 6.19. Sơ đồ nguyên lý của mạch .....	198
Hình 6.20. Thiết kế mô phỏng mạch.....	198
Hình 6.21. Thông số cài đặt nguồn .....	199
Hình 6.22. Thông số cài đặt nguồn .....	200
Hình 6.23. Thông số cài đặt nguồn .....	200
Hình 6.24. Thông số cài đặt nguồn .....	201
Hình 6.26. Công suất trung bình mô phỏng được .....	201
Hình 7.1. Bảng trạng thái của Flip Flop D có ngõ ra bất đồng bộ .....	202
Hình 7.2. Sơ đồ nguyên lý mô phỏng Flip Flop D .....	202
Hình 7.3. Thiết kế mô phỏng trên Cadence.....	203
Hình 7.4. Đóng gói thiết kế .....	203
Hình 7.5. Mạch kiểm tra hoạt động.....	204
Hình 7.6. Thông số cài đặt nguồn .....	204
Hình 7.7. Thông số cài đặt nguồn .....	205
Hình 7.8. Thông số cài đặt nguồn .....	206
Hình 7.9. Thông số cài đặt nguồn .....	206
Hình 7.10. Dạng sóng mô phỏng của các tín hiệu ngõ vào, ngõ ra.....	207
Hình 7.11. Công suất trung bình .....	207
Hình 7.12. Bảng trạng thái của Flip Flop JK có ngõ ra bất đồng bộ.....	208
Hình 7.13. Sơ đồ nguyên lý mô phỏng Flip Flop JK .....	208
Hình 7.14. Thiết kế mô phỏng trên Cadence.....	209
Hình 7.15. Đóng gói thiết kế .....	209
Hình 7.16. Mạch kiểm tra hoạt động.....	210

Hình 7.17. Thông số cài đặt nguồn .....	210
Hình 7.18. Thông số cài đặt nguồn .....	211
Hình 7.19. Thông số cài đặt nguồn .....	212
Hình 7.20. Thông số cài đặt nguồn .....	212
Hình 7.21. Thông số cài đặt nguồn .....	213
Hình 7.22. Dạng sóng mô phỏng của các tín hiệu ngõ vào, ngõ ra.....	213
Hình 7.23. Công suất trung bình .....	213
Hình 7.24. Bảng trạng thái của mạch đếm 3 bit có ngõ ra bất đồng bộ .....	214
Hình 7.25. Sơ đồ nguyên lý mô phỏng mạch đếm lên 3 bit.....	214
Hình 7.26. Thiết kế mô phỏng trên Cadence.....	215
Hình 7.27. Thông số cài đặt nguồn .....	215
Hình 7.28. Dạng sóng mô phỏng của các tín hiệu ngõ vào, ngõ ra.....	216
Hình 7.29. Công suất trung bình .....	216
Hình 8.1. Bảng trạng thái của thanh ghi dịch SISO .....	217
Hình 8.2. Dùng cổng logic thiết kế thanh ghi dịch SISO.....	217
Hình 8.3. Thiết kế và mô phỏng thanh ghi dịch.....	217
Hình 8.4. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào D .....	218
Hình 8.5. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào <i>clock</i> .....	218
Hình 8.6. Cài đặt nhiệt độ thiết kế mô phỏng .....	219
Hình 8.7. Kết quả mô phỏng dạng sóng của thanh ghi dịch .....	219
Hình 8.8. Công suất trung bình mô phỏng được .....	219

## DANH MỤC TỪ VIẾT TẮT

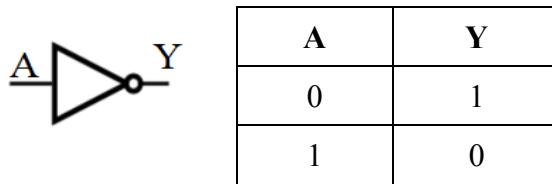
TỪ VIẾT TẮT	GIẢI THÍCH	
	TIẾNG ANH	TIẾNG VIỆT
AC	Alternative Current	Dòng điện xoay chiều
CMOS	Complementary Metal-Oxide-Semiconductor	Bán dẫn oxit kim loại bổ sung
DC	Direct Current	Dòng điện một chiều
GND	Ground	Đất
L	Length	Độ dài
NMOS	N-Channel Metal-Oxide-Semiconductor	Bán dẫn oxit kim loại kênh N
NM <sub>H</sub>	Noise Margin High	Biên độ nhiễu mức cao
NM <sub>L</sub>	Noise Margin Low	Biên độ nhiễu mức thấp
P <sub>avg</sub>	Average Power	Công suất trung bình
PMOS	P-Channel Metal-Oxide-Semiconductor	Bán dẫn oxit kim loại kênh P
T	Temperature	Nhiệt độ
t <sub>f</sub>	Fall time	Thời gian xung cạnh xuống
t <sub>pd</sub>	Average Propagation Delay	Độ trễ lan truyền trung bình
t <sub>pdf</sub>	Falling Propagation Delay	Độ trễ lan truyền cạnh xuống
t <sub>pdr</sub>	Rising Propagation Delay	Độ trễ lan truyền cạnh lên
t <sub>r</sub>	Rise Time	Thời gian xung cạnh lên
V <sub>in</sub>	Input Voltage	Điện áp ngõ vào
V <sub>IH</sub>	Input High Voltage	Điện áp vào mức cao
V <sub>IL</sub>	Input Low Voltage	Điện áp vào mức thấp
V <sub>m</sub>	Switching Threshold Voltage	Điện áp ngưỡng chuyển mạch
V <sub>OH</sub>	Output High Voltage	Điện áp ra mức cao
V <sub>OL</sub>	Output Low Voltage	Điện áp ra mức thấp
V <sub>tn</sub>	NMOS Threshold Voltage	Điện áp ngưỡng của NMOS
V <sub>tp</sub>	PMOS Threshold Voltage	Điện áp ngưỡng của PMOS
W	Width	Độ rộng

# CHƯƠNG 1: THIẾT KẾ VÀ MÔ PHỎNG CÁC CỘNG LOGIC

## 1.1. Cỗng NOT

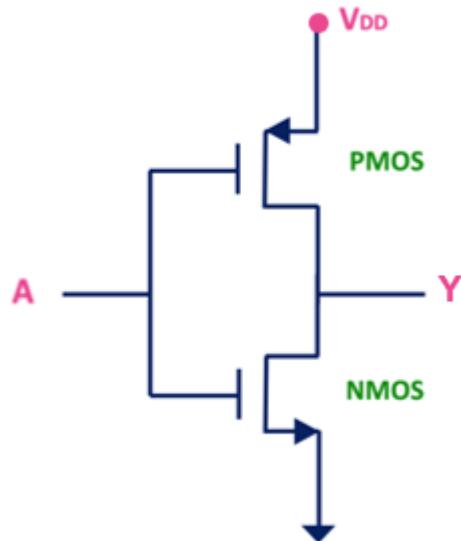
### 1.1.1. Lý thuyết

- Cỗng NOT là cỗng logic có một ngõ vào và một ngõ ra, thực hiện chức năng đảo tín hiệu đầu vào.
  - + Nếu ngõ vào là 1, ngõ ra là 0.
  - + Nếu ngõ vào là 0, ngõ ra là 1.
- Biểu thức logic:  $Y = \bar{A}$



Hình 1.1. Ký hiệu và bảng trạng thái của cỗng NOT

- Sơ đồ nguyên lý: Cỗng NOT được cấu tạo từ PMOS và NMOS. PMOS dẫn tốt mức “1” nên được dùng nối với nguồn  $V_{DD}$ , NMOS dẫn tốt mức “0” nên được dùng để nối với GND.



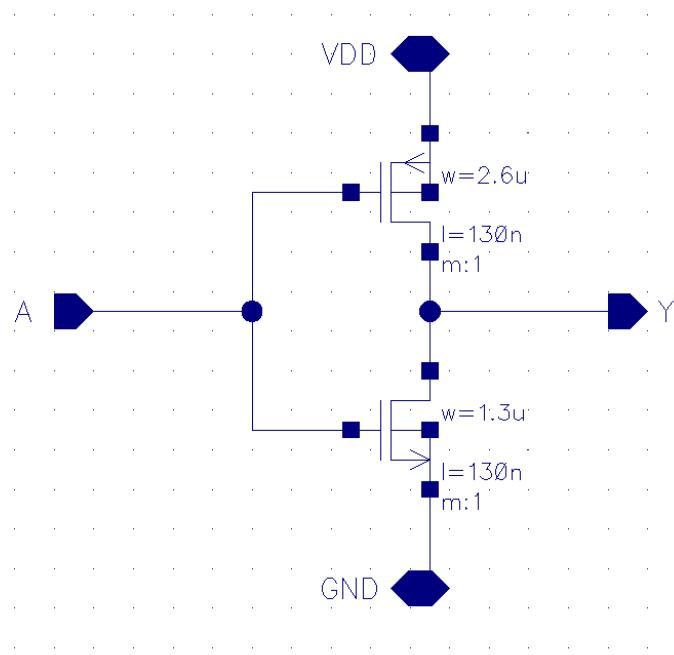
Hình 1.2. Sơ đồ nguyên lý cỗng NOT

- Tỷ lệ W/L:

- + Tỷ lệ W/L của PMOS, NMOS sẽ phụ thuộc vào công nghệ CMOS và các yếu tố khác, nhưng phải đáp ứng điều kiện tỷ lệ W/L của PMOS gấp 2 đến 3 lần tỷ lệ W/L của NMOS.

### 1.1.2. Thiết kế mô phỏng cổng NOT không có tụ và tải ký sinh

- Sơ đồ nguyên lý và thông số thiết kế mô phỏng PMOS, NMOS:



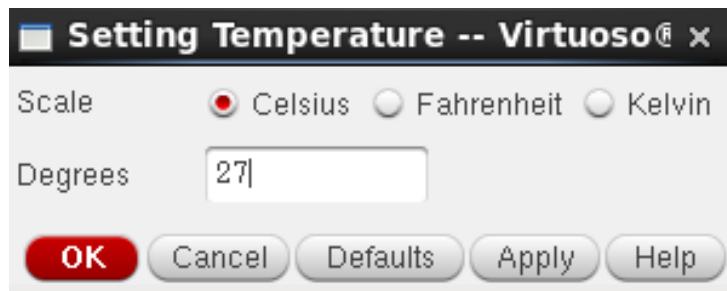
Hình 1.3. Sơ đồ nguyên lý mô phỏng cổng NOT

- Bảng thông số thiết kế mô phỏng độ rộng (W), độ dài (L) và tỷ lệ W/L của PMOS so với NMOS gấp 2 lần.

Bảng 1.1. Bảng thông số PMOS, NMOS để thiết kế mô phỏng cổng NOT

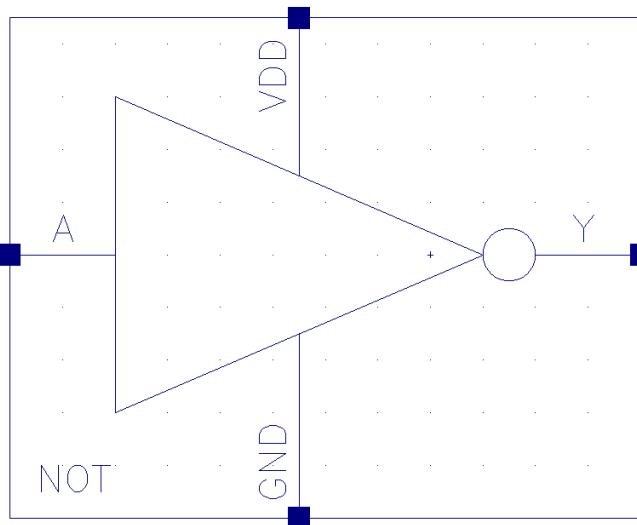
THÔNG SỐ	PMOS	NMOS
L (um)	0.13	0.13
W (um)	2.6	1.3

- Thiết kế được mô phỏng tại điều kiện nhiệt độ chuẩn  $T = 27^\circ\text{C}$ :



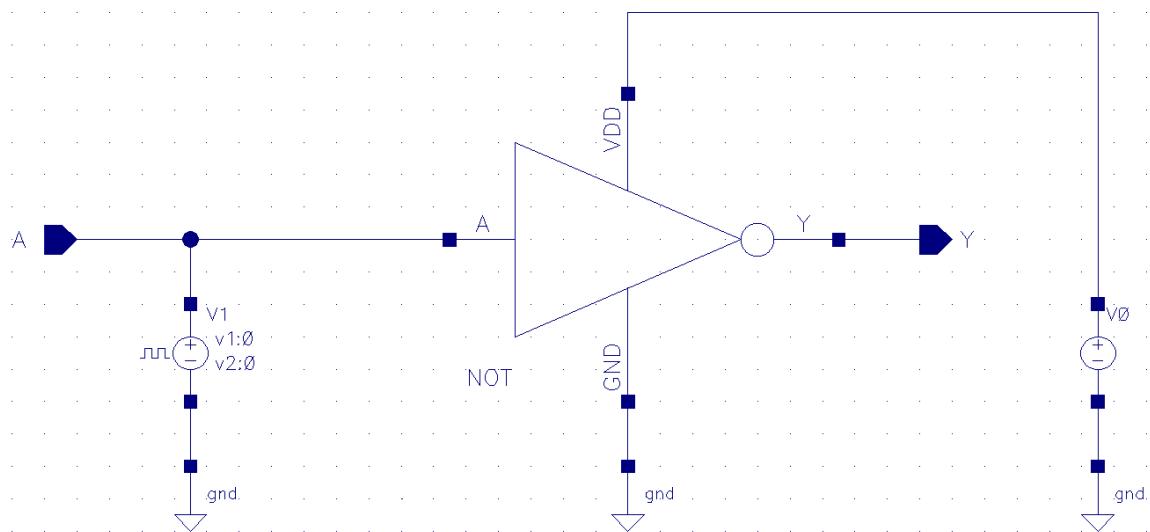
Hình 1.4. Cài đặt nhiệt độ thiết kế mô phỏng

- Đóng gói thiết kế mô phỏng bằng ký hiệu cổng NOT:



Hình 1.5. Đóng gói thiết kế cổng NOT

- Cáp nguồn để kiểm tra hoạt động cổng NOT:



Hình 1.6. Mạch kiểm tra hoạt động cổng NOT

- Thông số cài đặt:

- + Chân  $V_{DD}$  nối với nguồn  $V_{DC} = 1.2V$ .
- + Chân GND nối đất.
- + Chân  $V_{in}$  tương ứng với ngõ vào A, ta nối với nguồn  $V_{pulse}$  với các thông số sau:
  - Mức điện áp 1 (V1): 0V
  - Mức điện áp 2 (V2): 1.2V
  - Thời gian trễ: 0s

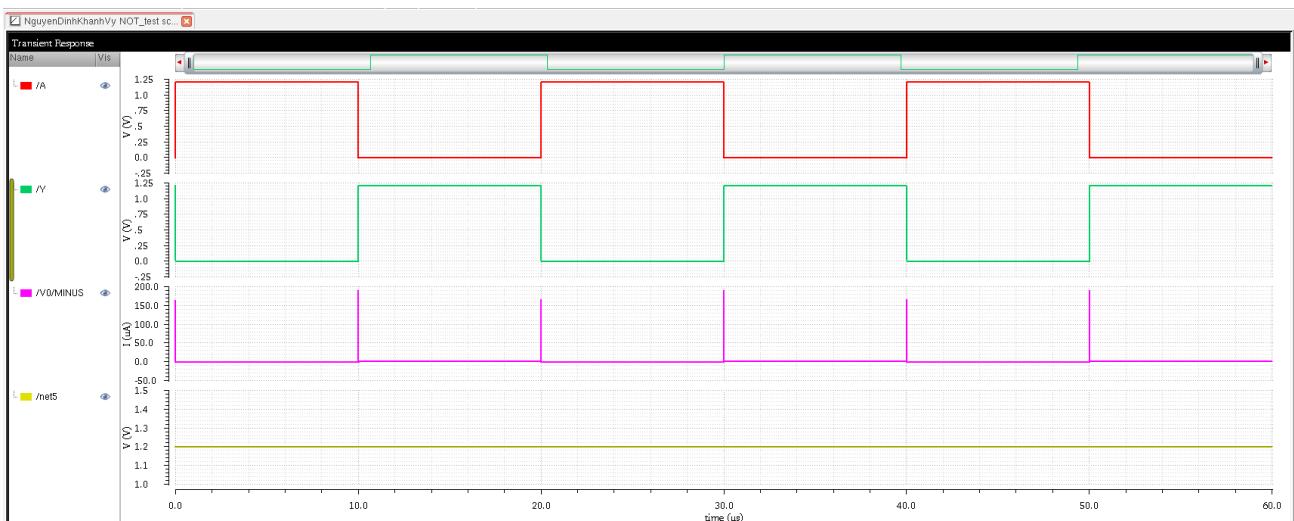
- Thời gian xung cạnh lên (tr): 1ns
- Thời gian xung cạnh xuống (tf): 1ns
- Độ rộng xung (ton): 10us
- Chu kỳ (period): 20us

- Các thông số được cài đặt để mô phỏng:

Voltage 1	0 V
Voltage 2	1.2 V
Period	20u s
Delay time	0 s
Rise time	1n s
Fall time	1n s
Pulse width	10u s

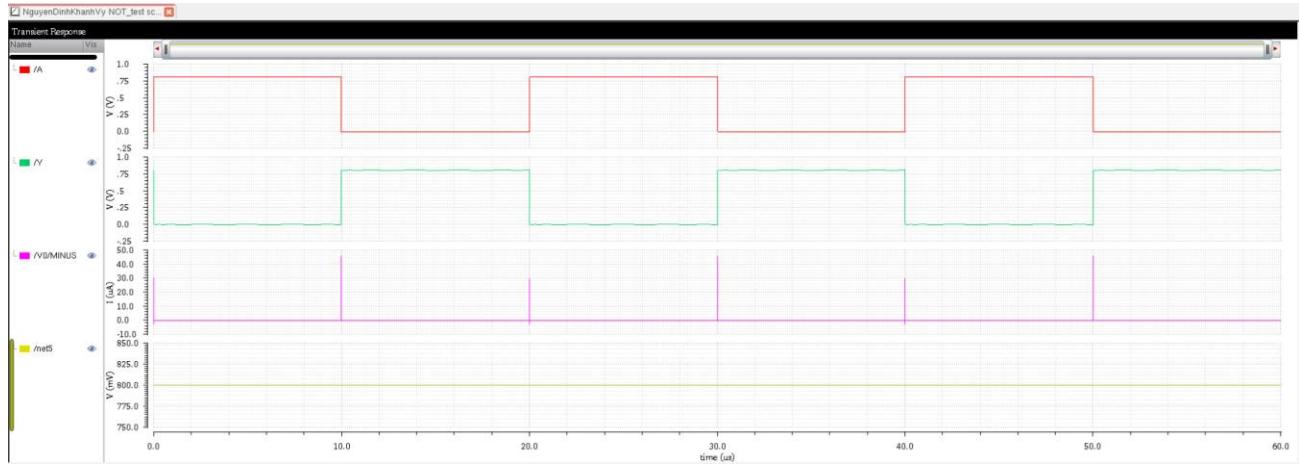
Hình 1.7. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào A

- Thực hiện mô phỏng để kiểm tra hoạt động theo bảng trạng thái của công NOT, kết quả thu được dạng sóng như hình bên dưới.
- + A: ngõ vào (đường màu đỏ).
  - + Y: ngõ ra (đường màu xanh lá).
  - + V0/MINUS: dòng điện qua công NOT (đường màu hồng).
  - + net5: điện áp qua công NOT (đường màu vàng).



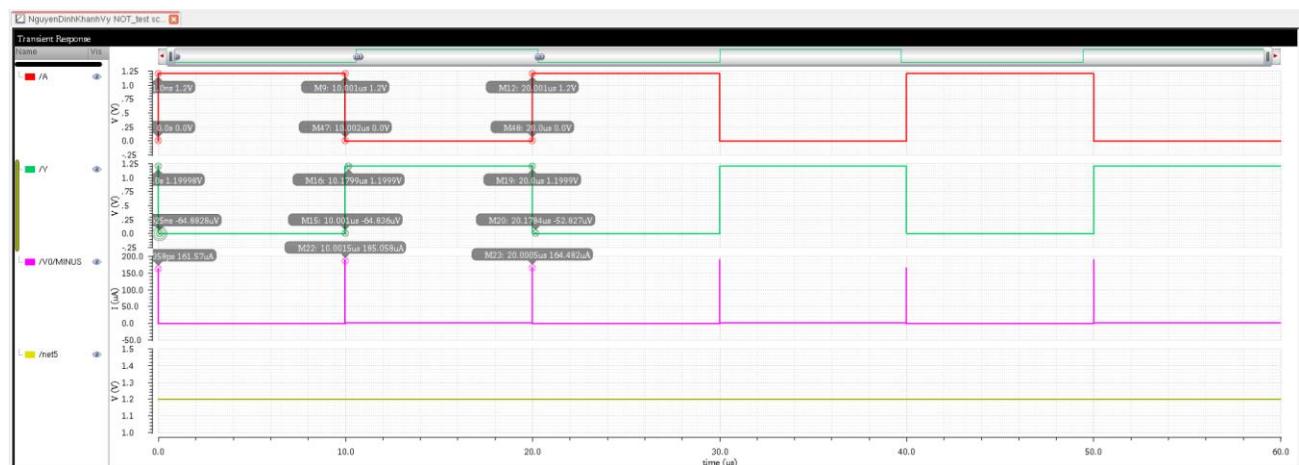
Hình 1.8. Kết quả mô phỏng dạng sóng của công NOT

- Thử nghiệm với thông số cài đặt khác, cho chân  $V_{DD}$  nối với nguồn  $V_{DC} = 0.8V$ , các thông số còn lại giữ nguyên, mô phỏng được dạng sóng bị nhiễu nhưng không làm ảnh hưởng đến kết quả thu được.



Hình 1.9. Kết quả mô phỏng dạng sóng của cổng NOT dùng nguồn  $V_{DC} = 0.8V$

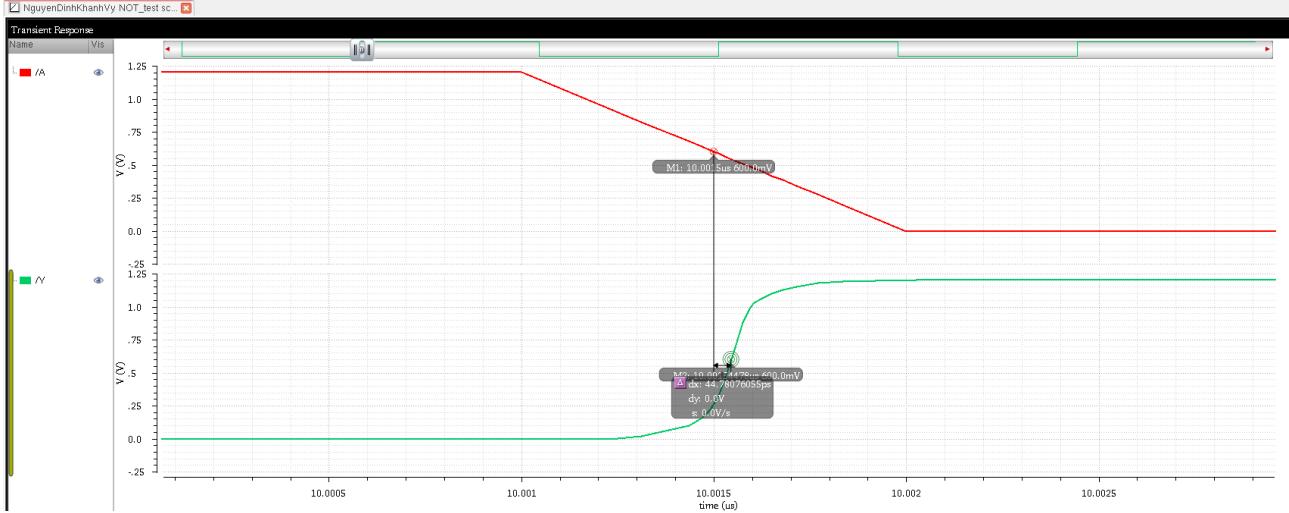
- Chọn dạng sóng khi chân  $V_{dd}$  nối với nguồn  $V_{DC} = 1.2V$  để phân tích vì dạng sóng ít bị nhiễu hơn khi nối với nguồn  $V_{DC} = 0.8V$ .
- Biên độ của tín hiệu ngõ vào, tín hiệu ngõ ra và các điểm cao thấp bất thường của dòng điện qua cổng NOT khi tín hiệu ngõ vào, tín hiệu ngõ ra đảo điện áp:



Hình 1.10. Các điểm thay đổi khi tín hiệu ngõ vào và tín hiệu ngõ ra thay đổi của cổng NOT

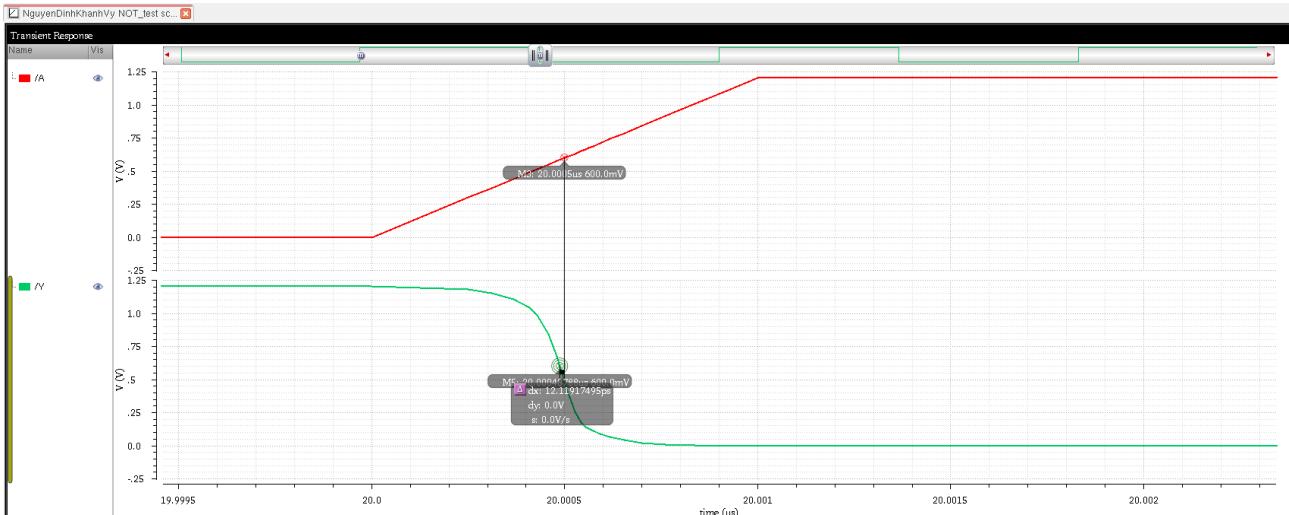
- Nhận xét mức điện áp giữa tín hiệu ngõ vào A và tín hiệu ngõ ra Y khi có sự đảo điện áp ở tín hiệu ngõ vào:
  - + 0s tới 10us, tín hiệu ngõ vào là 1.2V (mức cao) thì tín hiệu ngõ ra khoảng -64.8828uV (mức thấp).
  - + 10us tới 20us, tín hiệu ngõ vào là 0V (mức thấp) thì tín hiệu ngõ ra là 1.9999V (mức cao).
- ➔ Có sự hao hụt điện áp của tín hiệu ngõ ra Y so với tín hiệu ngõ vào.

- Đo độ chênh lệch điểm tại mức điện áp  $\frac{V_{DD}}{2} = 600mV$  của tín hiệu ngõ vào và tín hiệu ngõ ra, ta tìm được độ trễ lan truyền cạnh lên là 44.7808ps.



Hình 1.11. Độ trễ lan truyền cạnh lên của công NOT không gắn tụ, tải

- Đo độ chênh lệch điểm tại mức điện áp  $\frac{V_{DD}}{2} = 600mV$  của tín hiệu ngõ vào và tín hiệu ngõ ra, ta tìm được độ trễ lan truyền cạnh xuống là 12.1192ps.



Hình 1.12. Độ trễ lan truyền cạnh xuống của công NOT không gắn tụ, tải

- Nhận xét: độ trễ lan truyền cạnh lên lớn hơn độ trễ lan truyền cạnh xuống là 32.6616ps.
- Độ trễ lan truyền trung bình:

$$t_{pd} = \frac{t_{pdr} + t_{pdf}}{2} = \frac{44.7808 + 12.1192}{2} = 28.45\text{ps}$$

- Tính thời gian chuyển tiếp (transistion time): dùng công cụ Calculator tìm được thời gian xung cạnh lên nhỏ hơn thời gian xung cạnh xuống ( $93.541\text{ps} < 93.6073\text{ps}$ ) và nhỏ hơn một khoảng là  $66.3\text{fs}$ .

3 tf	93.6073p	<input checked="" type="checkbox"/>	<input type="checkbox"/>
4 tr	93.541p	<input checked="" type="checkbox"/>	<input type="checkbox"/>

Hình 1.13. Thời gian xung cạnh lên và cạnh xuống đo được trên mô phỏng

- Nhận xét điểm bất thường của dòng điện qua cổng NOT khi tín hiệu ngõ vào và tín hiệu ngõ ra thay đổi điện áp:

+ Khi không sự thay đổi điện áp của tín hiệu ngõ vào và tín hiệu ngõ ra, thì dòng điện qua cổng NOT bằng 0.

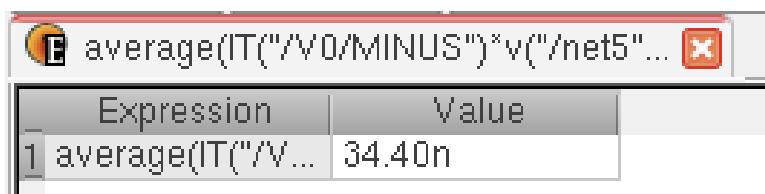
+ Khi có sự thay đổi điện áp của tín hiệu ngõ vào và tín hiệu ngõ ra, thì dòng điện qua cổng NOT tăng đột ngột trong khoảng thời gian trễ của cạnh xung tín hiệu ngõ ra.

+ Tín hiệu ngõ ra đang từ mức thấp tăng lên mức cao thì dạng sóng có điểm cao nhất là  $188.058\mu\text{A}$ .

Tín hiệu ngõ ra đang từ mức cao giảm xuống mức thấp thì dạng sóng có điểm thấp hơn là  $161.57\mu\text{A}$ .

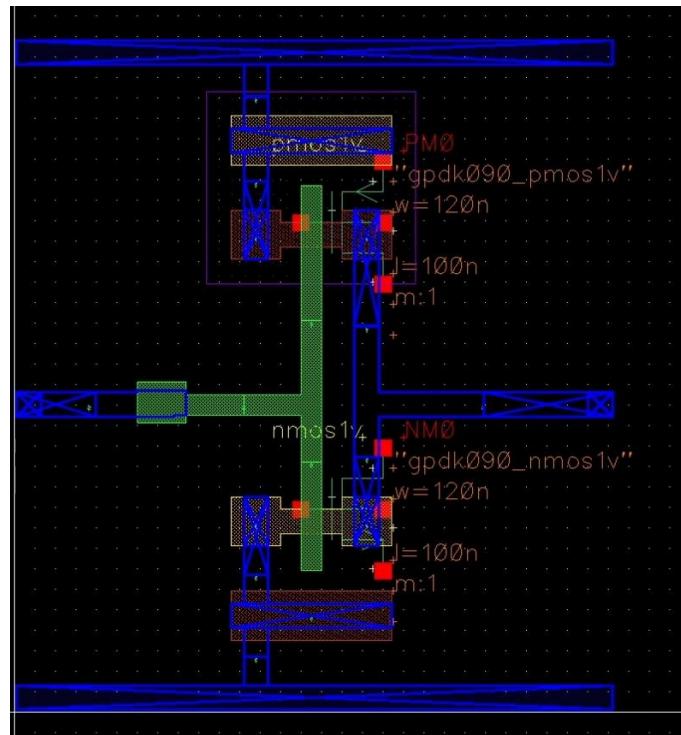
+ Phân tích điểm đầu tiên và điểm thứ hai trên dạng sóng của dòng điện qua cổng NOT: độ trễ lan truyền cạnh lên lớn hơn độ trễ lan truyền cạnh xuống là  $32.6616\text{ps}$ , nhưng thời gian xung cạnh lên nhỏ hơn thời gian xung cạnh xuống là  $66.3\text{fs}$ . Do đó, thời gian chuyển mạch từ mức thấp lên mức cao ngắn hơn thời gian chuyển mạch từ mức cao xuống mức thấp. Mà thời gian chuyển mạch càng ngắn, dòng điện chuyển mạch càng lớn, từ đó dẫn đến dòng điện qua cổng NOT càng lớn. Dựa vào phân lý giải trên, ta kết luận điểm thứ hai nhô cao hơn điểm thứ nhất là hợp lý.

- Tính công suất trung bình: dùng công cụ Calculator đo được công suất trung bình là  $34.4\text{nW}$ .



Hình 1.14. Công suất trung bình đo được từ mô phỏng

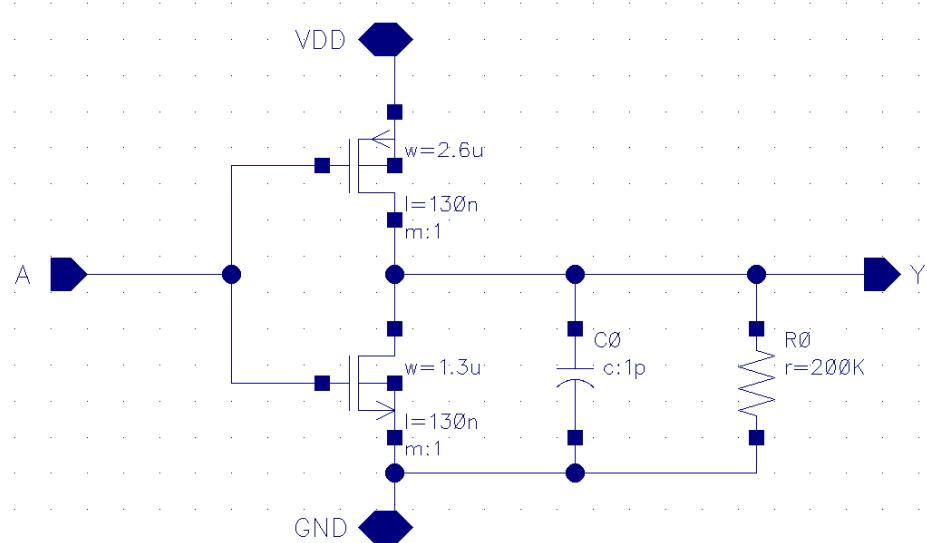
- Thiết kế layout của cỗng NOT:



Hình 1.15. Thiết kế layout cho cỗng NOT

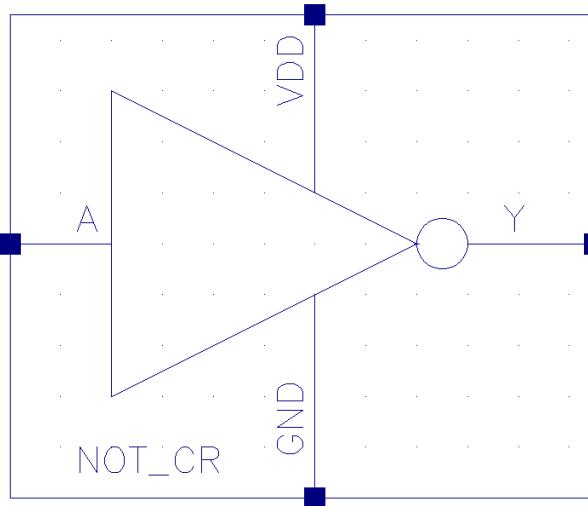
### 1.1.3. Thiết kế mô phỏng cỗng NOT có tụ và tải ký sinh

- Sơ đồ nguyên lý và thông số thiết kế mô phỏng PMOS, NMOS:



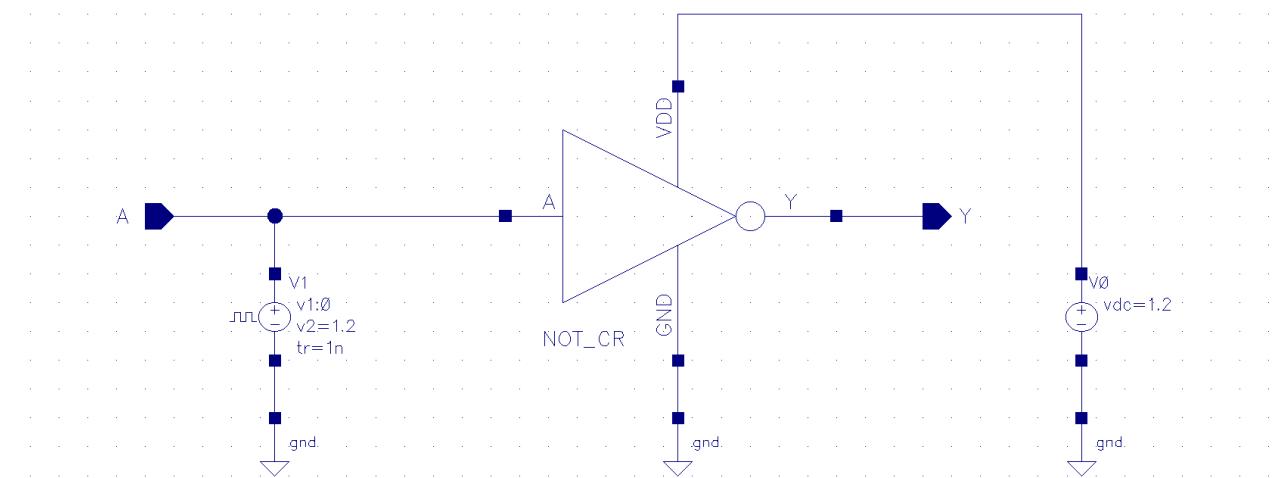
Hình 1.16. Sơ đồ nguyên lý mô phỏng cỗng NOT có tụ và tải ký sinh

- Thiết lập thông số thiết kế mô phỏng độ rộng, độ dài, tỷ lệ W/L và nhiệt độ mô phỏng giống với công NOT không có tụ và tải ký sinh.
- Đóng gói thiết kế mô phỏng bằng ký hiệu công NOT:



Hình 1.17. Đóng gói thiết kế công NOT có tụ và tải ký sinh

- Cáp nguồn để kiểm tra hoạt động công NOT:



Hình 1.18. Mạch kiểm tra hoạt động công NOT có tụ và tải ký sinh

- Thông số cài đặt:

- + Chân  $V_{DD}$  nối với nguồn  $V_{DC} = 1.2V$
- + Chân GND nối đất
- + Chân  $V_{in}$  tương ứng với ngõ vào A, ta nối với nguồn  $V_{pulse}$  với các thông số sau:
  - Mức điện áp 1 (V1): 0V
  - Mức điện áp 2 (V2): 1.2V

- Thời gian trễ: 0s
- Thời gian xung cạnh lên (tr): 1ns
- Thời gian xung cạnh xuống (tf): 1ns
- Độ rộng xung (ton): 10us
- Chu kỳ (period): 20us

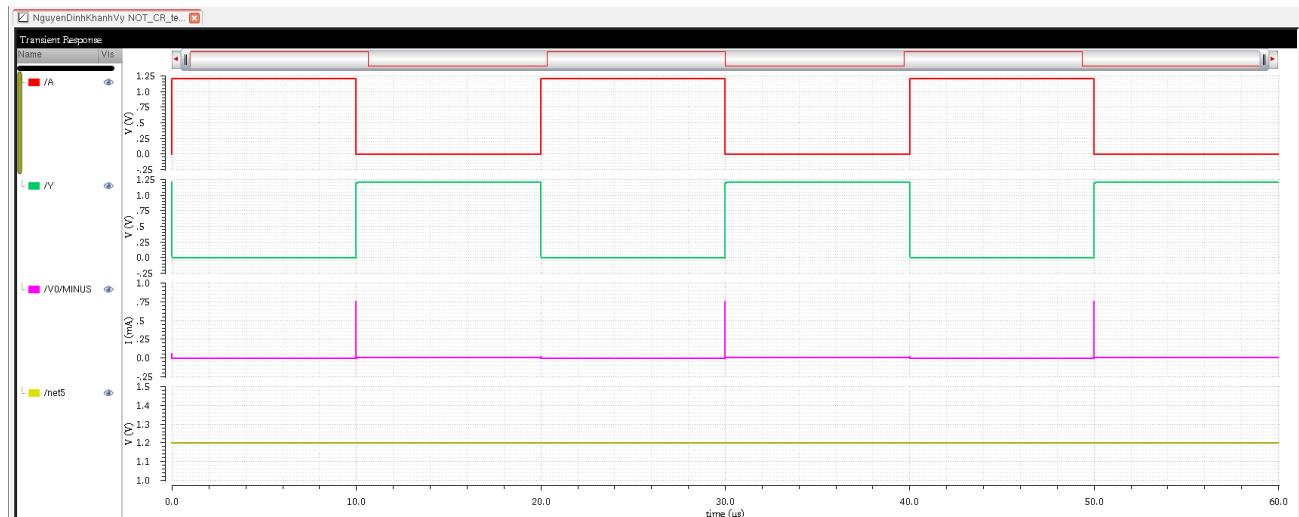
- Các thông số được cài đặt để mô phỏng:

Voltage 1	0 V	off
Voltage 2	1.2 V	off
Period	20u s	off
Delay time	0 s	off
Rise time	1n s	off
Fall time	1n s	off
Pulse width	10u s	off

Hình 1.19. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào A

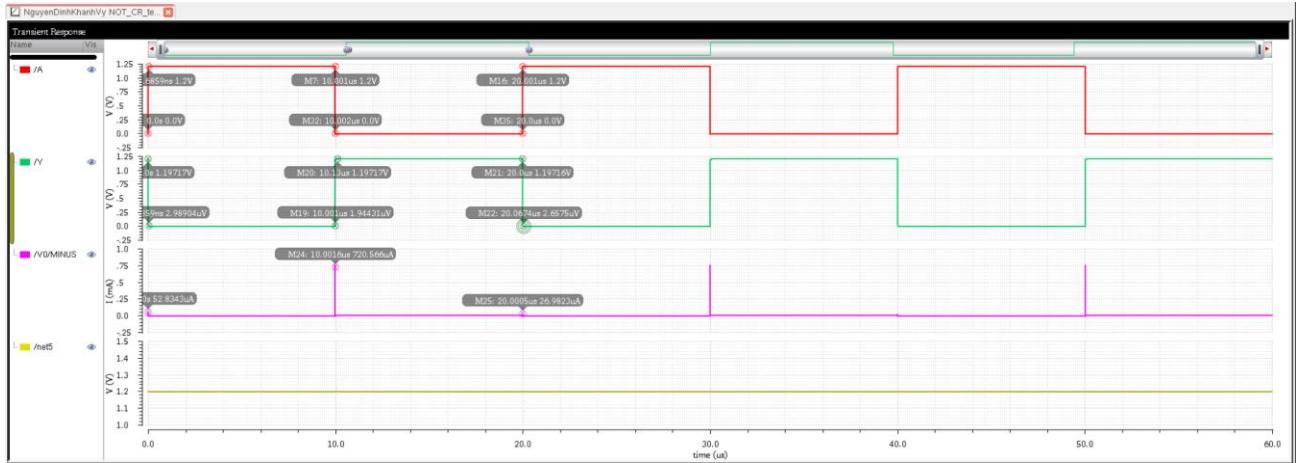
- Thực hiện mô phỏng để kiểm tra hoạt động theo bảng trạng thái của công NOT có gắn tụ, tải, kết quả thu được dạng sóng như hình bên dưới.

- + A: ngõ vào (đường màu đỏ).
- + Y: ngõ ra (đường màu xanh lá).
- + V0/MINUS: dòng điện qua công NOT (đường màu hồng).
- + net5: điện áp qua công NOT (đường màu vàng).



Hình 1.20. Kết quả mô phỏng dạng sóng của công NOT khi có tụ và tải

- Biên độ của tín hiệu ngõ vào, tín hiệu ngõ ra và các điểm cao thấp bất thường của dòng điện qua công NOT khi tín hiệu ngõ vào, tín hiệu ngõ ra đảo điện áp:



Hình 1.21. Các điểm thay đổi khi tín hiệu ngõ vào và tín hiệu ngõ ra thay đổi của công NOT

- Nhận xét mức điện áp giữa tín hiệu ngõ vào và tín hiệu ngõ ra khi có sự đảo điện áp ở tín hiệu ngõ vào của công NOT có gắn tụ, tải và so sánh thời gian chuyển mạch, sự hao hụt điện áp giữa công NOT không có tụ, tải và công NOT có gắn tụ, tải:

+ 0s tới 10us, tín hiệu ngõ vào là 1.2V (mức cao) thì tín hiệu ngõ ra khoảng 2.5303uV (mức thấp).

+ 10us tới 20us, tín hiệu ngõ vào là 0V (mức thấp) thì tín hiệu ngõ ra là 1.19717V (mức cao).

- ➔ Sự hao hụt điện áp của tín hiệu ngõ ra của công NOT có gắn tụ, tải lớn hơn sự hao hụt điện áp của tín hiệu ngõ ra của công NOT không gắn tụ, tải khi tín hiệu ngõ ra ở mức cao (chênh lệch 0.80273V). Nhưng sự hao hụt điện áp của tín hiệu ngõ ra của công NOT có gắn tụ, tải nhỏ hơn sự hao hụt điện áp của tín hiệu ngõ ra của công NOT không gắn tụ, tải khi tín hiệu ngõ ra ở mức thấp (chênh lệch 63.3789uV).

- Nhận xét điểm bất thường của dòng điện qua công NOT có gắn tụ, tải khi tín hiệu ngõ vào và tín hiệu ngõ ra thay đổi điện áp:

+ Khi không có sự thay đổi điện áp của tín hiệu ngõ vào và tín hiệu ngõ ra, thì dòng điện qua công NOT bằng 0.

+ Khi có sự thay đổi điện áp của tín hiệu ngõ vào và tín hiệu ngõ ra, thì dòng điện qua công NOT tăng đột ngột trong khoảng thời gian trễ của cạnh xung tín hiệu ngõ ra.

+ Tín hiệu ngõ ra đang từ mức thấp tăng lên mức cao thì dạng sóng có điểm cao là 720.566uA (cao hơn một khoảng giá trị là 532.508uA so với điểm cao của dòng điện qua công NOT không gắn tụ, tải).

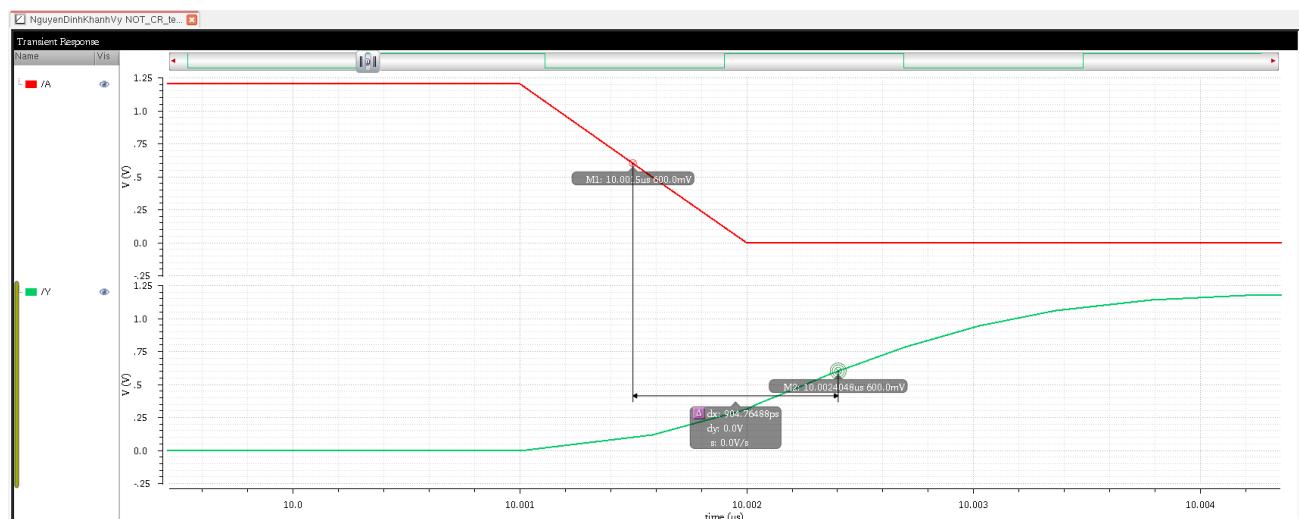
+ Tín hiệu ngõ ra đang từ mức cao giảm xuống mức thấp thì dạng sóng có điểm thấp là 52.8343uA (thấp hơn một khoảng giá trị là 108.7357uA so với điểm thấp của dòng điện qua cổng NOT không gắn tụ, tải).

- Tính công suất trung bình: dùng công cụ Calculator đo được công suất trung bình là 3690nW. Công suất trung bình của cổng NOT có gắn tụ, tải lớn hơn so với công suất trung bình của cổng NOT không có gắn tụ, tải ( $3690\text{nW} > 34.4\text{nW}$ ) và chênh lệch giá trị là 3655.6nW.

E average(IT("/V0/MINUS")*v("/net5"...	
Expression	Value
1 average(IT("/V...	3.690u

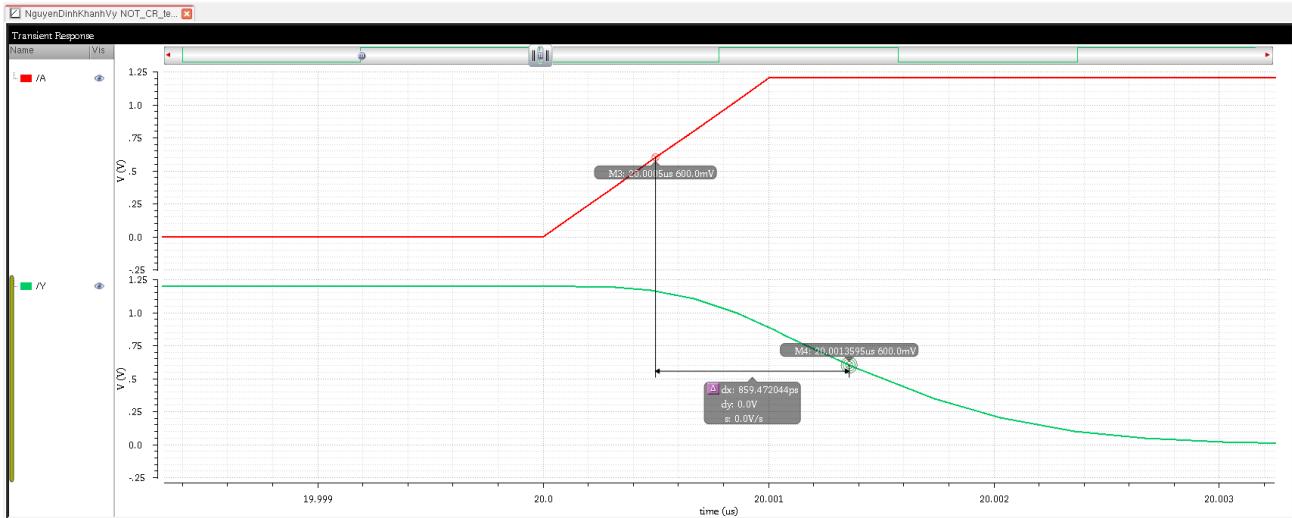
Hình 1.22. Công suất trung bình đo được từ mô phỏng

- Đo độ chênh lệch điểm tại mức điện áp  $\frac{V_{DD}}{2} = 600\text{mV}$  của tín hiệu ngõ vào và tín hiệu ngõ ra, ta tìm được độ trễ lan truyền cạnh lén là 904.7648ps.



Hình 1.23. Độ trễ lan truyền cạnh lén của cổng NOT có gắn tụ, tải

- Đo độ chênh lệch điểm tại mức điện áp  $\frac{V_{DD}}{2} = 600mV$  của tín hiệu ngõ vào và tín hiệu ngõ ra, ta tìm được độ trễ lan truyền cạnh xuống là 859.472ps.



Hình 1.24. Độ trễ lan truyền cạnh xuống của cổng NOT có găc tụ, tải

- Độ trễ lan truyền trung bình:

$$t_{pd} = \frac{t_{pdr} + t_{pdf}}{2} = \frac{904.7649 + 859.472}{2} = 882.1185\text{ps}$$

- Tính thời gian chuyển tiếp (transistion time): dùng công cụ Calculator tìm được thời gian xung cạnh lên lớn hơn thời gian xung cạnh xuống ( $1.2294\text{ns} > 1.0577\text{ns}$ ) và lớn hơn một khoảng là 171.7ps.

3	tf	1.05774n
4	tr	1.22938n

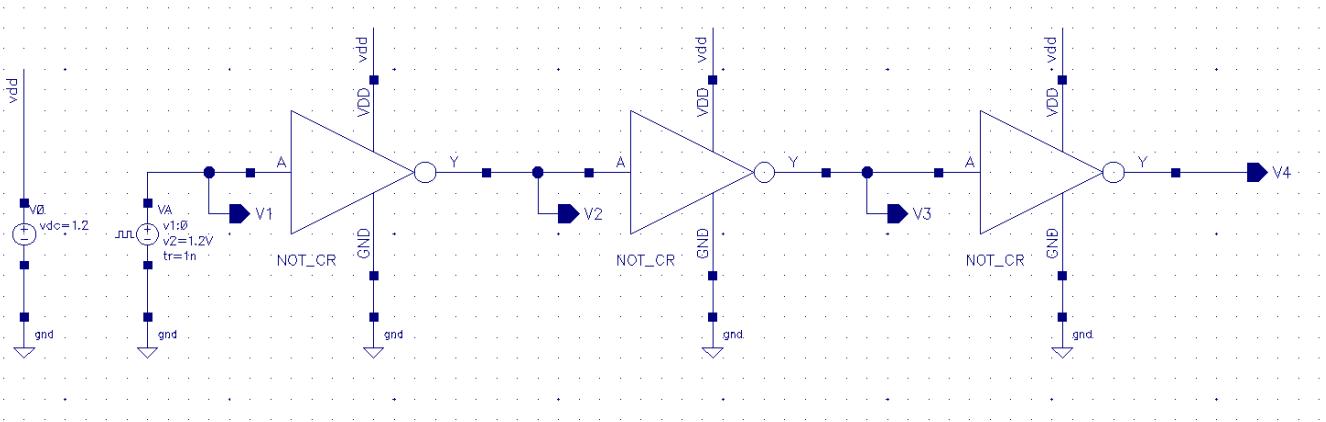
Hình 1.25. Thời gian xung cạnh lên và cạnh xuống đo được trên mô phỏng

- Nhận xét:

- + Độ trễ lan truyền cạnh lên lớn hơn độ trễ lan truyền cạnh xuống một khoảng là 45.2929ps.
- + Độ trễ lan truyền trung bình của cổng NOT có găc tụ, tải lớn hơn độ trễ lan truyền trung bình của cổng NOT không có găc tụ, tải ( $882.1185\text{ps} > 28.45\text{ps}$ ) và lớn hơn khoảng giá trị là 853.6685ps.
- + Thời gian xung cạnh lên của cổng NOT có găc tụ, tải lớn hơn thời gian xung cạnh lên của cổng NOT không có găc tụ, tải ( $1229.38\text{ps} > 93.541\text{ps}$ ) và lớn hơn khoảng thời gian là 1135.839ps.
- + Thời gian xung cạnh xuống của cổng NOT có găc tụ, tải lớn hơn thời gian xung cạnh xuống của cổng NOT không có găc tụ, tải ( $1057.74\text{ps} > 93.6073\text{ps}$ ) và lớn hơn khoảng thời gian là 964.1327ps.

#### 1.1.4. Mạch ghép tầng 3 cổng NOT

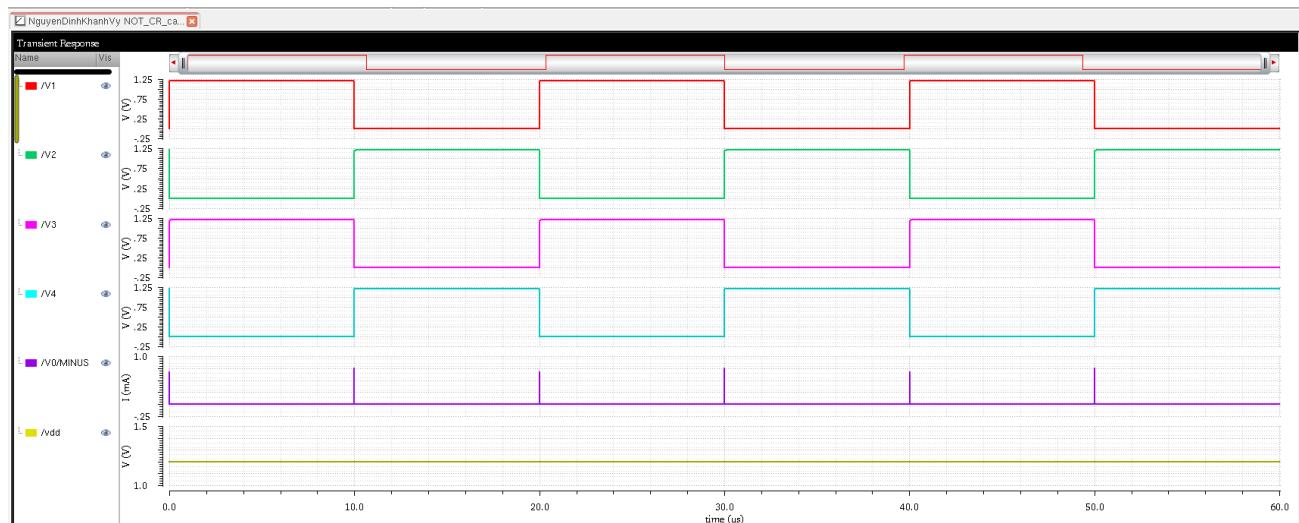
- Thiết kế mạch ghép tầng 3 cổng NOT để xét độ trễ truyền:



Hình 1.26. Mạch ghép tầng 3 cổng NOT có gán tụ, tải

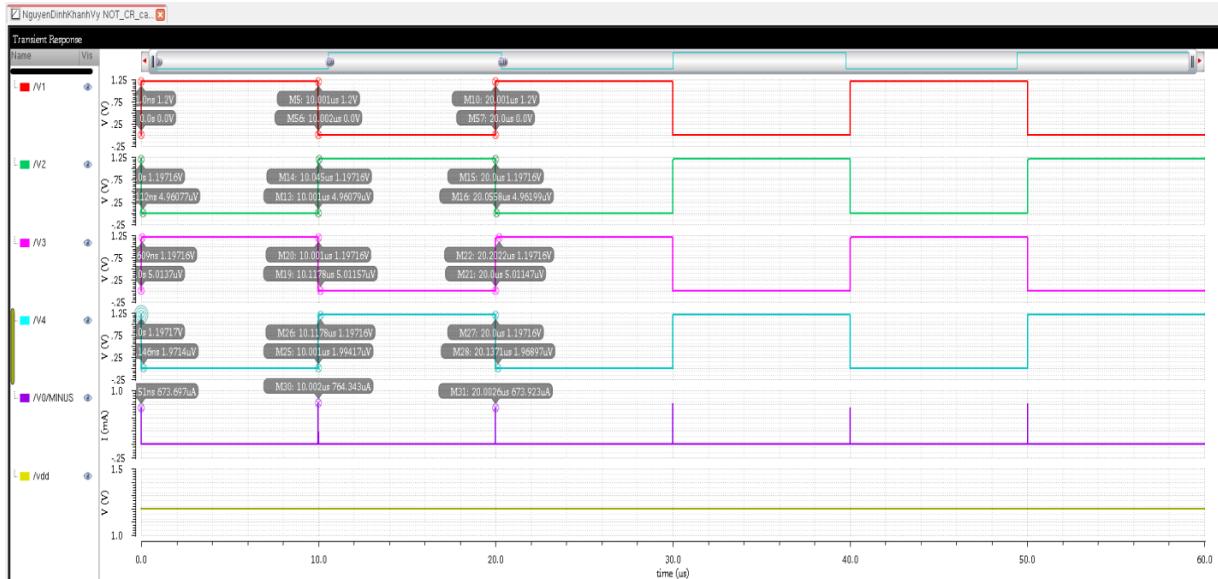
- Thực hiện mô phỏng để kiểm tra hoạt động của mạch ghép tầng cổng NOT, kết quả thu được dạng sóng như hình bên dưới.

- + V1: ngõ vào cổng NOT đầu tiên (đường màu đỏ).
- + V2: ngõ ra của cổng NOT đầu tiên, ngõ vào của cổng NOT thứ 2 (đường màu xanh lá).
- + V3: ngõ ra của cổng NOT thứ 2, ngõ vào của cổng NOT thứ 3 (đường màu hồng).
- + V4: ngõ ra của cổng NOT thứ 3 (đường màu xanh biển).
- + V0/MINUS: dòng điện qua các cổng NOT (đường màu tím).
- + vdd: điện áp qua các cổng NOT (đường màu vàng).



Hình 1.27. Kết quả mô phỏng dạng sóng của mạch ghép cổng NOT khi có tụ và tải

- Biên độ của tín hiệu ngõ vào, tín hiệu ngõ ra và các điểm cao thấp bất thường của dòng điện qua công NOT khi tín hiệu ngõ vào, tín hiệu ngõ ra có sự thay đổi điện áp:



Hình 1.28. Các điểm thay đổi khi tín hiệu ngõ vào và tín hiệu ngõ ra thay đổi của mạch ghép tầng

- Nhận xét:

+ So sánh dạng sóng tín hiệu V1 và V2:

- Mức điện áp cao của tín hiệu V2 là 1.19716V nhỏ hơn mức điện áp cao của tín hiệu V1 là 1.2V (lệch 0.00284V).

- Mức điện áp thấp của tín hiệu V2 khoảng 4.96118uV lớn hơn mức điện áp thấp của tín hiệu V1 là 0V (lệch khoảng 4.96118uV).

+ So sánh dạng sóng tín hiệu V2 và V3:

- Mức điện áp cao của tín hiệu V2 và tín hiệu V3 không có sự chênh lệch.

- Mức điện áp thấp của tín hiệu V2 khoảng 4.96118uV nhỏ hơn mức điện áp thấp của tín hiệu V3 khoảng 5.01224uV (lệch khoảng 51.06nV).

+ So sánh dạng sóng tín hiệu V4 và V1:

- Mức điện áp cao của tín hiệu V4 và tín hiệu V1 không có sự chênh lệch.

- Mức điện áp thấp của tín hiệu V4 khoảng 1.97818uV nhỏ hơn mức điện áp thấp của tín hiệu V1 khoảng 5.01224uV (lệch khoảng 3.03406uV).

+ So sánh dạng sóng tín hiệu V2 trong mạch ghép tầng 3 công NOT với tín hiệu ngõ ra Y của công NOT có găc tụ, tải:

- Mức điện áp cao của tín hiệu V2 có biên độ ổn định hơn tín hiệu ngõ ra Y.

- Mức điện áp thấp của tín hiệu V2 có biên độ ổn định hơn và lớn hơn mức điện áp thấp của tín hiệu ngõ ra Y.

- Sự hao hụt điện áp của tín hiệu ngõ ra của công NOT có gǎn tụ, tải lớn hơn sự hao hụt điện áp của tín hiệu ngõ ra của mạch ghép tầng khi xét ở công NOT đầu tiên.

+ Điểm cao, điểm thấp của dòng điện qua công NOT trong mạch ghép tầng có giá trị lớn hơn điểm cao, điểm thấp của dòng điện qua công NOT có gǎn tụ, tải.

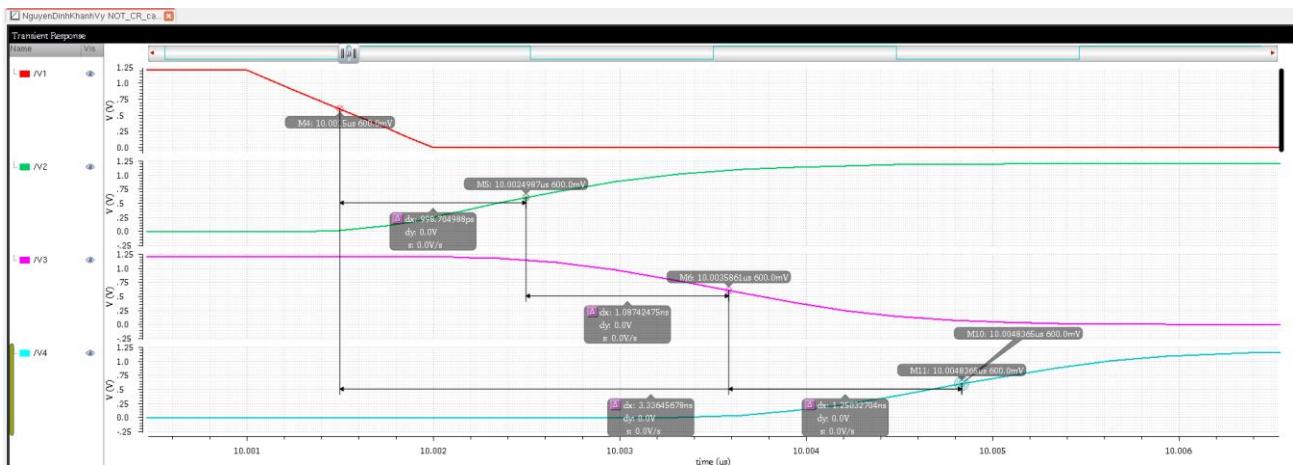
- Tính công suất trung bình: dùng công cụ Calculator đo được công suất trung bình là 11.09uW. Công suất trung bình của mạch ghép tầng 3 công NOT lớn hơn so với công suất trung bình của công NOT có gǎn tụ, tải ( $11.9\text{uW} > 3.69\text{uW}$ ), gấp khoảng 3 lần.



Hình 1.29. Công suất trung bình đo được từ mô phỏng

- Đo độ chênh lệch điểm tại mức điện áp  $\frac{V_{DD}}{2} = 600mV$  của tín hiệu ngõ vào và tín hiệu ngõ ra, ta tìm được các độ trễ lan truyền:

- + Độ trễ lan truyền cạnh lên của tín hiệu ngõ ra V2 so với tín hiệu V1 ( $t_{pdr1}$ ) là 998.705ps.
- + Độ trễ lan truyền cạnh xuống của tín hiệu ngõ ra V3 so với tín hiệu V2 ( $t_{pdf2}$ ) là 1.0874ps.
- + Độ trễ lan truyền cạnh lên của tín hiệu ngõ ra V4 so với tín hiệu V3 ( $t_{pdr3}$ ) là 1.2503ps.
- + Độ trễ lan truyền cạnh lên của tín hiệu ngõ ra V4 so với tín hiệu V1 ( $t_{pdr4}$ ) là 3.3365ps.

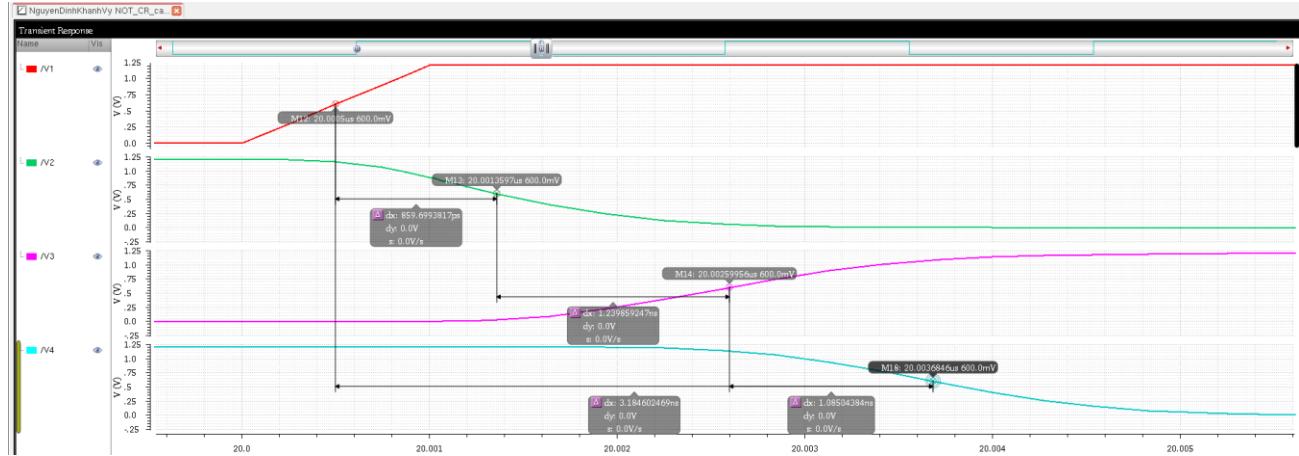


Hình 1.30. Độ trễ lan truyền tín hiệu ngõ ra khi ngõ vào mức thấp công NOT có gǎn tụ, tải

- Đo độ chênh lệch điểm tại mức điện áp  $\frac{V_{DD}}{2} = 600mV$  của tín hiệu ngõ vào và tín hiệu ngõ ra, ta tìm được các độ trễ lan truyền:

- + Độ trễ lan truyền cạnh xuống của tín hiệu ngõ ra V2 so với tín hiệu V1 ( $t_{pdf1}$ ) là 859.6994ps.

- + Độ trễ lan truyền cạnh lên của tín hiệu ngõ ra V3 so với tín hiệu V2 ( $t_{pdr_2}$ ) là 1.2399ns.
- + Độ trễ lan truyền cạnh xuống của tín hiệu ngõ ra V4 so với tín hiệu V3 ( $t_{pdf_3}$ ) là 1.085ns.
- + Độ trễ lan truyền cạnh xuống của tín hiệu ngõ ra V4 so với tín hiệu V1 ( $t_{pdf_4}$ ) là 3.1846ns.



Hình 1.31. Độ trễ lan truyền tín hiệu ngõ ra khi ngõ vào mức cao công NOT có gắn tụ, tải

- Độ trễ lan truyền trung bình của các tín hiệu:

$$t_{pd1} = \frac{t_{pdr1} + t_{pdf1}}{2} = \frac{998.705 + 859.6994}{2} = 929.2022\text{ps}$$

$$t_{pd2} = \frac{t_{pdr2} + t_{pdf2}}{2} = \frac{1.2399 + 1.0874}{2} = 1.1637\text{ns}$$

$$t_{pd3} = \frac{t_{pdr3} + t_{pdf3}}{2} = \frac{1.2503 + 1.085}{2} = 1.1677\text{ns}$$

$$t_{pd4} = \frac{t_{pdr4} + t_{pdf4}}{2} = \frac{3.3365 + 3.1846}{2} = 3.2606\text{ns}$$

- Tính thời gian chuyển tiếp (transistion time): dùng công cụ Calculator tìm được thời gian xung cạnh lên và thời gian xung cạnh xuống.

5	tf V2	1.05063n	<input checked="" type="checkbox"/>	<input type="checkbox"/>
6	tr V2	1.19224n	<input checked="" type="checkbox"/>	<input type="checkbox"/>
7	tf V4	1.25087n	<input checked="" type="checkbox"/>	<input type="checkbox"/>
8	tr V4	1.32377n	<input checked="" type="checkbox"/>	<input type="checkbox"/>

Hình 1.32. Thời gian chuyển tiếp cạnh lên và cạnh xuống đo được trên mô phỏng

- Nhận xét:

- + Độ trễ lan truyền trung bình của công NOT đầu tiên trong mạch ghép tầng lớn hơn độ trễ lan truyền trung bình của công NOT có gắn tụ, tải ( $929.2022\text{ps} > 904.7649\text{ps}$ ) và lớn hơn khoảng giá trị là 24.4373ps.

+ Độ trễ lan truyền trung bình của mạch ghép tầng lớn hơn độ trễ lan truyền trung bình của cổng NOT có gắn tụ, tải ( $3.2606\text{ns} > 882.1185\text{ps}$ ) và gấp khoảng 3.7 lần.

+ Thời gian xung cạnh lên của cổng NOT đầu tiên trong mạch ghép tầng nhỏ hơn thời gian xung cạnh lên của cổng NOT có gắn tụ, tải ( $1.19224\text{ns} < 1.22938\text{ns}$ ) và nhỏ hơn khoảng thời gian là  $37.14\text{ps}$ .

+ Thời gian xung tiếp cạnh xuống của cổng NOT đầu tiên trong mạch ghép tầng nhỏ hơn thời gian xung cạnh xuống của cổng NOT có gắn tụ, tải ( $1.05063\text{ns} < 1.05774\text{ns}$ ) và nhỏ hơn khoảng thời gian là  $7.11\text{ps}$ .

+ Thời gian xung cạnh lên của mạch ghép tầng lớn hơn thời gian xung cạnh lên của cổng NOT có gắn tụ, tải ( $1.32377\text{ns} > 1.22938\text{ns}$ ) và lớn hơn khoảng thời gian là  $94.39\text{ps}$ .

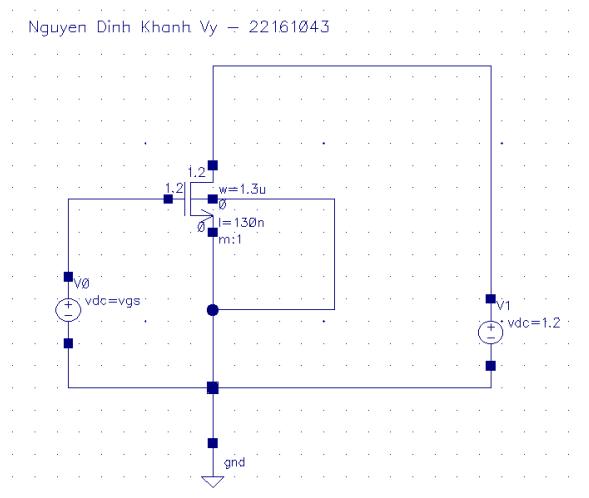
+ Thời gian xung cạnh xuống của mạch ghép tầng lớn hơn thời gian xung cạnh xuống của cổng NOT có gắn tụ, tải ( $1.25087\text{ns} > 1.05774\text{ps}$ ) và lớn hơn khoảng thời gian là  $193.13\text{ps}$ .

➔ Độ trễ lan truyền của mạch ghép tầng lớn hơn độ trễ lan truyền của mạch một cổng NOT có gắn tụ, tải. Thời gian chuyển tiếp của mạch ghép tầng lớn hơn thời gian chuyển tiếp của mạch một cổng NOT có gắn tụ, tải.

### 1.1.5. Kết luận

- Phân tích đường đặc tuyến DC của cổng NOT để tìm được các chế độ hoạt động của PMOS, NMOS. Đầu tiên, ta sẽ đi tìm điện áp ngưỡng của NMOS ( $V_{tn}$ ), điện áp ngưỡng của PMOS ( $V_{tp}$ ).

- Dùng các thông số thiết kế NMOS như trên để tạo mạch phân tích đặc tuyến của NMOS.



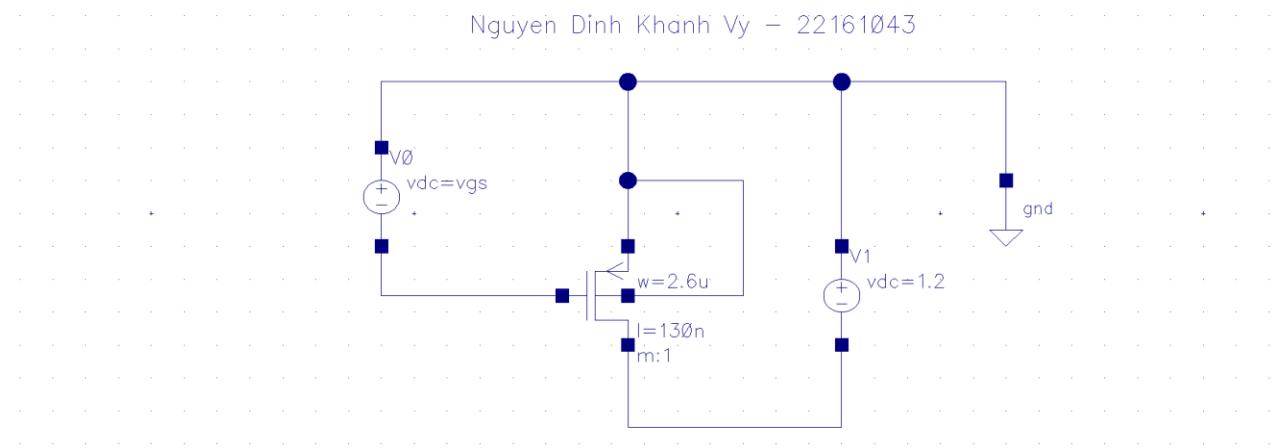
Hình 1.33. Mạch phân tích đặc tuyến của NMOS

- Dùng công cụ ADE L tìm được giá trị  $V_{tn} = 173.423\text{mV}$ .

$$v_{th} \quad 173.423\text{mV}$$

Hình 1.34. Điện áp ngưỡng của NMOS qua mô phỏng

- Dùng các thông số thiết kế PMOS như trên để tạo mạch phân tích đặc tuyến của PMOS.



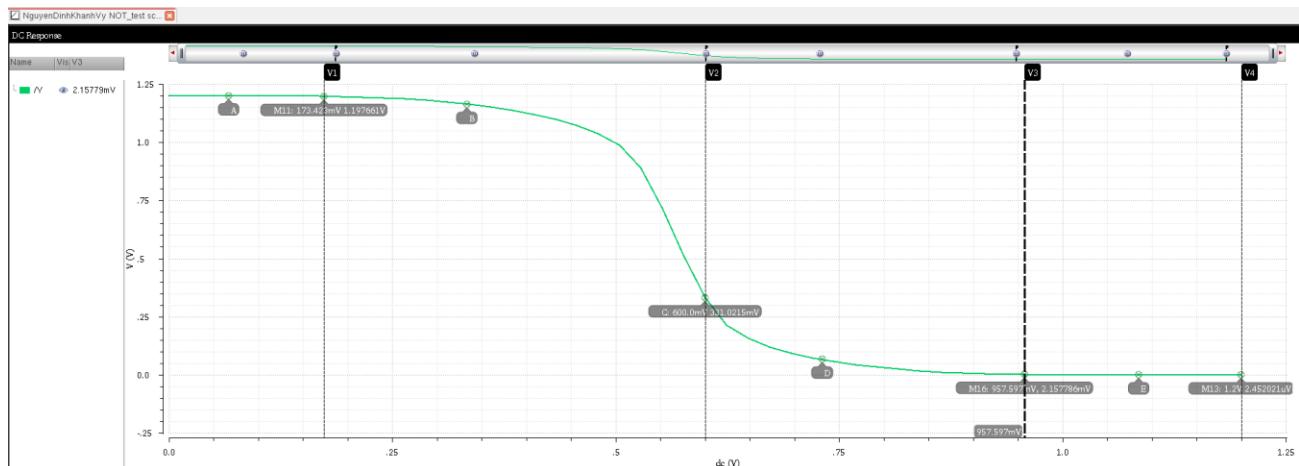
Hình 1.35. Mạch phân tích đặc tuyến của PMOS

- Dùng công cụ ADE L tìm được giá trị  $|V_{tp}| = 242.403\text{mV}$ .

$$v_{th} \quad -242.403\text{mV}$$

Hình 1.36. Điện áp ngưỡng của PMOS qua mô phỏng

- Phân tích đường đặc tuyến DC của công NOT để tìm được các chế độ hoạt động của PMOS, NMOS.
  - + Y: đường đặc tuyến DC của tín hiệu ngõ ra (đường màu xanh lá).



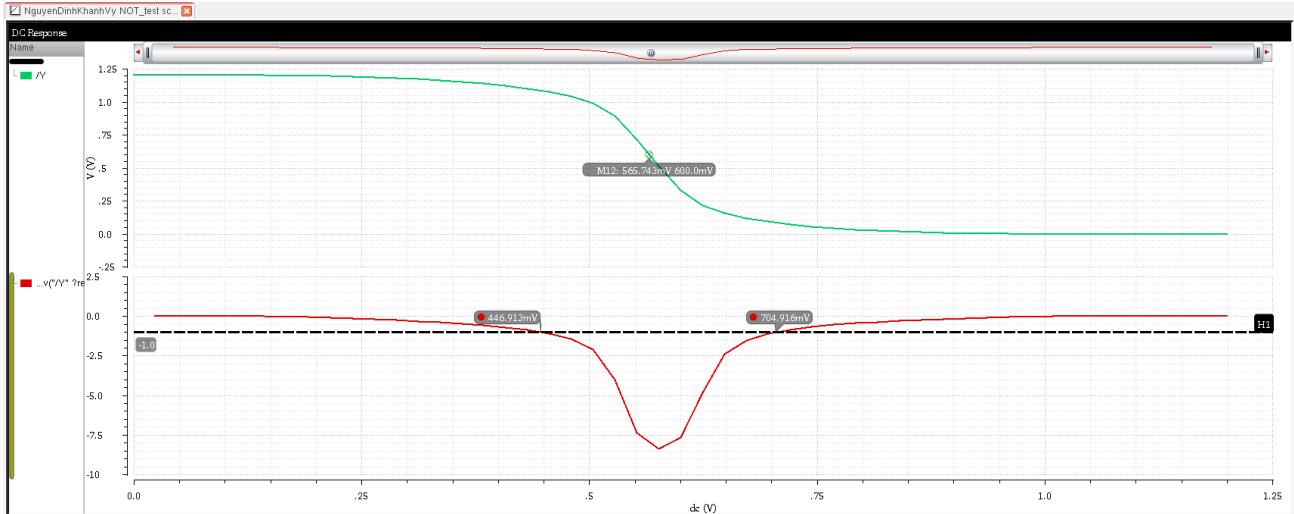
Hình 1.37. Đường đặc tuyến DC của công NOT không có gánh tụ, tải

- Bảng chế độ hoạt động PMOS, NMOS của công NOT không có gẳn tụ, tải:

**Bảng 1.2. Chế độ hoạt động của PMOS, NMOS**

KHU VỰC	ĐIỀU KIỆN	PMOS	NMOS
A	$0 \leq V_{in} < 173.423mV$	Tuyến tính	Ngưng dẫn
B	$173.423mV \leq V_{in} < 600mV$	Tuyến tính	Bão hòa
C	$V_{in} = 600mV$	Bão hòa	Bão hòa
D	$600mV \leq V_{in} < 957.597mV$	Bão hòa	Tuyến tính
E	$V_{in} > 957.597mV$	Ngưng dẫn	Tuyến tính

- Thực hiện mô phỏng đường đặc tuyến DC của công NOT không găt tụ, tải để tìm biên độ nhiễu.
  - + Đạo hàm của đường đặc tuyến DC của tín hiệu ngõ ra để tìm độ dốc của đường đặc tuyến (đường màu đỏ).
  - + Y: đường đặc tuyến DC của tín hiệu ngõ ra (đường màu xanh lá).



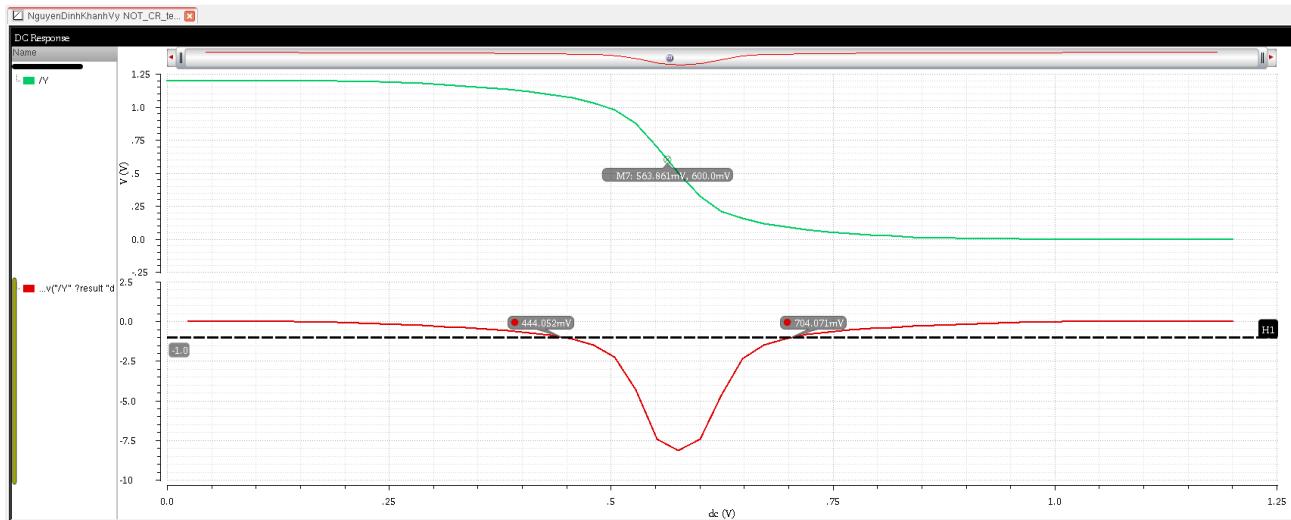
Hình 1.38. Đường đặc tuyến DC của tín hiệu ngõ ra và hai điểm giá trị thể hiện biên độ nhiễu

- Tín hiệu ngõ vào đạt giá trị  $V_{DD}/2 = 0.6V$ , ta tìm được điện áp ngưỡng chuyển mạch  $V_m = 565.743mV$ .
- Dùng thước để đo giá trị trực y của đường màu đỏ, khi độ dốc bằng -1, ta tìm được 2 giá trị là  $V_{IH} = 704.916mV$ ,  $V_{IL} = 446.913mV$ . Từ đó, ta tìm được biên độ nhiễu mức cao, biên độ nhiễu mức thấp:

$$NM_H = V_{OH} - V_{IH} = V_{DD} - V_{IH} = 1.2 - 0.7049 = 0.4951V$$

$$NM_L = V_{IL} - V_{OL} = 0.4469 - 0 = 0.4469V$$

- Thực hiện mô phỏng đường đặc tuyến DC của công NOT có gắn tụ, tải để tìm biên độ nhiễu.
  - + Đạo hàm của đường đặc tuyến DC của tín hiệu ngõ ra để tìm độ dốc của đường đặc tuyến (đường màu đỏ).
  - + Y: đường đặc tuyến DC của tín hiệu ngõ ra (đường màu xanh lá).



Hình 1.39. Đường đặc tuyến DC của tín hiệu ngõ ra và hai điểm giá trị thể hiện biên độ nhiễu

- Tín hiệu ngõ vào đạt giá trị  $\frac{V_{dd}}{2} = 600\text{mV}$ , ta tìm được điện áp ngưỡng chuyển mạch  $V_m = 565.861\text{mV}$ .
- Dùng thước để đo giá trị trực y của đường màu đỏ, khi độ dốc bằng -1, ta tìm được 2 giá trị là  $V_{IH} = 704.071\text{mV}$ ,  $V_{IL} = 446.052\text{mV}$ . Từ đó ta tìm được biên độ nhiễu mức cao, biên độ nhiễu mức thấp:

$$NM_H = V_{OH} - V_{IH} = V_{DD} - V_{IH} = 1.2 - 0.7041 = 0.4959\text{V}$$

$$NM_L = V_{IL} - V_{OL} = 0.4461 - 0 = 0.4461\text{V}$$

- Nhận xét:

- + Biên độ nhiễu mức thấp của công NOT có gắn tụ, tải nhỏ hơn biên độ nhiễu mức thấp của công NOT không gắn tụ, tải là 0.8mV.
- + Biên độ nhiễu mức cao của công NOT có gắn tụ, tải lớn hơn biên độ nhiễu mức cao của công NOT không gắn tụ, tải là 0.8mV.

- Bảng thống kê các giá trị AC, DC mô phỏng được của công NOT không gắn tụ, tải và công NOT có gắn tụ, tải.

*Bảng 1.3. Các thông số của tín hiệu DC, AC đã mô phỏng của công NOT*

LOẠI CÔNG NOT	DÒNG ĐIỆN	THÔNG SỐ	GIÁ TRỊ	ĐƠN VỊ
Không gắn tụ, tải	DC	$V_m$	565.743	mV
		$V_{IL}$	446.913	
		$V_{OL}$	0	
		$V_{IH}$	704.916	
		$V_{OH}$	1.2	V
	AC	$t_{pdf}$	12.1192	ps
		$t_{pdr}$	44.7808	
		$t_r$	93.541	
		$t_f$	93.6073	
		$P_{avg}$	34.4	nW
Có gắn tụ, tải	DC	$V_m$	565.861	mV
		$V_{IL}$	446.052	
		$V_{OL}$	0	
		$V_{IH}$	704.071	
		$V_{OH}$	1.2	V
	AC	$t_{pdf}$	859.472	ps
		$t_{pdr}$	904.7649	
		$t_f$	1.05774	
		$t_r$	1.22938	
		$P_{avg}$	3655.6	nW

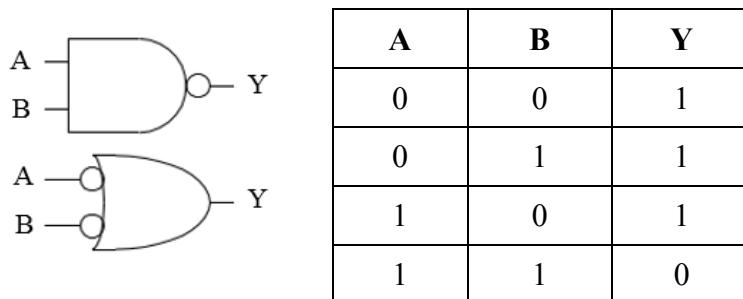
## 1.2. Cổng NAND

### 1.2.1. Lý thuyết

- Cổng NAND là cổng logic tạo ra đầu ra mức “0” nếu tất cả các đầu vào của nó mức “1”. Do đó đầu ra của nó là phản bù cho cổng AND.

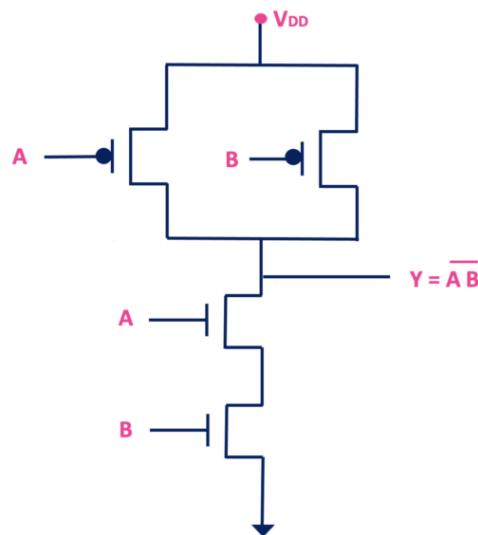
- + Nếu ngõ vào A là 0, ngõ vào B là 0, ngõ ra là 1.
- + Nếu ngõ vào A là 0, ngõ vào B là 1, ngõ ra là 1.
- + Nếu ngõ vào A là 1, ngõ vào B là 0, ngõ ra là 1.
- + Nếu ngõ vào A là 1, ngõ vào B là 1, ngõ ra là 0.

- Biểu thức logic:  $Y = \overline{A \cdot B}$



Hình 1.40. Ký hiệu và bảng trạng thái của cổng NAND

- Sơ đồ nguyên lý: Cổng NAND được cấu tạo từ hai PMOS và hai NMOS. Hai PMOS mắc song song, dẫn tốt mức “1” nên được dùng nối với nguồn  $V_{DD}$ , hai NMOS mắc nối tiếp, dẫn tốt mức “0” nên được dùng để nối với GND. Đầu ra được lấy từ điểm chung giữa PMOS và NMOS.



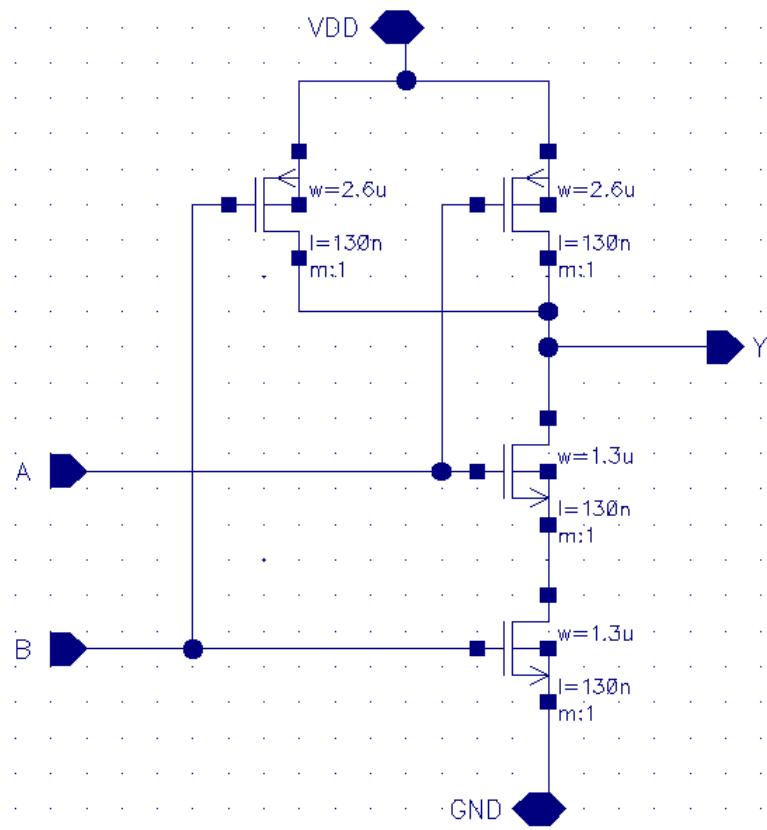
Hình 1.41. Sơ đồ nguyên lý cổng NAND

- Tỷ lệ W/L:

- + Tỷ lệ W/L của PMOS, NMOS sẽ phụ thuộc vào công nghệ CMOS và các yếu tố khác, nhưng phải đáp ứng điều kiện tỷ lệ W/L của PMOS gấp 2 đến 3 lần tỷ lệ W/L của NMOS.

### 1.2.2. Thiết kế mô phỏng cổng NAND không có tụ và tải ký sinh

- Sơ đồ nguyên lý và thông số thiết kế mô phỏng PMOS, NMOS:



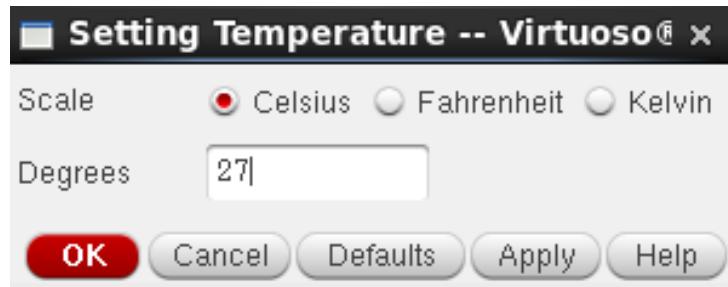
Hình 1.42. Sơ đồ nguyên lý mô phỏng cổng NAND

- Bảng thông số thiết kế mô phỏng độ rộng (W), độ dài (L) và tỷ lệ W/L của PMOS so với NMOS gấp 2 lần.

**Bảng 1.4. Bảng thông số PMOS, NMOS để thiết kế mô phỏng cổng NAND**

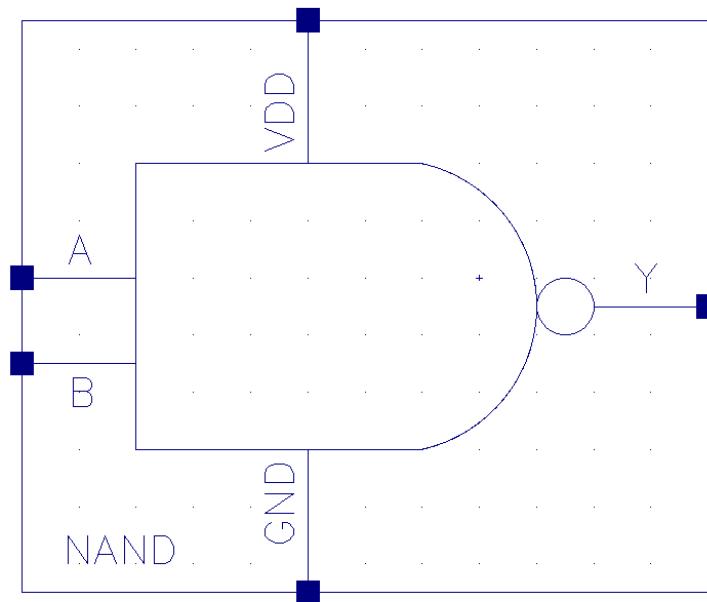
Thông số	PMOS	NMOS
L (um)	0.13u	0.13u
W (um)	2.6u	1.3u

- Thiết kế được mô phỏng tại điều kiện nhiệt độ chuẩn  $T = 27^\circ\text{C}$ :



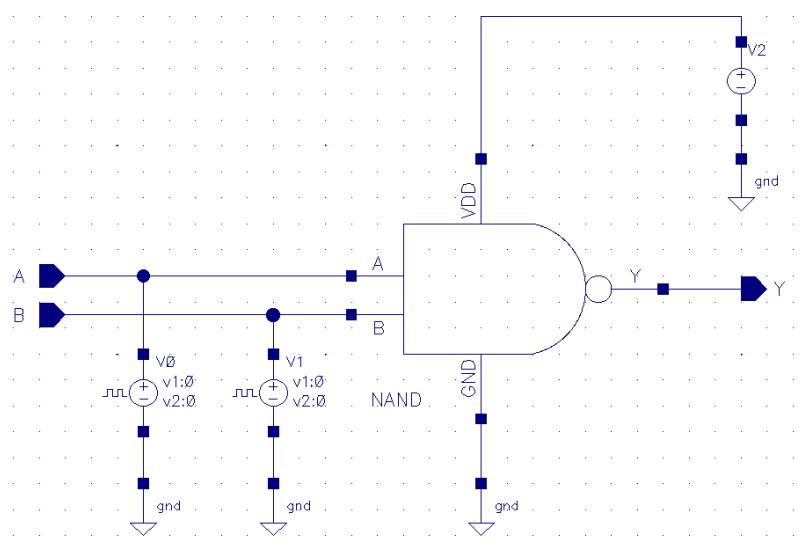
Hình 1.43. Cài đặt nhiệt độ thiết kế mô phỏng

- Đóng gói thiết kế mô phỏng bằng ký hiệu cổng NAND:



Hình 1.44. Đóng gói thiết kế cổng NAND

- Cáp nguồn để kiểm tra hoạt động cổng NAND:



Hình 1.45. Mạch kiểm tra hoạt động cổng NAND

- Thông số cài đặt:

- + Chân  $V_{DD}$  nối với nguồn  $V_{DC} = 1.8V$ .
- + Chân GND nối đất.
- + Chân  $V_{in}$  tương ứng với ngõ vào A, ta nối với nguồn  $V_{pulse}$  với các thông số sau:
  - Mức điện áp 1 ( $V1$ ): 0V

- Mức điện áp 2 (V2): 1.8V
- Thời gian trễ: 0s
- Thời gian xung cạnh lên (tr): 20ns
- Thời gian xung cạnh xuống (tf): 20ns
- Độ rộng xung (ton): 10us
- Chu kỳ (period): 20us

+ Chân  $V_{in}$  tương ứng với ngõ vào B, ta nối với nguồn  $V_{pulse}$  với các thông số sau:

- Mức điện áp 1 (V1): 0V
- Mức điện áp 2 (V2): 1.8V
- Thời gian trễ: 0s
- Thời gian xung cạnh lên (tr): 20ns
- Thời gian xung cạnh xuống (tf): 20ns
- Độ rộng xung (ton): 20us
- Chu kỳ (period): 40us

- Các thông số được cài đặt nguồn nối với ngõ vào A để mô phỏng:

Voltage 2	1.8 V
Period	20u s
Delay time	0 s
Rise time	20n s
Fall time	20n s
Pulse width	10u s

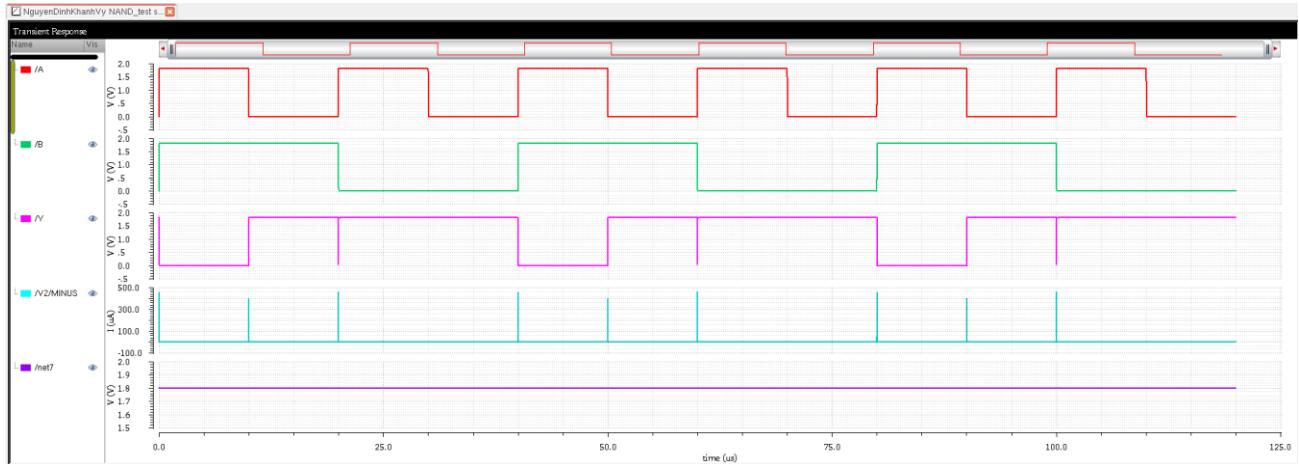
Hình 1.46. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào A

- Các thông số được cài đặt nguồn nối với ngõ vào B để mô phỏng:

Voltage 2	1.8 V
Period	40u s
Delay time	0 s
Rise time	20n s
Fall time	20n s
Pulse width	20u s

Hình 1.47. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào B

- Thực hiện mô phỏng để kiểm tra hoạt động theo bảng trạng thái của cổng NAND, kết quả thu được dạng sóng như hình bên dưới.
  - + A: ngõ vào 1 (đường màu đỏ).
  - + B: ngõ vào 2 (đường màu xanh lá).
  - + Y: ngõ ra (đường màu xanh tím).
  - + V2/MINUS: dòng điện qua cổng NAND (đường màu xanh biển).
  - + net7: điện áp qua cổng NAND (đường màu tím).



Hình 1.48. Kết quả mô phỏng dạng sóng của cổng NAND

- Biên độ của các tín hiệu ngõ vào, tín hiệu ngõ ra của cổng NAND khi tín hiệu ngõ vào, tín hiệu ngõ ra đảo điện áp:



Hình 1.49. Các điểm thay đổi khi tín hiệu ngõ vào và tín hiệu ngõ ra thay đổi của cổng NAND

- Nhận xét mức điện áp giữa tín hiệu ngõ vào A, tín hiệu ngõ vào B và tín hiệu ngõ ra Y khi có sự đảo điện áp ở tín hiệu ngõ vào:
  - + 0s tới 10us, tín hiệu ngõ vào A là 1.8V (mức cao), tín hiệu ngõ vào B là 1.8V (mức cao) thì tín hiệu ngõ ra Y khoảng 64.9737uV (mức thấp).

+ 10us tới 20us, tín hiệu ngõ vào A là 0V (mức thấp), tín hiệu ngõ vào B là 1.8V (mức cao) thì tín hiệu ngõ ra Y khoảng 1.7999V (mức cao).

+ 20s tới 30us, tín hiệu ngõ vào A là 1.8V (mức cao), tín hiệu ngõ vào B là 0V (mức thấp) thì tín hiệu ngõ ra Y khoảng 1.7999V (mức cao).

+ 30us tới 40us, tín hiệu ngõ vào A là 0V (mức thấp), tín hiệu ngõ vào B là 0V (mức thấp) thì tín hiệu ngõ ra Y khoảng 1.7999V (mức cao).

➔ Có sự hao hụt điện áp của tín hiệu ngõ ra Y so với hai tín hiệu ngõ vào nhưng không đáng kể. Sự đảo điện áp của tín hiệu ra Y đúng với bảng trạng thái. Tuy nhiên, tại khoảng thời gian 20us tới 20.02us, cả hai tín hiệu ngõ vào A, B cùng đảo điện áp nên tín hiệu ngõ ra Y từ 1.7999V xuống còn khoảng 20.5628mV. Sau đó, tín hiệu ngõ ra trở lại mức điện áp cao theo đúng như bảng trạng thái. Đây được gọi là hiện tượng glitch, nguyên nhân do độ trễ lan truyền của hai tín hiệu đầu vào không đồng đều.

- Có nhiều cách để hạn chế tình trạng trên, ví dụ, ta điều chỉnh thông số của nguồn nối với ngõ vào A và B sao cho không có tình trạng hai tín hiệu ngõ vào cùng đảo điện áp.

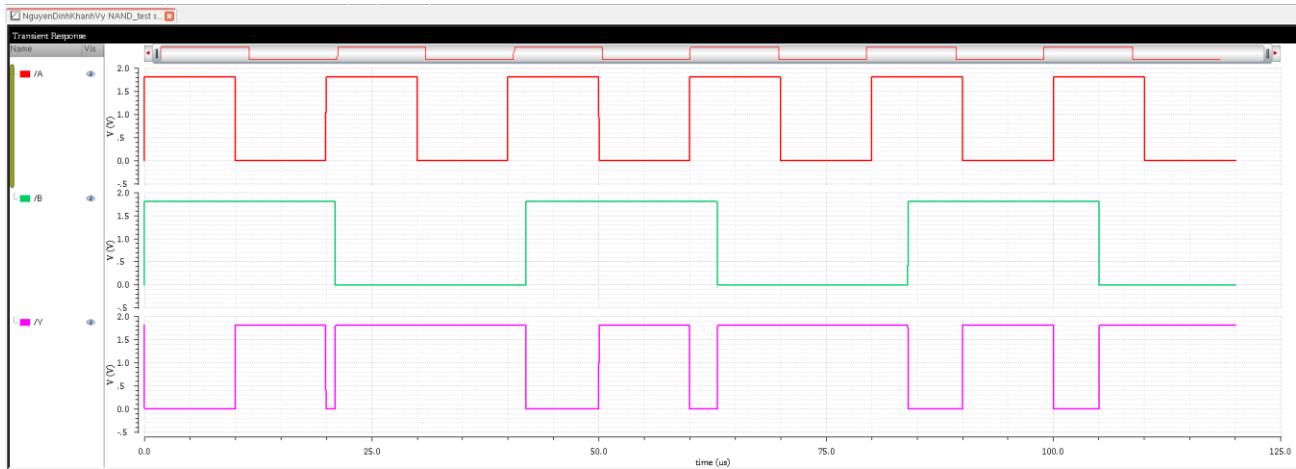
- Ta giữ nguyên các thông số của nguồn  $V_{pulse}$  nối với ngõ vào A, thay đổi các thông số của  $V_{pulse}$  nối với ngõ vào B như sau:

- Mức điện áp 1 (V1): 0V
- Mức điện áp 2 (V2): 1.8V
- Thời gian trễ: 0s
- Thời gian xung cạnh lên (tr): 20ns
- Thời gian xung cạnh xuống (tf): 20ns
- Độ rộng xung (ton): 21us
- Chu kỳ (period): 42us

Voltage 1	0 V
Voltage 2	1.8 V
Period	42u s
Delay time	0 s
Rise time	20n s
Fall time	20n s
Pulse width	21u s

Hình 1.50. Thay đổi thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào B

- Ta thu được kết quả không xảy ra hiện tượng nhiễu thoáng qua (hiện tượng glitch).

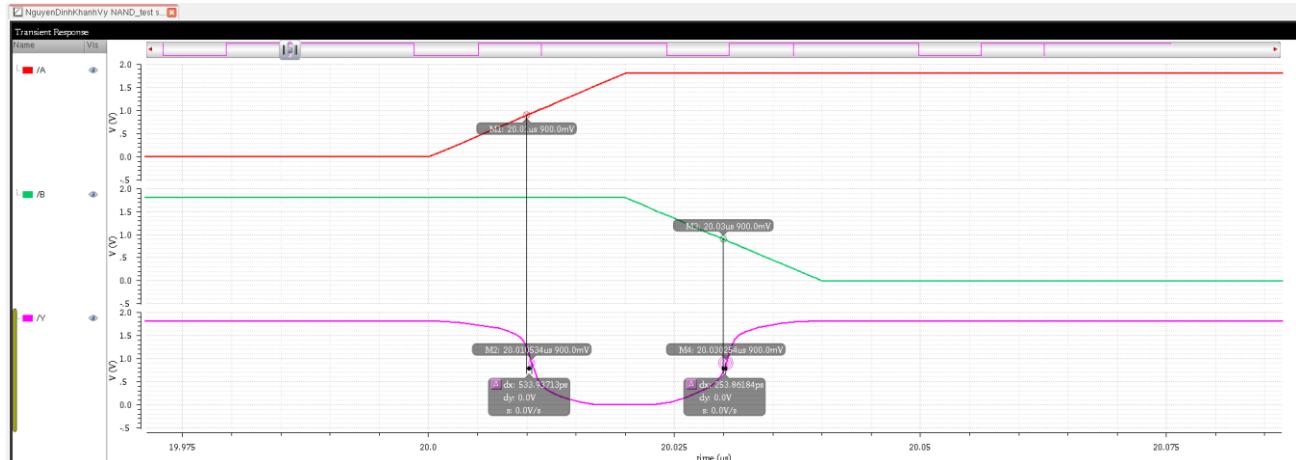


Hình 1.51. Kết quả mô phỏng dạng sóng của công NAND không có hiện tượng glitch

- Đo độ chênh lệch điểm tại mức điện áp  $\frac{V_{DD}}{2} = 900mV$  của hai tín hiệu ngõ vào và tín hiệu ngõ ra khi nguồn  $V_{pulse}$  chưa được thay đổi thông số. Ta nhận thấy nguyên nhân xảy ra hiện tượng glitch là do tín hiệu ngõ vào B thay đổi trạng thái trễ hơn tín hiệu ngõ vào A.

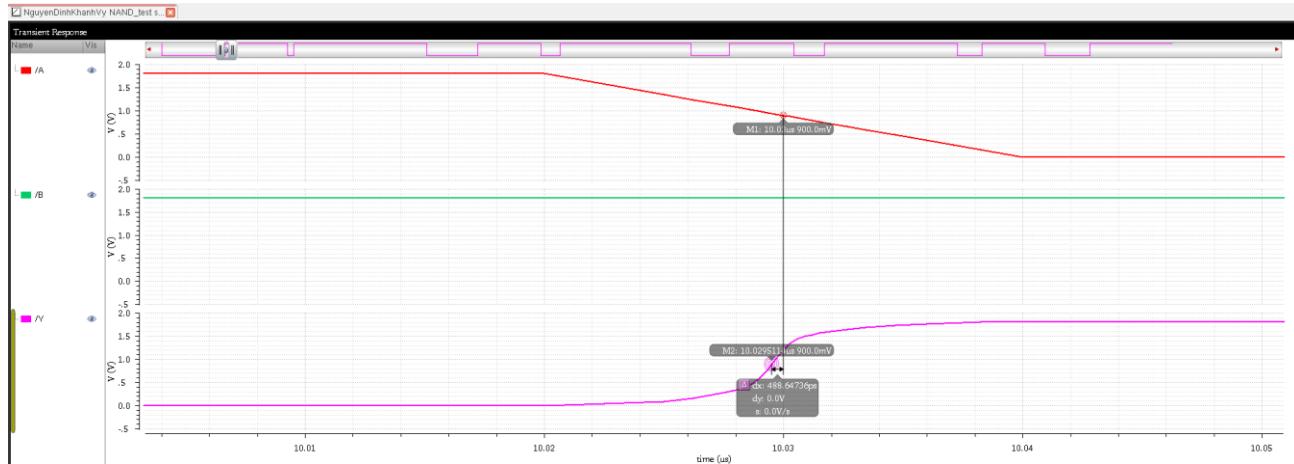
+ Độ trễ lan truyền cạnh xuống so với tín hiệu A ( $t_{pdf_A}$ ) là 533.9371ps.

+ Độ trễ lan truyền cạnh lên so với tín hiệu B ( $t_{pdr_B}$ ) là 253.8618ps.



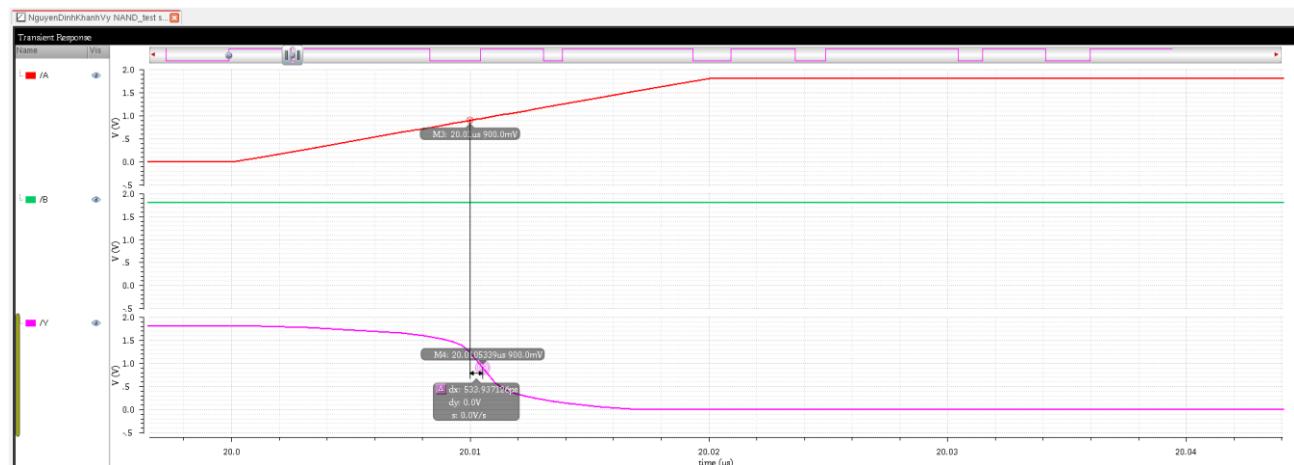
Hình 1.52. Xác định nguyên nhân xảy ra hiện tượng glitch do tín hiệu B

- Đo độ chênh lệch điểm tại mức điện áp  $\frac{V_{DD}}{2} = 900mV$  của hai tín hiệu ngõ vào và tín hiệu ngõ ra khi nguồn  $V_{pulse}$  đã được thay đổi thông số, ta tìm được độ trễ lan truyền cạnh lén so với tín hiệu ngõ vào A ( $t_{pd़r_A}$ ) là 488.6475ps.



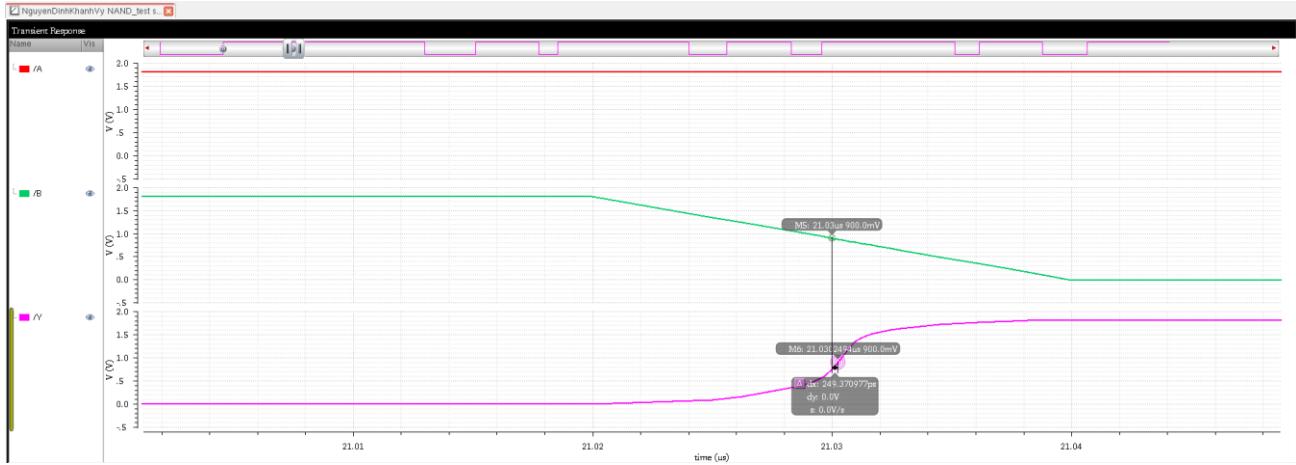
Hình 1.53. Độ trễ lan truyền cạnh lén so với tín hiệu ngõ vào A cổng NAND không gắn tụ, tải

- Đo độ chênh lệch điểm tại mức điện áp  $\frac{V_{DD}}{2} = 900mV$  của hai tín hiệu ngõ vào và tín hiệu ngõ ra khi nguồn  $V_{pulse}$  đã được thay đổi thông số, ta tìm được độ trễ lan truyền cạnh xuồng so với tín hiệu ngõ vào A ( $t_{pdf_A}$ ) là 533.9371ps.



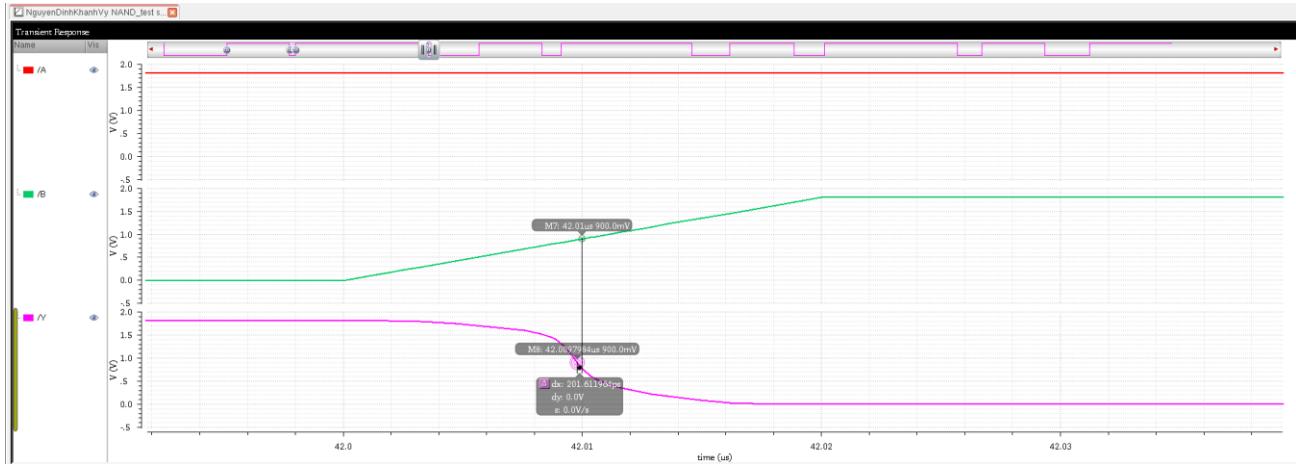
Hình 1.54. Độ trễ lan truyền cạnh xuồng so với tín hiệu ngõ vào A cổng NAND không gắn tụ, tải

- Đo độ chênh lệch điểm tại mức điện áp  $\frac{V_{DD}}{2} = 900mV$  của hai tín hiệu ngõ vào và tín hiệu ngõ ra khi nguồn  $V_{pulse}$  đã được thay đổi thông số, ta tìm được độ trễ lan truyền cạnh lén so với tín hiệu ngõ vào B ( $t_{pdr_B}$ ) là 249.371ps.



Hình 1.55. Độ trễ lan truyền cạnh lén so với tín hiệu ngõ vào B cỗng NAND không gắn tụ, tải

- Đo độ chênh lệch điểm tại mức điện áp  $\frac{V_{DD}}{2} = 900mV$  của hai tín hiệu ngõ vào và tín hiệu ngõ ra khi nguồn  $V_{pulse}$  đã được thay đổi thông số, ta tìm được độ trễ lan truyền cạnh xuống so với tín hiệu ngõ vào B ( $t_{pdf_B}$ ) là 201.612ps.



Hình 1.56. Độ trễ lan truyền cạnh xuống so với tín hiệu ngõ vào B cỗng NAND không gắn tụ, tải

- Độ trễ lan truyền trung bình:

$$t_{pd_A} = \frac{t_{pdr_A} + t_{pdf_A}}{2} = \frac{488.6475 + 533.9371}{2} = 511.2923\text{ps}$$

$$t_{pd_B} = \frac{t_{pdr_B} + t_{pdf_B}}{2} = \frac{249.371 + 201.612}{2} = 225.4915\text{ps}$$

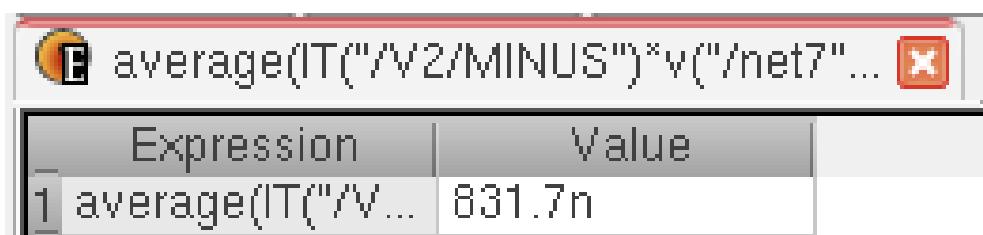
- Nhận xét: độ trễ lan truyền trung bình so với tín hiệu A lớn cạnh độ trễ lan truyền trung bình so với tín hiệu B là 285.8008ps.

- Tính thời gian chuyển tiếp (transistion time): dùng công cụ Calculator tìm được thời gian xung cạnh lên lớn hơn thời gian xung cạnh xuống ( $2.4629\text{ns} > 1.9912\text{ns}$ ) và lớn hơn một khoảng là 471.7ps.

4	$t_f$	1.99122n
5	$t_r$	2.46285n

Hình 1.57. Thời gian xung cạnh lên và cạnh xuống đo được trên mô phỏng

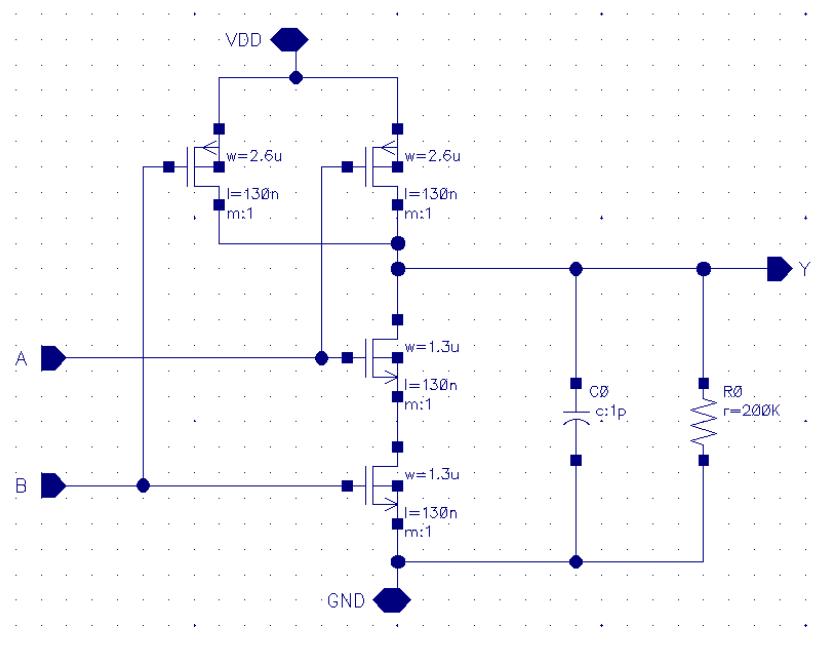
- Tính công suất trung bình: dùng công cụ Calculator đo được công suất trung bình là 831.7nW.



Hình 1.58. Công suất trung bình đo được từ mô phỏng

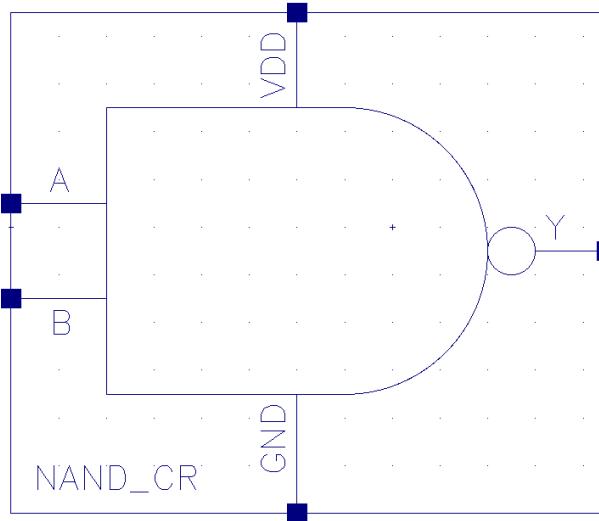
### 1.2.3. Thiết kế mô phỏng cổng NAND có tụ và tải ký sinh

- Sơ đồ nguyên lý và thông số thiết kế mô phỏng PMOS, NMOS:



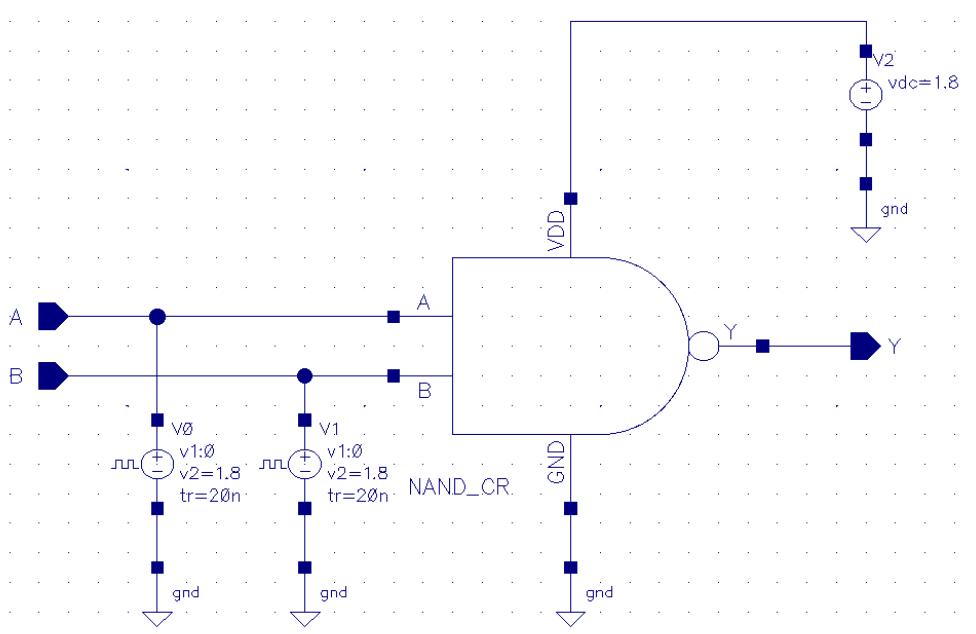
Hình 1.59. Sơ đồ nguyên lý mô phỏng cổng NAND có tụ và tải ký sinh

- Thiết lập thông số thiết kế mô phỏng độ rộng, độ dài, tỷ lệ W/L và nhiệt độ mô phỏng giống với cỗng NAND không có tụ và tải ký sinh.
- Đóng gói thiết kế mô phỏng bằng ký hiệu cỗng NAND.



*Hình 1.60. Đóng gói thiết kế cỗng NAND có tụ và tải ký sinh*

- Cáp nguồn để kiểm tra hoạt động cỗng NAND:



*Hình 1.61. Mạch kiểm tra hoạt động cỗng NAND có tụ và tải ký sinh*

- Cài đặt thông số các nguồn giống với cỗng NAND không có tụ, tải khi xảy ra hiện tượng glitch.

- Các thông số được cài đặt nguồn nối với ngõ vào A để mô phỏng:

Voltage 2	1.8 V
Period	20u s
Delay time	0 s
Rise time	20n s
Fall time	20n s
Pulse width	10u s

Hình 1.62. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào A

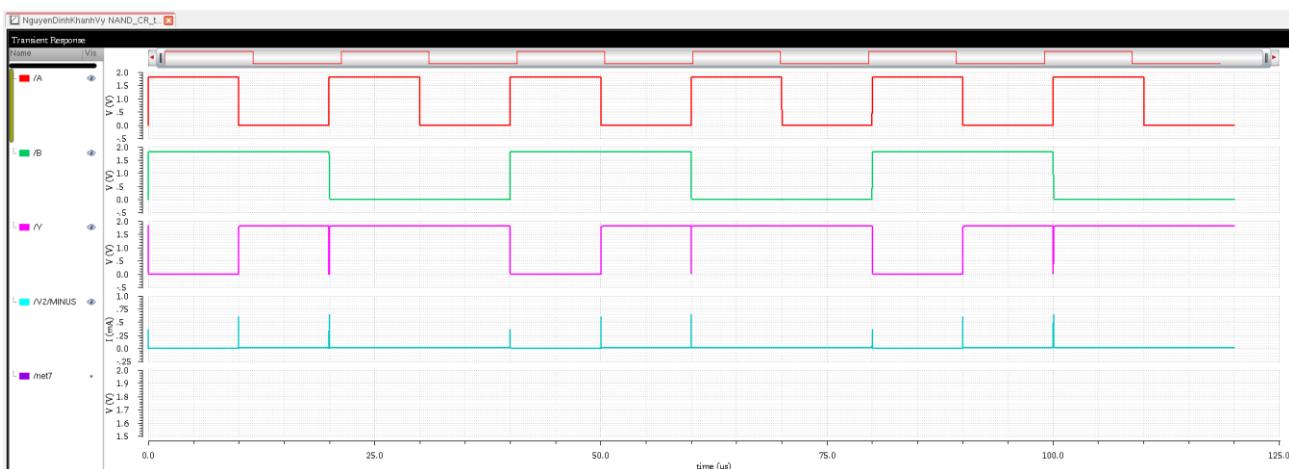
- Các thông số được cài đặt nguồn nối với ngõ vào B để mô phỏng:

Voltage 2	1.8 V
Period	40u s
Delay time	0 s
Rise time	20n s
Fall time	20n s
Pulse width	20u s

Hình 1.63. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào B

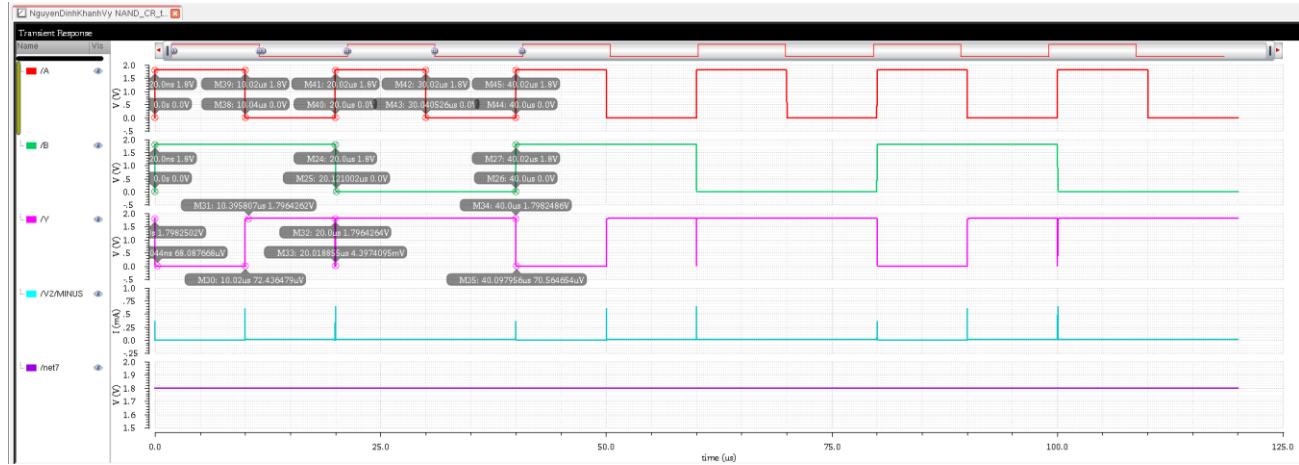
- Thực hiện mô phỏng để kiểm tra hoạt động theo bảng trạng thái của cổng NAND, kết quả thu được dạng sóng như hình bên dưới.

- + A: ngõ vào 1 (đường màu đỏ).
- + B: ngõ vào 2 (đường màu xanh lá).
- + Y: ngõ ra (đường màu xanh tím).
- + V2/MINUS: dòng điện qua cổng NAND (đường màu xanh biển).
- + net7: điện áp qua cổng NAND (đường màu tím).



Hình 1.64. Kết quả mô phỏng dạng sóng của cổng NAND khi có tụ và tải

- Biên độ của các tín hiệu ngõ vào, tín hiệu ngõ ra của cổng NAND khi tín hiệu ngõ vào, tín hiệu ngõ ra đảo điện áp:



Hình 1.65. Các điểm thay đổi khi tín hiệu ngõ vào và tín hiệu ngõ ra thay đổi của cổng NAND

- Nhận xét mức điện áp giữa tín hiệu ngõ vào và tín hiệu ngõ ra khi có sự đảo điện áp ở tín hiệu ngõ vào của cổng NAND có gắn tụ, tải và so sánh thời gian chuyển mạch, sự hao hụt điện áp giữa cổng NAND không có tụ, tải và cổng NAND có gắn tụ, tải:

- + 0s tới 10us, tín hiệu ngõ vào A là 1.8V (mức cao), tín hiệu ngõ vào B là 1.8V (mức cao) thì tín hiệu ngõ ra Y khoảng 72.4365uV (mức thấp).
- + 10us tới 20us, tín hiệu ngõ vào A là 0V (mức thấp), tín hiệu ngõ vào B là 1.8V (mức cao) thì tín hiệu ngõ ra Y khoảng 1.7964V (mức cao).

- + 20s tới 30us, tín hiệu ngõ vào A là 1.8V (mức cao), tín hiệu ngõ vào B là 0V (mức thấp) thì tín hiệu ngõ ra Y khoảng 1.7982V (mức cao).

- + 30us tới 40us, tín hiệu ngõ vào A là 0V (mức thấp), tín hiệu ngõ vào B là 0V (mức thấp) thì tín hiệu ngõ ra Y khoảng 1.7982V (mức cao).

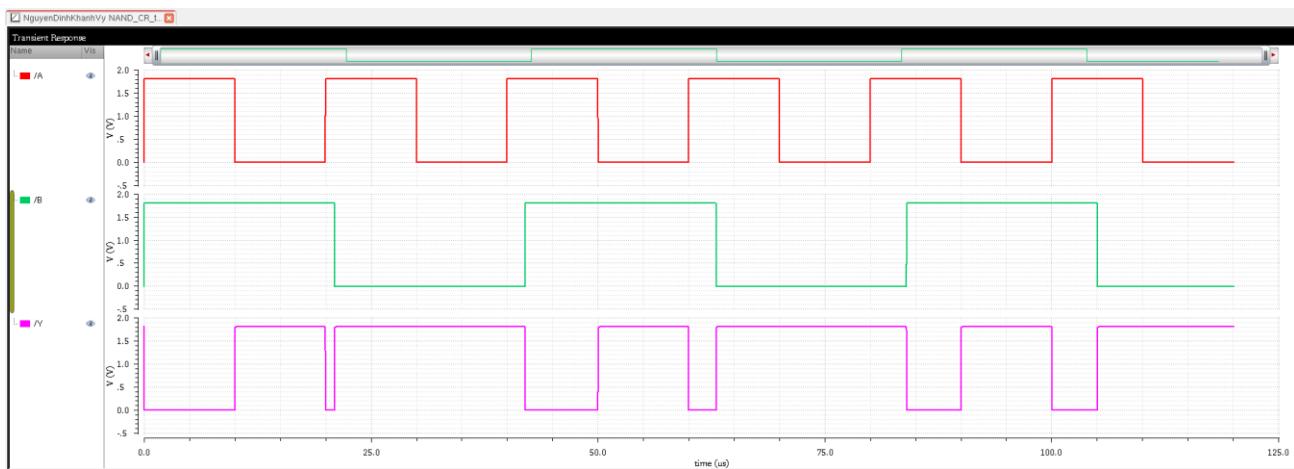
➔ Sự hao hụt điện áp của tín hiệu ngõ ra của cổng NAND có gắn tụ, tải lớn hơn sự hao hụt điện áp của tín hiệu ngõ ra của cổng NAND không gắn tụ, tải khi tín hiệu ngõ ra ở mức cao (chênh lệch 1.7mV). Sự hao hụt điện áp của tín hiệu ngõ ra của cổng NAND có gắn tụ, tải lớn hơn sự hao hụt điện áp của tín hiệu ngõ ra của cổng NAND không gắn tụ, tải khi tín hiệu ngõ ra ở mức thấp (chênh lệch 7.4628uV).

- Thay đổi thông số nguồn nối với tín hiệu ngõ vào B như công NAND không tụ, tải và không xảy ra hiện tượng glitch.

Voltage 1	0 V
Voltage 2	1.8 V
Period	42μ s
Delay time	0 s
Rise time	20n s
Fall time	20n s
Pulse width	21μ s

Hình 1.66. Thay đổi thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào B

- Ta thu được kết quả không xảy ra hiện tượng glitch.



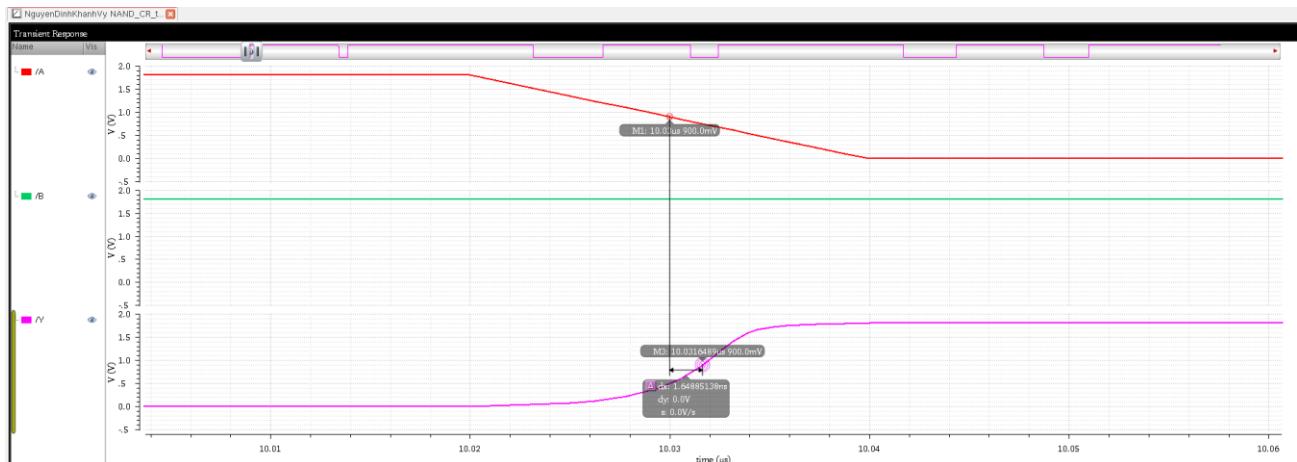
Hình 1.67. Kết quả mô phỏng dạng sóng của công NAND có tụ, tải không có hiện tượng glitch

- Đo độ chênh lệch điểm tại mức điện áp  $\frac{V_{DD}}{2} = 900mV$  của hai tín hiệu ngõ vào và tín hiệu ngõ ra khi nguồn  $V_{pulse}$  chưa được thay đổi thông số. Ta nhận thấy nguyên nhân xảy ra hiện tượng glitch là do tín hiệu ngõ vào B thay đổi trạng thái trễ hơn tín hiệu ngõ vào A.
  - + Độ trễ lan truyền cạnh xuống so với tín hiệu A ( $t_{pdf_A}$ ) là 2.7455ns.
  - + Độ trễ lan truyền cạnh lên so với tín hiệu B ( $t_{pdr_B}$ ) là 2.077ns.



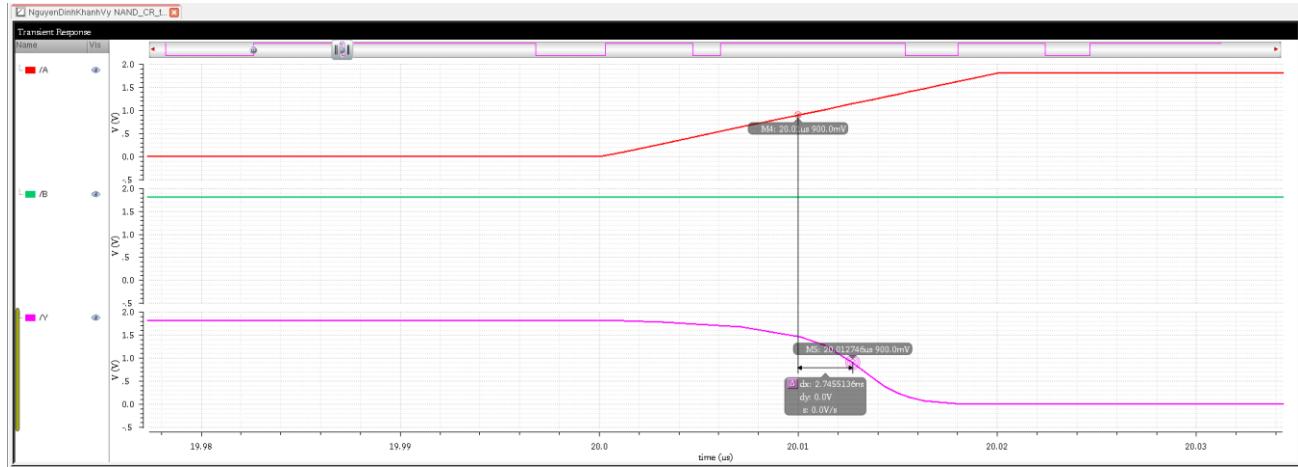
Hình 1.68. Xác định nguyên nhân xảy ra hiện tượng glitch do tín hiệu B

- Đo độ chênh lệch điểm tại mức điện áp  $\frac{V_{DD}}{2} = 900mV$  của hai tín hiệu ngõ vào và tín hiệu ngõ ra khi nguồn  $V_{pulse}$  đã được thay đổi thông số, ta tìm được độ trễ lan truyền cạnh lên so với tín hiệu ngõ vào A ( $t_{pdr_A}$ ) là 1.6489ns.



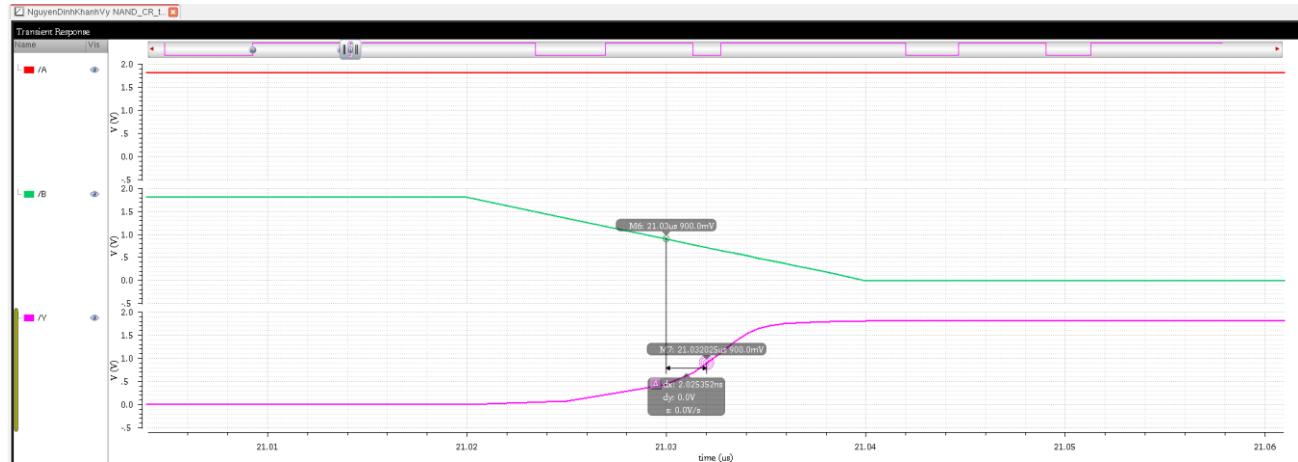
Hình 1.69. Độ trễ lan truyền cạnh lên so với tín hiệu ngõ vào A công NAND có gắn tụ, tải

- Đo độ chênh lệch điểm tại mức điện áp  $\frac{V_{DD}}{2} = 900mV$  của hai tín hiệu ngõ vào và tín hiệu ngõ ra khi nguồn  $V_{pulse}$  đã được thay đổi thông số, ta tìm được độ trễ lan truyền cạnh xuống so với tín hiệu ngõ vào A ( $t_{pdf_A}$ ) là 2.7455ns.



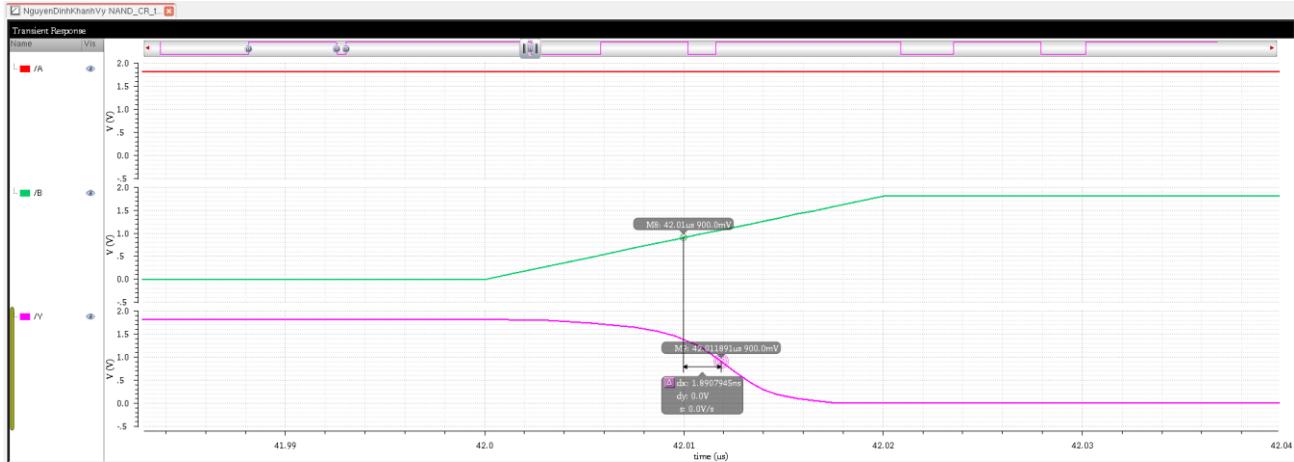
Hình 1.70. Độ trễ lan truyền cạnh xuống so với tín hiệu ngõ vào A công NAND có gắn tụ, tải

- Đo độ chênh lệch điểm tại mức điện áp  $\frac{V_{DD}}{2} = 900mV$  của hai tín hiệu ngõ vào và tín hiệu ngõ ra khi nguồn  $V_{pulse}$  đã được thay đổi thông số, ta tìm được độ trễ lan truyền cạnh lên so với tín hiệu ngõ vào B ( $t_{pdr_B}$ ) là 2.0253ns.



Hình 1.71. Độ trễ lan truyền cạnh lên so với tín hiệu ngõ vào B công NAND có gắn tụ, tải

- Đo độ chênh lệch điểm tại mức điện áp  $\frac{V_{DD}}{2} = 900mV$  của hai tín hiệu ngõ vào và tín hiệu ngõ ra khi nguồn  $V_{pulse}$  đã được thay đổi thông số, ta tìm được độ trễ lan truyền cạnh xuống so với tín hiệu ngõ vào B ( $t_{pdf_B}$ ) là 1.8908ns.



Hình 1.72. Độ trễ lan truyền cạnh xuống so với tín hiệu ngõ vào B công NAND có gắn tụ, tải

- Độ trễ lan truyền trung bình:

$$t_{pd_A} = \frac{t_{pdr_A} + t_{pdf_A}}{2} = \frac{1.6489 + 2.7455}{2} = 2.1972\text{ns}$$

$$t_{pd_B} = \frac{t_{pdr_B} + t_{pdf_B}}{2} = \frac{2.0253 + 1.8908}{2} = 1.9581\text{ns}$$

- Tính thời gian chuyển tiếp (transistion time): dùng công cụ Calculator tìm được thời gian xung cạnh lên lớn hơn thời gian xung cạnh xuống (4.215ns > 3.2604ns) và lớn hơn một khoảng là 954.6ps

4	tf	3.26046n
5	tr	4.21503n

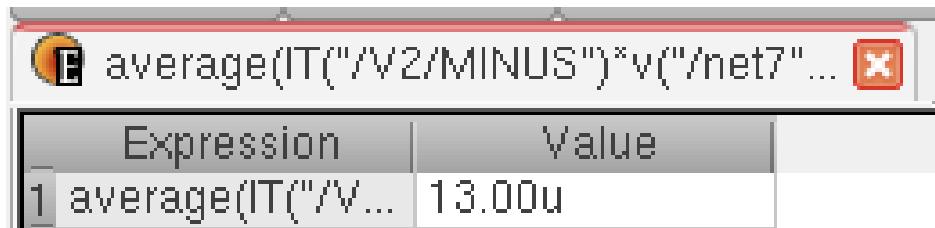
Hình 1.73. Thời gian xung cạnh lên và cạnh xuống đo được trên mô phỏng

- Nhận xét:

+ So với tín hiệu A khi không có hiện tượng glitch, độ trễ lan truyền trung bình của công NAND có gắn tụ, tải lớn hơn độ trễ lan truyền trung bình của công NAND không có gắn tụ, tải (2.1972ns > 511.2923ps).

+ So với tín hiệu B khi không có hiện tượng glitch, độ trễ lan truyền trung bình của công NAND có gắn tụ, tải lớn hơn độ trễ lan truyền trung bình của công NAND không có gắn tụ, tải (1.9581ns > 225.4915ps).

- + So với tín hiệu A khi có hiện tượng glitch, độ trễ lan truyền cạnh xuống của cổng NAND có gắn tụ, tải lớn hơn độ trễ lan truyền cạnh xuống của cổng NAND không có gắn tụ, tải ( $2.7455\text{ns} > 533.9371\text{sps}$ ).
- + So với tín hiệu B khi có hiện tượng glitch, độ trễ lan truyền cạnh lên của cổng NAND có gắn tụ, tải lớn hơn độ trễ lan truyền cạnh lên của cổng NAND không có gắn tụ, tải ( $2.077\text{ns} > 253.8618\text{ps}$ ).
- + Thời gian xung cạnh lên của cổng NAND có gắn tụ, tải lớn hơn thời gian xung cạnh lên của cổng NAND không có gắn tụ, tải ( $4.215\text{ns} > 2.4626\text{ns}$ ) và lớn hơn khoảng thời gian là  $1.7524\text{ns}$ .
- + Thời gian xung cạnh xuống của cổng NAND có gắn tụ, tải lớn hơn thời gian xung cạnh xuống của cổng NAND không có gắn tụ, tải ( $3.2605\text{ns} > 1.9912\text{ns}$ ) và lớn hơn khoảng thời gian là  $1.2693\text{ns}$ .
- Tính công suất trung bình: dùng công cụ Calculator đo được công suất trung bình là  $13\text{uW}$ . Công suất trung bình của cổng NAND có gắn tụ, tải lớn hơn so với công suất trung bình của cổng NAND không có gắn tụ, tải ( $13000\text{nW} > 831.7\text{nW}$ ) và chênh lệch giá trị là  $12168.3\text{nW}$ .



Hình 1.74. Công suất trung bình đo được từ mô phỏng

#### 1.2.4. Kết luận

- Bảng thống kê các giá trị AC mô phỏng được của cỗng NAND không gắn tụ, tải và cỗng NAND có gắn tụ, tải.

*Bảng 1.5. Các thông số của cỗng NAND*

LOẠI CỘNG NAND	ĐIỀU KIỆN	THÔNG SỐ	GIÁ TRỊ	ĐƠN VỊ
Không gắn tụ, tải	Không có hiện tượng glitch	$t_{pdr_A}$	488.6475	ps
		$t_{pdf_A}$	533.9371	
		$t_{pdr_B}$	249.371	
		$t_{pdf_B}$	201.612	
	Có hiện tượng glitch	$t_{pdf_A}$	533.9371	
		$t_{pdr_B}$	253.8618	
		$t_r$	2.4629	ns
		$t_f$	1.9912	
Có gắn tụ, tải		$P_{avg}$	831.7	nW
	Không có hiện tượng glitch	$t_{pdr_A}$	1.6489	ns
		$t_{pdf_A}$	2.7455	
		$t_{pdr_B}$	2.0253	
		$t_{pdf_B}$	1.8908	
	Có hiện tượng glitch	$t_{pdf_A}$	2.7455	
		$t_{pdr_B}$	2.077	
		$t_r$	4.215	
		$t_f$	3.2605	
		$P_{avg}$	13000	nW

### 1.3. Cỗng AND

#### 1.3.1. Lý thuyết

- Cỗng AND là cỗng logic thực hiện chức năng của phép toán nhân logic các tín hiệu vào.

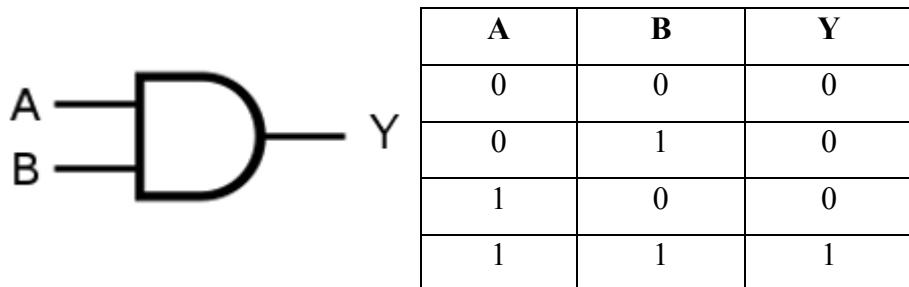
+ Nếu ngõ vào A là 0, ngõ vào B là 0, ngõ ra là 0.

+ Nếu ngõ vào A là 0, ngõ vào B là 1, ngõ ra là 0.

+ Nếu ngõ vào A là 1, ngõ vào B là 0, ngõ ra là 0.

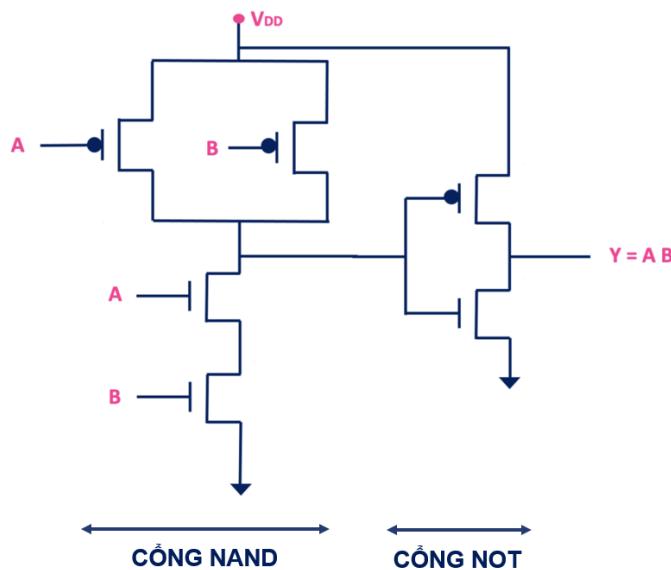
+ Nếu ngõ vào A là 1, ngõ vào B là 1, ngõ ra là 1.

- Biểu thức logic:  $Y = A \cdot B$



Hình 1.75. Ký hiệu và bảng trạng thái của cỗng AND

- Sơ đồ nguyên lý: Cỗng AND được xây dựng bằng cách kết hợp cỗng NAND và cỗng NOT. Cỗng AND thực hiện phép toán NAND trên hai đầu vào, cỗng NOT đảo ngược đầu ra của cỗng NAND để tạo ra đầu ra AND.



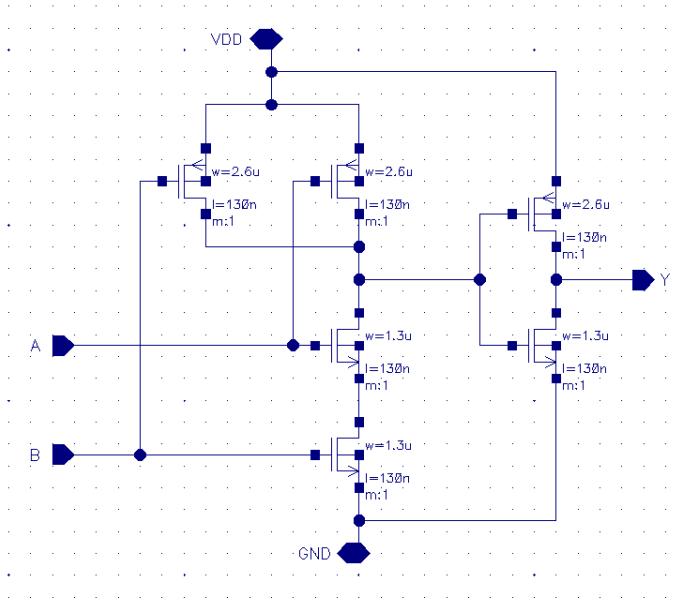
Hình 1.76. Sơ đồ nguyên lý cỗng AND

- Tỷ lệ W/L:

+ Tỷ lệ W/L của PMOS, NMOS sẽ phụ thuộc vào công nghệ CMOS và các yếu tố khác, nhưng phải đáp ứng điều kiện tỷ lệ W/L của PMOS gấp 2 đến 3 lần tỷ lệ W/L của NMOS.

### 1.3.2. Thiết kế mô phỏng cổng AND không có tụ và tải ký sinh

- Sơ đồ nguyên lý và thông số thiết kế mô phỏng PMOS, NMOS:



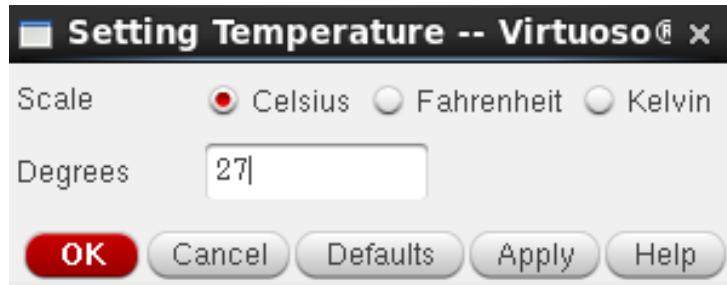
Hình 1.77. Sơ đồ nguyên lý mô phỏng cổng AND

- Bảng thông số thiết kế mô phỏng độ rộng (W), độ dài (L) và tỷ lệ W/L của PMOS so với NMOS gấp 2 lần.

**Bảng 1.6. Bảng thông số PMOS, NMOS để thiết kế mô phỏng cổng AND**

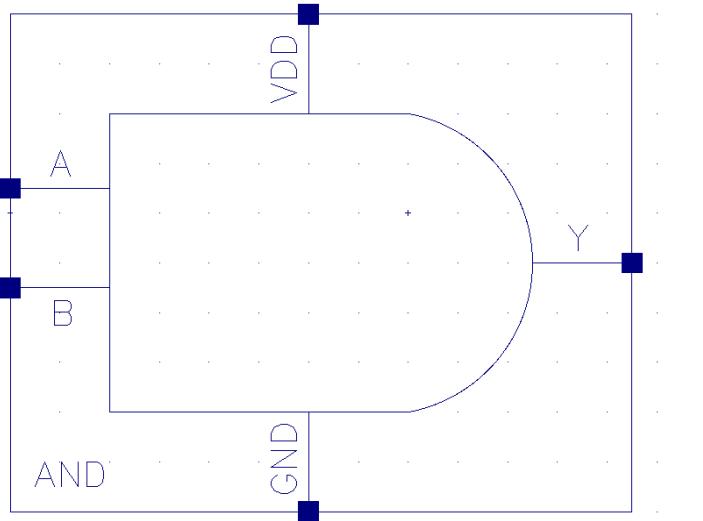
Thông số	PMOS	NMOS
L (um)	0.13u	0.13u
W (um)	2.6u	1.3u

- Thiết kế được mô phỏng tại điều kiện nhiệt độ chuẩn  $T = 27^\circ\text{C}$ :



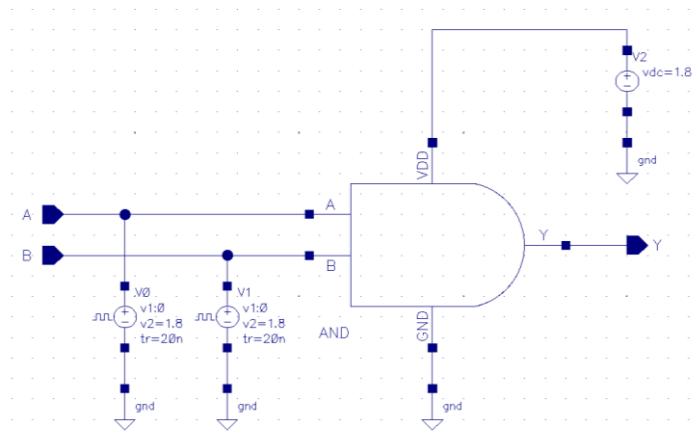
Hình 1.78. Cài đặt nhiệt độ thiết kế mô phỏng

- Đóng gói thiết kế mô phỏng bằng ký hiệu cổng AND:



Hình 1.79. Đóng gói thiết kế cổng AND

- Cáp nguồn để kiểm tra hoạt động cổng AND:



Hình 1.80. Mạch kiểm tra hoạt động cổng AND

- Thông số cài đặt:

- + Chân  $V_{DD}$  nối với nguồn  $V_{DC} = 1.8V$ .
- + Chân GND nối đất.
- + Chân  $V_{in}$  tương ứng ứng với ngõ vào A, ta nối với nguồn  $V_{pulse}$  với các thông số sau:
  - Mức điện áp 1 (V1): 0V
  - Mức điện áp 2 (V2): 1.8V
  - Thời gian trễ: 0s
  - Thời gian xung cạnh lên (tr): 20ns
  - Thời gian xung cạnh xuống (tf): 20ns

- Độ rộng xung (ton): 10us
- Chu kỳ (period): 20us

+ Chân  $V_{in}$  tương ứng với ngõ vào B, ta nối với nguồn  $V_{pulse}$  với các thông số sau:

- Mức điện áp 1 (V1): 0V
- Mức điện áp 2 (V2): 1.8V
- Thời gian trễ: 0s
- Thời gian xung cạnh lên (tr): 20ns
- Thời gian xung cạnh xuống (tf): 20ns
- Độ rộng xung (ton): 20us
- Chu kỳ (period): 40us

- Các thông số được cài đặt nguồn nối với ngõ vào A để mô phỏng:

Voltage 1	0 V
Voltage 2	1.8 V
Period	20u s
Delay time	0 s
Rise time	20n s
Fall time	20n s
Pulse width	10u s

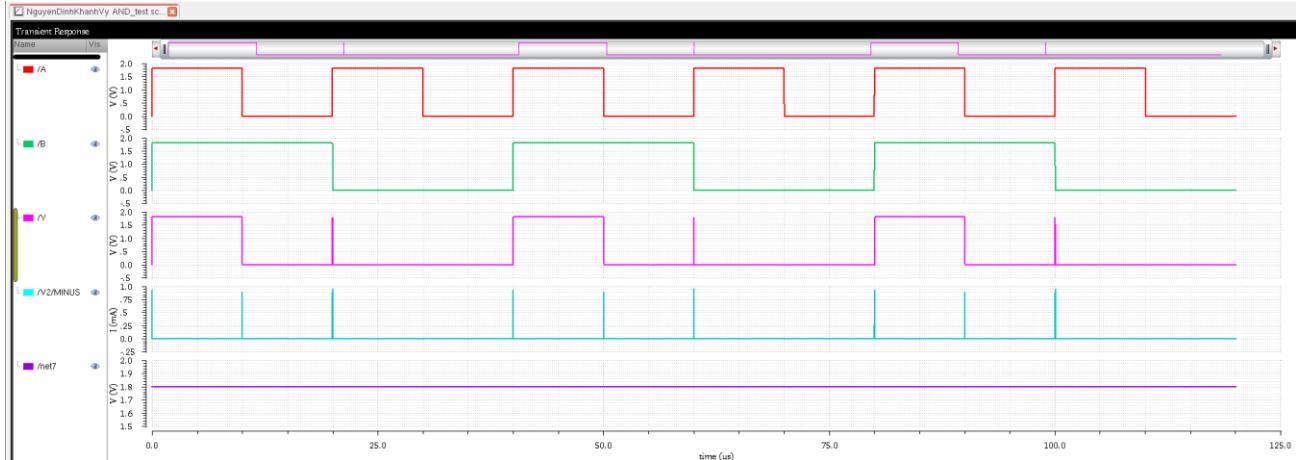
Hình 1.81. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào A

- Các thông số được cài đặt nguồn nối với ngõ vào B để mô phỏng:

Voltage 1	0 V
Voltage 2	1.8 V
Period	40u s
Delay time	0 s
Rise time	20n s
Fall time	20n s
Pulse width	20u s

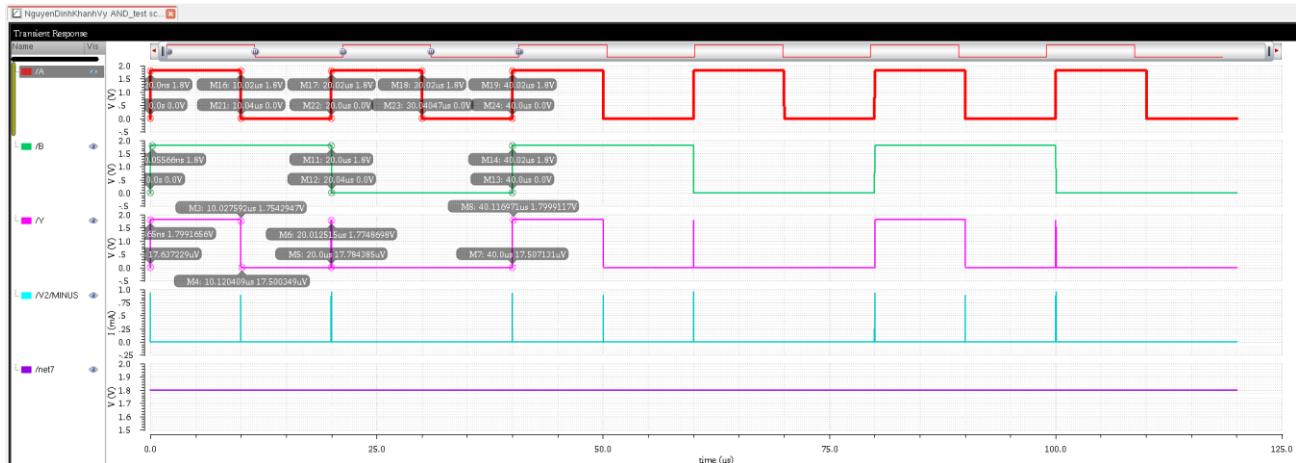
Hình 1.82. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào B

- Thực hiện mô phỏng để kiểm tra hoạt động theo bảng trạng thái của công AND, kết quả thu được dạng sóng như hình bên dưới.
  - + A: ngõ vào 1 (đường màu đỏ).
  - + B: ngõ vào 2 (đường màu xanh lá).
  - + Y: ngõ ra (đường màu xanh tím).
  - + V2/MINUS: dòng điện qua công AND (đường màu xanh biển).
  - + net7: điện áp qua công AND (đường màu tím).



Hình 1.83. Kết quả mô phỏng dạng sóng của công AND

- Biên độ của các tín hiệu ngõ vào, tín hiệu ngõ ra của công AND khi tín hiệu ngõ vào, tín hiệu ngõ ra đảo điện áp:



Hình 1.84. Các điểm thay đổi khi tín hiệu ngõ vào và tín hiệu ngõ ra thay đổi của công AND

- Nhận xét mức điện áp giữa tín hiệu ngõ vào A, tín hiệu ngõ vào B và tín hiệu ngõ ra Y khi có sự đảo điện áp ở tín hiệu ngõ vào:

- + 0s tới 10us, tín hiệu ngõ vào A là 1.8V (mức cao), tín hiệu ngõ vào B là 1.8V (mức cao) thì tín hiệu ngõ ra Y khoảng 1.7543V (mức cao).

+ 10us tới 20us, tín hiệu ngõ vào A là 0V (mức thấp), tín hiệu ngõ vào B là 1.8V (mức cao) thì tín hiệu ngõ ra Y khoảng 17.5uV (mức thấp).

+ 20s tới 30us, tín hiệu ngõ vào A là 1.8V (mức cao), tín hiệu ngõ vào B là 0V (mức thấp) thì tín hiệu ngõ ra Y khoảng 17.7844uV (mức thấp).

+ 30us tới 40us, tín hiệu ngõ vào A là 0V (mức thấp), tín hiệu ngõ vào B là 0V (mức thấp) thì tín hiệu ngõ ra Y khoảng 17.5071uV (mức thấp).

➔ Có sự hao hụt điện áp của tín hiệu ngõ ra Y so với hai tín hiệu ngõ vào nhưng không đáng kể. Sự đảo điện áp của tín hiệu ra Y đúng với bảng trạng thái. Tuy nhiên, tại khoảng thời gian 20us tới 20.02us, cả hai tín hiệu ngõ vào A, B cùng đảo điện áp nên tín hiệu ngõ ra Y từ 1.7748V xuống còn khoảng 17.7844uV. Sau đó, tín hiệu ngõ ra trở lại mức điện áp cao theo đúng như bảng trạng thái. Đây được gọi là hiện tượng glitch, nguyên nhân do độ trễ lan truyền của hai tín hiệu đầu vào không đồng đều.

- Có nhiều cách để hạn chế tình trạng trên, ví dụ, ta điều chỉnh thông số của nguồn nối với ngõ vào A và B sao cho không có tình trạng hai tín hiệu ngõ vào cùng đảo điện áp.

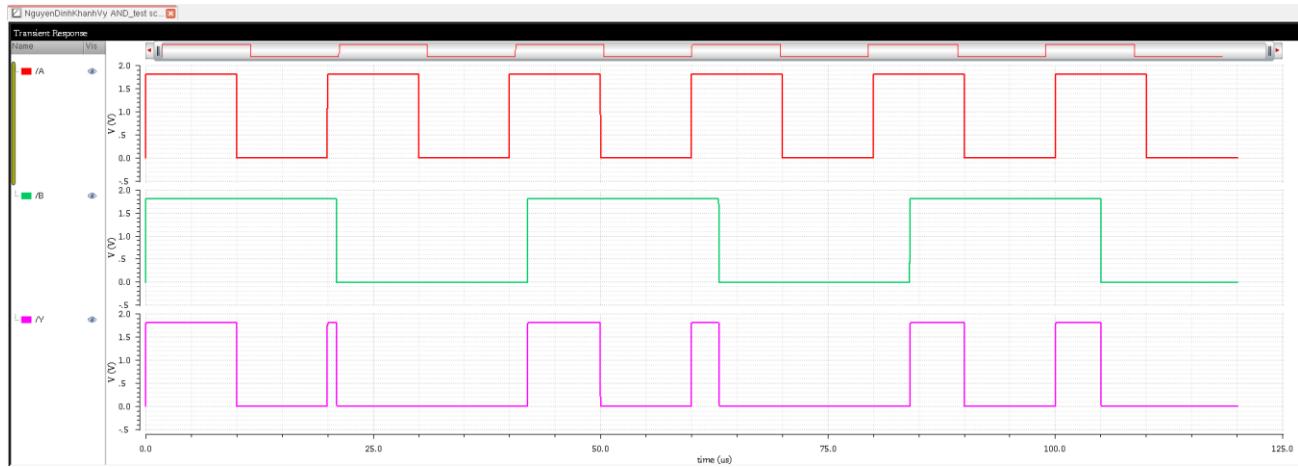
- Ta giữ nguyên các thông số của nguồn  $V_{pulse}$  nối với ngõ vào A, thay đổi các thông số của  $V_{pulse}$  nối với ngõ vào B như sau:

- Mức điện áp 1 (V1): 0V
- Mức điện áp 2 (V2): 1.8V
- Thời gian trễ: 0s
- Thời gian xung cạnh lên (tr): 20ns
- Thời gian xung cạnh xuống (tf): 20ns
- Độ rộng xung (ton): 21us
- Chu kỳ (period): 42us

Voltage 1	0 V
Voltage 2	1.8 V
Period	42u s
Delay time	0 s
Rise time	20n s
Fall time	20n s
Pulse width	21u s

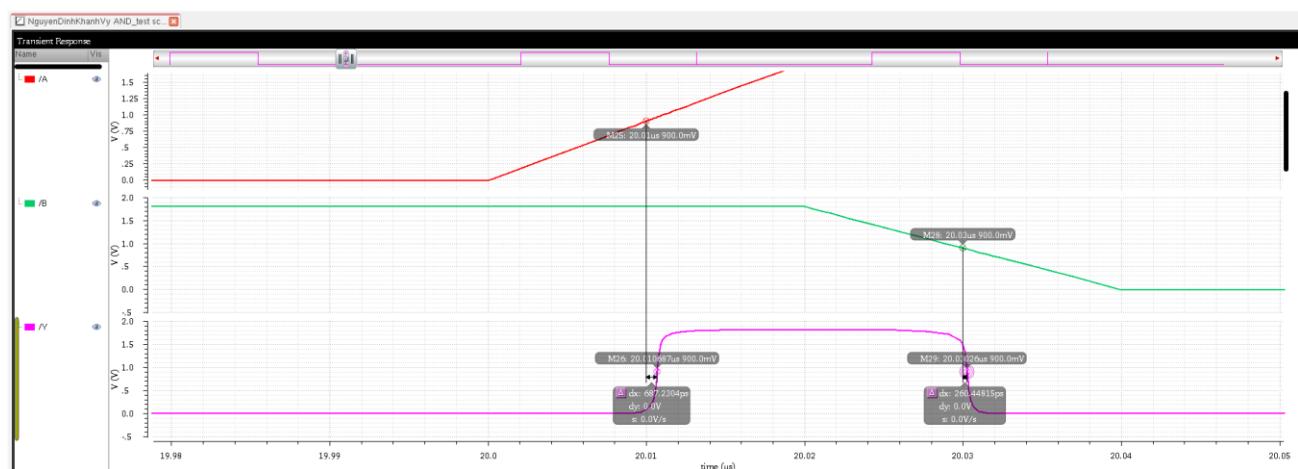
Hình 1.85. Thay đổi thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào B

- Ta thu được kết quả không xảy ra hiện tượng glitch.



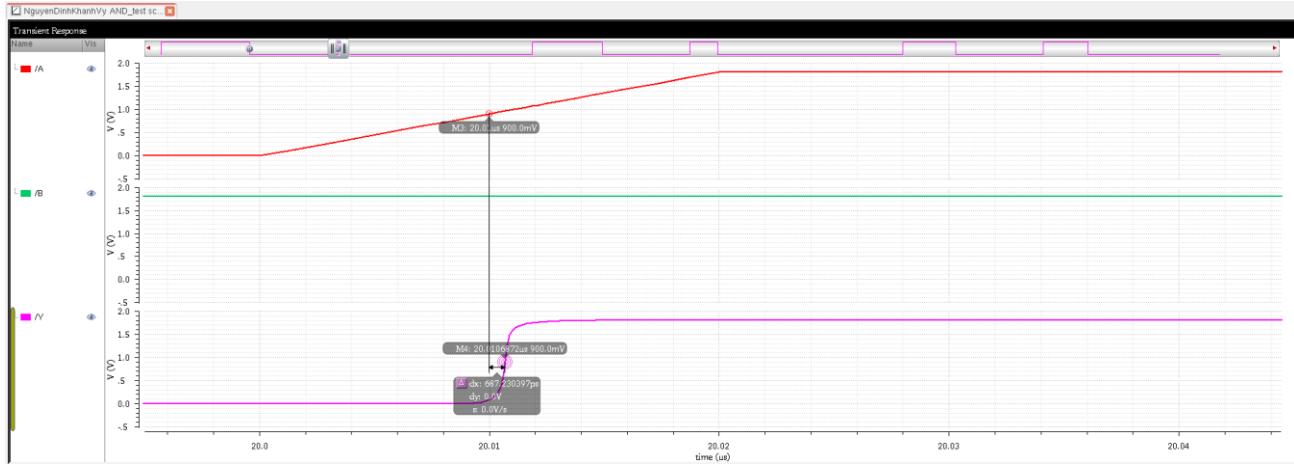
Hình 1.86. Kết quả mô phỏng dạng sóng của cỗng AND không có hiện tượng glitch

- Đo độ chênh lệch điểm tại mức điện áp  $\frac{V_{DD}}{2} = 900mV$  của hai tín hiệu ngõ vào và tín hiệu ngõ ra khi nguồn  $V_{pulse}$  chưa được thay đổi thông số. Ta nhận thấy nguyên nhân xảy ra hiện tượng glitch là do tín hiệu ngõ vào B thay đổi trạng thái trễ hơn tín hiệu ngõ vào A.
- + Độ trễ lan truyền cạnh lên so với tín hiệu A ( $t_{pdr_A}$ ) là 687.2304ps.
- + Độ trễ lan truyền cạnh xuống so với tín hiệu B ( $t_{pdf_B}$ ) là 260.4482ps.



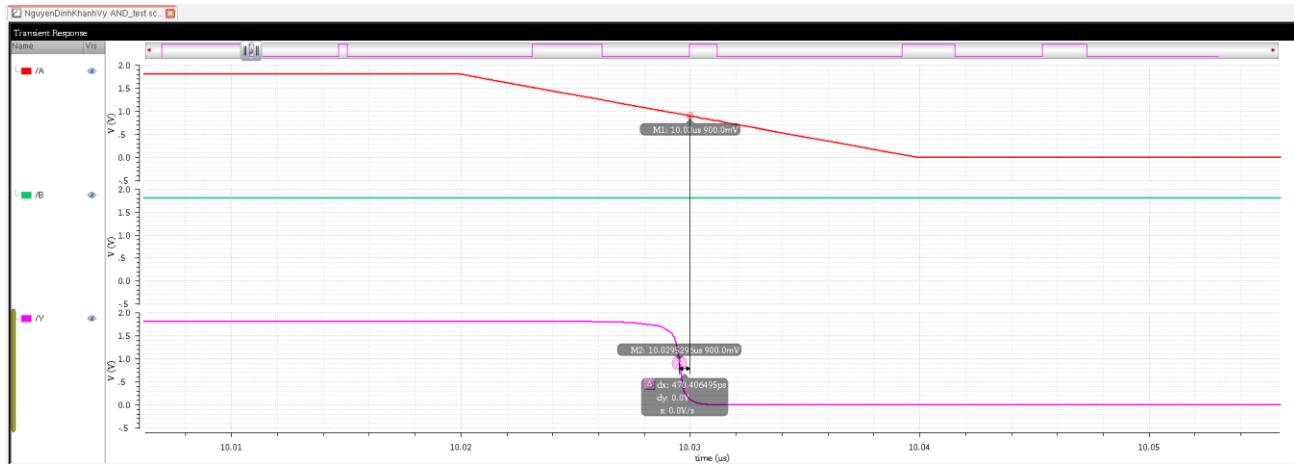
Hình 1.87. Xác định nguyên nhân xảy ra hiện tượng glitch do tín hiệu B

- Đo độ chênh lệch điểm tại mức điện áp  $\frac{V_{DD}}{2} = 900mV$  của hai tín hiệu ngõ vào và tín hiệu ngõ ra khi nguồn  $V_{pulse}$  đã được thay đổi thông số, ta tìm được độ trễ lan truyền cạnh lén so với tín hiệu ngõ vào A ( $t_{pdrl_A}$ ) là 687.2304ps.



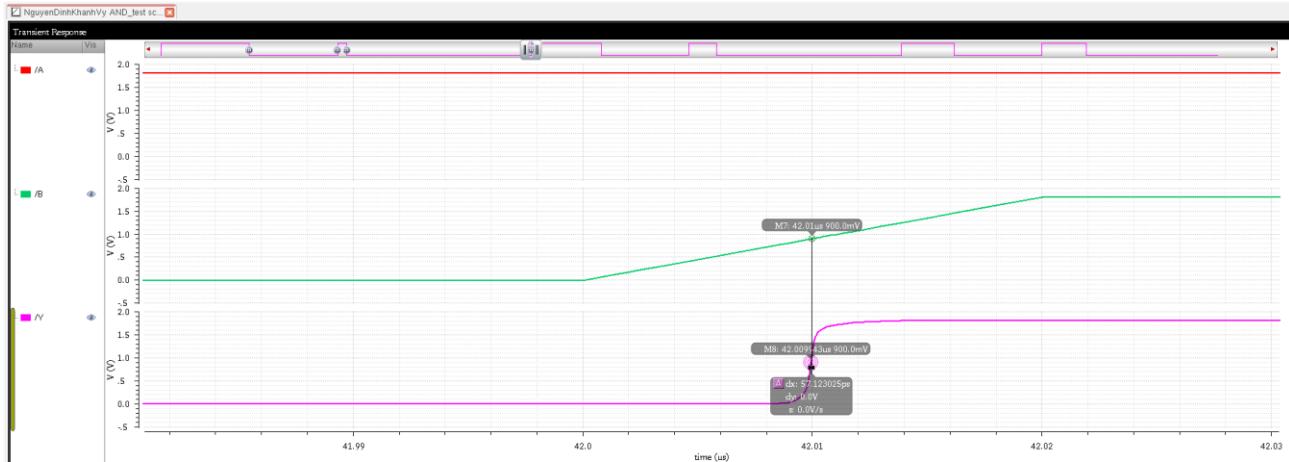
Hình 1.88. Độ trễ lan truyền cạnh lén so với tín hiệu ngõ vào A cổng AND không gắn tụ, tải

- Đo độ chênh lệch điểm tại mức điện áp  $\frac{V_{DD}}{2} = 900mV$  của hai tín hiệu ngõ vào và tín hiệu ngõ ra khi nguồn  $V_{pulse}$  đã được thay đổi thông số, ta tìm được độ trễ lan truyền cạnh xuồng so với tín hiệu ngõ vào A ( $t_{pdf_A}$ ) là 470.4065ps.



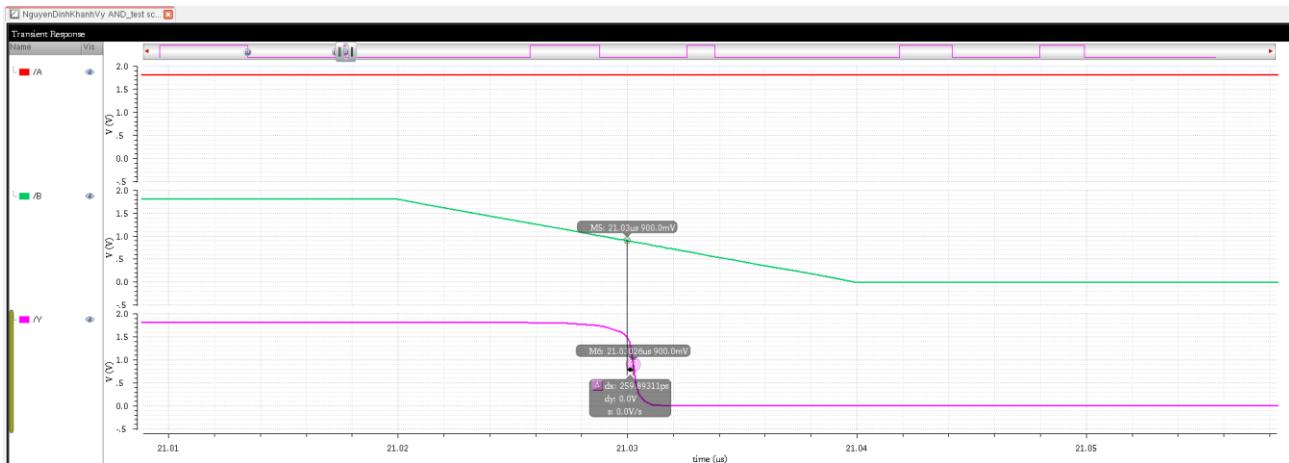
Hình 1.89. Độ trễ lan truyền cạnh xuồng so với tín hiệu ngõ vào A cổng AND không gắn tụ, tải

- Đo độ chênh lệch điểm tại mức điện áp  $\frac{V_{DD}}{2} = 900mV$  của hai tín hiệu ngõ vào và tín hiệu ngõ ra khi nguồn  $V_{pulse}$  đã được thay đổi thông số, ta tìm được độ trễ lan truyền cạnh lén so với tín hiệu ngõ vào B ( $t_{pd_B}$ ) là 57.123ps.



Hình 1.90. Độ trễ lan truyền cạnh lén so với tín hiệu ngõ vào B cổng AND không gắn tụ, tải

- Đo độ chênh lệch điểm tại mức điện áp  $\frac{V_{DD}}{2} = 900mV$  của hai tín hiệu ngõ vào và tín hiệu ngõ ra khi nguồn  $V_{pulse}$  đã được thay đổi thông số, ta tìm được độ trễ lan truyền cạnh xuống so với tín hiệu ngõ vào B ( $t_{pdf_B}$ ) là 259.8931ps.



Hình 1.91. Độ trễ lan truyền cạnh xuống so với tín hiệu ngõ vào B cổng AND không gắn tụ, tải

- Độ trễ lan truyền trung bình:

$$t_{pd_A} = \frac{t_{pd_B} + t_{pdf_A}}{2} = \frac{687.2304 + 470.4065}{2} = 578.8185\text{ps}$$

$$t_{pd_B} = \frac{t_{pd_B} + t_{pdf_B}}{2} = \frac{57.123 + 259.8931}{2} = 158.508\text{ps}$$

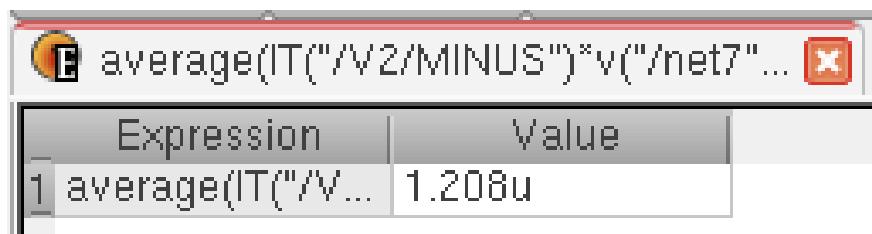
- Nhận xét: độ trễ lan truyền trung bình so với tín hiệu A lớn cạnh độ trễ lan truyền trung bình so với tín hiệu B là 420.3105ps.

- Tính thời gian chuyển tiếp (transistion time): dùng công cụ Calculator tìm được thời gian xung cạnh lên nhô hơn thời gian xung cạnh xuống (296.945ps < 372.075ps) và nhỏ hơn một khoảng là 75.13ps.

6	$t_f$	372.075p	
7	$t_r$	296.945p	

Hình 1.92. Thời gian xung cạnh lên và cạnh xuống đo được trên mô phỏng

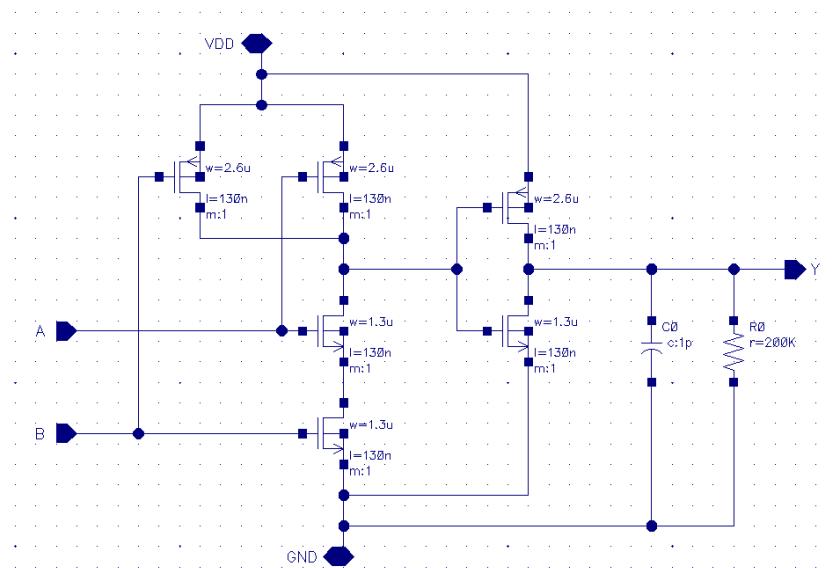
- Tính công suất trung bình: dùng công cụ Calculator đo được công suất trung bình là 1.208uW.



Hình 1.93. Công suất trung bình đo được từ mô phỏng

### 1.3.3. Thiết kế mô phỏng cổng AND có tụ và tải ký sinh

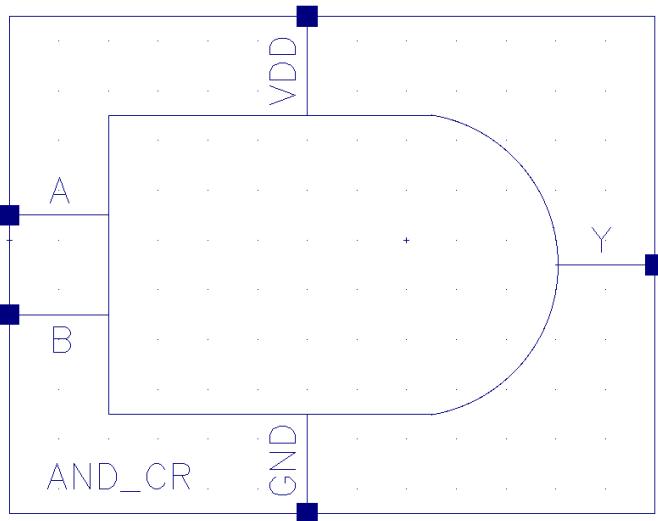
- Sơ đồ nguyên lý và thông số thiết kế mô phỏng PMOS, NMOS:



Hình 1.94. Sơ đồ nguyên lý mô phỏng cổng AND có tụ và tải ký sinh

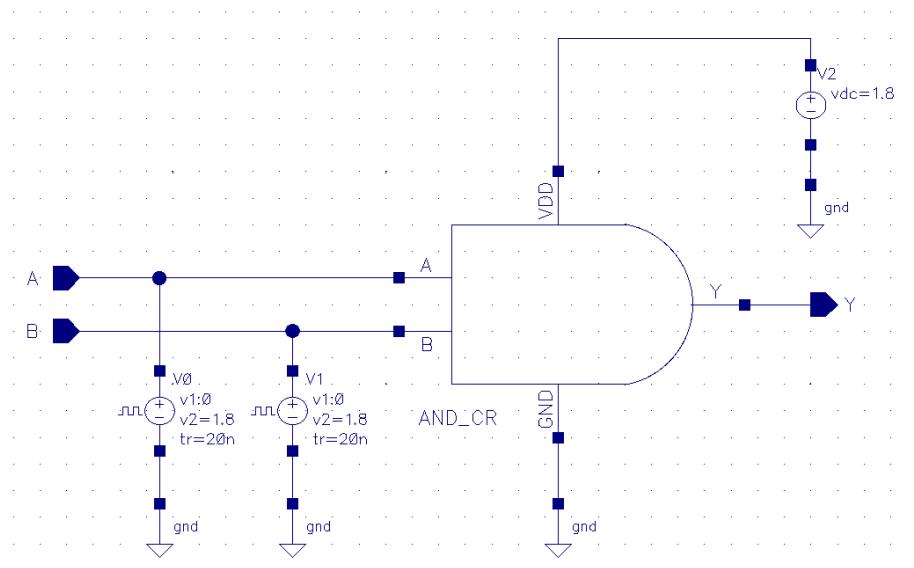
- Thiết lập thông số thiết kế mô phỏng độ rộng, độ dài, tỷ lệ W/L và nhiệt độ mô phỏng giống với cổng AND không có tụ và tải ký sinh.

- Đóng gói thiết kế mô phỏng bằng ký hiệu cổng AND:



Hình 1.95. Đóng gói thiết kế cổng AND có tụ và tải ký sinh

- Cáp nguồn để kiểm tra hoạt động cổng AND:



Hình 1.96. Mạch kiểm tra hoạt động cổng AND có tụ và tải ký sinh

- Cài đặt thông số các nguồn giống với cổng AND không có tụ, tải khi xảy ra hiện tượng glitch.

- Các thông số được cài đặt nguồn nối với ngõ vào A để mô phỏng:

Voltage 2	1.8 V
Period	20u s
Delay time	0 s
Rise time	20n s
Fall time	20n s
Pulse width	10u s

Hình 1.97. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào A

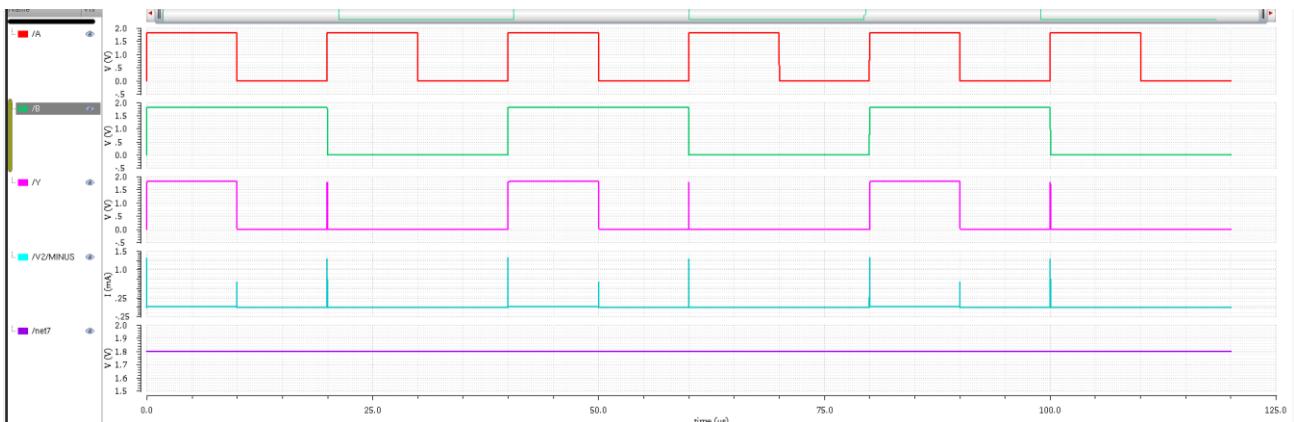
- Các thông số được cài đặt nguồn nối với ngõ vào B để mô phỏng:

Voltage 2	1.8 V
Period	40u s
Delay time	0 s
Rise time	20n s
Fall time	20n s
Pulse width	20u s

Hình 1.98. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào B

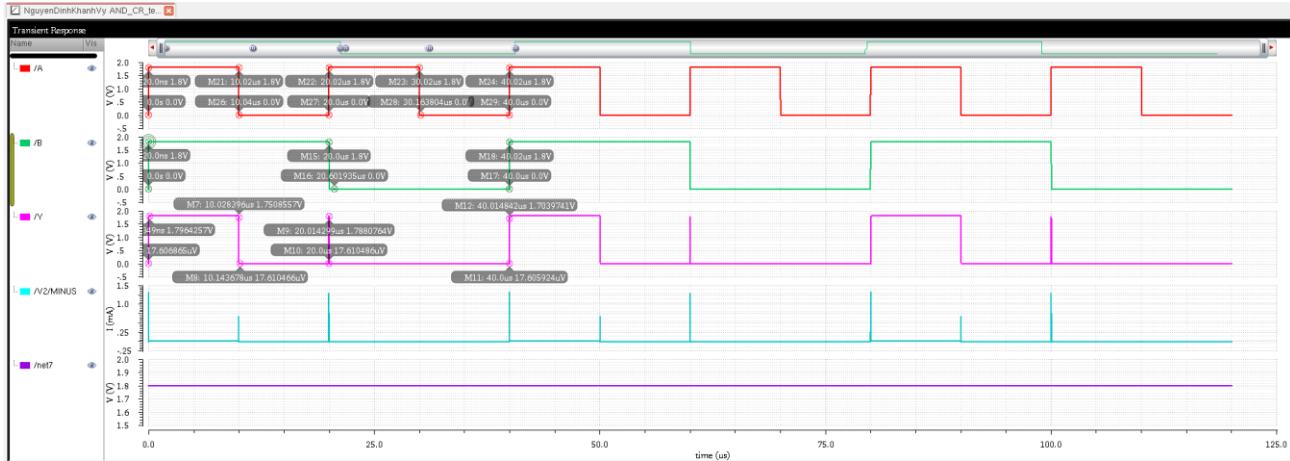
- Thực hiện mô phỏng để kiểm tra hoạt động theo bảng trạng thái của công AND, kết quả thu được dạng sóng như hình bên dưới.

- + A: ngõ vào 1 (đường màu đỏ).
- + B: ngõ vào 2 (đường màu xanh lá).
- + Y: ngõ ra (đường màu xanh tím).
- + V2/MINUS: dòng điện qua công AND (đường màu xanh biển).
- + net7: điện áp qua công AND (đường màu tím).



Hình 1.99. Kết quả mô phỏng dạng sóng của công AND khi có tụ và tải

- Biên độ của các tín hiệu ngõ vào, tín hiệu ngõ ra của công AND khi tín hiệu ngõ vào, tín hiệu ngõ ra đảo điện áp:



Hình 1.100. Các điểm thay đổi khi tín hiệu ngõ vào và tín hiệu ngõ ra thay đổi của công AND

- Nhận xét mức điện áp giữa tín hiệu ngõ vào và tín hiệu ngõ ra khi có sự đảo điện áp ở tín hiệu ngõ vào của công AND có gắn tụ, tải và so sánh thời gian chuyển mạch, sự hao hụt điện áp giữa công AND không có tụ, tải và công AND có gắn tụ, tải:

+ Os tới 10us, tín hiệu ngõ vào A là 1.8V (mức cao), tín hiệu ngõ vào B là 1.8V (mức cao) thì tín hiệu ngõ ra Y khoảng 1.7509V (mức cao).

+ 10us tới 20us, tín hiệu ngõ vào A là 0V (mức thấp), tín hiệu ngõ vào B là 1.8V (mức cao) thì tín hiệu ngõ ra Y khoảng 17.6105uV (mức thấp).

+ 20s tới 30us, tín hiệu ngõ vào A là 1.8V (mức cao), tín hiệu ngõ vào B là 0V (mức thấp) thì tín hiệu ngõ ra Y khoảng 17.6105uV (mức thấp).

+ 30us tới 40us, tín hiệu ngõ vào A là 0V (mức thấp), tín hiệu ngõ vào B là 0V (mức thấp) thì tín hiệu ngõ ra Y khoảng 17.6059uV (mức thấp).

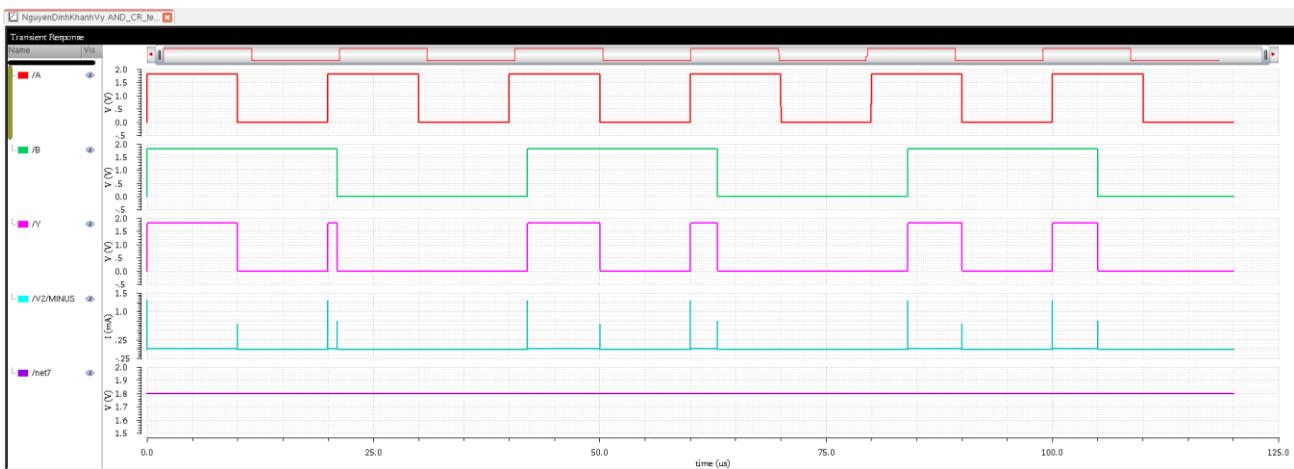
➔ Sự hao hụt điện áp của tín hiệu ngõ ra của cổng AND có gă̂n tu, tải lớn hơn sự hao hụt điện áp của tín hiệu ngõ ra của cổng AND không gă̂n tu, tải khi tín hiệu ngõ ra ở mức cao (chênh lệch 3.4mV).  
Sự hao hụt điện áp của tín hiệu ngõ ra của cổng AND có gă̂n tu, tải lớn hơn sự hao hụt điện áp của tín hiệu ngõ ra của cổng AND không gă̂n tu, tải khi tín hiệu ngõ ra ở mức thấp (chênh lệch 11.8nV).

- Thay đổi thông số nguồn nối với tín hiệu ngõ vào B như công AND không tụ, tải và không xảy ra hiện tượng glitch.

Voltage 1	0 V
Voltage 2	1.8 V
Period	42u s
Delay time	0 s
Rise time	20n s
Fall time	20n s
Pulse width	21u s

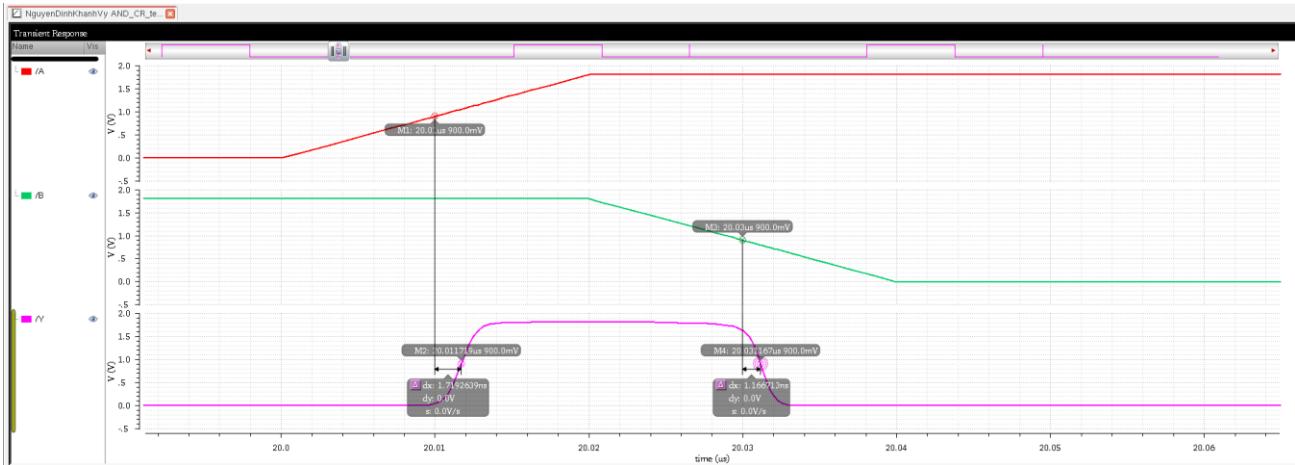
Hình 1.101. Thay đổi thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào B

- Ta thu được kết quả không xảy ra hiện tượng glitch.



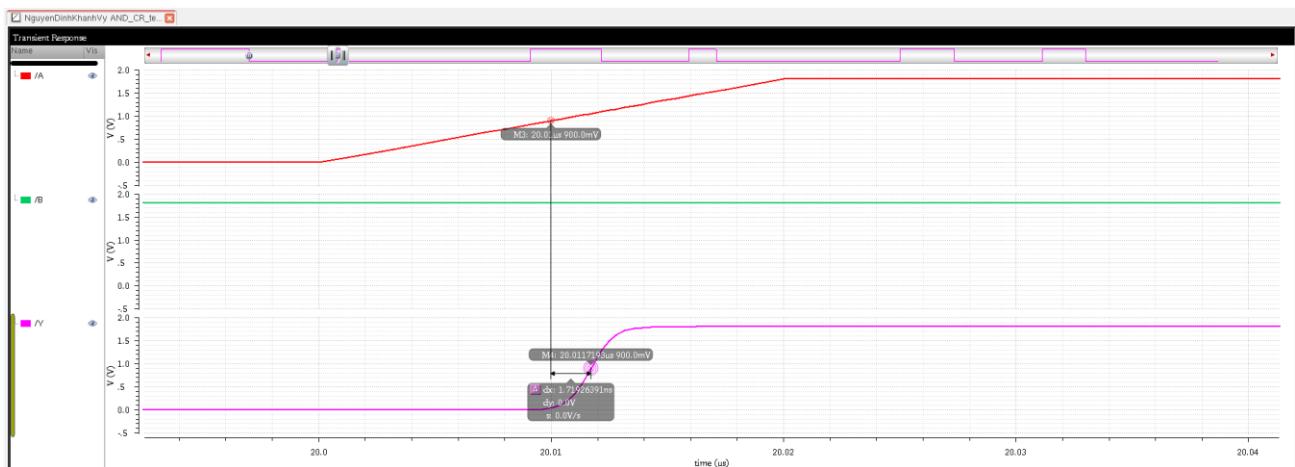
Hình 1.102. Kết quả mô phỏng dạng sóng của công AND có tụ, tải không có hiện tượng glitch

- Đo độ chênh lệch điểm tại mức điện áp  $\frac{V_{DD}}{2} = 900mV$  của hai tín hiệu ngõ vào và tín hiệu ngõ ra khi nguồn  $V_{pulse}$  chưa được thay đổi thông số. Ta nhận thấy nguyên nhân xảy ra hiện tượng glitch là do tín hiệu ngõ vào B thay đổi trạng thái trễ hơn tín hiệu ngõ vào A.
  - + Độ trễ lan truyền cạnh xuống so với tín hiệu A ( $t_{pdr_A}$ ) là 1.7193ns.
  - + Độ trễ lan truyền cạnh lên so với tín hiệu B ( $t_{pdf_B}$ ) là 1.1667ns.



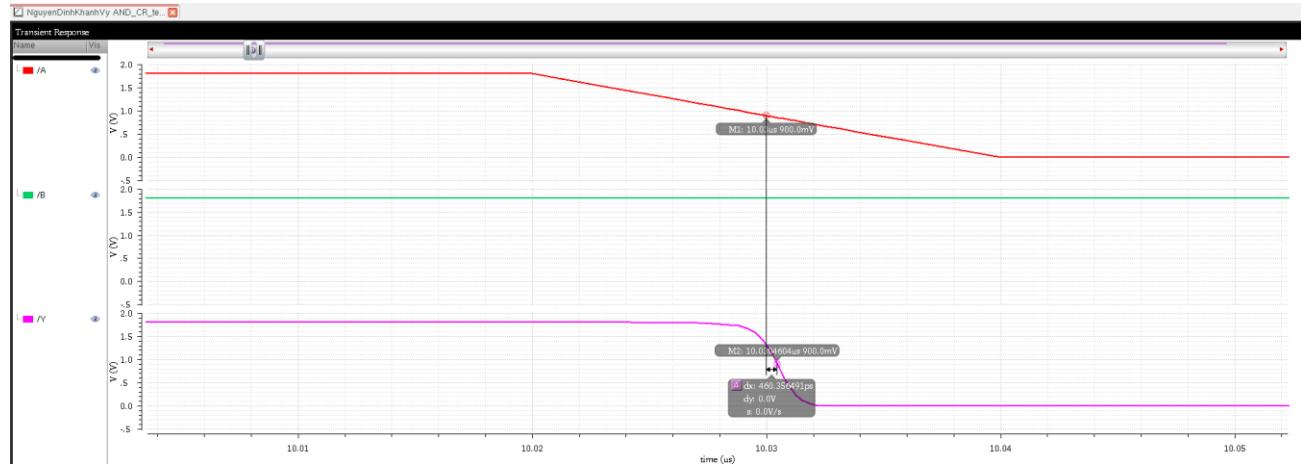
Hình 1.103. Xác định nguyên nhân xảy ra hiện tượng glitch do tín hiệu B

- Đo độ chênh lệch điểm tại mức điện áp  $\frac{V_{DD}}{2} = 900mV$  của hai tín hiệu ngõ vào và tín hiệu ngõ ra khi nguồn  $V_{pulse}$  đã được thay đổi thông số, ta tìm được độ trễ lan truyền cạnh lên so với tín hiệu ngõ vào A ( $t_{pdr_A}$ ) là 1.7193ns.



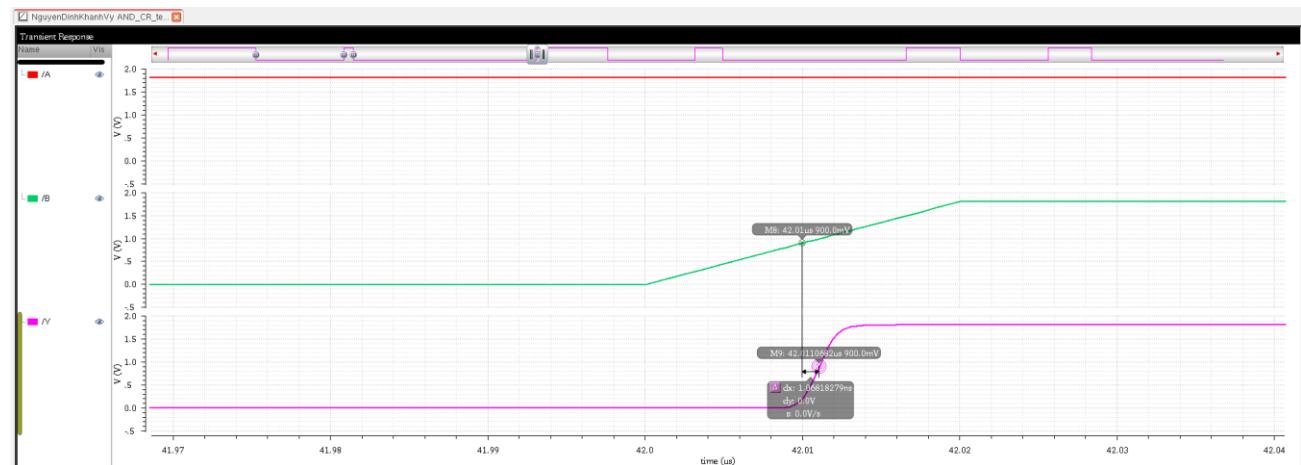
Hình 1.104. Độ trễ lan truyền cạnh lên so với tín hiệu ngõ vào A công AND có găt tự, tái

- Đo độ chênh lệch điểm tại mức điện áp  $\frac{V_{DD}}{2} = 900mV$  của hai tín hiệu ngõ vào và tín hiệu ngõ ra khi nguồn  $V_{pulse}$  đã được thay đổi thông số, ta tìm được độ trễ lan truyền cạnh xuống so với tín hiệu ngõ vào A ( $t_{pdf_A}$ ) là 460.3565ps.



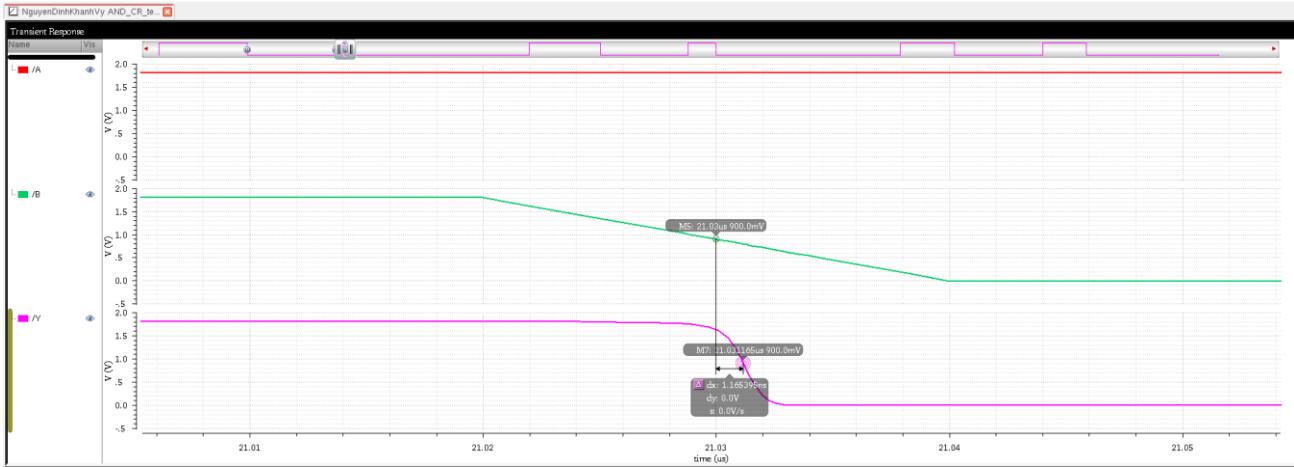
Hình 1.105. Độ trễ lan truyền cạnh xuống so với tín hiệu ngõ vào A công AND có gắn tụ, tải

- Đo độ chênh lệch điểm tại mức điện áp  $\frac{V_{DD}}{2} = 900mV$  của hai tín hiệu ngõ vào và tín hiệu ngõ ra khi nguồn  $V_{pulse}$  đã được thay đổi thông số, ta tìm được độ trễ lan truyền cạnh lên so với tín hiệu ngõ vào B ( $t_{pdr_B}$ ) là 1.0638ns.



Hình 1.106. Độ trễ lan truyền cạnh lên so với tín hiệu ngõ vào B công AND có gắn tụ, tải

- Đo độ chênh lệch điểm tại mức điện áp  $\frac{V_{DD}}{2} = 900mV$  của hai tín hiệu ngõ vào và tín hiệu ngõ ra khi nguồn  $V_{pulse}$  đã được thay đổi thông số, ta tìm được độ trễ lan truyền cạnh xuống so với tín hiệu ngõ vào B ( $t_{pdf_B}$ ) là 1.1654ns.



Hình 1.107. Độ trễ lan truyền cạnh xuống so với tín hiệu ngõ vào B cỗng AND có gắn tụ, tải

- Độ trễ lan truyền trung bình:

$$t_{pd_A} = \frac{t_{pdr_A} + t_{pdf_A}}{2} = \frac{1.7193 + 0.4604}{2} = 1.0899ns$$

$$t_{pd_B} = \frac{t_{pdr_B} + t_{pdf_B}}{2} = \frac{1.0638 + 1.1654}{2} = 1.1146ns$$

- Tính thời gian chuyển tiếp (transistion time): dùng công cụ Calculator tìm được thời gian xung cạnh lên lớn hơn thời gian xung cạnh xuống (1.356ns > 1.2613ns) và lớn hơn một khoảng là 94.7ps.

6 tf	1.26133n
7 tr	1.35598n

Hình 1.108. Thời gian xung cạnh lên và cạnh xuống đo được trên mô phỏng

- Nhận xét:

+ So với tín hiệu A khi không có hiện tượng glitch, độ trễ lan truyền trung bình của cỗng AND có gắn tụ, tải lớn hơn độ trễ lan truyền trung bình của cỗng AND không có gắn tụ, tải (1.0899ns > 578.8185ps).

+ So với tín hiệu B khi không có hiện tượng glitch, độ trễ lan truyền trung bình của cỗng AND có gắn tụ, tải lớn hơn độ trễ lan truyền trung bình của cỗng AND không có gắn tụ, tải (1.1146ns > 158.508ps).

- + So với tín hiệu A khi có hiện tượng glitch, độ trễ lan truyền cạnh lén của cổng AND có găc tụ, tải lớn hơn độ trễ lan truyền cạnh lén của cổng AND không có găc tụ, tải ( $1.7193s > 687.2304ps$ ).
- + So với tín hiệu B khi có hiện tượng glitch, độ trễ lan truyền cạnh xuống của cổng AND có găc tụ, tải lớn hơn độ trễ lan truyền cạnh xuống của cổng AND không có găc tụ, tải ( $1.1667ns > 260.4482ps$ ).
- + Thời gian xung cạnh lén của cổng AND có găc tụ, tải lớn hơn thời gian xung cạnh lén của cổng AND không có găc tụ, tải ( $1.356ns > 296.945ps$ ).
- + Thời gian xung cạnh xuống của cổng AND có găc tụ, tải lớn hơn thời gian xung cạnh xuống của cổng AND không có găc tụ, tải ( $1.2613ns > 372.075ps$ ).
- Tính công suất trung bình: dùng công cụ Calculator đo được công suất trung bình là  $5.365uW$ . Công suất trung bình của cổng AND có găc tụ, tải lớn hơn so với công suất trung bình của cổng AND không có găc tụ, tải ( $5.365uW > 1.208uW$ ) và chênh lệch giá trị là  $4.157uW$ .

E average(v("/net7" ?result "tran")*IT(...)	
Expression	Value
1 average(v("/n...	5.365u

Hình 1.109. Công suất trung bình đo được từ mô phỏng

### 1.3.4. Kết luận

- Bảng thống kê các giá trị AC mô phỏng được của công AND không gắn tụ, tải và công AND có gắn tụ, tải.

*Bảng 1.7. Các thông số của công AND*

LOẠI CÔNG AND	ĐIỀU KIỆN	THÔNG SỐ	GIÁ TRỊ	ĐƠN VỊ
Không gắn tụ, tải	Không có hiện tượng glitch	$t_{pdr_A}$	687.2304	ps
		$t_{pdf_A}$	470.4065	
		$t_{pdr_B}$	57.123	
		$t_{pdf_B}$	259.8931	
	Có hiện tượng glitch	$t_{pdr_A}$	687.2304	
		$t_{pdf_B}$	260.4482	
		$t_r$	296.945	ps
		$t_f$	372.075	
Có gắn tụ, tải		$P_{avg}$	1.208	uW
	Không có hiện tượng glitch	$t_{pdr_A}$	1.7193	ns
		$t_{pdf_A}$	0.4604	
		$t_{pdr_B}$	1.0638	
	Có hiện tượng glitch	$t_{pdf_B}$	1.1654	
		$t_{pdr_A}$	1.7193	
		$t_{pdf_B}$	1.1667	
		$t_r$	1.2613	
		$t_f$	1.356	
		$P_{avg}$	5.365	uW

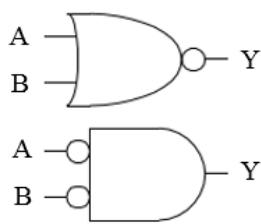
## 1.4. Cổng NOR

### 1.4.1. Lý thuyết

- Cổng NOR là cổng logic tạo ra đầu ra mức “1” nếu tất cả các đầu vào của nó mức “0”. Do đó đầu ra của nó là phản bù cho cổng OR.

- + Nếu ngõ vào A là 0, ngõ vào B là 0, ngõ ra là 1.
- + Nếu ngõ vào A là 0, ngõ vào B là 1, ngõ ra là 0.
- + Nếu ngõ vào A là 1, ngõ vào B là 0, ngõ ra là 0.
- + Nếu ngõ vào A là 1, ngõ vào B là 1, ngõ ra là 0.

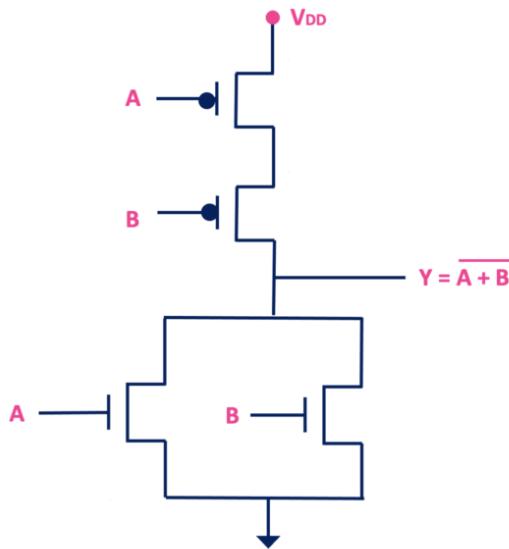
- Biểu thức logic:  $Y = \overline{A + B}$



A	B	Y
0	0	1
0	1	0
1	0	0
1	1	0

Hình 1.110. Ký hiệu và bảng trạng thái của cổng NOR

- Sơ đồ nguyên lý: Cổng NOR được cấu tạo từ hai PMOS và hai NMOS. Hai PMOS mắc nối tiếp, dẫn tốt mức “1” nên được dùng nối với nguồn  $V_{DD}$ , hai NMOS mắc song song, dẫn tốt mức “0” nên được dùng để nối với GND. Đầu ra được lấy từ điểm chung giữa PMOS và NMOS.



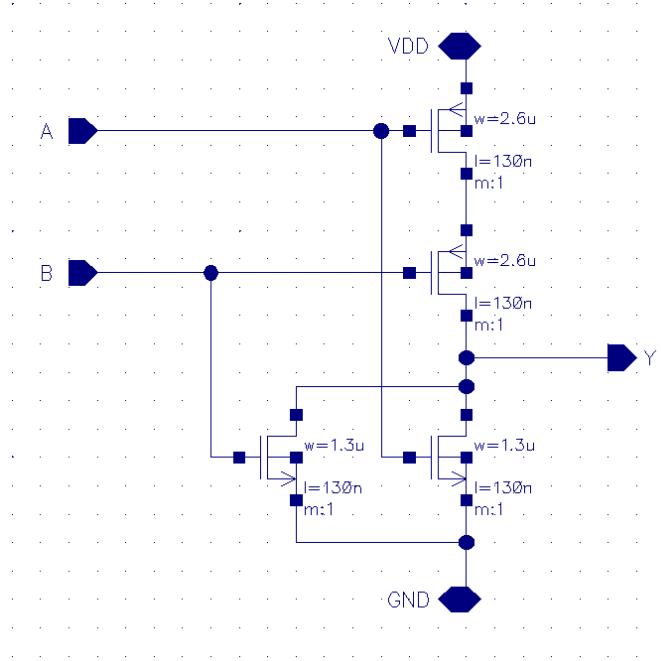
Hình 1.111. Sơ đồ nguyên lý cổng NOR

- Tỷ lệ W/L:

- + Tỷ lệ W/L của PMOS, NMOS sẽ phụ thuộc vào công nghệ CMOS và các yếu tố khác, nhưng phải đáp ứng điều kiện tỷ lệ W/L của PMOS gấp 2 đến 3 lần tỷ lệ W/L của NMOS.

#### 1.4.2. Thiết kế mô phỏng cổng NOR không có tụ và tải ký sinh

- Sơ đồ nguyên lý và thông số thiết kế mô phỏng PMOS, NMOS:



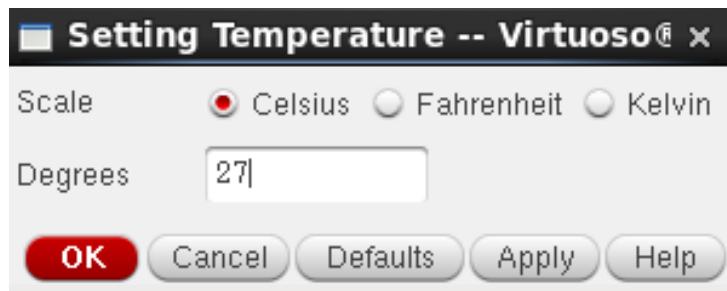
Hình 1.112. Sơ đồ nguyên lý mô phỏng cổng NOR

- Bảng thông số thiết kế mô phỏng độ rộng (W), độ dài (L) và tỷ lệ W/L của PMOS so với NMOS gấp 2 lần.

Bảng 1.8. Bảng thông số PMOS, NMOS để thiết kế mô phỏng cổng NOR

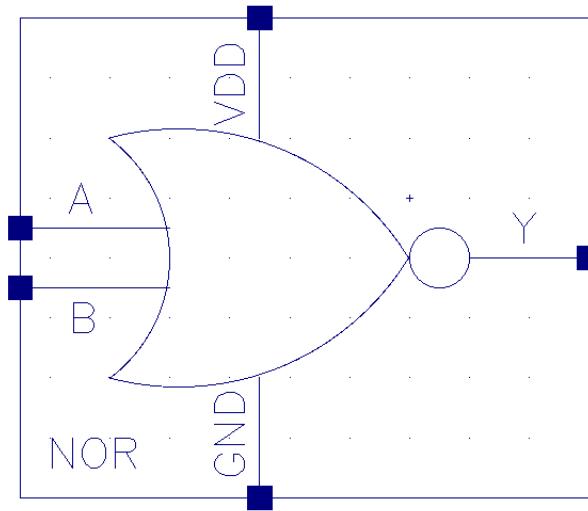
THÔNG SỐ	PMOS	NMOS
L (um)	0.13u	0.13u
W (um)	2.6u	1.3u

- Thiết kế được mô phỏng tại điều kiện nhiệt độ chuẩn  $T = 27^\circ\text{C}$ :



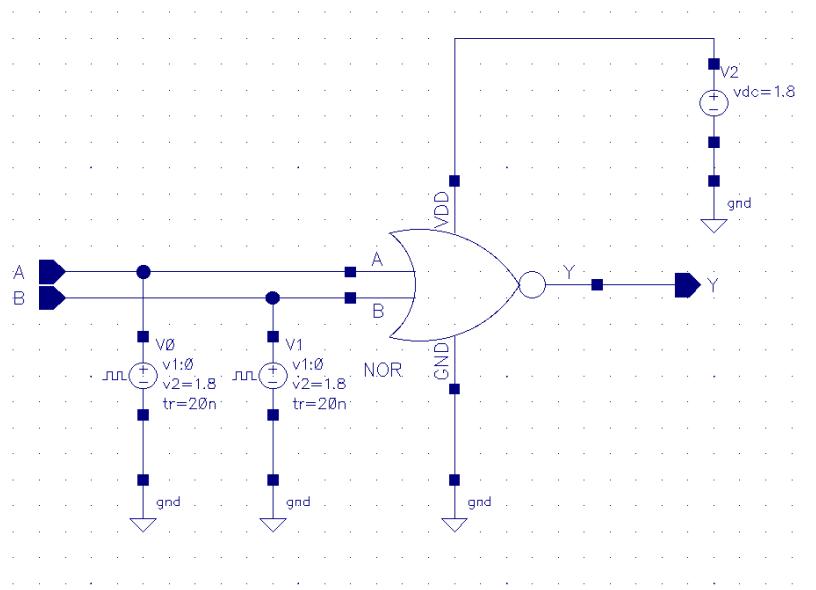
Hình 1.113. Cài đặt nhiệt độ thiết kế mô phỏng

- Đóng gói thiết kế mô phỏng bằng ký hiệu cổng NOR:



Hình 1.114. Đóng gói thiết kế cổng NOR

- Cáp nguồn để kiểm tra hoạt động cổng NOR:



Hình 1.115. Mạch kiểm tra hoạt động cổng NOR

- Thông số cài đặt:

- + Chân  $V_{DD}$  nối với nguồn  $V_{DC} = 1.8V$ .
- + Chân GND nối đất.
- + Chân  $V_{in}$  tương ứng với ngõ vào A, ta nối với nguồn  $V_{pulse}$  với các thông số sau:
  - Mức điện áp 1 (V1): 0V
  - Mức điện áp 2 (V2): 1.8V
  - Thời gian trễ: 0s

- Thời gian xung cạnh lên (tr): 1ns
- Thời gian xung cạnh xuống (tf): 1ns
- Độ rộng xung (ton): 10us
- Chu kỳ (period): 20us

+ Chân  $V_{in}$  tương ứng với ngõ vào B, ta nối với nguồn  $V_{pulse}$  với các thông số sau:

- Mức điện áp 1 (V1): 0V
- Mức điện áp 2 (V2): 1.8V
- Thời gian trễ: 0s
- Thời gian xung cạnh lên (tr): 1ns
- Thời gian xung cạnh xuống (tf): 1ns
- Độ rộng xung (ton): 21us
- Chu kỳ (period): 42us

- Các thông số được cài đặt nguồn nối với ngõ vào A để mô phỏng:

Voltage 2	1.8 V
Period	20u s
Delay time	0 s
Rise time	1n s
Fall time	1n s
Pulse width	10u s

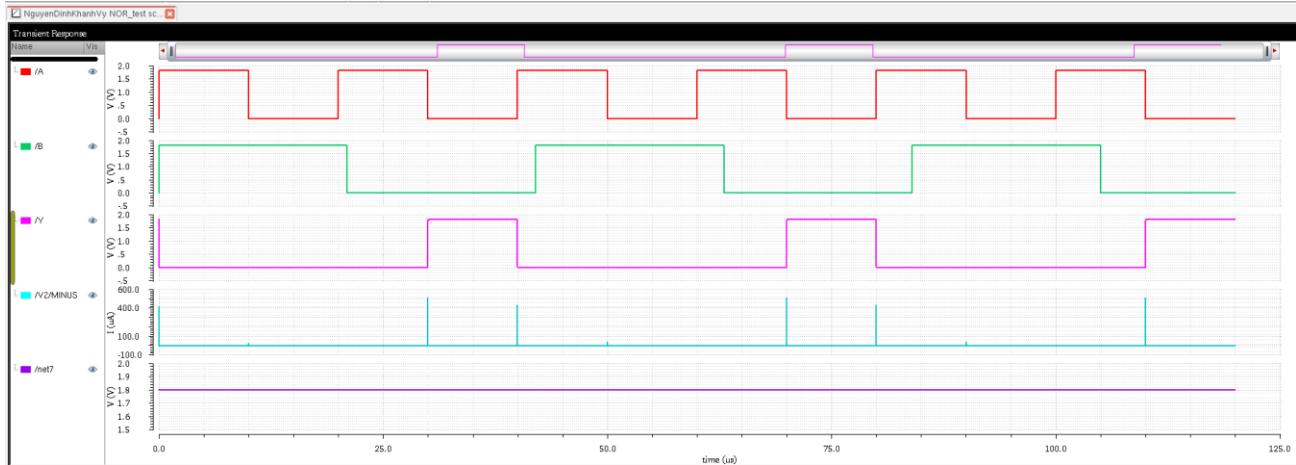
Hình 1.116. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào A

- Các thông số được cài đặt nguồn nối với ngõ vào B để mô phỏng:

Voltage 2	1.8 V
Period	42u s
Delay time	0 s
Rise time	1n s
Fall time	1n s
Pulse width	21u s

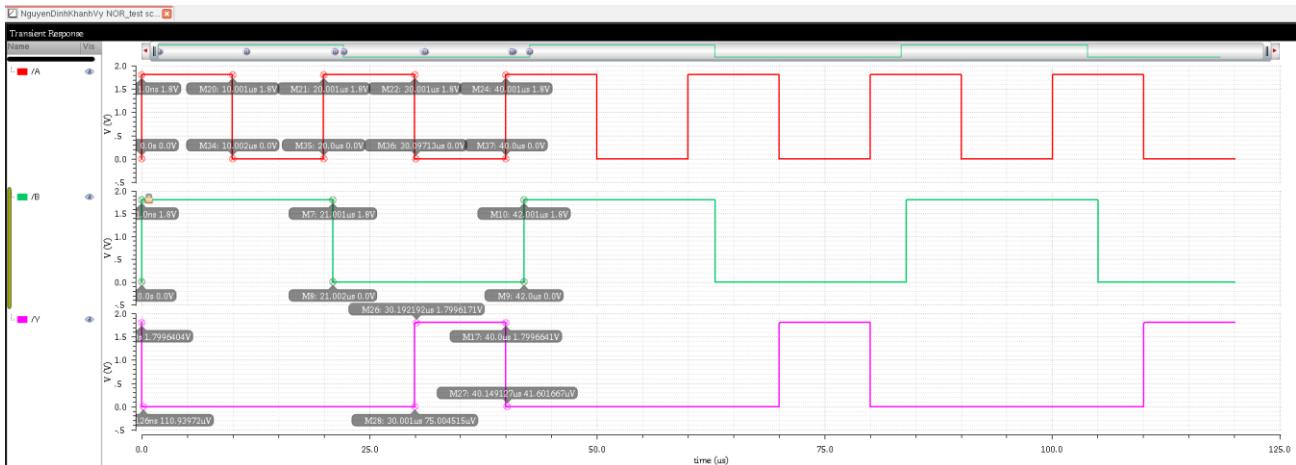
Hình 1.117. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào B

- Thực hiện mô phỏng để kiểm tra hoạt động theo bảng trạng thái của công NOR, kết quả thu được dạng sóng như hình bên dưới.
  - + A: ngõ vào 1 (đường màu đỏ).
  - + B: ngõ vào 2 (đường màu xanh lá).
  - + Y: ngõ ra (đường màu xanh tím).
  - + V2/MINUS: dòng điện qua công NOR (đường màu xanh biển).
  - + net7: điện áp qua công NOR (đường màu tím).



Hình 1.118. Kết quả mô phỏng dạng sóng của công NOR

- Biên độ của các tín hiệu ngõ vào, tín hiệu ngõ ra của công NOR khi tín hiệu ngõ vào, tín hiệu ngõ ra đảo điện áp:



Hình 1.119. Các điểm thay đổi khi tín hiệu ngõ vào và tín hiệu ngõ ra thay đổi của công NOR

- Nhận xét mức điện áp giữa tín hiệu ngõ vào A, tín hiệu ngõ vào B và tín hiệu ngõ ra Y khi có sự đảo điện áp ở tín hiệu ngõ vào:
  - + 0s tới 10us, tín hiệu ngõ vào A là 1.8V (mức cao), tín hiệu ngõ vào B là 1.8V (mức cao) thì tín hiệu ngõ ra Y khoảng 110.9372uV (mức thấp).

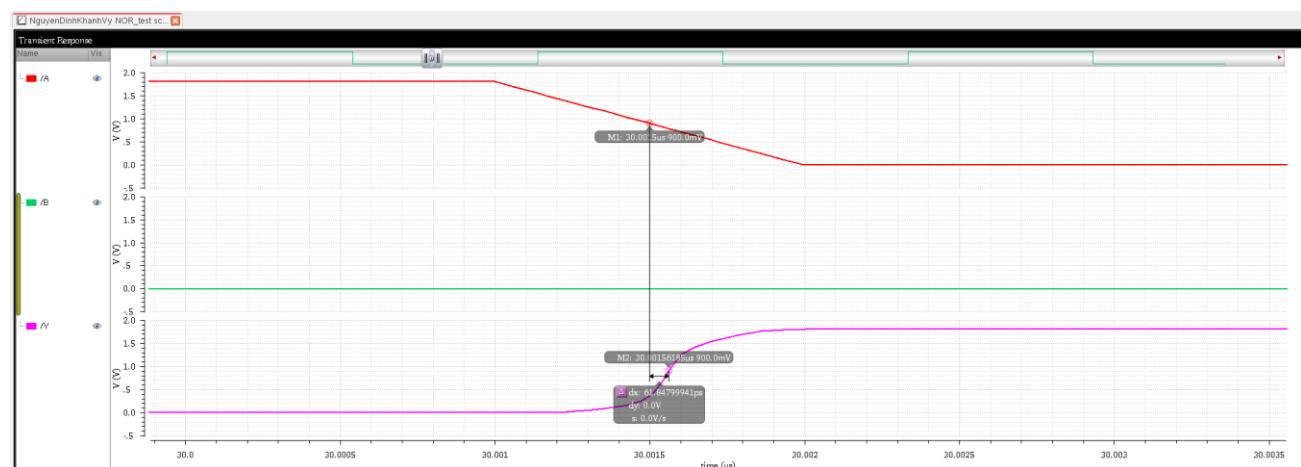
+ 10us tới 20us, tín hiệu ngõ vào A là 0V (mức thấp), tín hiệu ngõ vào B là 1.8V (mức cao) thì tín hiệu ngõ ra Y khoảng 110.9372uV (mức thấp).

+ 20s tới 30us, tín hiệu ngõ vào A là 1.8V (mức cao), tín hiệu ngõ vào B là 0V (mức thấp) thì tín hiệu ngõ ra Y khoảng 75.0045uV (mức thấp).

+ 30us tới 40us, tín hiệu ngõ vào A là 0V (mức thấp), tín hiệu ngõ vào B là 0V (mức thấp) thì tín hiệu ngõ ra Y khoảng 1.7996V (mức cao).

➔ Có sự hao hụt điện áp của tín hiệu ngõ ra Y so với hai tín hiệu ngõ vào nhưng không đáng kể. Sự đảo điện áp của tín hiệu ra Y đúng với bảng trạng thái.

- Đo độ chênh lệch điểm tại mức điện áp  $\frac{V_{DD}}{2} = 900mV$  của hai tín hiệu ngõ vào và tín hiệu ngõ ra khi nguồn  $V_{pulse}$  đã được thay đổi thông số, ta tìm được độ trễ lan truyền cạnh lén so với tín hiệu ngõ vào A ( $t_{pdr_A}$ ) là 61.849ps.



Hình 1.120. Độ trễ lan truyền cạnh lén so với tín hiệu ngõ vào A cỗng NOR không gán tụ, tải

- Đo độ chênh lệch điểm tại mức điện áp  $\frac{V_{DD}}{2} = 900mV$  của hai tín hiệu ngõ vào và tín hiệu ngõ ra khi nguồn  $V_{pulse}$  đã được thay đổi thông số, ta tìm được độ trễ lan truyền cạnh xuống so với tín hiệu ngõ vào A ( $t_{pdf_A}$ ) là 13.8077ps.



Hình 1.121. Độ trễ lan truyền cạnh xuống so với tín hiệu ngõ vào A công NOR không gắn tụ, tải

- Độ trễ lan truyền trung bình:

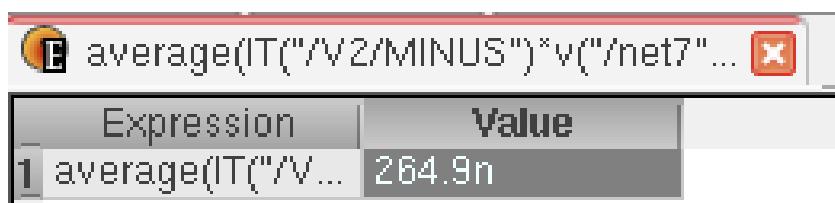
$$t_{pd_A} = \frac{t_{pdr_A} + t_{pdf_A}}{2} = \frac{61.849 + 13.8077}{2} = 37.8284\text{ps}$$

- Nhận xét: độ trễ lan truyền cạnh lên lớn hơn độ trễ lan truyền cạnh xuống một khoảng giá trị là 48.0413ps.
- Tính thời gian chuyển tiếp (transistion time): dùng công cụ Calculator tìm được thời gian xung cạnh lên lớn hơn thời gian xung cạnh xuống ( $157.294\text{ps} > 116.79\text{ps}$ ) và lớn hơn một khoảng là  $40.504\text{ps}$ .

6	tf	116.79p
7	tr	157.294p

Hình 1.122. Thời gian xung cạnh lên và cạnh xuống đo được trên mô phỏng

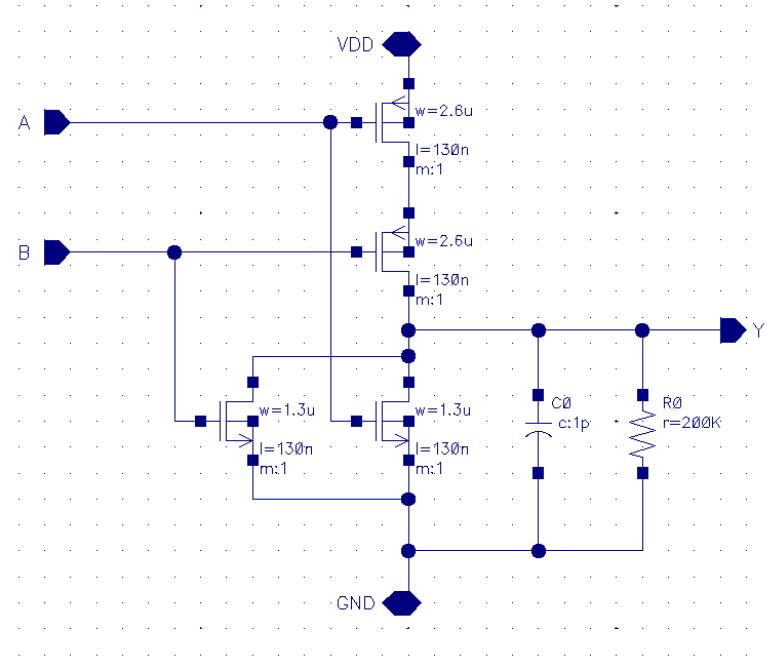
- Tính công suất trung bình: dùng công cụ Calculator đo được công suất trung bình là  $264.9\text{nW}$ .



Hình 1.123. Công suất trung bình đo được từ mô phỏng

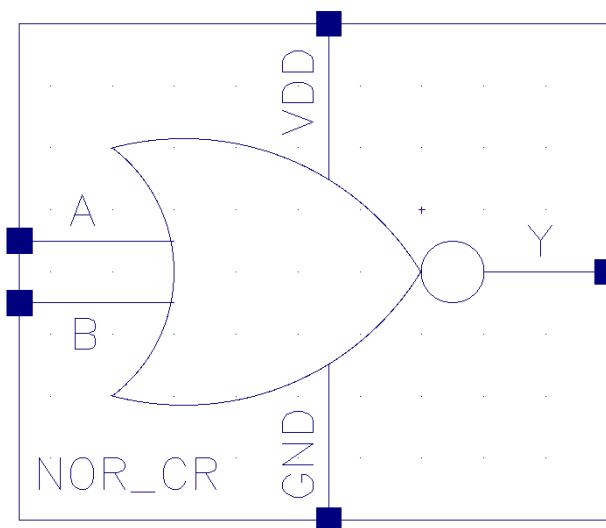
### 1.4.3. Thiết kế mô phỏng cổng NOR có tụ và tải ký sinh

- Sơ đồ nguyên lý và thông số thiết kế mô phỏng PMOS, NMOS:



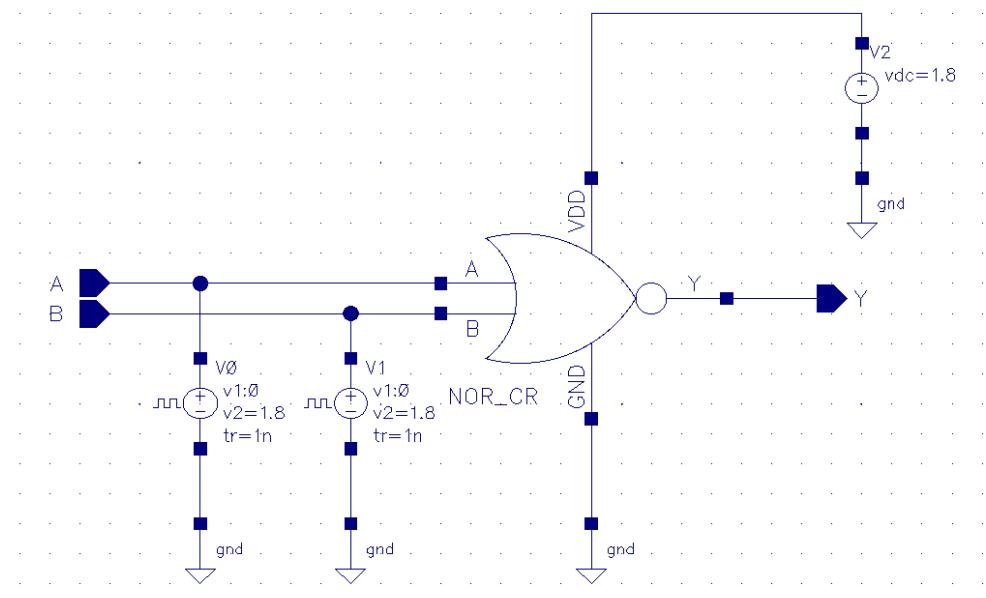
Hình 1.124. Sơ đồ nguyên lý mô phỏng cổng NOR có tụ và tải ký sinh

- Thiết lập thông số thiết kế mô phỏng độ rộng, độ dài, tỷ lệ W/L và nhiệt độ mô phỏng giống với cổng NOR không có tụ và tải ký sinh.
- Đóng gói thiết kế mô phỏng bằng ký hiệu cổng NOR:



Hình 1.125. Đóng gói thiết kế cổng NOR có tụ và tải ký sinh

- Cáp nguồn để kiểm tra hoạt động cổng NOR:



Hình 1.126. Mạch kiểm tra hoạt động cổng NOR có tụ và tải ký sinh

- Cài đặt thông số các nguồn giống với cổng NOR không có tụ, tải khi.
- Các thông số được cài đặt nguồn nối với ngõ vào A để mô phỏng:

Voltage 2	1.8 V
Period	20u s
Delay time	0 s
Rise time	1n s
Fall time	1n s
Pulse width	10u s

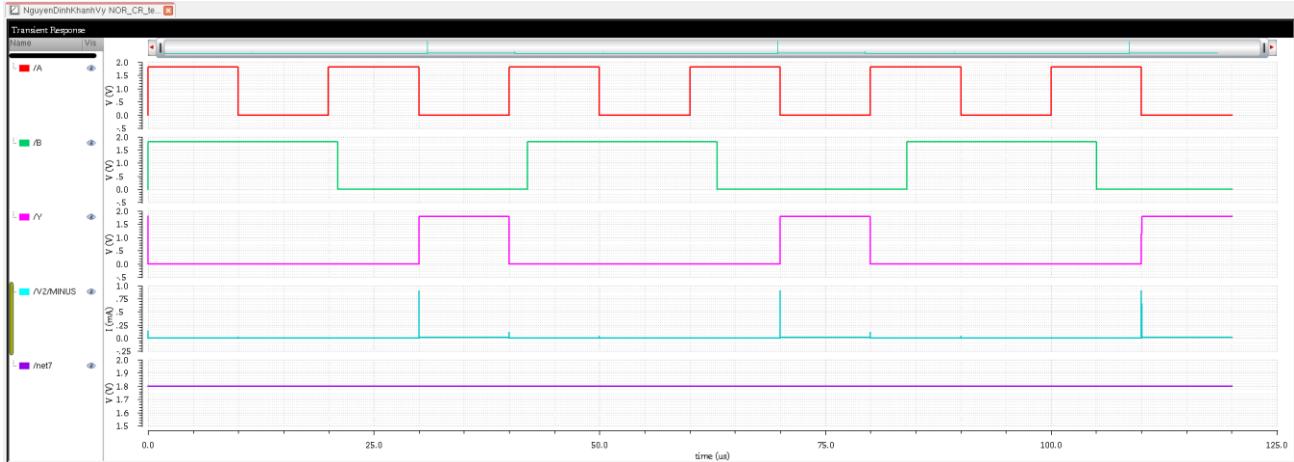
Hình 1.127. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào A

- Các thông số được cài đặt nguồn nối với ngõ vào B để mô phỏng:

Voltage 2	1.8 V
Period	42u s
Delay time	0 s
Rise time	1n s
Fall time	1n s
Pulse width	21u s

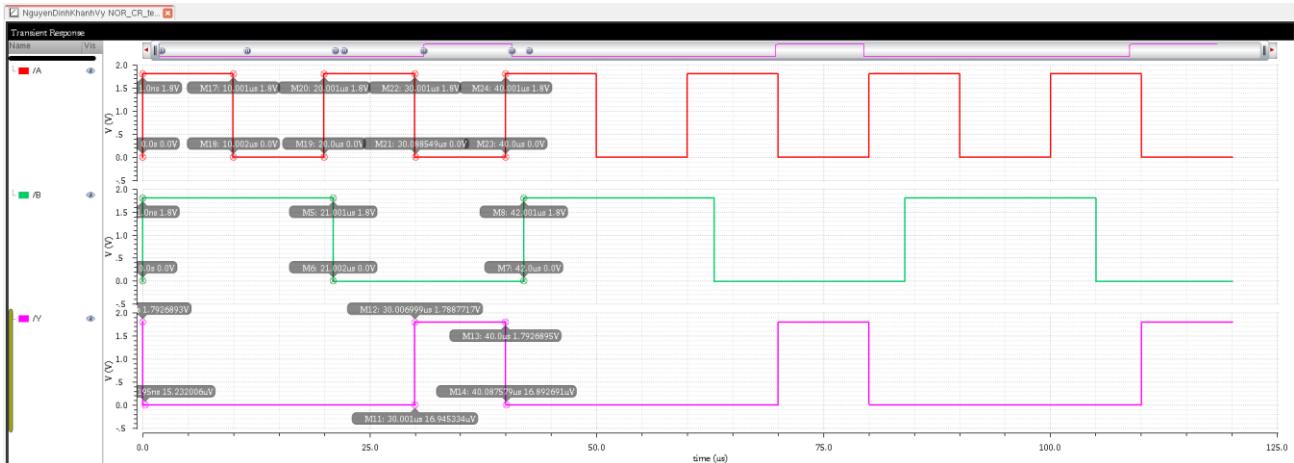
Hình 1.128. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào B

- Thực hiện mô phỏng để kiểm tra hoạt động theo bảng trạng thái của công NOR, kết quả thu được dạng sóng như hình bên dưới.
  - + A: ngõ vào 1 (đường màu đỏ).
  - + B: ngõ vào 2 (đường màu xanh lá).
  - + Y: ngõ ra (đường màu xanh tím).
  - + V2/MINUS: dòng điện qua công NOR (đường màu xanh biển).
  - + net7: điện áp qua công NOR (đường màu tím).



Hình 1.129. Kết quả mô phỏng dạng sóng của công NOR khi có tụ và tải

- Biên độ của các tín hiệu ngõ vào, tín hiệu ngõ ra của công NOR khi tín hiệu ngõ vào, tín hiệu ngõ ra đảo điện áp:



Hình 1.130. Các điểm thay đổi khi tín hiệu ngõ vào và tín hiệu ngõ ra thay đổi của công NOR

- Nhận xét mức điện áp giữa tín hiệu ngõ vào và tín hiệu ngõ ra khi có sự đảo điện áp ở tín hiệu ngõ vào của công NOR có gắn tụ, tải và so sánh thời gian chuyển mạch, sự hao hụt điện áp giữa công NOR không có tụ, tải và công NOR có gắn tụ, tải:

+ 0s tới 10us, tín hiệu ngõ vào A là 1.8V (mức cao), tín hiệu ngõ vào B là 1.8V (mức cao) thì tín

hiệu ngõ ra Y khoảng 15.232uV (mức thấp).

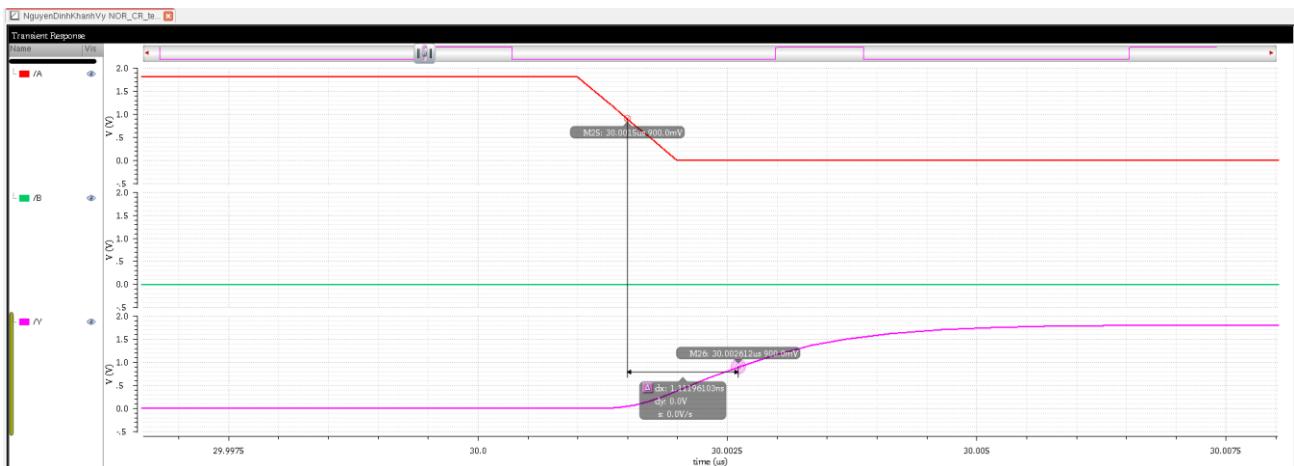
+ 10us tới 20us, tín hiệu ngõ vào A là 0V (mức thấp), tín hiệu ngõ vào B là 1.8V (mức cao) thì tín hiệu ngõ ra Y khoảng 16.9453uV(mức thấp).

+ 20s tới 30us, tín hiệu ngõ vào A là 1.8V (mức cao), tín hiệu ngõ vào B là 0V (mức thấp) thì tín hiệu ngõ ra Y khoảng 16.8927uV(mức thấp).

+ 30us tới 40us, tín hiệu ngõ vào A là 0V (mức thấp), tín hiệu ngõ vào B là 0V (mức thấp) thì tín hiệu ngõ ra Y khoảng 1.7888V (mức cao).

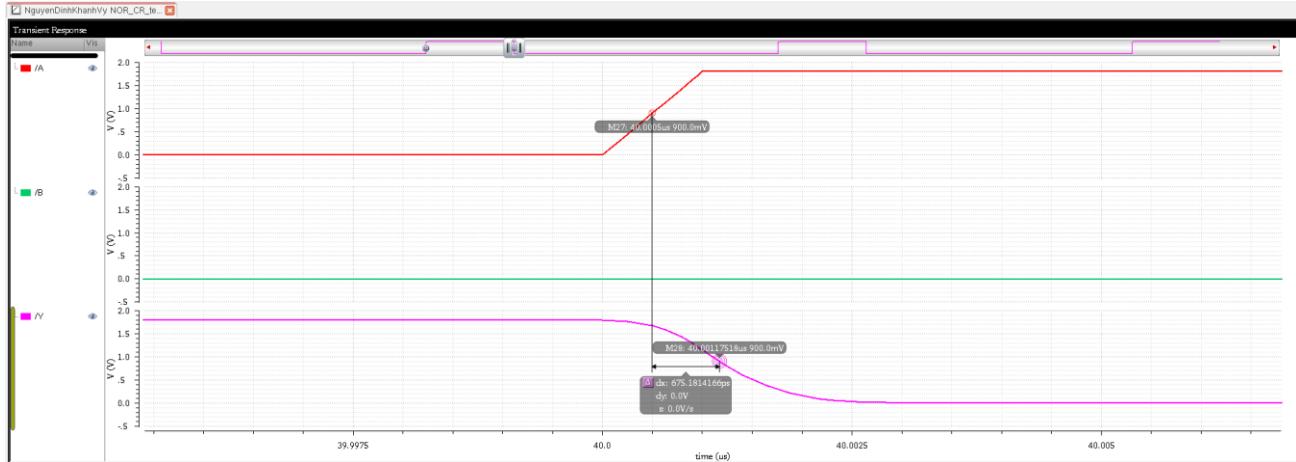
➔ Sự hao hụt điện áp của tín hiệu ngõ ra của cổng NOR có gắn tụ, tải lớn hơn sự hao hụt điện áp của tín hiệu ngõ ra của cổng NOR không gắn tụ, tải khi tín hiệu ngõ ra ở mức cao (chênh lệch 10.8mV). Sự hao hụt điện áp của tín hiệu ngõ ra của cổng NOR có gắn tụ, tải lớn hơn sự hao hụt điện áp của tín hiệu ngõ ra của cổng NOR không gắn tụ, tải khi tín hiệu ngõ ra ở mức thấp (chênh lệch 82.603uV).

- Đo độ chênh lệch điểm tại mức điện áp  $\frac{V_{DD}}{2} = 900mV$  của hai tín hiệu ngõ vào và tín hiệu ngõ ra khi nguồn  $V_{pulse}$  đã được thay đổi thông số, ta tìm được độ trễ lan truyền cạnh lén so với tín hiệu ngõ vào A ( $t_{pdr_A}$ ) là 1.112ns.



Hình 1.131. Độ trễ lan truyền cạnh lén so với tín hiệu ngõ vào A cổng NOR có gắn tụ, tải

- Đo độ chênh lệch điểm tại mức điện áp  $\frac{V_{DD}}{2} = 900mV$  của hai tín hiệu ngõ vào và tín hiệu ngõ ra khi nguồn  $V_{pulse}$  đã được thay đổi thông số, ta tìm được độ trễ lan truyền cạnh xuống so với tín hiệu ngõ vào A ( $t_{pdf_A}$ ) là 675.1814ps.



Hình 1.132. Độ trễ lan truyền cạnh xuống so với tín hiệu ngõ vào A công NOR có gắn tụ, tải

- Độ trễ lan truyền trung bình:

$$t_{pd_A} = \frac{t_{pdr_A} + t_{pdf_A}}{2} = \frac{1.112 + 0.6752}{2} = 0.8936ns$$

- Tính thời gian chuyển tiếp (transistion time): dùng công cụ Calculator tìm được thời gian xung cạnh lên lớn hơn thời gian xung cạnh xuống (1573.9ps > 534.674ps) và lớn hơn một khoảng là 1039.226ps.

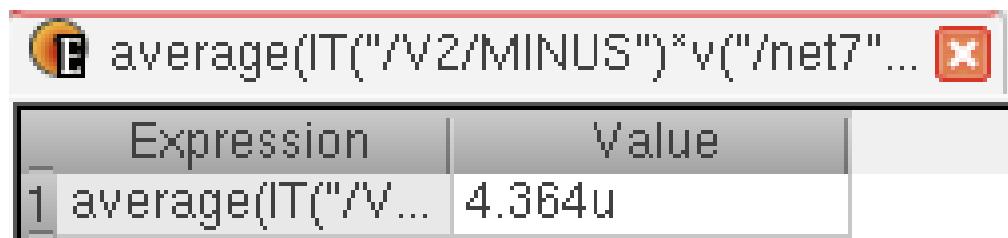
6 tf	534.674p
7 tr	1.57393n

Hình 1.133. Thời gian xung cạnh lên và cạnh xuống đo được trên mô phỏng

- Nhận xét:

- + Độ trễ lan truyền trung bình của công NOR có gắn tụ, tải lớn hơn độ trễ lan truyền trung bình của công NOR không có gắn tụ, tải (893.6ps > 37.8284ps) và chênh lệch khoảng giá trị là 855.7716ps.
- + Thời gian xung cạnh lên của công NOR có gắn tụ, tải lớn hơn thời gian xung cạnh lên của công NOR không có gắn tụ, tải (1.5739ns > 157.294ps).
- + Thời gian xung cạnh xuống của công NOR có gắn tụ, tải lớn hơn thời gian xung cạnh xuống của công NOR không có gắn tụ, tải (534.674ps > 116.79ps).

- Tính công suất trung bình: dùng công cụ Calculator đo được công suất trung bình là 4.364uW. Công suất trung bình của cổng NOR có gắn tụ, tải lớn hơn so với công suất trung bình của cổng NOR không có gắn tụ, tải ( $4.364\text{uW} > 0.265\text{uW}$ ) và chênh lệch giá trị là 4.099uW.



Hình 1.134. Công suất trung bình đo được từ mô phỏng

#### 1.4.4. Kết luận

- Bảng thống kê các giá trị AC mô phỏng được của cổng NOR không gắn tụ, tải và cổng NOR có gắn tụ, tải.

Bảng 1.9. Các thông số của cổng NOR

LOẠI CỔNG NOR	THÔNG SỐ	GIÁ TRỊ	ĐƠN VỊ
Không gắn tụ, tải	$t_{pdr_A}$	61.849	ps
	$t_{pdf_A}$	13.8077	
	$t_r$	157.294	
	$t_f$	116.79	
	$P_{avg}$	0.265	uW
Có gắn tụ, tải	$t_{pdr_A}$	1.112	ns
	$t_{pdf_A}$	0.6752	
	$t_r$	1.5739	
	$t_f$	0.5347	
	$P_{avg}$	4.364	uW

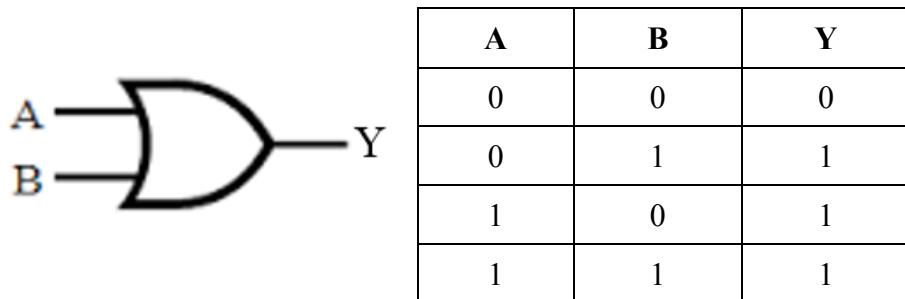
## 1.5. Cỗng OR

### 1.5.1. Lý thuyết

- Cỗng OR là cỗng logic thực hiện chức năng của phép toán cộng logic các tín hiệu vào.

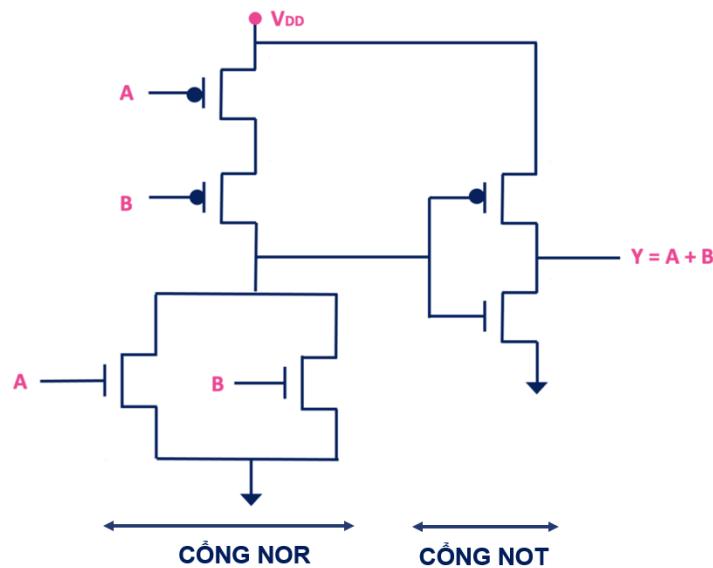
- + Nếu vào A là 0, vào B là 0, ra là 0.
- + Nếu vào A là 0, vào B là 1, ra là 1.
- + Nếu vào A là 1, vào B là 0, ra là 1.
- + Nếu vào A là 1, vào B là 1, ra là 1.

- Biểu thức logic:  $Y = A + B$



Hình 1.135. Ký hiệu và bảng trạng thái của cỗng OR

- Sơ đồ nguyên lý: Cỗng OR được xây dựng bằng cách kết hợp cỗng NOR và cỗng NOT. Cỗng BOR thực hiện phép toán NOR trên hai đầu vào, cỗng NOT đảo ngược đầu ra của cỗng NOR để tạo ra đầu ra OR.



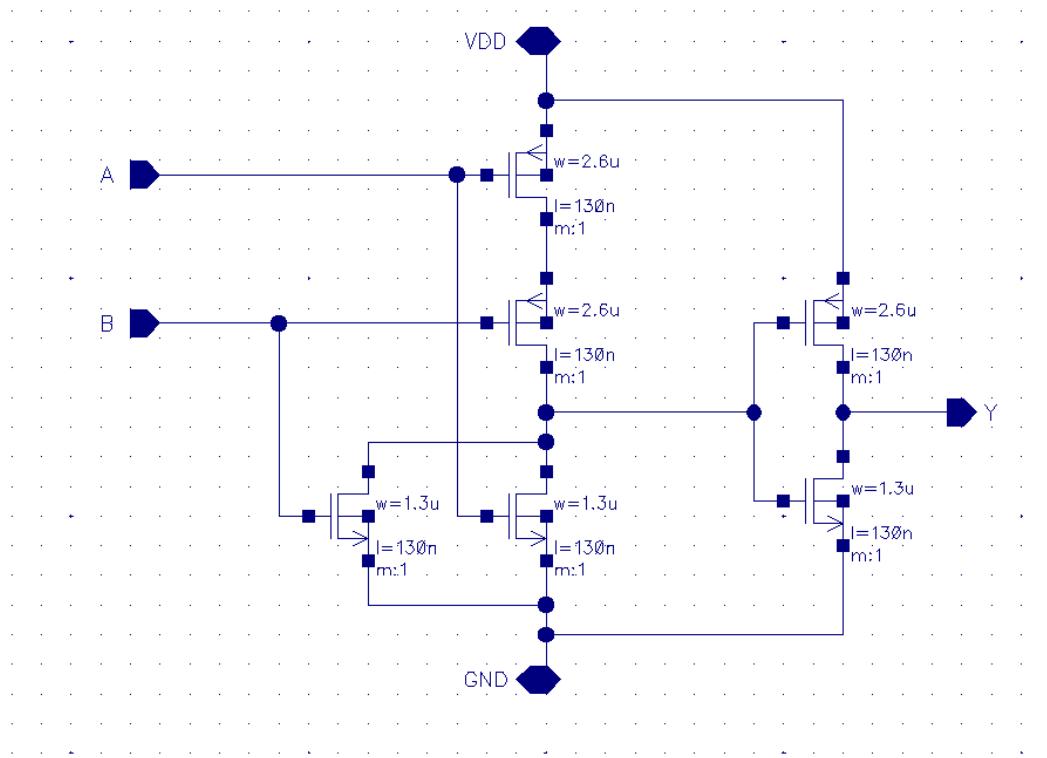
Hình 1.136. Sơ đồ nguyên lý cỗng OR

- Tỷ lệ W/L:

- + Tỷ lệ W/L của PMOS, NMOS sẽ phụ thuộc vào công nghệ CMOS và các yếu tố khác, nhưng phải đáp ứng điều kiện tỷ lệ W/L của PMOS gấp 2 đến 3 lần tỷ lệ W/L của NMOS.

### 1.5.2. Thiết kế mô phỏng cổng OR không có tụ và tải ký sinh

- Sơ đồ nguyên lý và thông số thiết kế mô phỏng PMOS, NMOS:



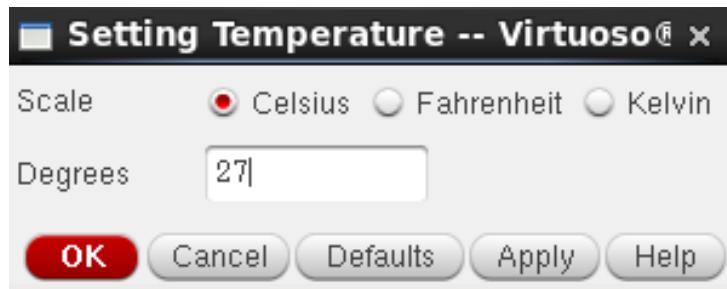
Hình 1.137. Sơ đồ nguyên lý mô phỏng cổng OR

- Bảng thông số thiết kế mô phỏng độ rộng (W), độ dài (L) và tỷ lệ W/L của PMOS so với NMOS gấp 2 lần.

**Bảng 1.10. Bảng thông số PMOS, NMOS để thiết kế mô phỏng cổng OR**

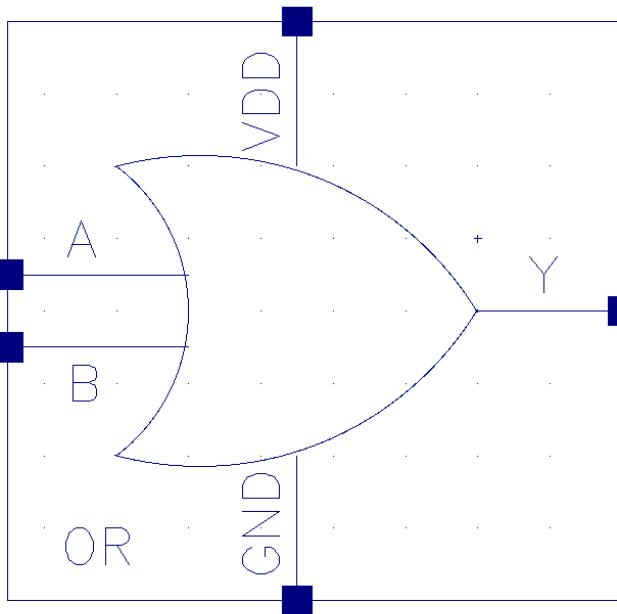
THÔNG SỐ	PMOS	NMOS
L (um)	0.13u	0.13u
W (um)	2.6u	1.3u

- Thiết kế được mô phỏng tại điều kiện nhiệt độ chuẩn  $T = 27^\circ\text{C}$ :



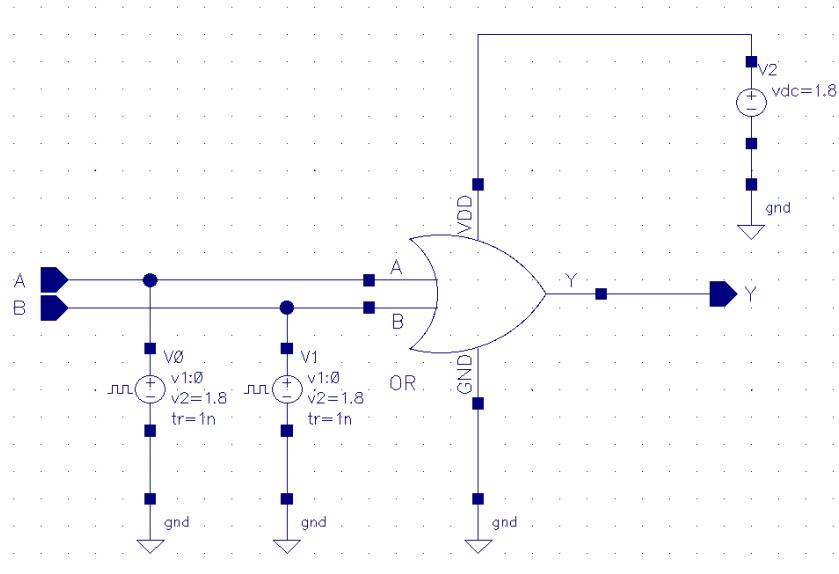
Hình 1.138. Cài đặt nhiệt độ thiết kế mô phỏng

- Đóng gói thiết kế mô phỏng bằng ký hiệu cổng OR:



Hình 1.139. Đóng gói thiết kế cổng OR

- Cáp nguồn để kiểm tra hoạt động cổng OR:



Hình 1.140. Mạch kiểm tra hoạt động cổng OR

- Thông số cài đặt:

- + Chân  $V_{DD}$  nối với nguồn  $V_{DC} = 1.8V$ .
- + Chân GND nối đất.
- + Chân  $V_{in}$  tương ứng với ngõ vào A, ta nối với nguồn  $V_{pulse}$  với các thông số sau:
  - Mức điện áp 1 ( $V1$ ): 0V

- Mức điện áp 2 (V2): 1.8V
- Thời gian trễ: 0s
- Thời gian xung cạnh lên (tr): 1ns
- Thời gian xung cạnh xuống (tf): 1ns
- Độ rộng xung (ton): 10us
- Chu kỳ (period): 20us

+ Chân  $V_{in}$  tương ứng với ngõ vào B, ta nối với nguồn  $V_{pulse}$  với các thông số sau:

- Mức điện áp 1 (V1): 0V
- Mức điện áp 2 (V2): 1.8V
- Thời gian trễ: 0s
- Thời gian xung cạnh lên (tr): 1ns
- Thời gian xung cạnh xuống (tf): 1ns
- Độ rộng xung (ton): 21us
- Chu kỳ (period): 42us

- Các thông số được cài đặt nguồn nối với ngõ vào A để mô phỏng:

Voltage 2	1.8 V
Period	20u s
Delay time	0 s
Rise time	1n s
Fall time	1n s
Pulse width	10u s

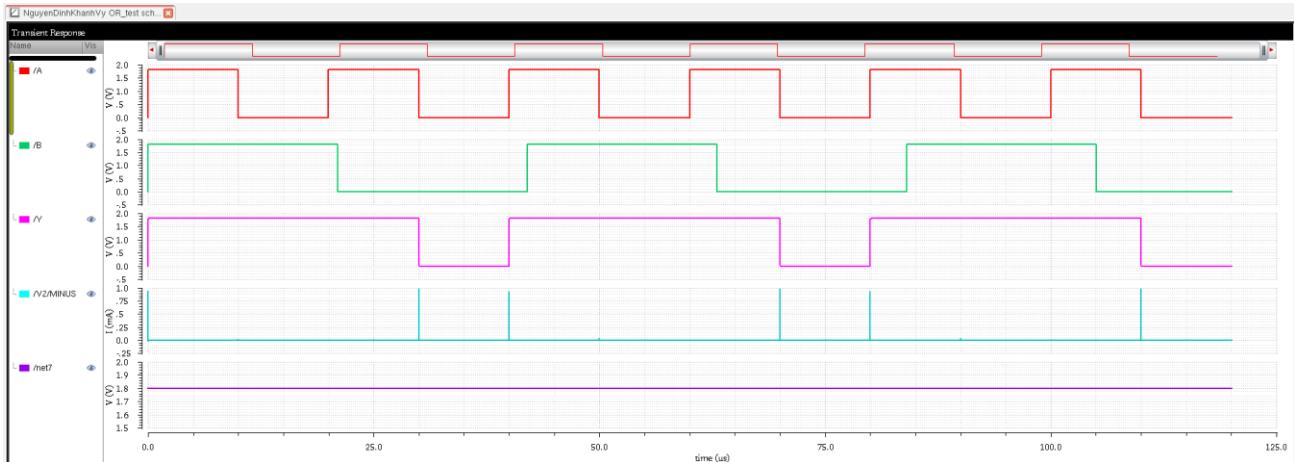
Hình 1.141. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào A

- Các thông số được cài đặt nguồn nối với ngõ vào B để mô phỏng:

Voltage 2	1.8 V
Period	42u s
Delay time	0 s
Rise time	1n s
Fall time	1n s
Pulse width	21u s

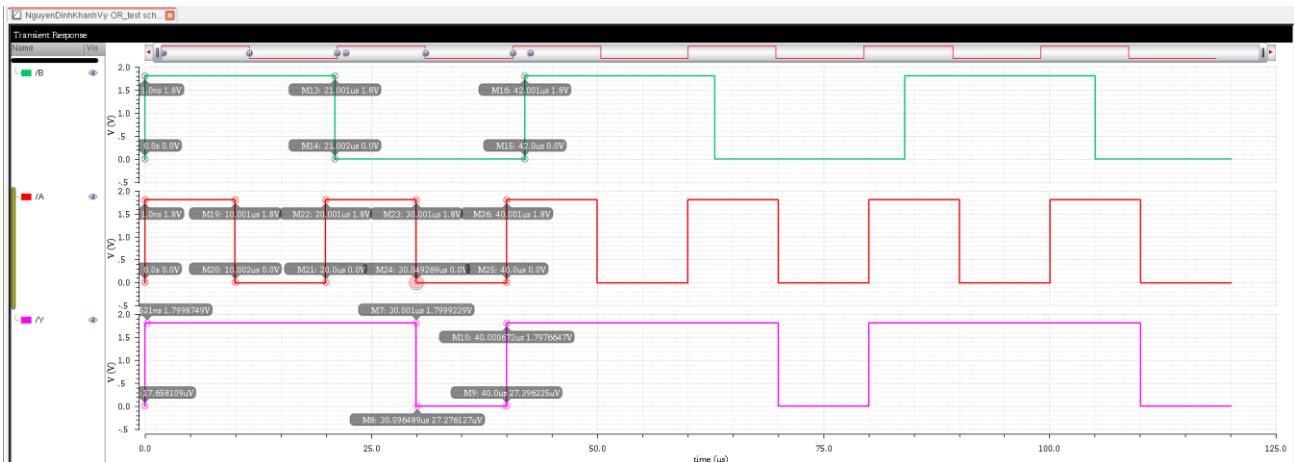
Hình 1.142. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào B

- Thực hiện mô phỏng để kiểm tra hoạt động theo bảng trạng thái của cổng OR, kết quả thu được dạng sóng như hình bên dưới.
  - + A: ngõ vào 1 (đường màu đỏ).
  - + B: ngõ vào 2 (đường màu xanh lá).
  - + Y: ngõ ra (đường màu xanh tím).
  - + V2/MINUS: dòng điện qua cổng OR (đường màu xanh biển).
  - + net7: điện áp qua cổng OR (đường màu tím).



Hình 1.143. Kết quả mô phỏng dạng sóng của cổng OR

- Biên độ của các tín hiệu ngõ vào, tín hiệu ngõ ra của cổng OR khi tín hiệu ngõ vào, tín hiệu ngõ ra đảo điện áp:



Hình 1.144. Các điểm thay đổi khi tín hiệu ngõ vào và tín hiệu ngõ ra thay đổi của cổng OR

- Nhận xét mức điện áp giữa tín hiệu ngõ vào A, tín hiệu ngõ vào B và tín hiệu ngõ ra Y khi có sự đảo điện áp ở tín hiệu ngõ vào:

- + 0s tới 10us, tín hiệu ngõ vào A là 1.8V (mức cao), tín hiệu ngõ vào B là 1.8V (mức cao) thì tín hiệu ngõ ra Y khoảng 1.7999V (mức cao).

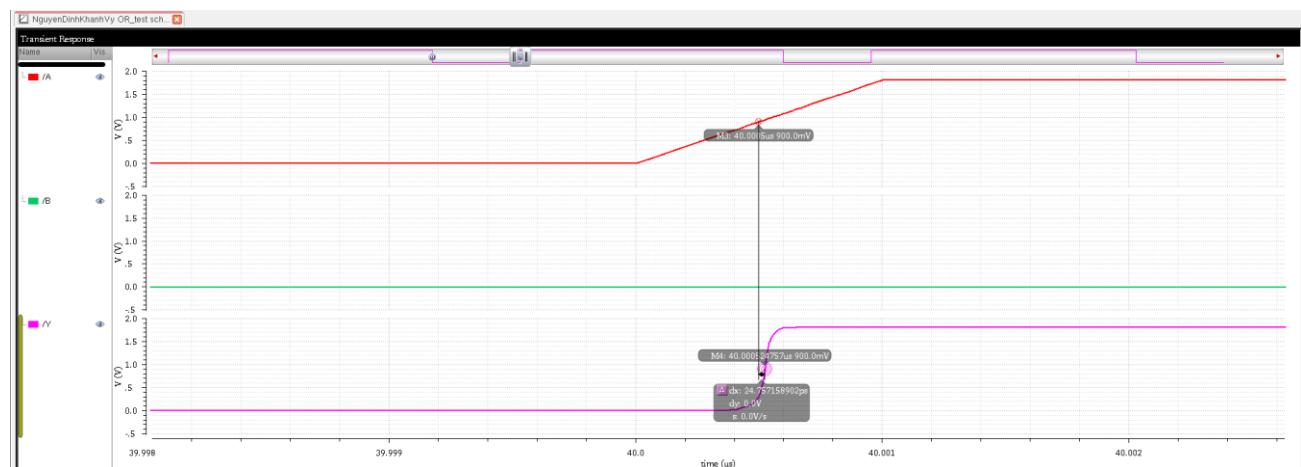
+ 10us tới 20us, tín hiệu ngõ vào A là 0V (mức thấp), tín hiệu ngõ vào B là 1.8V (mức cao) thì tín hiệu ngõ ra Y khoảng 1.7999V (mức cao).

+ 20s tới 30us, tín hiệu ngõ vào A là 1.8V (mức cao), tín hiệu ngõ vào B là 0V (mức thấp) thì tín hiệu ngõ ra Y khoảng 1.7999V (mức cao).

+ 30us tới 40us, tín hiệu ngõ vào A là 0V (mức thấp), tín hiệu ngõ vào B là 0V (mức thấp) thì tín hiệu ngõ ra Y khoảng 27.2762uV (mức thấp).

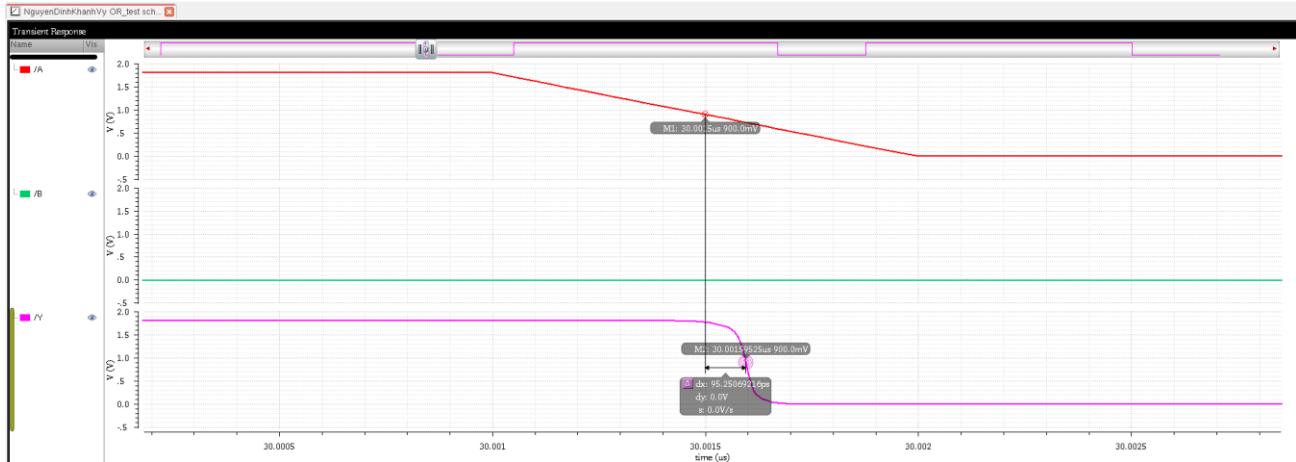
➔ Có sự hao hụt điện áp của tín hiệu ngõ ra Y so với hai tín hiệu ngõ vào nhưng không đáng kể. Sự đảo điện áp của tín hiệu ra Y đúng với bảng trạng thái.

- Đo độ chênh lệch điểm tại mức điện áp  $\frac{V_{DD}}{2} = 900mV$  của hai tín hiệu ngõ vào và tín hiệu ngõ ra khi nguồn  $V_{pulse}$  đã được thay đổi thông số, ta tìm được độ trễ lan truyền cạnh lén so với tín hiệu ngõ vào A ( $t_{pdr_A}$ ) là 24.7572ps.



Hình 1.145. Độ trễ lan truyền cạnh lén so với tín hiệu ngõ vào A cổng OR không gắn tụ, tải

- Đo độ chênh lệch điểm tại mức điện áp  $\frac{V_{DD}}{2} = 900mV$  của hai tín hiệu ngõ vào và tín hiệu ngõ ra khi nguồn  $V_{pulse}$  đã được thay đổi thông số, ta tìm được độ trễ lan truyền cạnh xuống so với tín hiệu ngõ vào A ( $t_{pdf_A}$ ) là 95.2507ps.



Hình 1.146. Độ trễ lan truyền cạnh xuống so với tín hiệu ngõ vào A công OR không gán tụ, tải

- Độ trễ lan truyền trung bình:

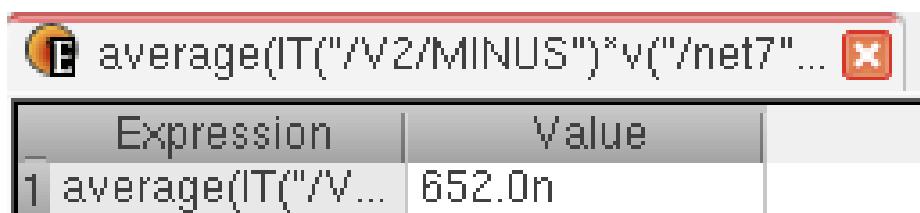
$$t_{pd_A} = \frac{t_{pdr_A} + t_{pdf_A}}{2} = \frac{24.7572 + 95.2507}{2} = 60.004\text{ps}$$

- Nhận xét: độ trễ lan truyền cạnh lên nhỏ cạnh độ trễ lan truyền cạnh xuống một khoảng giá trị là 70.4935ps.
- Tính thời gian chuyển tiếp (transistion time): dùng công cụ Calculator tìm được thời gian xung cạnh lên nhỏ hơn thời gian xung cạnh xuống ( $29.3856\text{ps} < 32.9863\text{ps}$ ) và nhỏ hơn một khoảng là 3.6007ps.

6 tf	32.9863p
7 tr	29.3856p

Hình 1.147. Thời gian xung cạnh lên và cạnh xuống đo được trên mô phỏng

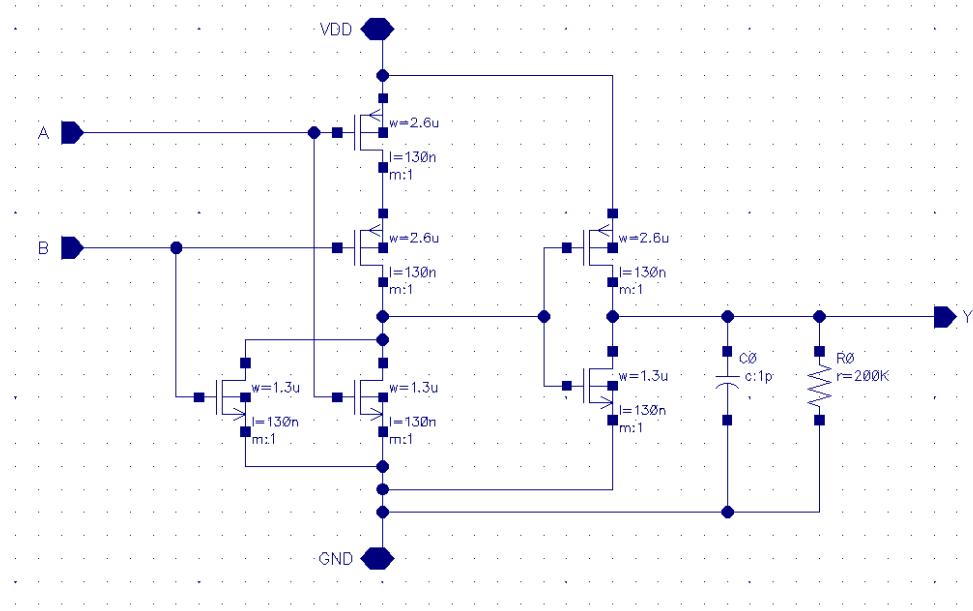
- Tính công suất trung bình: dùng công cụ Calculator đo được công suất trung bình là 652nW.



Hình 1.148. Công suất trung bình đo được từ mô phỏng

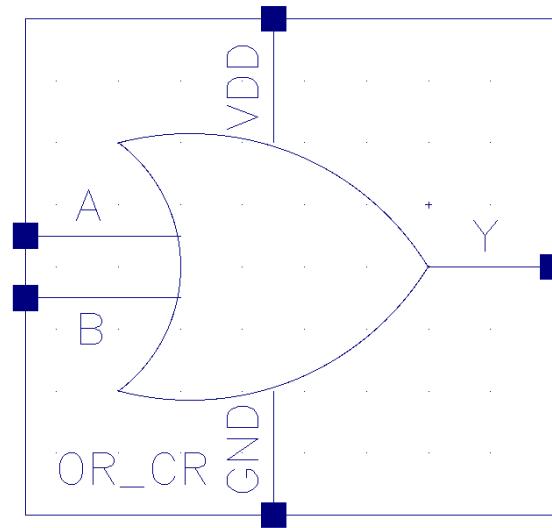
### 1.5.3. Thiết kế mô phỏng cổng OR có tụ và tải ký sinh

- Sơ đồ nguyên lý và thông số thiết kế mô phỏng PMOS, NMOS:



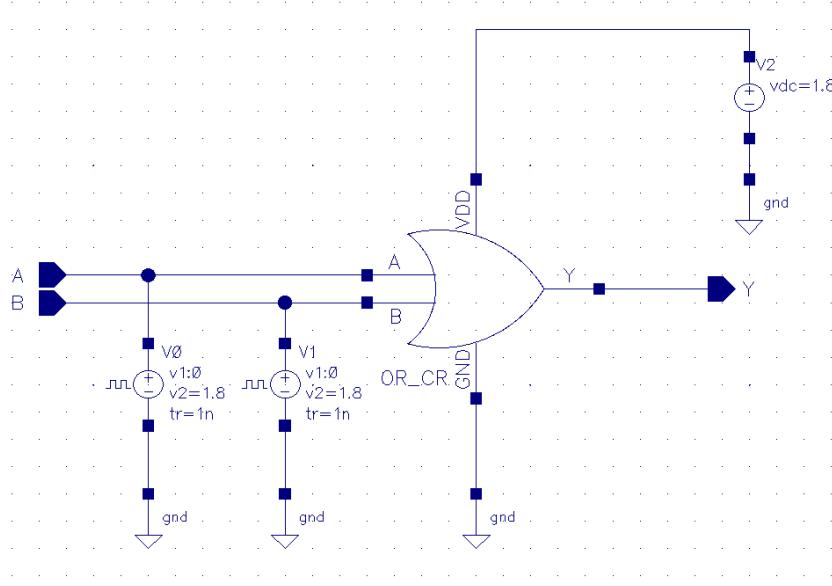
Hình 1.149. Sơ đồ nguyên lý mô phỏng cổng OR có tụ và tải ký sinh

- Thiết lập thông số thiết kế mô phỏng độ rộng, độ dài, tỷ lệ W/L và nhiệt độ mô phỏng giống với cổng OR không có tụ và tải ký sinh.
- Đóng gói thiết kế mô phỏng bằng ký hiệu cổng OR:



Hình 1.150. Đóng gói thiết kế cổng OR có tụ và tải ký sinh

- Cáp nguồn để kiểm tra hoạt động cổng OR:



Hình 1.151. Mạch kiểm tra hoạt động cổng OR có tụ và tải ký sinh

- Cài đặt thông số các nguồn giống với cổng OR không có tụ, tải.
- Các thông số được cài đặt nguồn nối với ngõ vào A để mô phỏng:

Voltage 2	1.8 V
Period	20u s
Delay time	0 s
Rise time	1n s
Fall time	1n s
Pulse width	10u s

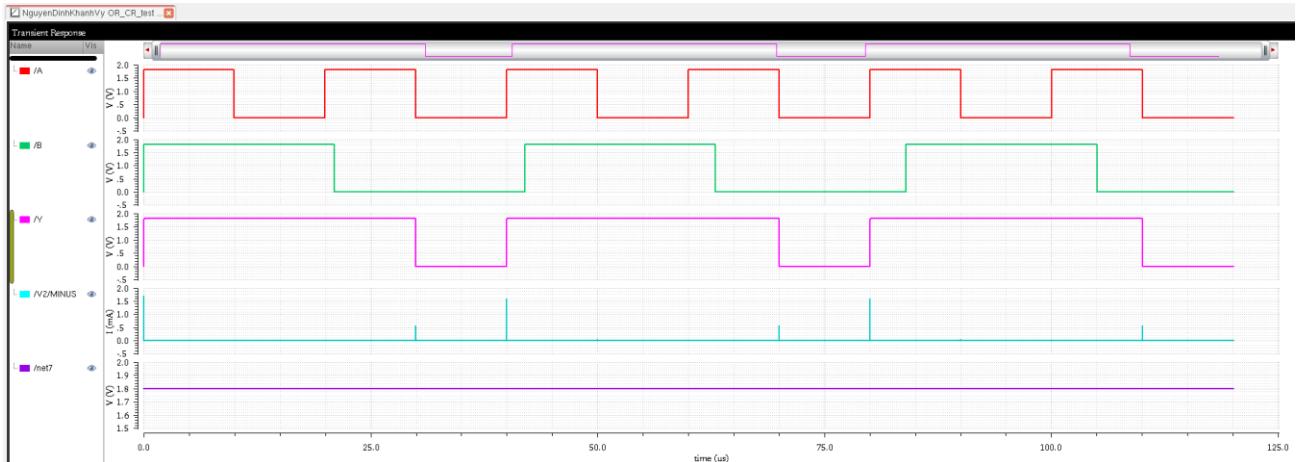
Hình 1.152. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào A

- Các thông số được cài đặt nguồn nối với ngõ vào B để mô phỏng:

Voltage 2	1.8 V
Period	42u s
Delay time	0 s
Rise time	1n s
Fall time	1n s
Pulse width	21u s

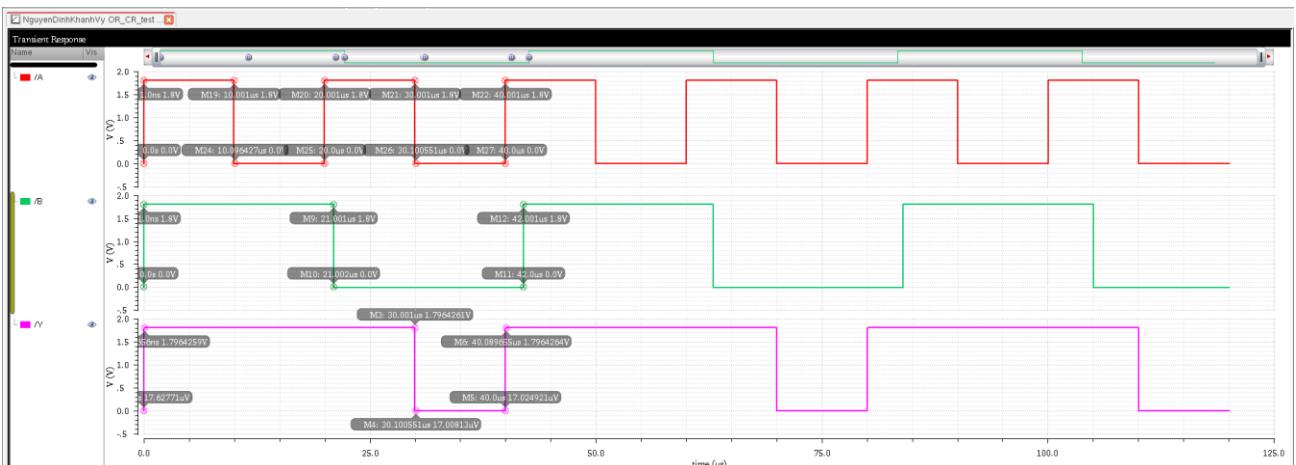
Hình 1.153. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào B

- Thực hiện mô phỏng để kiểm tra hoạt động theo bảng trạng thái của cổng OR, kết quả thu được dạng sóng như hình bên dưới.
  - + A: ngõ vào 1 (đường màu đỏ).
  - + B: ngõ vào 2 (đường màu xanh lá).
  - + Y: ngõ ra (đường màu xanh tím).
  - + V2/MINUS: dòng điện qua cổng OR (đường màu xanh biển).
  - + net7: điện áp qua cổng OR (đường màu tím).



Hình 1.154. Kết quả mô phỏng dạng sóng của cổng OR khi có tụ và tải

- Biên độ của các tín hiệu ngõ vào, tín hiệu ngõ ra của cổng OR khi tín hiệu ngõ vào, tín hiệu ngõ ra đảo điện áp:



hiệu ngõ ra Y khoảng 1.7964V (mức cao).

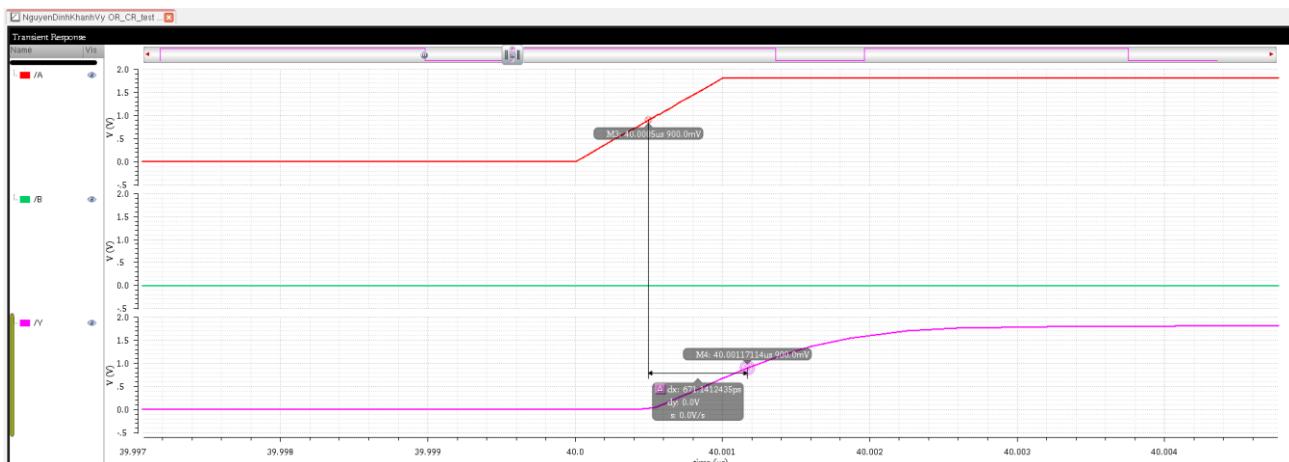
+ 10us tới 20us, tín hiệu ngõ vào A là 0V (mức thấp), tín hiệu ngõ vào B là 1.8V (mức cao) thì tín hiệu ngõ ra Y khoảng 1.7964V (mức cao).

+ 20s tới 30us, tín hiệu ngõ vào A là 1.8V (mức cao), tín hiệu ngõ vào B là 0V (mức thấp) thì tín hiệu ngõ ra Y khoảng 1.7964V (mức cao).

+ 30us tới 40us, tín hiệu ngõ vào A là 0V (mức thấp), tín hiệu ngõ vào B là 0V (mức thấp) thì tín hiệu ngõ ra Y khoảng 17.0249uV (mức thấp).

➔ Sự hao hụt điện áp của tín hiệu ngõ ra của công OR có gắn tụ, tải lớn hơn sự hao hụt điện áp của tín hiệu ngõ ra của công OR không gắn tụ, tải khi tín hiệu ngõ ra ở mức cao (chênh lệch 3.5mV). Sự hao hụt điện áp của tín hiệu ngõ ra của công OR có gắn tụ, tải lớn hơn sự hao hụt điện áp của tín hiệu ngõ ra của công OR không gắn tụ, tải khi tín hiệu ngõ ra ở mức thấp (chênh lệch 10.2513uV).

- Đo độ chênh lệch điểm tại mức điện áp  $\frac{V_{DD}}{2} = 900mV$  của hai tín hiệu ngõ vào và tín hiệu ngõ ra khi nguồn  $V_{pulse}$  đã được thay đổi thông số, ta tìm được độ trễ lan truyền cạnh lén so với tín hiệu ngõ vào A ( $t_{pdr_A}$ ) là 671.1412ps.



Hình 1.156. Độ trễ lan truyền cạnh lén so với tín hiệu ngõ vào A công OR có gắn tụ, tải

- Đo độ chênh lệch điểm tại mức điện áp  $\frac{V_{DD}}{2} = 900mV$  của hai tín hiệu ngõ vào và tín hiệu ngõ ra khi nguồn  $V_{pulse}$  đã được thay đổi thông số, ta tìm được độ trễ lan truyền cạnh xuống so với tín hiệu ngõ vào A ( $t_{pdf_A}$ ) là 712.162ps.



Hình 1.157. Độ trễ lan truyền cạnh xuống so với tín hiệu ngõ vào A cổng OR có gắn tụ, tải

- Độ trễ lan truyền trung bình:

$$t_{pd_A} = \frac{t_{pdr_A} + t_{pdf_A}}{2} = \frac{671.1412 + 712.162}{2} = 691.6516ps$$

- Tính thời gian chuyển tiếp (transistion time): dùng công cụ Calculator tìm được thời gian xung cạnh lên lớn hơn thời gian xung cạnh xuống (938.381ps > 864.47ps) và lớn hơn một khoảng là 73.911ps.

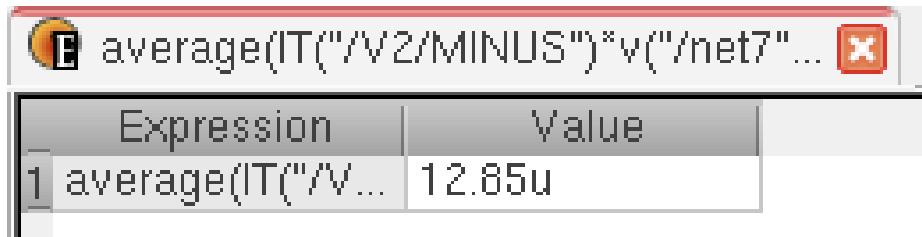


Hình 1.158. Thời gian xung cạnh lên và cạnh xuống đo được trên mô phỏng

- Nhận xét:

- + Độ trễ lan truyền trung bình của cổng OR có gắn tụ, tải lớn hơn độ trễ lan truyền trung bình của cổng OR không có gắn tụ, tải ( $691.6516ps > 60.004ps$ ) và chênh lệch khoảng giá trị là 631.6476ps.
- + Thời gian xung cạnh lên của cổng OR có gắn tụ, tải lớn hơn thời gian xung cạnh lên của cổng OR không có gắn tụ, tải ( $938.381ps > 29.3856ps$ ) và chênh lệch một khoảng giá trị là 908.9954ps.
- + Thời gian xung cạnh xuống của cổng OR có gắn tụ, tải lớn hơn thời gian xung cạnh xuống của cổng OR không có gắn tụ, tải ( $864.47ps > 32.9863ps$ ) và chênh lệch một khoảng giá trị là 831.4837ps.

- Tính công suất trung bình: dùng công cụ Calculator đo được công suất trung bình là 12.85uW. Công suất trung bình của cổng OR có gắn tụ, tải lớn hơn so với công suất trung bình của cổng OR không có gắn tụ, tải ( $12.854\text{uW} > 0.652\text{uW}$ ) và chênh lệch giá trị là 12.198uW.



Hình 1.159. Công suất trung bình đo được từ mô phỏng

#### 1.5.4. Kết luận

- Bảng thống kê các giá trị AC mô phỏng được của cổng OR không gắn tụ, tải và cổng OR có gắn tụ, tải:

Bảng 1.11. Các thông số của cổng OR

LOẠI CỔNG OR	THÔNG SỐ	GIÁ TRỊ	ĐƠN VỊ
Không gắn tụ, tải	$t_{pdr_A}$	24.7572	ps
	$t_{pdf_A}$	95.2507	
	$t_r$	29.3856	
	$t_f$	32.9863	
	$P_{avg}$	0.652	uW
Có gắn tụ, tải	$t_{pdr_A}$	671.1412	ps
	$t_{pdf_A}$	712.162	
	$t_r$	938.381	
	$t_f$	864.47	
	$P_{avg}$	12.854	uW

## 1.6. Cổng EXNOR

### 1.6.1. Lý thuyết

- Cổng EXNOR là cổng logic thường được sử dụng để so sánh hai tín hiệu đầu vào và tạo ra một tín hiệu đầu ra dựa trên kết quả của phép so sánh.

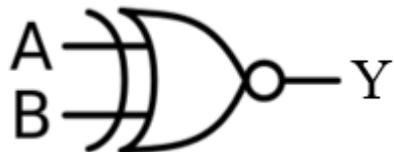
- + Nếu ngõ vào A là 0, ngõ vào B là 0, ngõ ra là 1.

- + Nếu ngõ vào A là 0, ngõ vào B là 1, ngõ ra là 0.

- + Nếu ngõ vào A là 1, ngõ vào B là 0, ngõ ra là 0.

- + Nếu ngõ vào A là 1, ngõ vào B là 1, ngõ ra là 1.

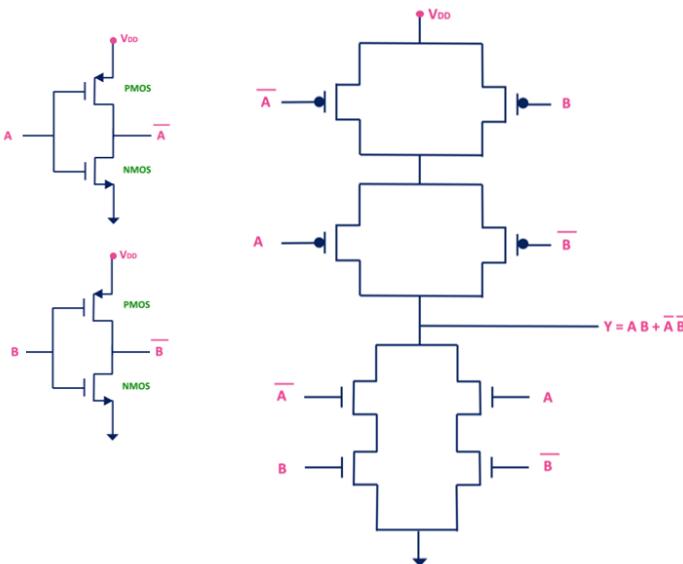
- Biểu thức logic:  $Y = \overline{A \oplus B} = \overline{\overline{A} \cdot \overline{B}} + A \cdot B$



A	B	Y
0	0	1
0	1	0
1	0	0
1	1	1

Hình 1.160. Ký hiệu và bảng trạng thái của cổng EXNOR

- Sơ đồ nguyên lý: Cổng EXNOR được xây dựng bằng phương pháp thiết kế mạch logic tĩnh (static logic) và sử dụng thêm cổng NOT để tạo tín hiệu đảo của tín hiệu ngõ vào A, B.



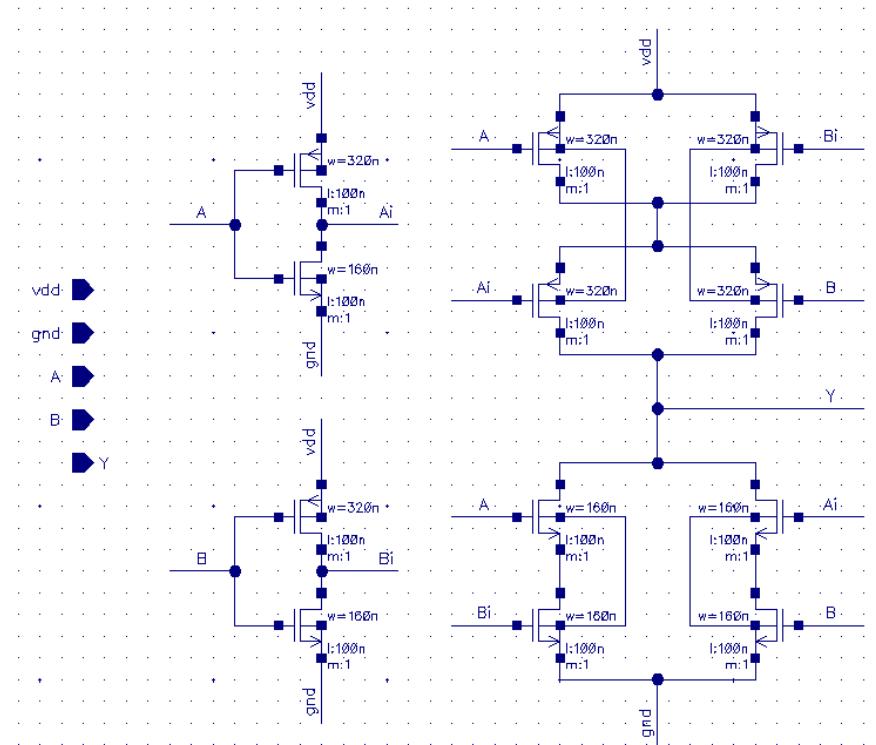
Hình 1.161. Sơ đồ nguyên lý cổng EXNOR

- Tỷ lệ W/L:

- + Tỷ lệ W/L của PMOS, NMOS sẽ phụ thuộc vào công nghệ CMOS và các yếu tố khác, nhưng phải đáp ứng điều kiện tỷ lệ W/L của PMOS gấp 2 đến 3 lần tỷ lệ W/L của NMOS.

### 1.6.2. Thiết kế mô phỏng cỗng EXNOR không có tụ và tải ký sinh

- Sơ đồ nguyên lý và thông số thiết kế mô phỏng PMOS, NMOS:



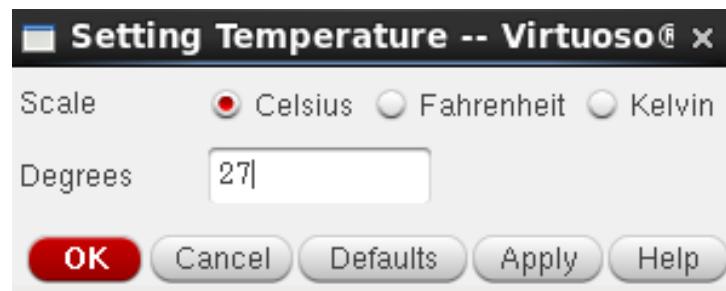
Hình 1.162. Sơ đồ nguyên lý mô phỏng cỗng EXNOR

- Bảng thông số thiết kế mô phỏng độ rộng (W), độ dài (L) và tỷ lệ W/L của PMOS so với NMOS gấp 2 lần.

**Bảng 1.12. Bảng thông số PMOS, NMOS để thiết kế mô phỏng cỗng EXNOR**

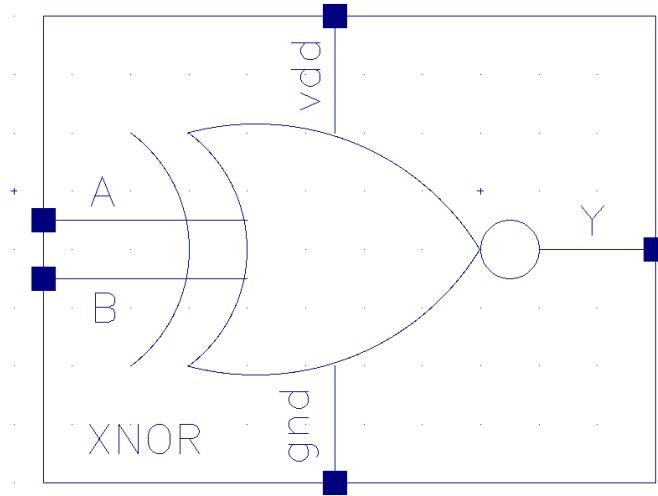
THÔNG SỐ	PMOS	NMOS
L (nm)	100	100
W (nm)	320	160

- Thiết kế được mô phỏng tại điều kiện nhiệt độ chuẩn  $T = 27^\circ\text{C}$ :



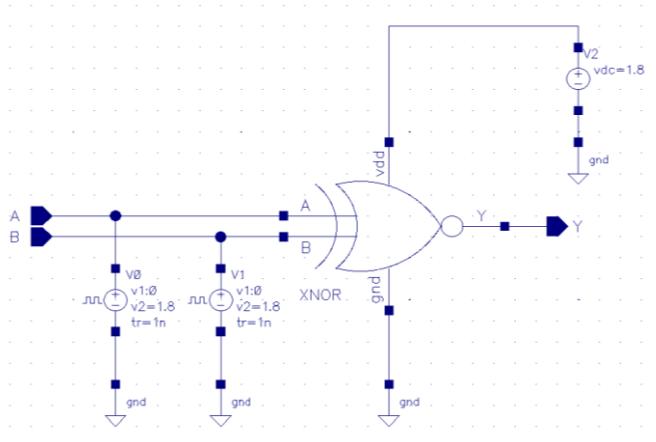
Hình 1.163. Cài đặt nhiệt độ thiết kế mô phỏng

- Đóng gói thiết kế mô phỏng bằng ký hiệu cổng EXNOR:



Hình 1.164. Đóng gói thiết kế cổng EXNOR

- Cáp nguồn để kiểm tra hoạt động cổng EXNOR:



Hình 1.165. Mạch kiểm tra hoạt động cổng EXNOR

- Thông số cài đặt:

- + Chân  $V_{DD}$  nối với nguồn  $V_{DC} = 1.8V$ .
- + Chân GND nối đất.
- + Chân  $V_{in}$  tương ứng ứng với ngõ vào A, ta nối với nguồn  $V_{pulse}$  với các thông số sau:
  - Mức điện áp 1 (V1): 0V
  - Mức điện áp 2 (V2): 1.8V
  - Thời gian trễ: 0s
  - Thời gian xung cạnh lên (tr): 20ns
  - Thời gian xung cạnh xuống (tf): 20ns
  - Độ rộng xung (ton): 10us

- Chu kỳ (period): 20us

+ Chân  $V_{in}$  tương ứng với ngõ vào B, ta nối với nguồn  $V_{pulse}$  với các thông số sau:

- Mức điện áp 1 (V1): 0V
- Mức điện áp 2 (V2): 1.8V
- Thời gian trễ: 0s
- Thời gian xung cạnh lên (tr): 20ns
- Thời gian xung cạnh xuống (tf): 20ns
- Độ rộng xung (ton): 20us
- Chu kỳ (period): 40us

- Các thông số được cài đặt nguồn nối với ngõ vào A để mô phỏng:

Voltage 1	0 V
Voltage 2	1.8 V
Period	20u s
Delay time	0 s
Rise time	20n s
Fall time	20n s
Pulse width	10u s

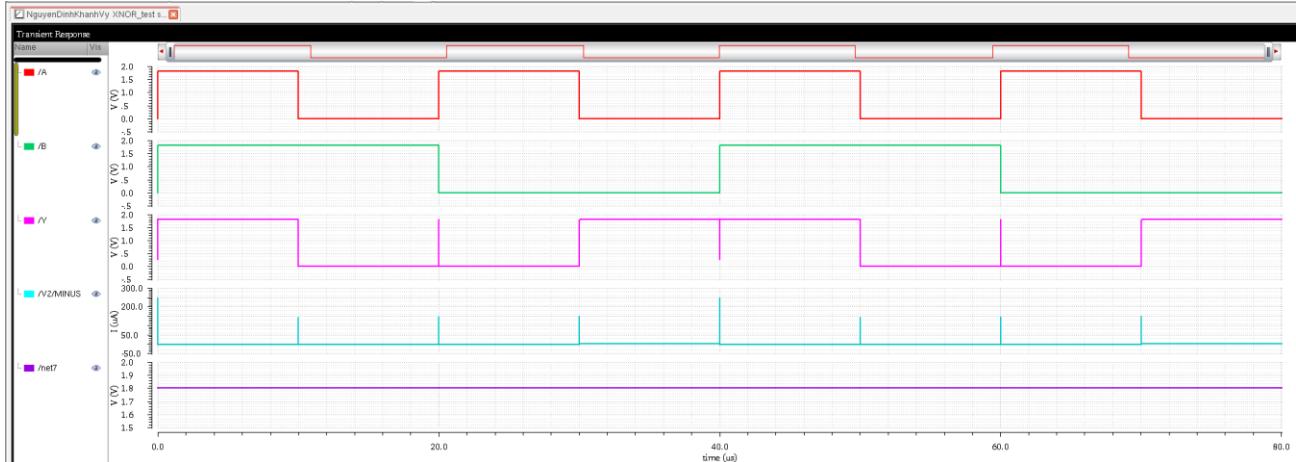
Hình 1.166. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào A

- Các thông số được cài đặt nguồn nối với ngõ vào B để mô phỏng:

Voltage 1	0 V
Voltage 2	1.8 V
Period	40u s
Delay time	0 s
Rise time	20n s
Fall time	20n s
Pulse width	20u s

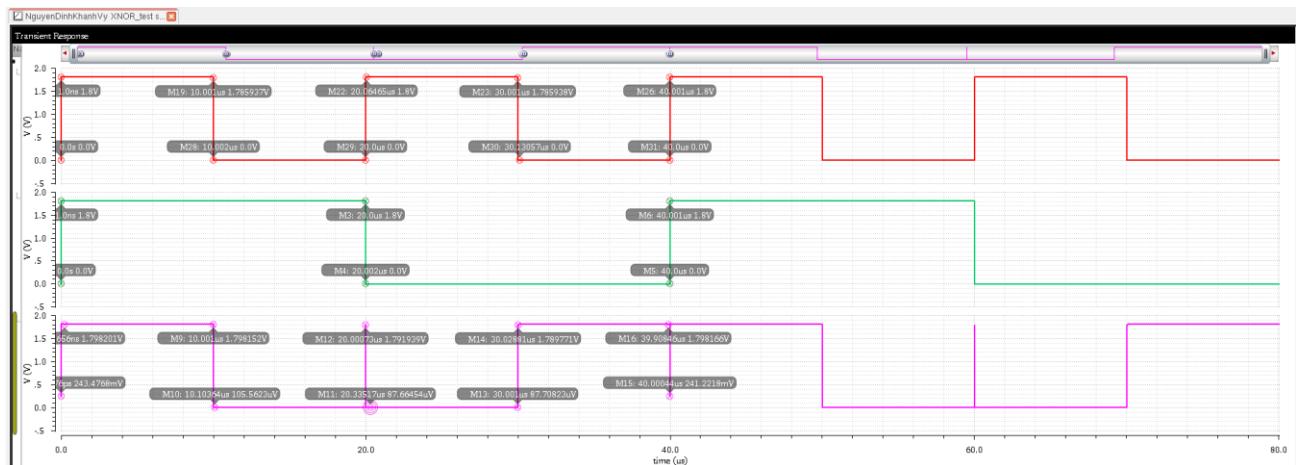
Hình 1.167. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào B

- Thực hiện mô phỏng để kiểm tra hoạt động theo bảng trạng thái của cỗng EXNOR, kết quả thu được dạng sóng như hình bên dưới.
  - + A: ngõ vào 1 (đường màu đỏ).
  - + B: ngõ vào 2 (đường màu xanh lá).
  - + Y: ngõ ra (đường màu xanh tím).
  - + V2/MINUS: dòng điện qua cỗng EXNOR (đường màu xanh biển).
  - + net7: điện áp qua cỗng EXNOR (đường màu tím).



Hình 1.168. Kết quả mô phỏng dạng sóng của cỗng EXNOR

- Biên độ của các tín hiệu ngõ vào, tín hiệu ngõ ra của cỗng EXNOR khi tín hiệu ngõ vào, tín hiệu ngõ ra đảo điện áp:



Hình 1.169. Các điểm thay đổi khi tín hiệu ngõ vào và tín hiệu ngõ ra thay đổi của cỗng EXNOR

- Nhận xét mức điện áp giữa tín hiệu ngõ vào A, tín hiệu ngõ vào B và tín hiệu ngõ ra Y khi có sự đảo điện áp ở tín hiệu ngõ vào:

- + 0s tới 10us, tín hiệu ngõ vào A là 1.8V (mức cao), tín hiệu ngõ vào B là 1.8V (mức cao) thì tín hiệu ngõ ra Y khoảng 1.7982V (mức cao).

+ 10us tới 20us, tín hiệu ngõ vào A là 0V (mức thấp), tín hiệu ngõ vào B là 1.8V (mức cao) thì tín hiệu ngõ ra Y khoảng 87.6645uV (mức thấp).

+ 20s tới 30us, tín hiệu ngõ vào A là 1.8V (mức cao), tín hiệu ngõ vào B là 0V (mức thấp) thì tín hiệu ngõ ra Y khoảng 87.7082uV (mức thấp).

+ 30us tới 40us, tín hiệu ngõ vào A là 0V (mức thấp), tín hiệu ngõ vào B là 0V (mức thấp) thì tín hiệu ngõ ra Y khoảng 1.7982V (mức cao).

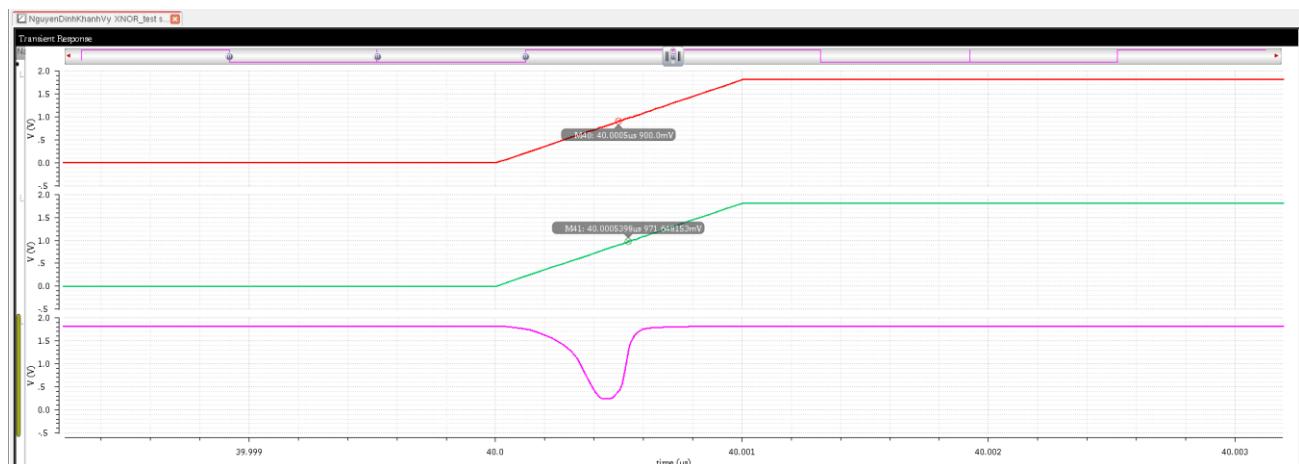
➔ Có sự hao hụt điện áp của tín hiệu ngõ ra Y so với hai tín hiệu ngõ vào nhưng không đáng kể. Sự đảo điện áp của tín hiệu ra Y đúng với bảng trạng thái. Tuy nhiên, tại thời điểm 20.0007us và 40.0004us, tín hiệu ngõ ra của công EXNOR có điểm cao và thấp bất thường. Hiện tượng này có thể khắc phục bằng cách:

+ Chọn lại chu kỳ của hai tín hiệu ngõ vào sao cho không có thời điểm cả hai tín hiệu ngõ vào cùng đảo điện áp.

+ Gắn tụ và tải ký sinh có thông số phù hợp.

- Đo độ chênh lệch điểm tại mức điện áp  $\frac{V_{DD}}{2} = 900mV$  của hai tín hiệu ngõ vào và tín hiệu ngõ ra.

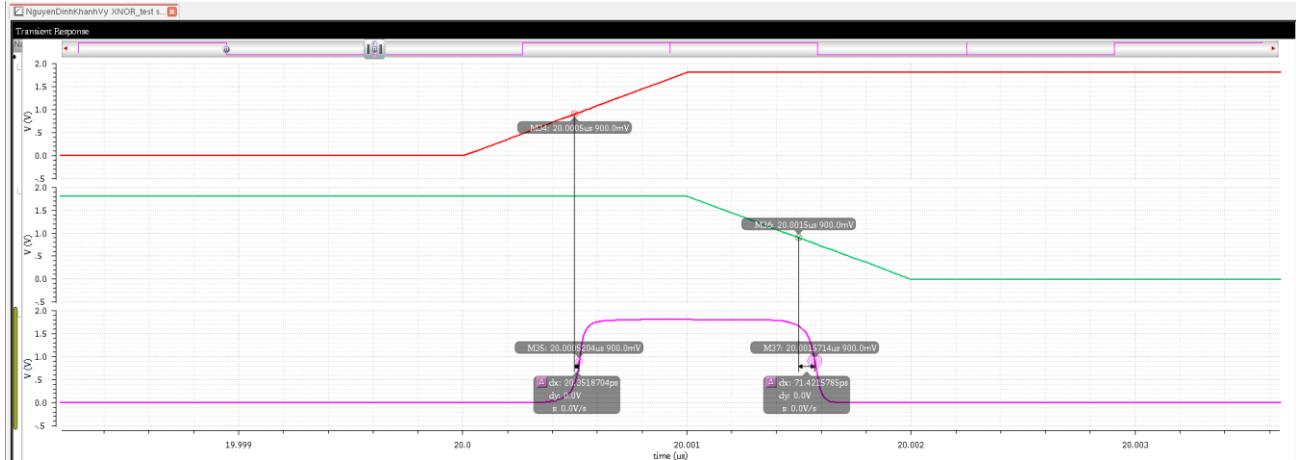
Ta nhận thấy cả hai tín hiệu ngõ vào thay đổi đồng thời nhưng vẫn có điểm thấp bất thường trong tín hiệu ngõ ra.



Hình 1.170. Điểm thấp bất thường trong tín hiệu

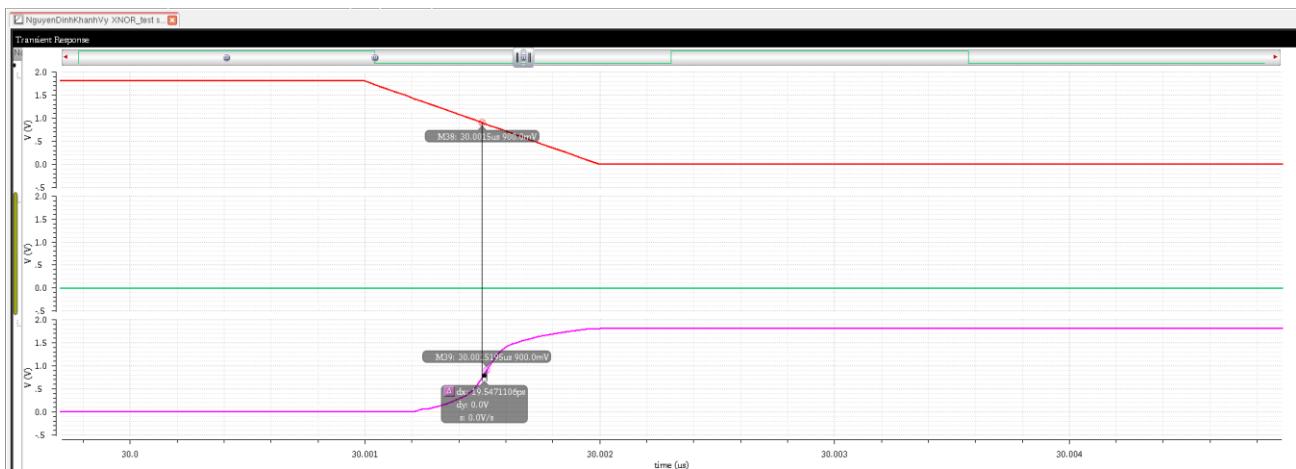
- Đo độ chênh lệch điểm tại mức điện áp  $\frac{V_{DD}}{2} = 900mV$  của hai tín hiệu ngõ vào và tín hiệu ngõ ra. Ta nhận thấy nguyên nhân có điểm nhô cao bất thường là do tín hiệu ngõ vào B thay đổi trạng thái trễ hơn tín hiệu ngõ vào A.

- + Độ trễ lan truyền cạnh lên so với tín hiệu A ( $t_{pdr_A}$ ) là 20.3519ps.
- + Độ trễ lan truyền cạnh xuống so với tín hiệu B ( $t_{pdf_B}$ ) là 71.4216ps.



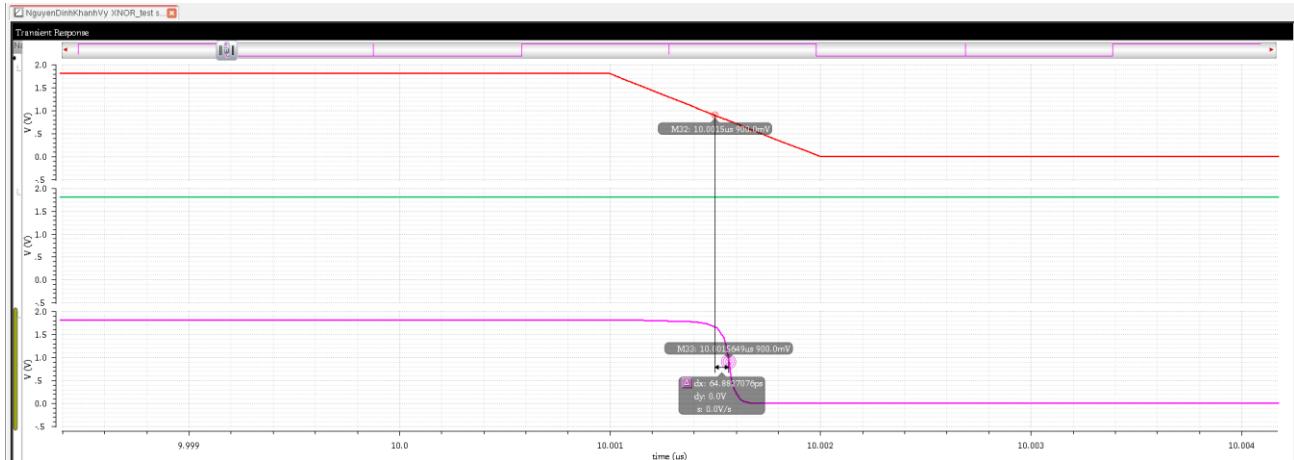
Hình 1.171. Nguyên nhân có điểm bất thường là do tín hiệu B thay đổi trạng thái trễ hơn A

- Đo độ chênh lệch điểm tại mức điện áp  $\frac{V_{DD}}{2} = 900mV$  của hai tín hiệu ngõ vào và tín hiệu ngõ ra, ta tìm được độ trễ lan truyền cạnh lên so với tín hiệu ngõ vào A ( $t_{pdr_A}$ ) là 19.5471ps.



Hình 1.172. Độ trễ lan truyền cạnh lên so với tín hiệu A công EXNOR không gán tụ, tải

- Đo độ chênh lệch điểm tại mức điện áp  $\frac{V_{DD}}{2} = 900mV$  của hai tín hiệu ngõ vào và tín hiệu ngõ ra khi nguồn  $V_{pulse}$  đã được thay đổi thông số, ta tìm được độ trễ lan truyền cạnh xuống so với tín hiệu ngõ vào A ( $t_{pdf_A}$ ) là 64.8828ps.



Hình 1.173. Độ trễ lan truyền cạnh xuống so với tín hiệu A công EXNOR không gắn tụ, tải

- Độ trễ lan truyền trung bình:

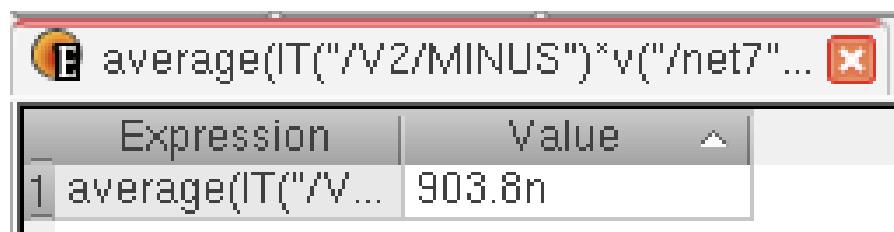
$$t_{pd_A} = \frac{t_{pdf_A} + t_{pdf_B}}{2} = \frac{19.5471 + 64.8828}{2} = 42.215\text{ps}$$

- Nhận xét: độ trễ lan truyền trung bình so với tín hiệu A lớn cạnh độ trễ lan truyền trung bình so với tín hiệu B là 45.3357ps.
- Tính thời gian chuyển tiếp (transistion time): dùng công cụ Calculator tìm được thời gian xung cạnh lên nhỏ hơn thời gian xung cạnh xuống ( $53.3226\text{ps} < 140.133\text{ps}$ ) và nhỏ hơn một khoảng là 86.8104ps.

6	tf	140.133p
7	tr	53.3226p

Hình 1.174. Thời gian xung cạnh lên và cạnh xuống đo được trên mô phỏng

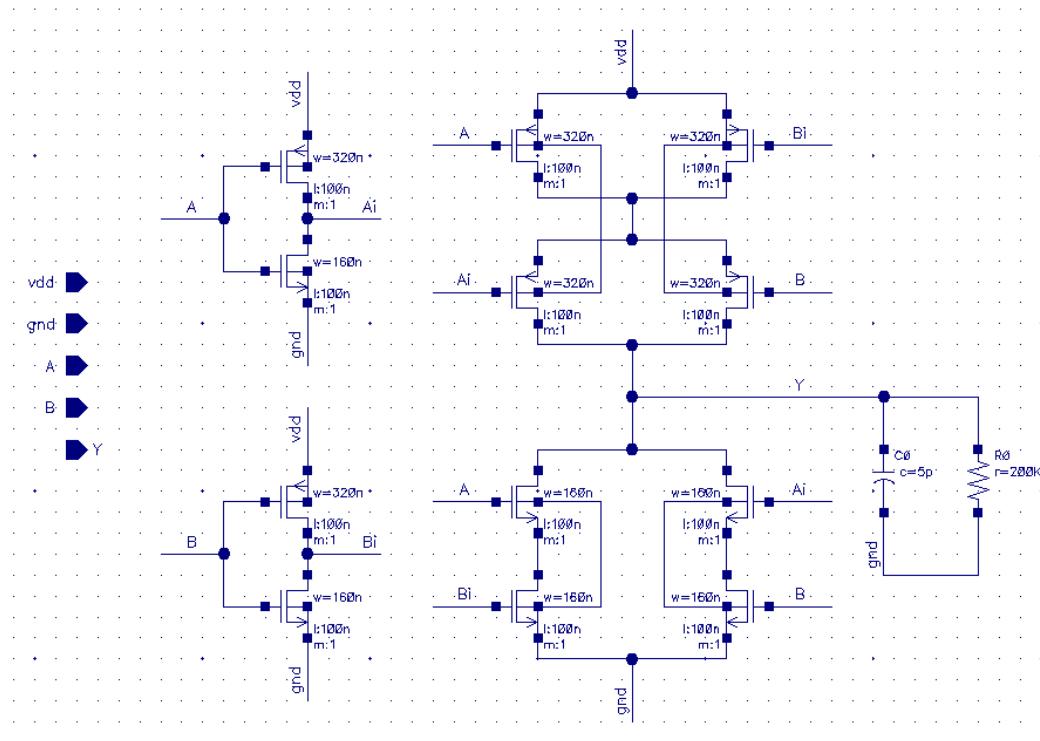
- Tính công suất trung bình: dùng công cụ Calculator đo được công suất trung bình là 903.8nW.



Hình 1.175. Công suất trung bình đo được từ mô phỏng

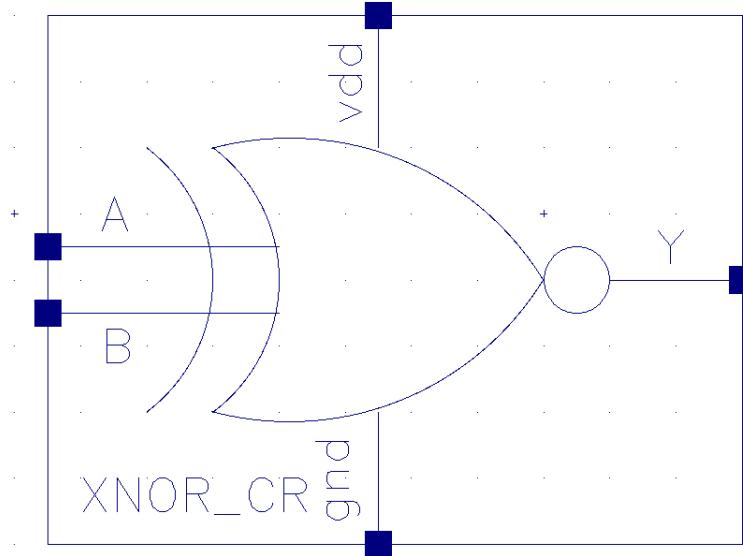
### 1.6.3. Thiết kế mô phỏng cổng EXNOR có tụ và tải ký sinh

- Sơ đồ nguyên lý và thông số thiết kế mô phỏng PMOS, NMOS:



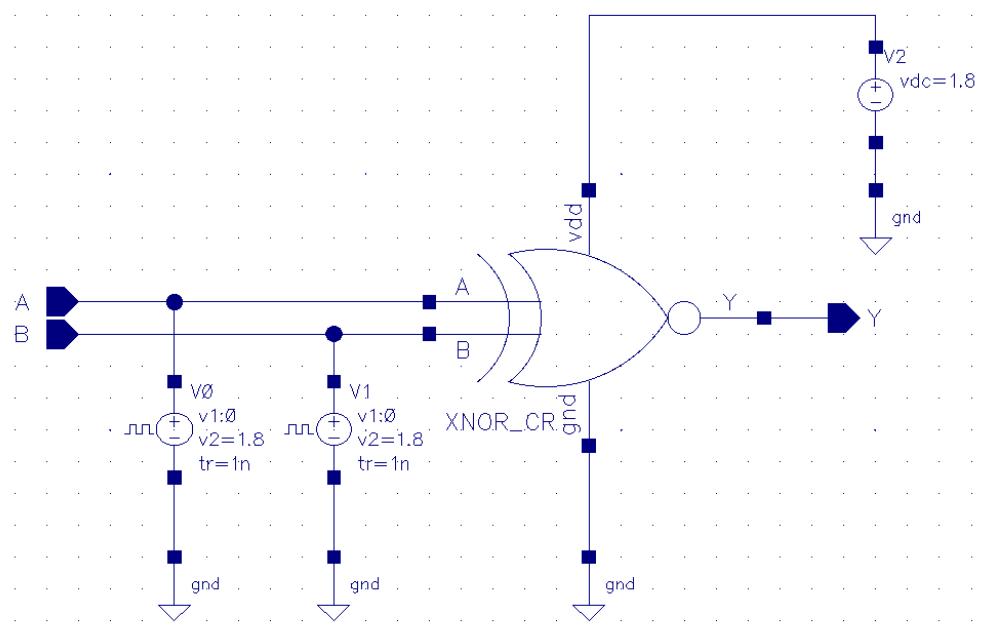
Hình 1.176. Sơ đồ nguyên lý mô phỏng cổng EXNOR có tụ và tải ký sinh

- Thiết lập thông số thiết kế mô phỏng độ rộng, độ dài, tỷ lệ W/L và nhiệt độ mô phỏng giống với cổng EXNOR không có tụ và tải ký sinh.
- Đóng gói thiết kế mô phỏng bằng ký hiệu cổng EXNOR.



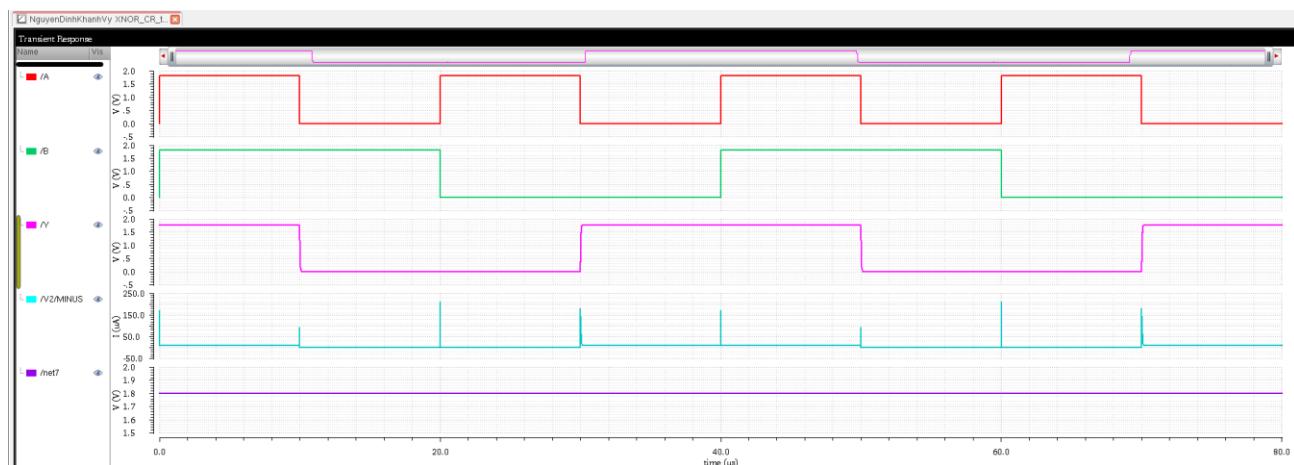
Hình 1.177. Đóng gói thiết kế cổng EXNOR có tụ và tải ký sinh

- Cáp nguồn để kiểm tra hoạt động công EXNOR:



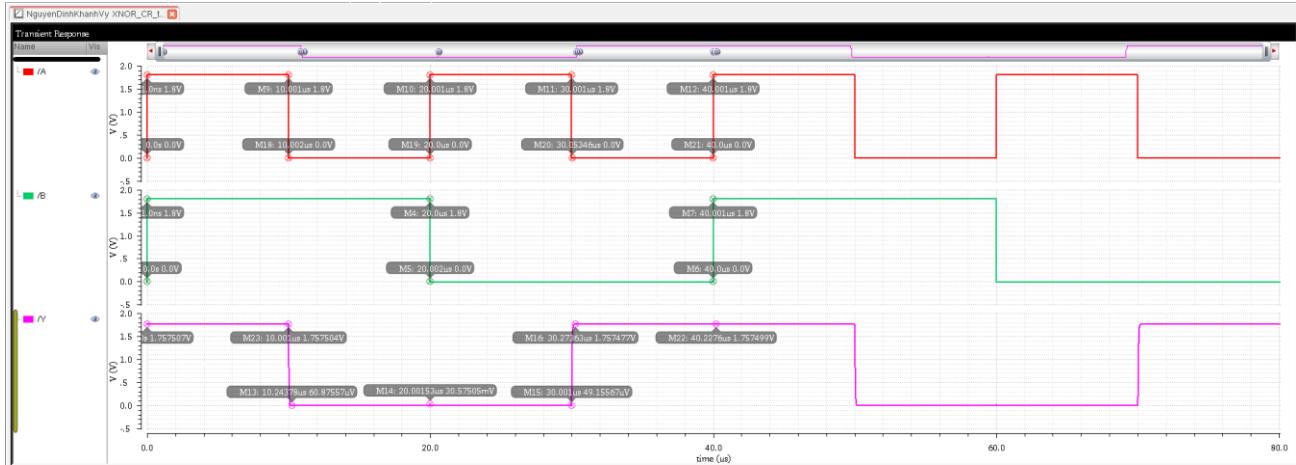
Hình 1.178. Mạch kiểm tra hoạt động công EXNOR có tụ và tải ký sinh

- Cài đặt thông số các nguồn giống với công EXNOR không có tụ, tải.
  - Thực hiện mô phỏng để kiểm tra hoạt động theo bảng trạng thái của công EXNOR, kết quả thu được dạng sóng như hình bên dưới.
- + A: ngõ vào 1 (đường màu đỏ).
- + B: ngõ vào 2 (đường màu xanh lá).
- + Y: ngõ ra (đường màu xanh tím).
- + V2/MINUS: dòng điện qua công EXNOR (đường màu xanh biển).
- + net7: điện áp qua công EXNOR (đường màu tím).



Hình 1.179. Kết quả mô phỏng dạng sóng của công EXNOR khi có tụ và tải

- Biên độ của các tín hiệu ngõ vào, tín hiệu ngõ ra của công EXNOR khi tín hiệu ngõ vào, tín hiệu ngõ ra đảo điện áp:



*Hình 1.180. Các điểm thay đổi khi tín hiệu ngõ vào và tín hiệu ngõ ra thay đổi của công EXNOR*

- Nhận xét mức điện áp giữa tín hiệu ngõ vào và tín hiệu ngõ ra khi có sự đảo điện áp ở tín hiệu ngõ vào của công EXNOR có gắn tụ, tải:

+ 0s tới 10us, tín hiệu ngõ vào A là 1.8V (mức cao), tín hiệu ngõ vào B là 1.8V (mức cao) thì tín hiệu ngõ ra Y khoảng 1.7575V (mức cao).

+ 10us tới 20us, tín hiệu ngõ vào A là 0V (mức thấp), tín hiệu ngõ vào B là 1.8V (mức cao) thì tín hiệu ngõ ra Y khoảng 60.8756uV (mức thấp).

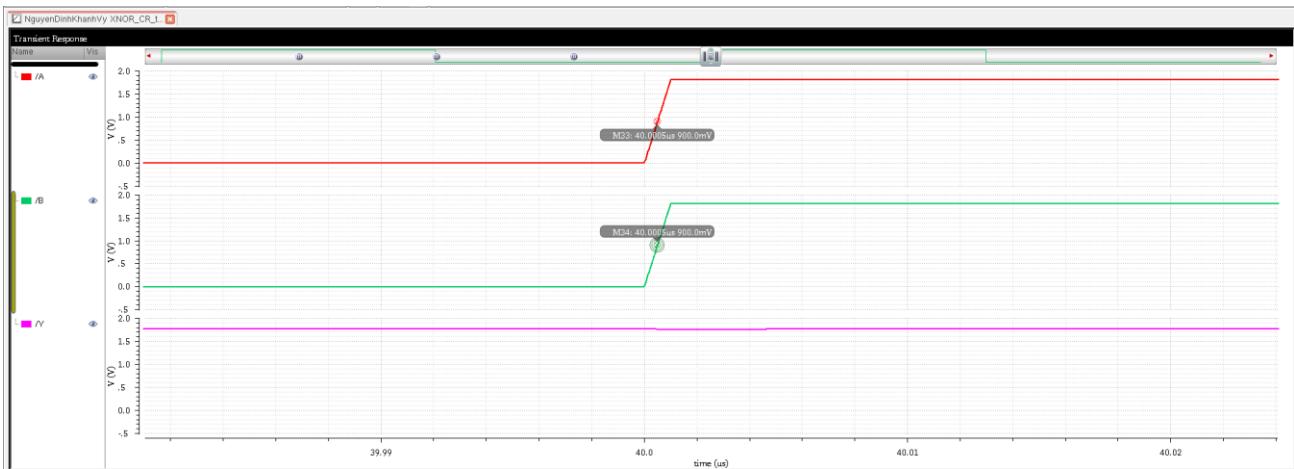
+ 20s tới 30us, tín hiệu ngõ vào A là 1.8V (mức cao), tín hiệu ngõ vào B là 0V (mức thấp) thì tín hiệu ngõ ra Y khoảng 30.575mV (mức thấp).

+ 30us tới 40us, tín hiệu ngõ vào A là 0V (mức thấp), tín hiệu ngõ vào B là 0V (mức thấp) thì tín hiệu ngõ ra Y khoảng 1.7575V (mức cao).

➔ Sự hao hụt điện áp của tín hiệu ngõ ra của công EXNOR có gắn tụ, tải lớn hơn sự hao hụt điện áp của tín hiệu ngõ ra của công EXNOR không gắn tụ, tải khi tín hiệu ngõ ra ở mức cao (chênh lệch 40.7mV). Sự hao hụt điện áp của tín hiệu ngõ ra của công EXNOR có gắn tụ, tải lớn hơn sự hao hụt điện áp của tín hiệu ngõ ra của công EXNOR không gắn tụ, tải khi tín hiệu ngõ ra ở mức thấp (chênh lệch vài đơn vị uV). Tuy nhiên, tình trạng điểm cao và thấp bất thường trong tín hiệu ngõ ra đã được tụ và tải lọc nên tín hiệu ngõ ra sạch.

- Đo độ chênh lệch điểm tại mức điện áp  $\frac{V_{DD}}{2} = 900mV$  của hai tín hiệu ngõ vào và tín hiệu ngõ ra.

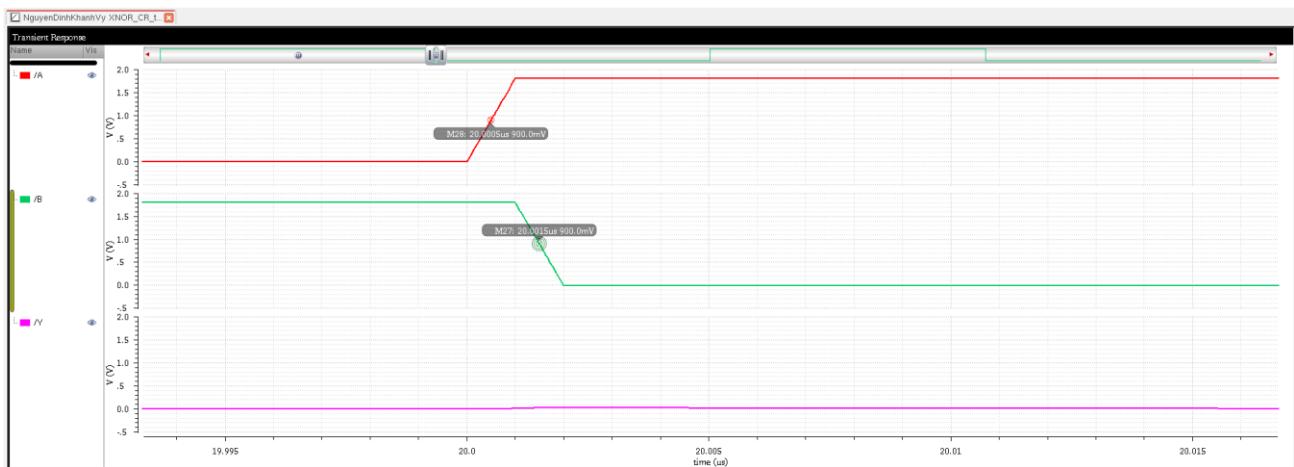
Ta nhận thấy không còn hiện tượng điểm thấp bất thường khi có sự đảo điện áp của tín hiệu ngõ vào A và B.



Hình 1.181. Tín hiệu ngõ ra đã được lọc

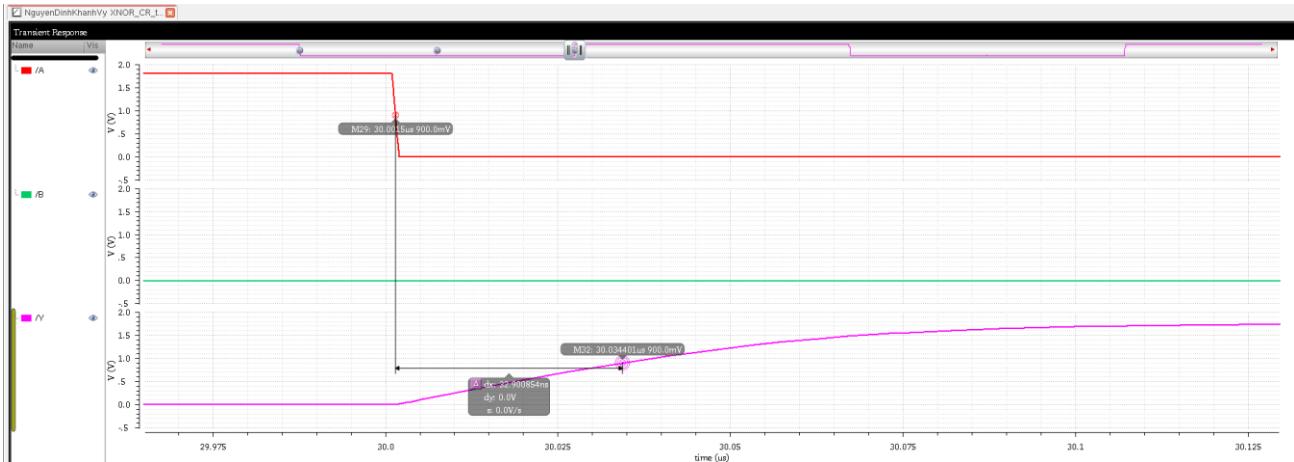
- Đo độ chênh lệch điểm tại mức điện áp  $\frac{V_{DD}}{2} = 900mV$  của hai tín hiệu ngõ vào và tín hiệu ngõ ra.

Ta nhận thấy không còn hiện tượng điểm nhô cao bất thường khi có sự đảo điện áp của tín hiệu ngõ vào A và B.



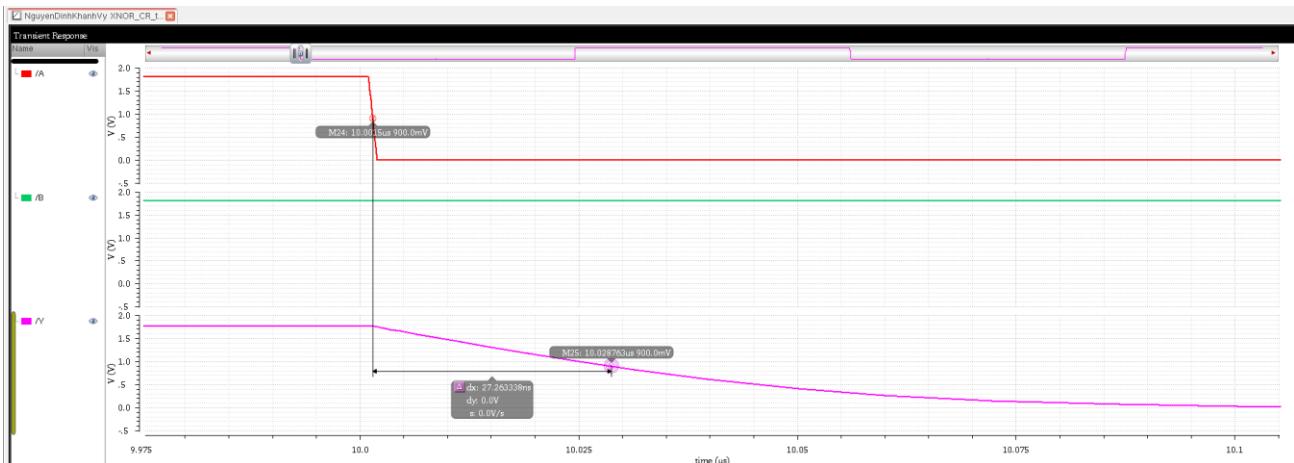
Hình 1.182. Tín hiệu ngõ ra đã được lọc

- Đo độ chênh lệch điểm tại mức điện áp  $\frac{V_{DD}}{2} = 900mV$  của hai tín hiệu ngõ vào và tín hiệu ngõ ra, ta tìm được độ trễ lan truyền cạnh lên so với tín hiệu ngõ vào A ( $t_{pdr_A}$ ) là 32.9008ns.



Hình 1.183. Độ trễ lan truyền cạnh lên so với tín hiệu A cảng EXNOR có gắn tụ, tải

- Đo độ chênh lệch điểm tại mức điện áp  $\frac{V_{DD}}{2} = 900mV$  của hai tín hiệu ngõ vào và tín hiệu ngõ ra khi nguồn  $V_{pulse}$  đã được thay đổi thông số, ta tìm được độ trễ lan truyền cạnh xuống so với tín hiệu ngõ vào A ( $t_{pdf_A}$ ) là 27.2633ns.



Hình 1.184. Độ trễ lan truyền cạnh xuống so với tín hiệu A cảng EXNOR không gắn tụ, tải

- Độ trễ lan truyền trung bình:

$$t_{pd_A} = \frac{t_{pdr_A} + t_{pdf_A}}{2} = \frac{32.9008 + 27.2633}{2} = 30.0821ns$$

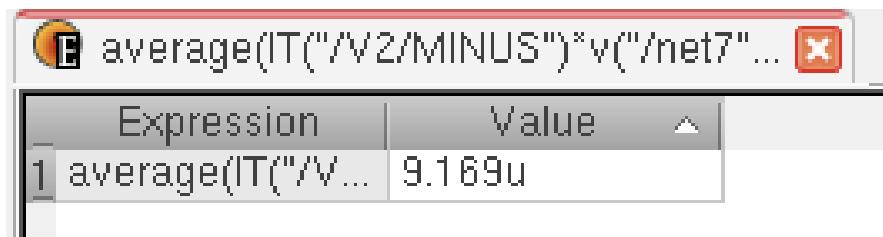
- Tính thời gian chuyển tiếp (transistion time): dùng công cụ Calculator tìm được thời gian xung cạnh lên lớn hơn thời gian xung cạnh xuống ( $49.9168\text{ns} > 42.8248\text{ns}$ ) và lớn hơn một khoảng là  $7.092\text{ns}$ .

4 tf	42.8248n
5 tr	49.9168n

Hình 1.185. Thời gian xung cạnh lên và cạnh xuống đo được trên mô phỏng

- Nhận xét:

- + Độ trễ lan truyền trung bình của cổng EXNOR có gắn tụ, tải lớn hơn độ trễ lan truyền trung bình của cổng EXNOR không có gắn tụ, tải ( $30082.1\text{ps} > 42.215\text{ps}$ ) và chênh lệch khoảng giá trị là  $30039.885\text{ps}$ .
- + Thời gian xung cạnh lên của cổng EXNOR có gắn tụ, tải lớn hơn thời gian xung cạnh lên của cổng EXNOR không có gắn tụ, tải ( $49.9168\text{ns} > 53.3226\text{ps}$ ).
- + Thời gian xung cạnh xuống của cổng EXNOR có gắn tụ, tải lớn hơn thời gian xung cạnh xuống của cổng EXNOR không có gắn tụ, tải ( $42.8248\text{ns} > 140.133\text{ps}$ ).
- Tính công suất trung bình: dùng công cụ Calculator đo được công suất trung bình là  $9.169\text{uW}$ . Công suất trung bình của cổng EXNOR có gắn tụ, tải lớn hơn so với công suất trung bình của cổng EXNOR không có gắn tụ, tải ( $9169\text{nW} > 903.8\text{nW}$ ) và chênh lệch giá trị là  $8265.2\text{nW}$ .



Hình 1.186. Công suất trung bình đo được từ mô phỏng

#### 1.6.4. Kết luận

- Bảng thống kê các giá trị AC mô phỏng được của công EXNOR không gắn tụ, tải và công EXNOR có gắn tụ, tải.

*Bảng 1.13. Các thông số của công EXNOR*

LOẠI CÔNG EXNOR	THÔNG SỐ	GIÁ TRỊ	ĐƠN VỊ
Không gắn tụ, tải	$t_{pdr_A}$	19.5471	ps
	$t_{pdf_A}$	64.8828	
	$t_{pdf_B}$	71.4216	
	$t_r$	53.3226	
	$t_f$	140.133	
	$P_{avg}$	903.8	nW
Có gắn tụ, tải	$t_{pdr_A}$	32.9008	ns
	$t_{pdf_A}$	27.2633	
	$t_r$	49.9168	
	$t_f$	42.8248	
	$P_{avg}$	9.169	uW

## 1.7. Cổng EXOR

### 1.7.1. Lý thuyết

- Cổng EXOR (Exclusive OR) là cổng logic thực hiện chức năng mạch cộng không nhớ.

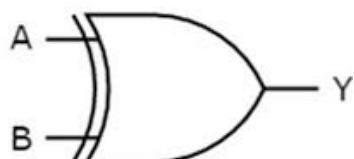
- + Nếu vào A là 0, vào B là 0, ngõ ra là 0.

- + Nếu vào A là 0, vào B là 1, ngõ ra là 1.

- + Nếu vào A là 1, vào B là 0, ngõ ra là 1.

- + Nếu vào A là 1, vào B là 1, ngõ ra là 0.

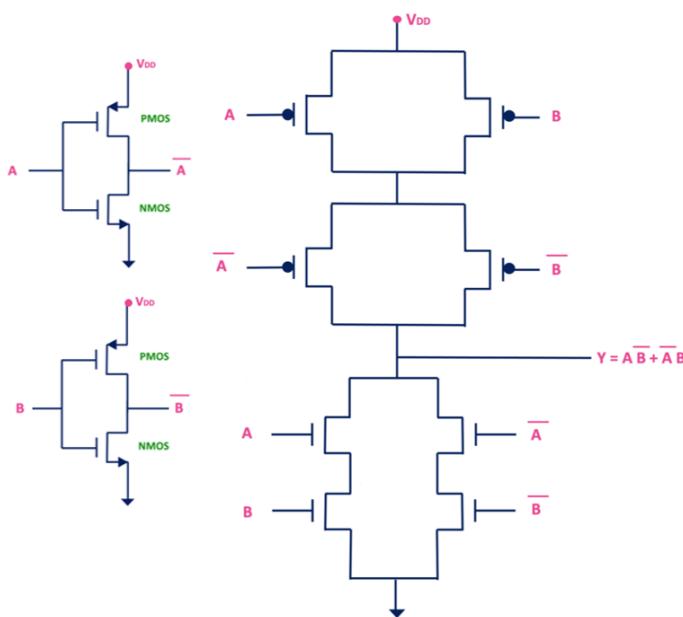
- Biểu thức logic:  $Y = A \oplus B = \bar{A} \cdot B + A \cdot \bar{B}$



A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0

Hình 1.187. Ký hiệu và bảng trạng thái của cổng EXOR

- Sơ đồ nguyên lý: được xây dựng bằng phương pháp thiết kế mạch logic tĩnh (static logic) và sử dụng thêm cổng NOT để tạo tín hiệu đảo của tín hiệu ngõ vào A, B.



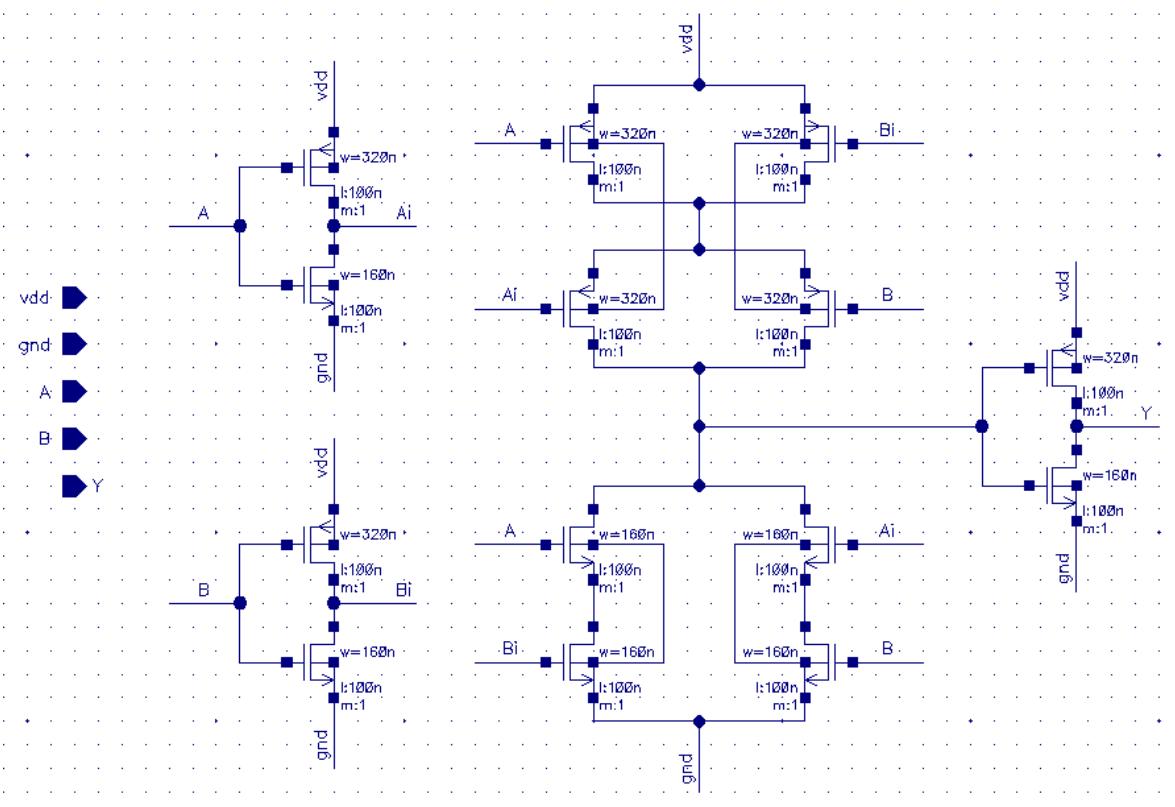
Hình 1.188. Sơ đồ nguyên lý cổng EXOR

- Tỷ lệ W/L:

- + Tỷ lệ W/L của PMOS, NMOS sẽ phụ thuộc vào công nghệ CMOS và các yếu tố khác, nhưng phải đáp ứng điều kiện tỷ lệ W/L của PMOS gấp 2 đến 3 lần tỷ lệ W/L của NMOS.

### 1.7.2. Thiết kế mô phỏng cổng EXOR không có tụ và tải ký sinh

- Sơ đồ nguyên lý và thông số thiết kế mô phỏng PMOS, NMOS:



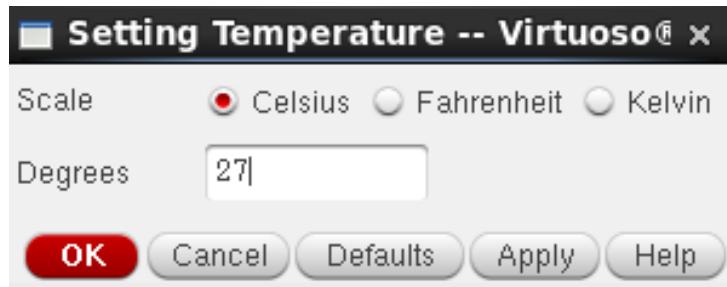
Hình 1.189. Sơ đồ nguyên lý mô phỏng cổng EXOR

- Bảng thông số thiết kế mô phỏng độ rộng (W), độ dài (L) và tỷ lệ W/L của PMOS so với NMOS gấp 2 lần.

**Bảng 1.14. Bảng thông số PMOS, NMOS để thiết kế mô phỏng cổng EXOR**

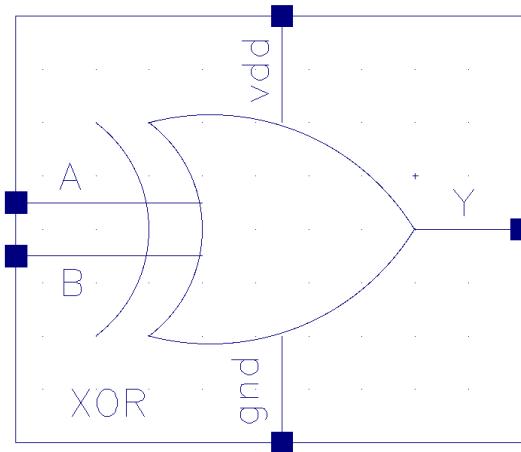
THÔNG SỐ	PMOS	NMOS
L (nm)	100	100
W (nm)	320	160

- Thiết kế được mô phỏng tại điều kiện nhiệt độ chuẩn  $T = 27^\circ\text{C}$ :



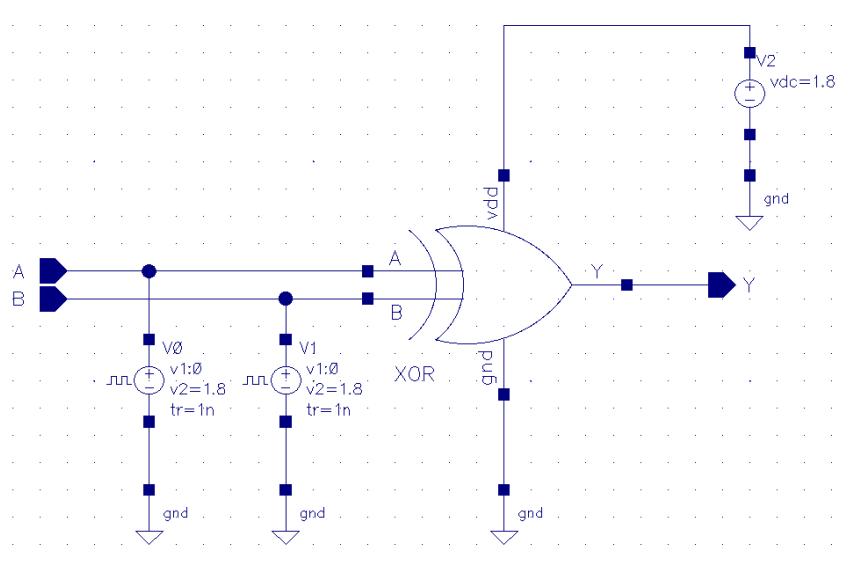
Hình 1.190. Cài đặt nhiệt độ thiết kế mô phỏng

- Đóng gói thiết kế mô phỏng bằng ký hiệu cổng EXOR:



Hình 1.191. Đóng gói thiết kế cổng EXOR

- Cáp nguồn để kiểm tra hoạt động cổng EXOR:



Hình 1.192. Mạch kiểm tra hoạt động cổng EXOR

- Thông số cài đặt:

- + Chân V<sub>DD</sub> nối với nguồn V<sub>DC</sub> = 1.8V.
- + Chân GND nối đất.
- + Chân V<sub>in</sub> tương ứng với ngõ vào A, ta nối với nguồn V<sub>pulse</sub> với các thông số sau:
  - Mức điện áp 1 (V1): 0V
  - Mức điện áp 2 (V2): 1.8V
  - Thời gian trễ: 0s
  - Thời gian xung cạnh lên (tr): 20ns

- Thời gian xung cạnh xuống (tf): 20ns
- Độ rộng xung (ton): 10us
- Chu kỳ (period): 20us

+ Chân  $V_{in}$  tương ứng với ngõ vào B, ta nối với nguồn  $V_{pulse}$  với các thông số sau:

- Mức điện áp 1 (V1): 0V
- Mức điện áp 2 (V2): 1.8V
- Thời gian trễ: 0s
- Thời gian xung cạnh lên (tr): 20ns
- Thời gian xung cạnh xuống (tf): 20ns
- Độ rộng xung (ton): 20us
- Chu kỳ (period): 40us

- Các thông số được cài đặt nguồn nối với ngõ vào A để mô phỏng:

Voltage 1	0 V
Voltage 2	1.8 V
Period	20u s
Delay time	0 s
Rise time	20n s
Fall time	20n s
Pulse width	10u s

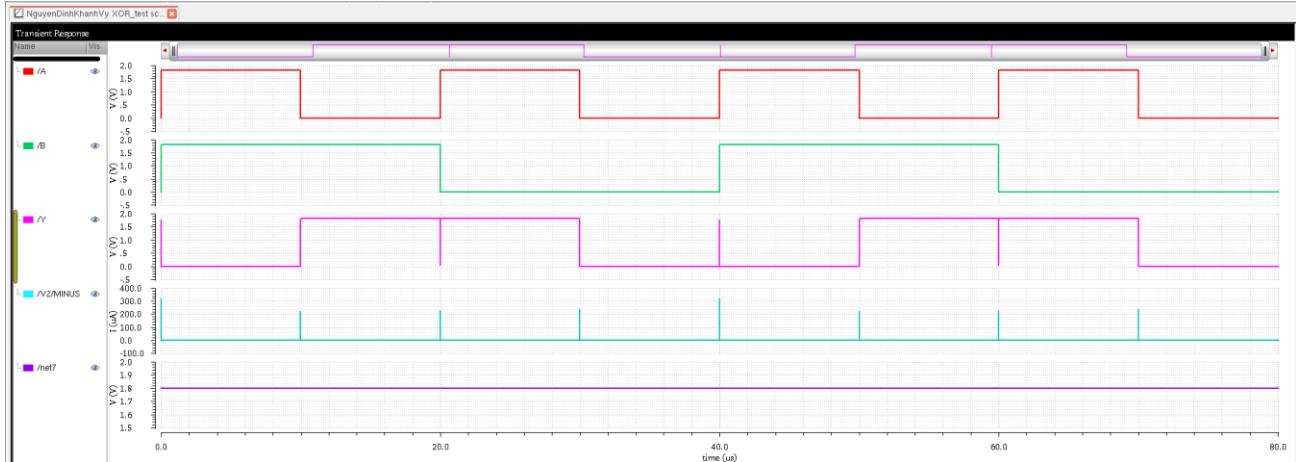
Hình 1.193. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào A

- Các thông số được cài đặt nguồn nối với ngõ vào B để mô phỏng:

Voltage 1	0 V
Voltage 2	1.8 V
Period	40u s
Delay time	0 s
Rise time	20n s
Fall time	20n s
Pulse width	20u s

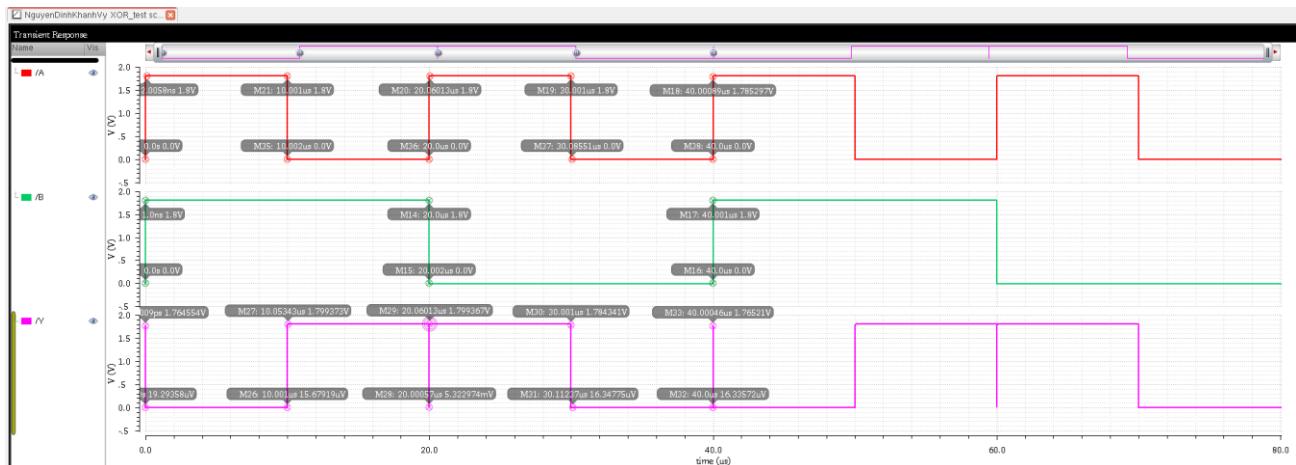
Hình 1.194. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào B

- Thực hiện mô phỏng để kiểm tra hoạt động theo bảng trạng thái của công EXOR, kết quả thu được dạng sóng như hình bên dưới.
  - + A: ngõ vào 1 (đường màu đỏ).
  - + B: ngõ vào 2 (đường màu xanh lá).
  - + Y: ngõ ra (đường màu xanh tím).
  - + V2/MINUS: dòng điện qua công EXOR (đường màu xanh biển).
  - + net7: điện áp qua công EXOR (đường màu tím).



Hình 1.195. Kết quả mô phỏng dạng sóng của công EXOR

- Biên độ của các tín hiệu ngõ vào, tín hiệu ngõ ra của công EXOR khi tín hiệu ngõ vào, tín hiệu ngõ ra đảo điện áp:



Hình 1.196. Các điểm thay đổi khi tín hiệu ngõ vào và tín hiệu ngõ ra thay đổi của công EXOR

- Nhận xét mức điện áp giữa tín hiệu ngõ vào A, tín hiệu ngõ vào B và tín hiệu ngõ ra Y khi có sự đảo điện áp ở tín hiệu ngõ vào:

- + 0s tới 10us, tín hiệu ngõ vào A là 1.8V (mức cao), tín hiệu ngõ vào B là 1.8V (mức cao) thì tín hiệu ngõ ra Y khoảng 19.2936uV (mức thấp).

+ 10us tới 20us, tín hiệu ngõ vào A là 0V (mức thấp), tín hiệu ngõ vào B là 1.8V (mức cao) thì tín hiệu ngõ ra Y khoảng 1.7994V (mức cao).

+ 20s tới 30us, tín hiệu ngõ vào A là 1.8V (mức cao), tín hiệu ngõ vào B là 0V (mức thấp) thì tín hiệu ngõ ra Y khoảng 1.7994V (mức cao).

+ 30us tới 40us, tín hiệu ngõ vào A là 0V (mức thấp), tín hiệu ngõ vào B là 0V (mức thấp) thì tín hiệu ngõ ra Y khoảng 16.3357uV (mức thấp).

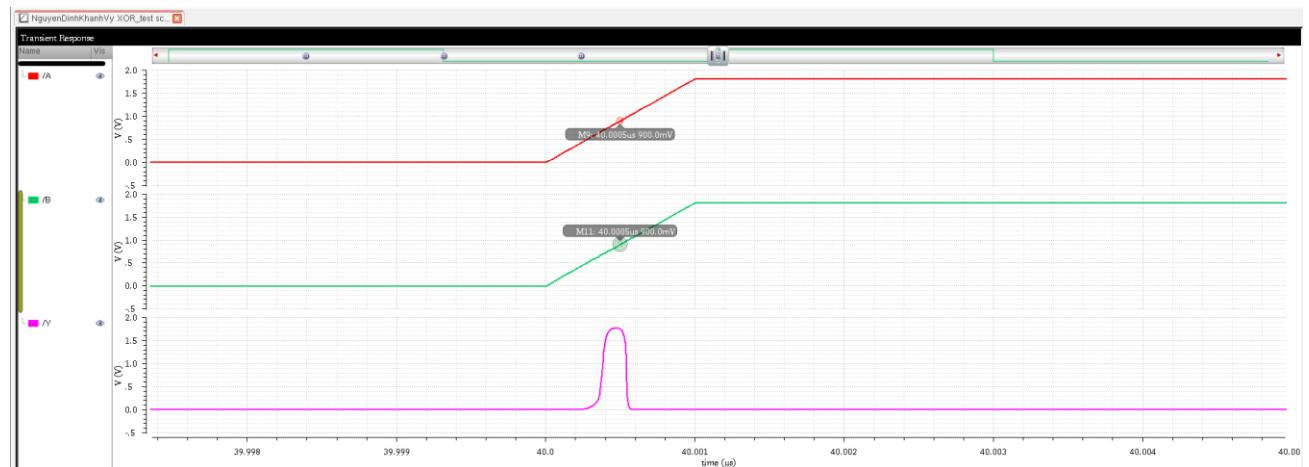
➔ Có sự hao hụt điện áp của tín hiệu ngõ ra Y so với hai tín hiệu ngõ vào nhưng không đáng kể. Sự đảo điện áp của tín hiệu ra Y đúng với bảng trạng thái. Tuy nhiên, tại thời điểm 20.00057us và 40.00046us, tín hiệu ngõ ra của cỗng EXOR có điểm thấp và cao bất thường. Hiện tượng này có thể khắc phục bằng cách:

+ Chọn lại chu kỳ của hai tín hiệu ngõ vào sao cho không có thời điểm cả hai tín hiệu ngõ vào cùng đảo điện áp.

+ Gắn tụ và tải ký sinh có thông số phù hợp.

- Đo độ chênh lệch điểm tại mức điện áp  $\frac{V_{DD}}{2} = 900mV$  của hai tín hiệu ngõ vào và tín hiệu ngõ ra.

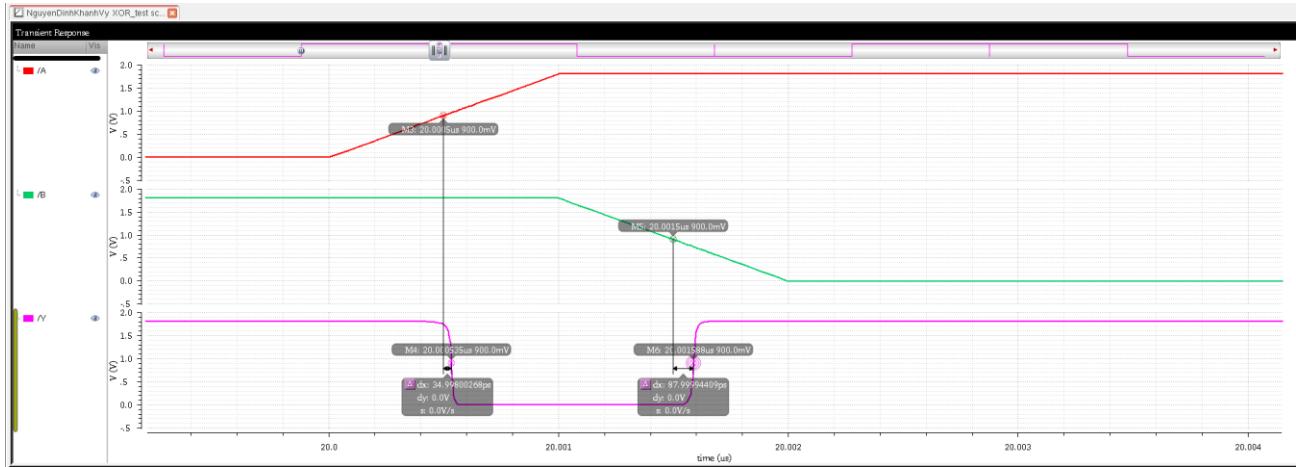
Ta nhận thấy cả hai tín hiệu ngõ vào thay đổi đồng thời nhưng vẫn có điểm nhô cao bất thường trong tín hiệu ngõ ra.



Hình 1.197. Điểm cao bất thường trong tín hiệu

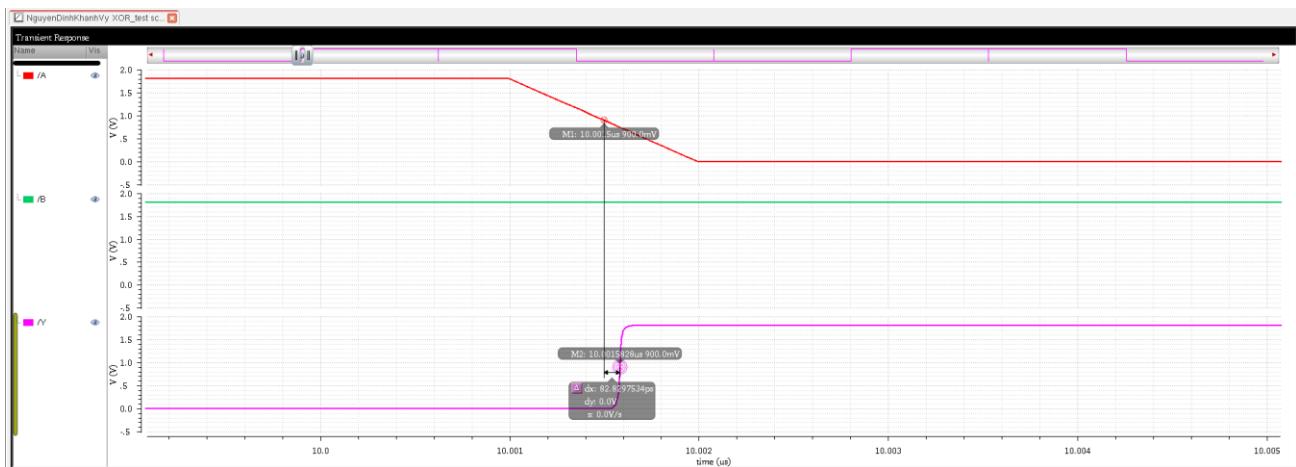
- Đo độ chênh lệch điểm tại mức điện áp  $\frac{V_{DD}}{2} = 900mV$  của hai tín hiệu ngõ vào và tín hiệu ngõ ra. Ta nhận thấy nguyên nhân có điểm xuồng thấp bất thường là do tín hiệu ngõ vào B thay đổi trạng thái trễ hơn tín hiệu ngõ vào A.

- + Độ trễ lan truyền cạnh lén so với tín hiệu A ( $t_{pdr_A}$ ) là 34.998ps.
- + Độ trễ lan truyền cạnh xuồng so với tín hiệu B ( $t_{pdr_B}$ ) là 87.9999ps.



Hình 1.198. Nguyên nhân có điểm bất thường là do tín hiệu B thay đổi trạng thái trễ hơn A

- Đo độ chênh lệch điểm tại mức điện áp  $\frac{V_{DD}}{2} = 900mV$  của hai tín hiệu ngõ vào và tín hiệu ngõ ra, ta tìm được độ trễ lan truyền cạnh lén so với tín hiệu ngõ vào A ( $t_{pdr_A}$ ) là 82.83ps.



Hình 1.199. Độ trễ lan truyền cạnh lén so với tín hiệu ngõ vào A cỗng EXOR không gắn tụ, tải

- Đo độ chênh lệch điểm tại mức điện áp  $\frac{V_{DD}}{2} = 900mV$  của hai tín hiệu ngõ vào và tín hiệu ngõ ra khi nguồn  $V_{pulse}$  đã được thay đổi thông số, ta tìm được độ trễ lan truyền cạnh xuống so với tín hiệu ngõ vào A ( $t_{pdf_A}$ ) là 40.6515ps.



Hình 1.200. Độ trễ lan truyền cạnh xuống so với tín hiệu ngõ vào A cổng EXOR không gắn tụ, tải

- Độ trễ lan truyền trung bình:

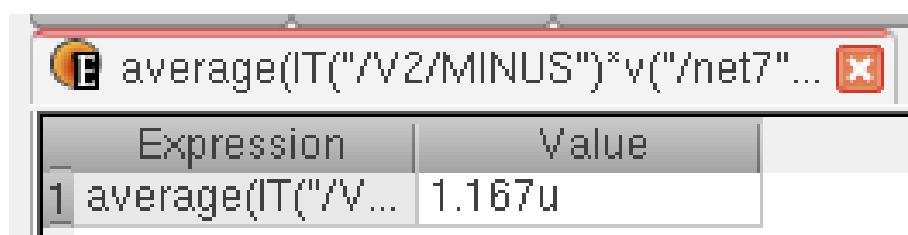
$$t_{pd_A} = \frac{t_{pdr_A} + t_{pdf_A}}{2} = \frac{82.83 + 40.6515}{2} = 61.7408\text{ps}$$

- Nhận xét: độ trễ lan truyền trung bình so với tín hiệu A lớn cạnh độ trễ lan truyền trung bình so với tín hiệu B là 42.1785ps.
- Tính thời gian chuyển tiếp (transistion time): dùng công cụ Calculator tìm được thời gian xung cạnh lên lớn hơn thời gian xung cạnh xuống (34.5251ps > 15.3633ps) và lớn hơn một khoảng là 19.1618ps.

4 ff	15.3633p
5 tr	34.5251p

Hình 1.201. Thời gian xung cạnh lên và cạnh xuống đo được trên mô phỏng

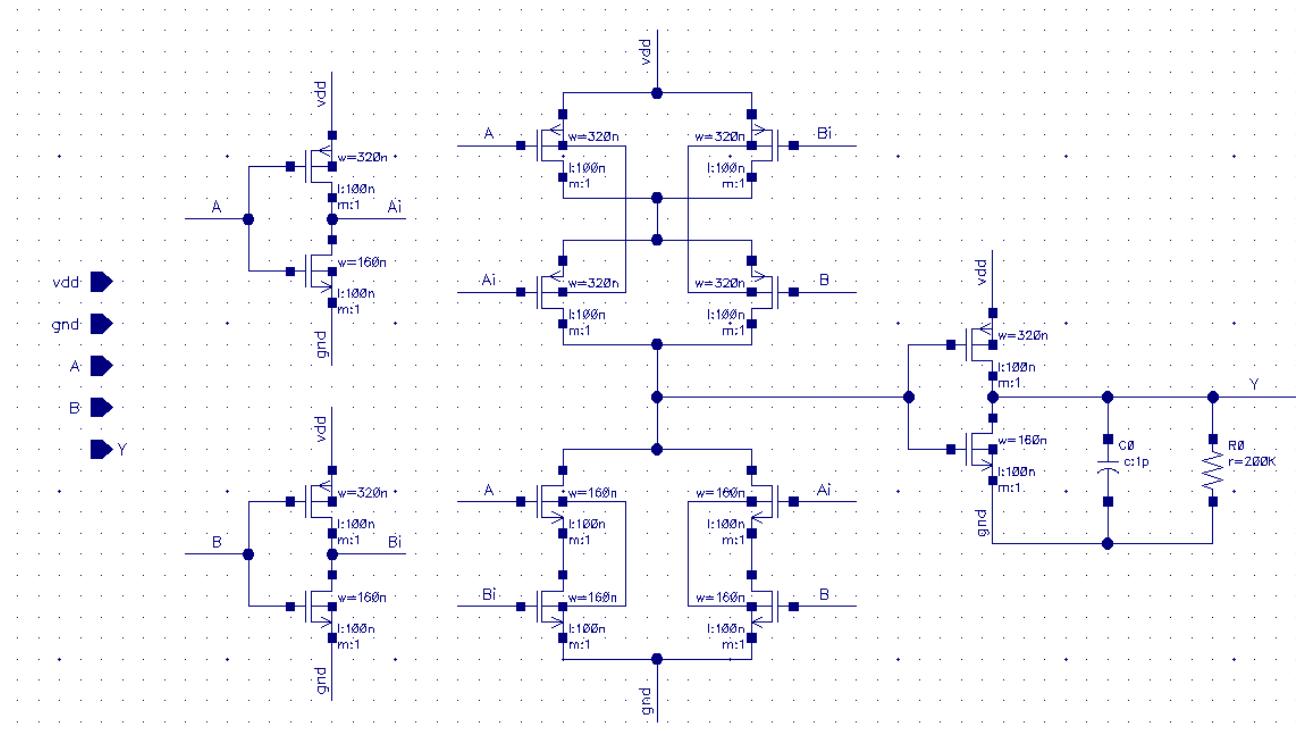
- Tính công suất trung bình: dùng công cụ Calculator đo được công suất trung bình là 1.167uW.



Hình 1.202. Công suất trung bình đo được từ mô phỏng

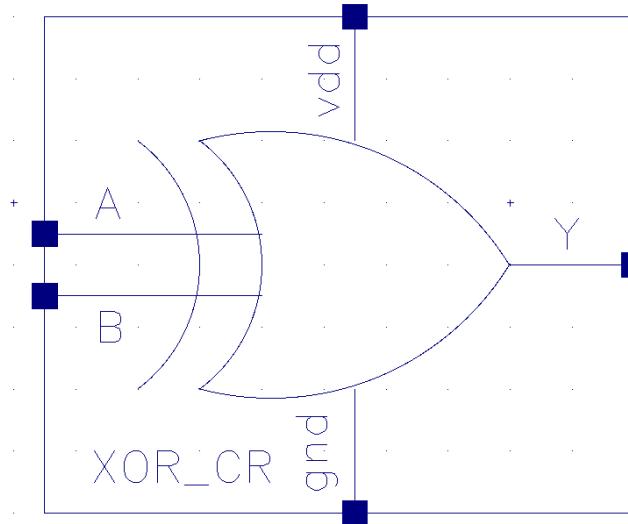
### 1.7.3. Thiết kế mô phỏng cổng EXOR có tụ và tải ký sinh

- Sơ đồ nguyên lý và thông số thiết kế mô phỏng PMOS, NMOS:



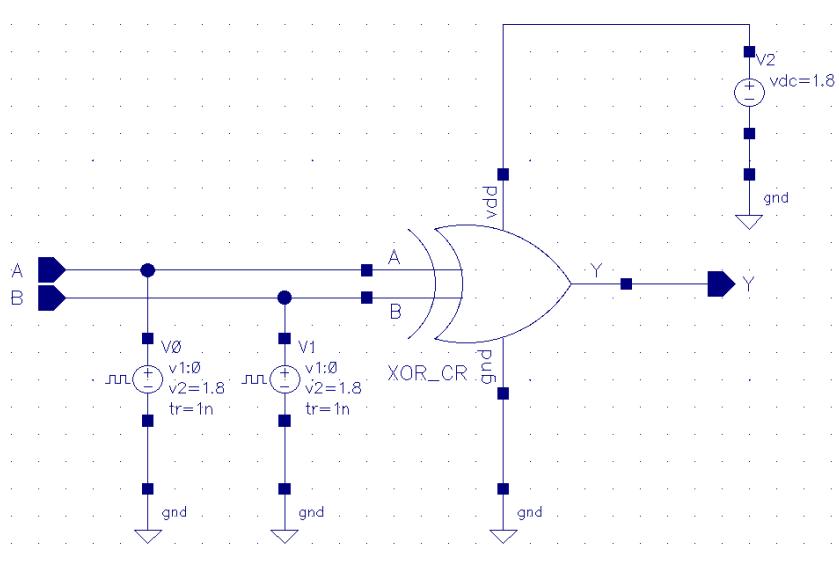
Hình 1.203. Sơ đồ nguyên lý mô phỏng cổng EXOR có tụ và tải ký sinh

- Thiết lập thông số thiết kế mô phỏng độ rộng, độ dài, tỷ lệ W/L và nhiệt độ mô phỏng giống với cổng EXOR không có tụ và tải ký sinh.
- Đóng gói thiết kế mô phỏng bằng ký hiệu cổng EXOR.



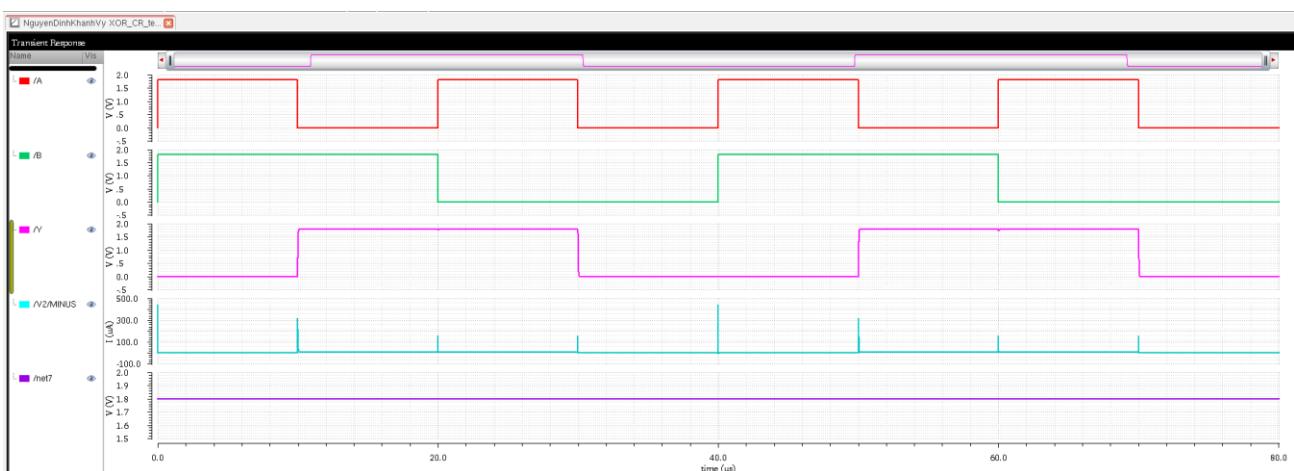
Hình 1.204. Đóng gói thiết kế cổng EXOR có tụ và tải ký sinh

- Cáp nguồn để kiểm tra hoạt động công EXOR:



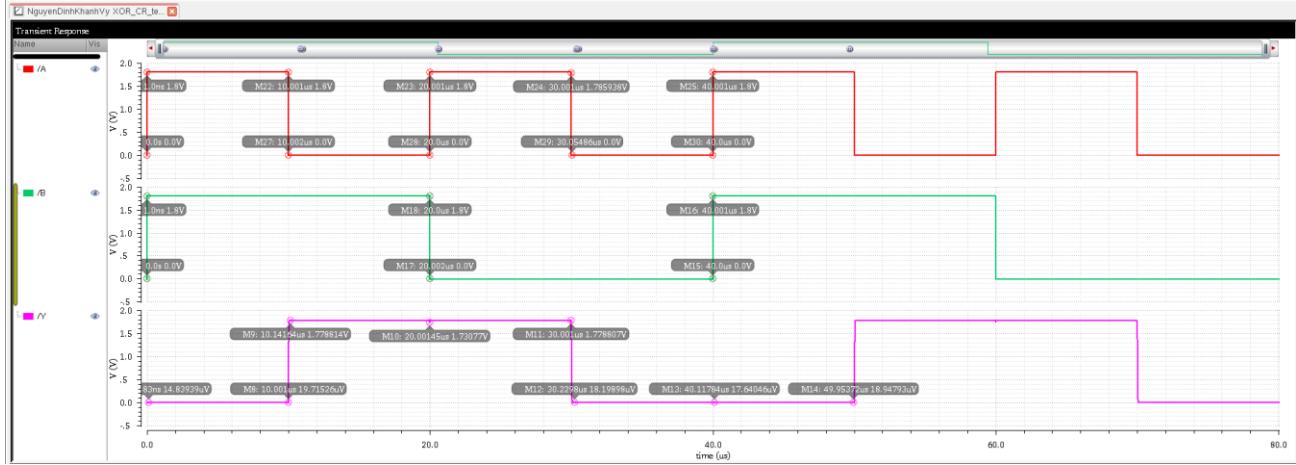
Hình 1.205. Mạch kiểm tra hoạt động công EXOR có tụ và tải ký sinh

- Cài đặt thông số các nguồn giống với công EXOR không có tụ, tải.
- Thực hiện mô phỏng để kiểm tra hoạt động theo bảng trạng thái của công EXOR, kết quả thu được dạng sóng như hình bên dưới.
  - + A: ngõ vào 1 (đường màu đỏ).
  - + B: ngõ vào 2 (đường màu xanh lá).
  - + Y: ngõ ra (đường màu xanh tím).
  - + V2/MINUS: dòng điện qua công EXOR (đường màu xanh biển).
  - + net7: điện áp qua công EXOR (đường màu tím).



Hình 1.206. Kết quả mô phỏng dạng sóng của công EXOR khi có tụ và tải

- Biên độ của các tín hiệu ngõ vào, tín hiệu ngõ ra của cổng EXOR khi tín hiệu ngõ vào, tín hiệu ngõ ra đảo điện áp:



Hình 1.207. Các điểm thay đổi khi tín hiệu ngõ vào và tín hiệu ngõ ra thay đổi của cổng EXOR

- Nhận xét mức điện áp giữa tín hiệu ngõ vào và tín hiệu ngõ ra khi có sự đảo điện áp ở tín hiệu ngõ vào của cổng EXOR có gắn tụ, tải:

+ 0s tới 10us, tín hiệu ngõ vào A là 1.8V (mức cao), tín hiệu ngõ vào B là 1.8V (mức cao) thì tín hiệu ngõ ra Y khoảng 14.8394uV (mức thấp).

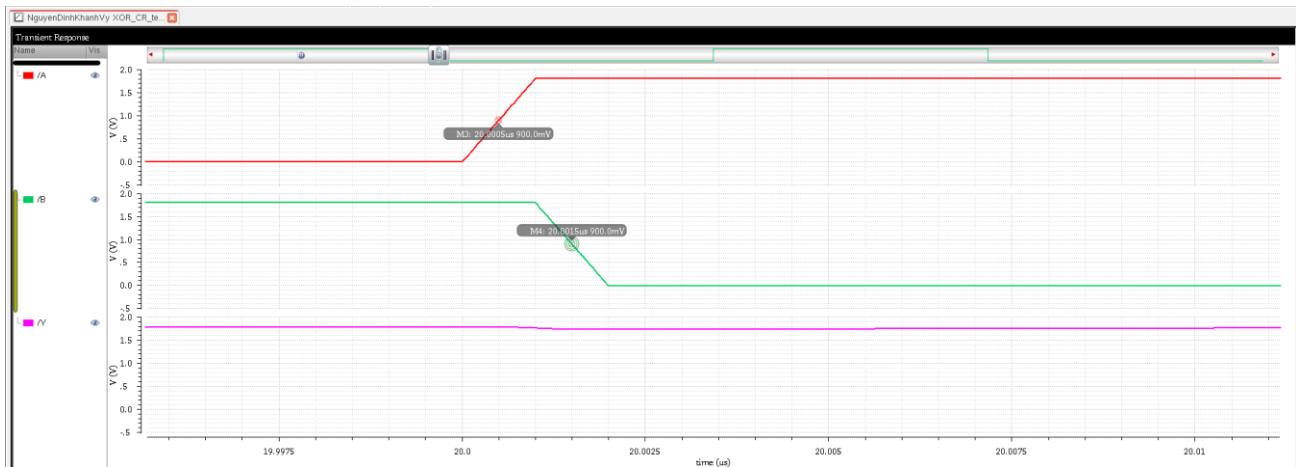
+ 10us tới 20us, tín hiệu ngõ vào A là 0V (mức thấp), tín hiệu ngõ vào B là 1.8V (mức cao) thì tín hiệu ngõ ra Y khoảng 1.7788V (mức cao).

+ 20s tới 30us, tín hiệu ngõ vào A là 1.8V (mức cao), tín hiệu ngõ vào B là 0V (mức thấp) thì tín hiệu ngõ ra Y khoảng 1.7788V (mức cao).

+ 30us tới 40us, tín hiệu ngõ vào A là 0V (mức thấp), tín hiệu ngõ vào B là 0V (mức thấp) thì tín hiệu ngõ ra Y khoảng 18.9479uV (mức thấp).

➔ Sự hao hụt điện áp của tín hiệu ngõ ra của cổng EXOR có gắn tụ, tải lớn hơn sự hao hụt điện áp của tín hiệu ngõ ra của cổng EXOR không gắn tụ, tải khi tín hiệu ngõ ra ở mức cao (chênh lệch 20.6mV). Sự hao hụt điện áp của tín hiệu ngõ ra của cổng EXOR có gắn tụ, tải lớn hơn sự hao hụt điện áp của tín hiệu ngõ ra của cổng EXOR không gắn tụ, tải khi tín hiệu ngõ ra ở mức thấp (chênh lệch 34.7083uV). Tuy nhiên, tình trạng điêm cao và thấp bất thường trong tín hiệu ngõ ra đã được tụ và tải lọc nên tín hiệu ngõ ra sạch..

- Đo độ chênh lệch điểm tại mức điện áp  $\frac{V_{DD}}{2} = 900mV$  của hai tín hiệu ngõ vào và tín hiệu ngõ ra. Ta nhận thấy không còn hiện tượng điểm thấp bất thường khi có sự đảo điện áp của tín hiệu ngõ vào A và B.



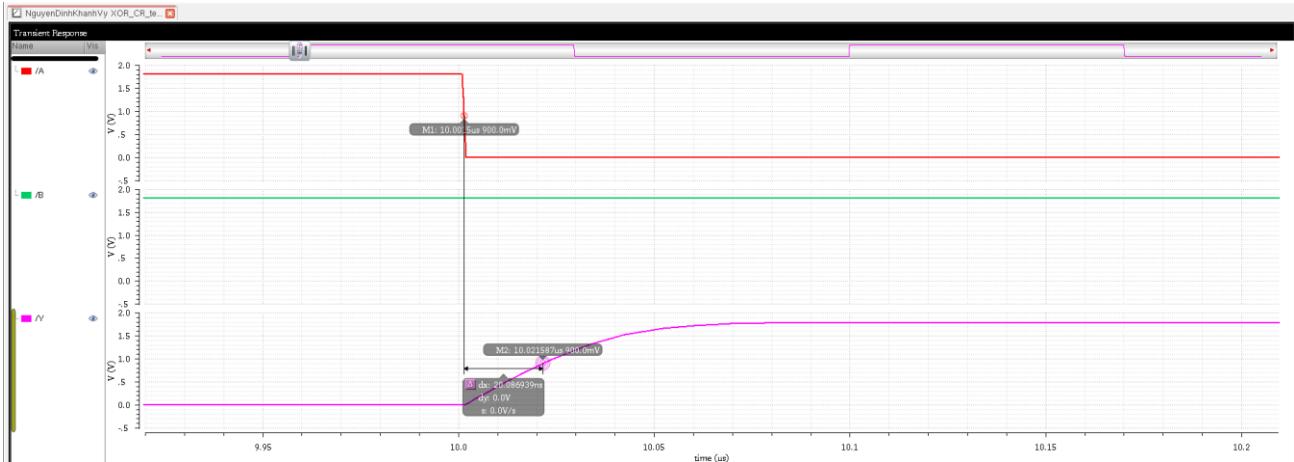
Hình 1.208. Tín hiệu ngõ ra đã được lọc

- Đo độ chênh lệch điểm tại mức điện áp  $\frac{V_{DD}}{2} = 900mV$  của hai tín hiệu ngõ vào và tín hiệu ngõ ra. Ta nhận thấy không còn hiện tượng điểm nhô cao bất thường khi có sự đảo điện áp của tín hiệu ngõ vào A và B.



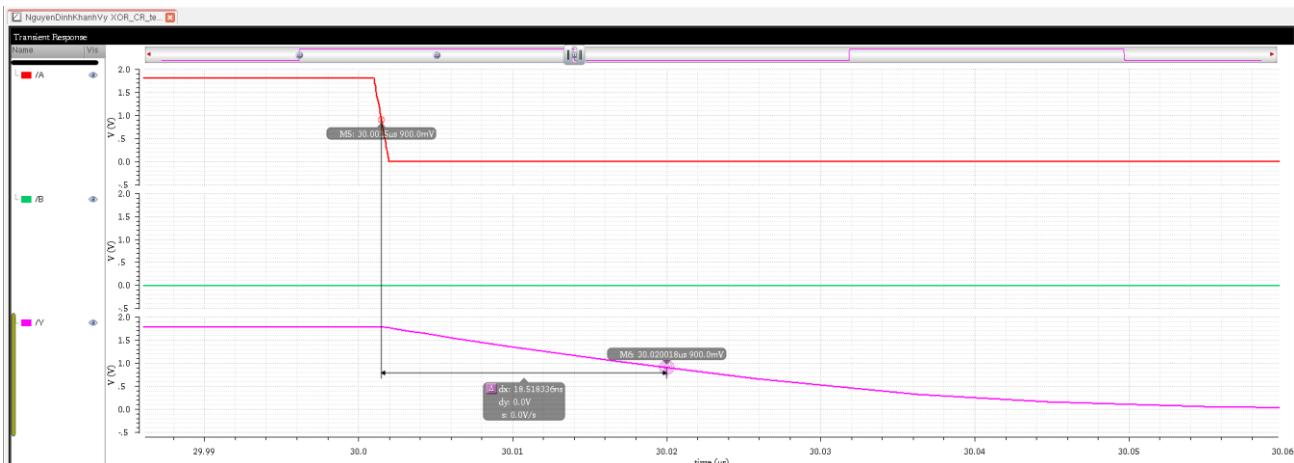
Hình 1.209. Tín hiệu ngõ ra đã được lọc

- Đo độ chênh lệch điểm tại mức điện áp  $\frac{V_{DD}}{2} = 900mV$  của hai tín hiệu ngõ vào và tín hiệu ngõ ra, ta tìm được độ trễ lan truyền cạnh lén so với tín hiệu ngõ vào A ( $t_{pdr_A}$ ) là 20.087ns.



Hình 1.210. Độ trễ lan truyền cạnh lén so với tín hiệu ngõ vào A cổng EXOR có gắn tụ, tải

- Đo độ chênh lệch điểm tại mức điện áp  $\frac{V_{DD}}{2} = 900mV$  của hai tín hiệu ngõ vào và tín hiệu ngõ ra khi nguồn  $V_{pulse}$  đã được thay đổi thông số, ta tìm được độ trễ lan truyền cạnh xuống so với tín hiệu ngõ vào A ( $t_{pdf_A}$ ) là 18.5183ns.



Hình 1.211. Độ trễ lan truyền cạnh xuống so với tín hiệu ngõ vào A cổng EXOR không gắn tụ, tải

- Độ trễ lan truyền trung bình:

$$t_{pd_A} = \frac{t_{pdr_A} + t_{pdf_A}}{2} = \frac{20.087 + 18.5183}{2} = 19.3027\text{ns}$$

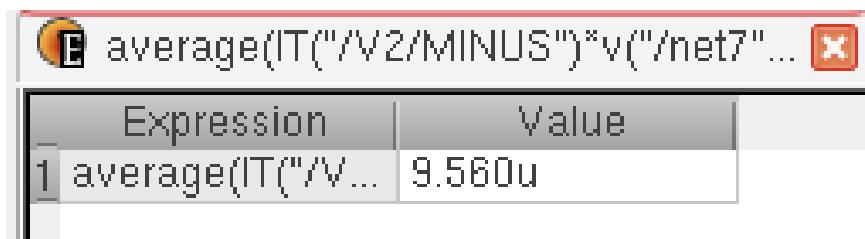
- Tính thời gian chuyển tiếp (transistion time): dùng công cụ Calculator tìm được thời gian xung cạnh lên lớn hơn thời gian xung cạnh xuống ( $29.6813\text{ns} > 27.0855\text{ns}$ ) và lớn hơn một khoảng là  $2.5958\text{ns}$ .

6 tf	27.0855n
7 tr	29.6813n

Hình 1.212. Thời gian xung cạnh lên và cạnh xuống đo được trên mô phỏng

- Nhận xét:

- + Độ trễ lan truyền trung bình của cổng EXOR có gắn tụ, tải lớn hơn độ trễ lan truyền trung bình của cổng EXOR không có gắn tụ, tải ( $19.3027\text{ns} > 61.7408\text{ps}$ ) và chênh lệch khoảng giá trị là  $19.241\text{ns}$ .
- + Thời gian xung cạnh lên của cổng EXOR có gắn tụ, tải lớn hơn thời gian xung cạnh lên của cổng EXOR không có gắn tụ, tải ( $29.6813\text{ns} > 34.5251\text{ps}$ ).
- + Thời gian xung cạnh xuống của cổng EXOR có gắn tụ, tải lớn hơn thời gian xung cạnh xuống của cổng EXOR không có gắn tụ, tải ( $27.0855\text{ns} > 15.3633\text{ps}$ ).
- Tính công suất trung bình: dùng công cụ Calculator đo được công suất trung bình là  $9.56\mu\text{W}$ . Công suất trung bình của cổng EXOR có gắn tụ, tải lớn hơn so với công suất trung bình của cổng EXOR không có gắn tụ, tải ( $9.56\mu\text{W} > 1.167\mu\text{W}$ ) và chênh lệch giá trị là  $8.393\mu\text{W}$ .



Hình 1.213. Công suất trung bình đo được từ mô phỏng

#### 1.7.4. Kết luận

- Bảng thống kê các giá trị AC mô phỏng được của công EXOR không gắn tụ, tải và công EXOR có gắn tụ, tải.

*Bảng 1.15. Các thông số của công EXOR*

LOẠI CÔNG EXOR	THÔNG SỐ	GIÁ TRỊ	ĐƠN VỊ
Không gắn tụ, tải	$t_{pdr_A}$	82.83	ps
	$t_{pdf_A}$	40.6515	
	$t_{pdr_B}$	87.9999	
	$t_r$	34.5251	
	$t_f$	15.3633	
	$P_{avg}$	1.167	uW
Có gắn tụ, tải	$t_{pdr_A}$	20.087	ns
	$t_{pdf_A}$	18.5183	
	$t_r$	29.6813	
	$t_f$	27.0855	
	$P_{avg}$	9.56	uW

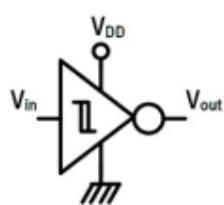
## CHƯƠNG 2: LÝ THUYẾT VÀ THIẾT KẾ MÔ PHỎNG

### MẠCH SCHMITT TRIGGER

#### 2.1. Lý thuyết

- Với đặc tính đầu vào/đầu ra có tính hồi tiếp nên khả năng loại bỏ nhiễu và cung cấp sự ổn định về mặt thời gian chuyên tiếp cạnh cho các hệ thống mà chúng được triển khai vô cùng tốt. Cụ thể ứng dụng cho công NOT.

- Biểu thức logic:  $V_{out} = \overline{V_{in}}$



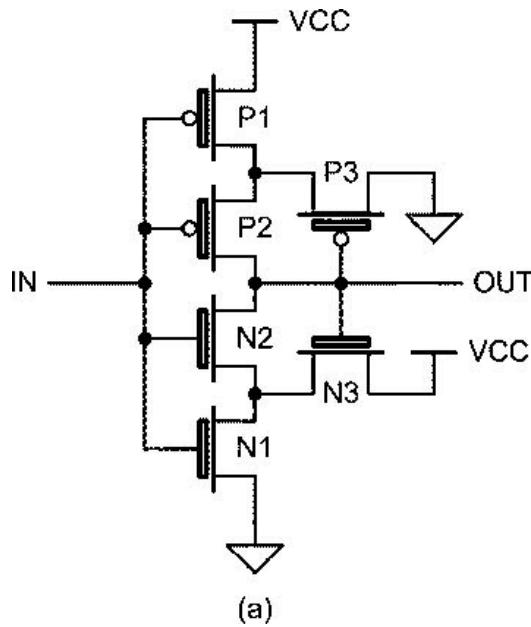
$V_{in}$	$V_{out}$
0	1
1	0

Hình 2.1. Ký hiệu và bảng trạng thái của công NOT dùng Schmitt Trigger

- Sơ đồ nguyên lý: : Gồm 1 công đảo thường kết hợp với 1 nMOS và 1 pMOS ở ngõ ra. Cách thức hoạt động của hình 1.2 như sau:

+  $V_{in} = 1$ ; P1, P2, N3 không dẫn; N1, N2, P3 dẫn;  $V_{out} = 0$

+  $V_{in} = 0$ ; N1, N2, P3 không dẫn; P1, P2, N3 dẫn;  $V_{out} = 1$



Hình 2.2. Sơ đồ nguyên lý công NOT dùng mạch Schmitt Trigger

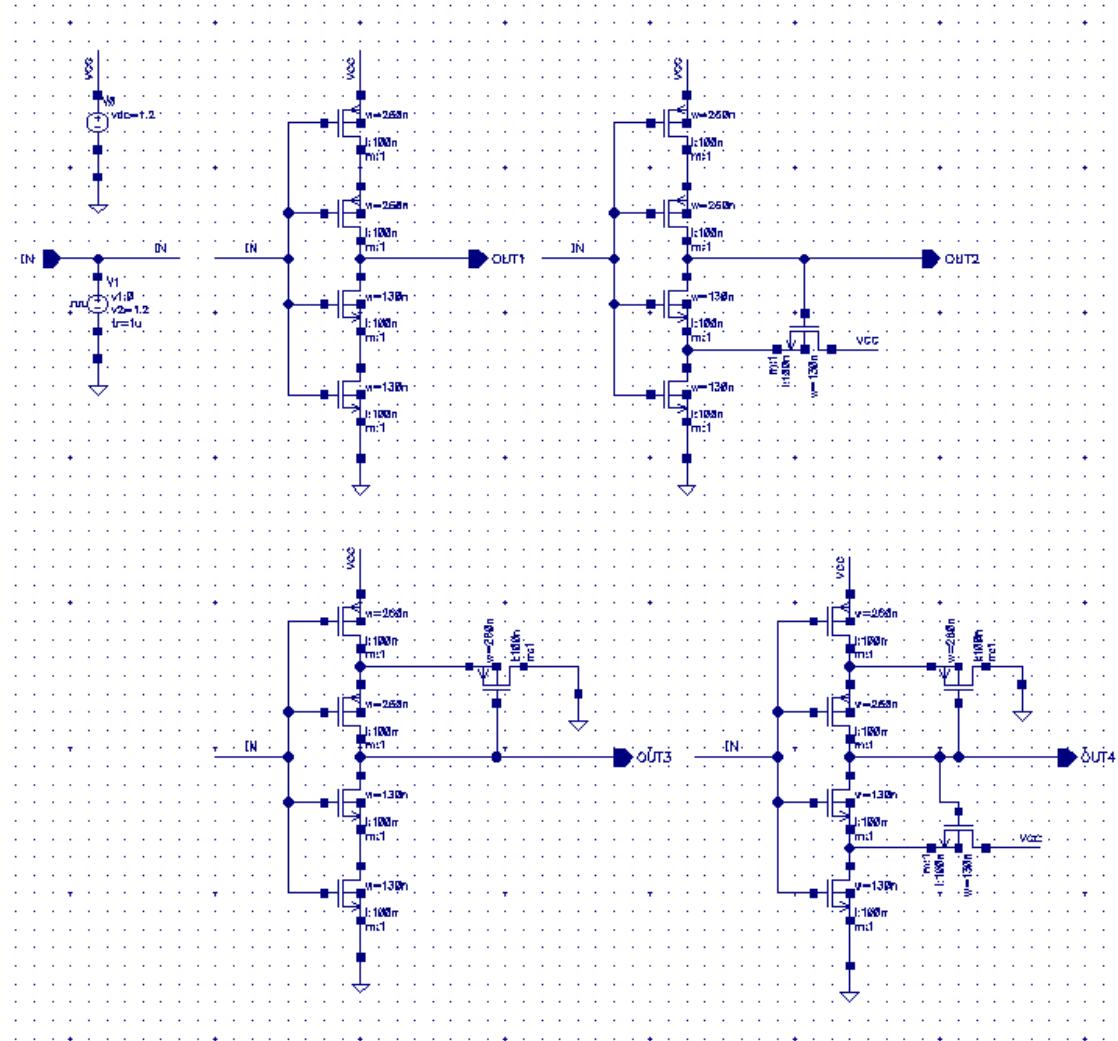
- Tỷ lệ W/L:

+ Tỷ lệ W/L của PMOS, NMOS sẽ phụ thuộc vào công nghệ CMOS và các yếu tố khác, nhưng phải đáp ứng điều kiện tỷ lệ W/L của PMOS gấp 2 đến 3 lần tỷ lệ W/L của NMOS.

## 2.2. Thiết kế mô phỏng cỗng NOT dùng mạch Schmitt Trigger

- Thiết kế mô phỏng cỗng NOT dựa trên sơ đồ mạch Schmitt Trigger:

- + OUT1: Cỗng NOT không dùng P3, N3.
- + OUT2: Cỗng NOT không dùng P3, có dùng N3.
- + OUT3: Cỗng NOT không dùng N3, có dùng P3.
- + OUT4: Cỗng NOT có dùng P3, N3.



Hình 2.3. Mô phỏng cỗng NOT dựa trên sơ đồ nguyên lý

- Thông số cài đặt nguồn:
  - + Nguồn  $V_{DC} = 1.2V$ .
  - + Chân GND nối đất.
  - + Chân  $V_{in}$  nối với nguồn  $V_{pulse}$  với các thông số sau:
    - Mức điện áp 1 (V1): 0V
    - Mức điện áp 2 (V2): 1.2V
    - Thời gian trễ: 0s
    - Thời gian xung cạnh lên (tr): 1us
    - Thời gian xung cạnh xuống (tf): 1us
    - Độ rộng xung (ton): 10us
    - Chu kỳ (period): 20us

Voltage 2	1.2 V
Period	20u s
Delay time	0 s
Rise time	1u s
Fall time	1u s
Pulse width	10u s

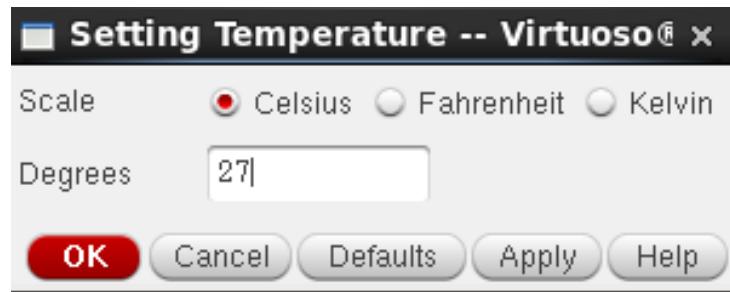
Hình 2.4. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào  $V_{in}$

- Bảng thông số thiết kế mô phỏng độ rộng (W), độ dài (L) và tỷ lệ W/L của PMOS so với NMOS gấp 2 lần.

**Bảng 2.1.** Bảng thông số PMOS, NMOS để thiết kế mô phỏng cổng NOT dùng Schmitt Trigger

THÔNG SỐ	PMOS	NMOS
L (nm)	100	100
W (nm)	260	130

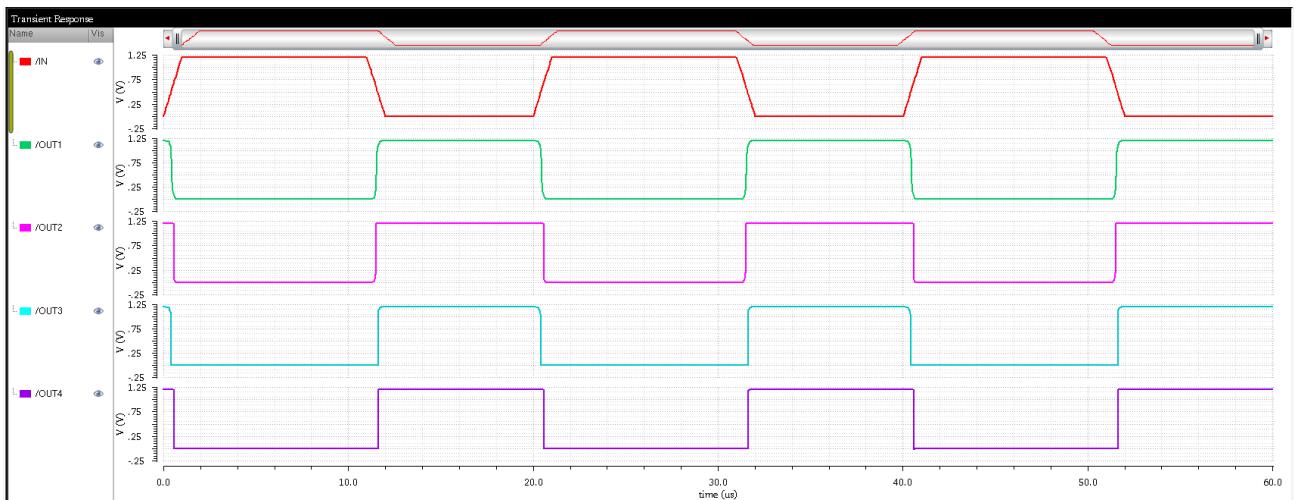
- Thiết kế được mô phỏng tại điều kiện nhiệt độ chuẩn  $T = 27^\circ\text{C}$ :



Hình 2.5. Cài đặt nhiệt độ thiết kế mô phỏng

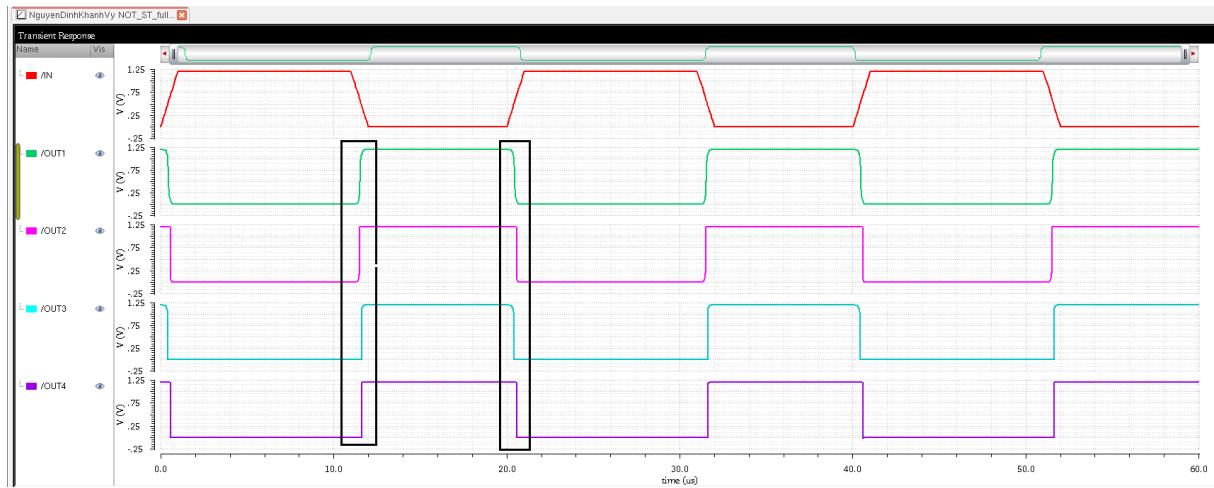
- Thực hiện mô phỏng để kiểm tra hoạt động theo bảng trạng thái của công NOT, kết quả thu được dạng sóng như hình bên dưới.

- + IN: ngõ vào (màu đỏ).
- + OUT1: ngõ ra công NOT không dùng P3, N3 (màu xanh lá).
- + OUT2: ngõ ra công NOT không dùng P3, có dùng N3 (màu hồng).
- + OUT3: ngõ ra công NOT không dùng N3, có dùng P3 (màu xanh biếc).
- + OUT4: ngõ ra công NOT có dùng P3, N3 (màu tím).



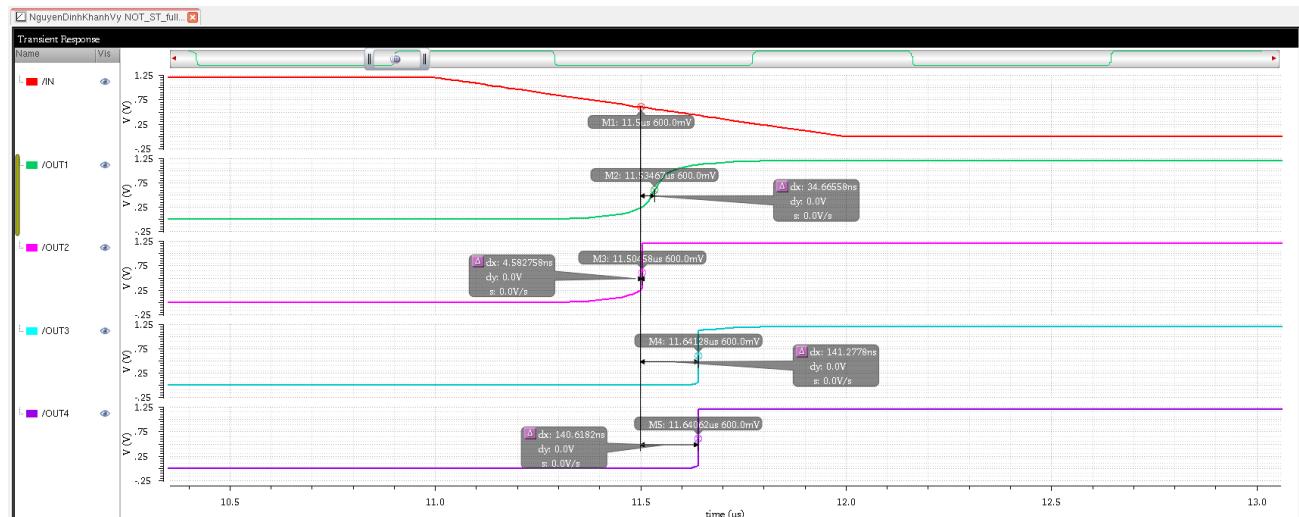
Hình 2.6. Kết quả mô phỏng dạng sóng của công NOT dùng mạch Schmitt Trigger

- Nhận xét dạng sóng các tín hiệu ngõ ra khi tín hiệu ngõ vào đảo điện áp:



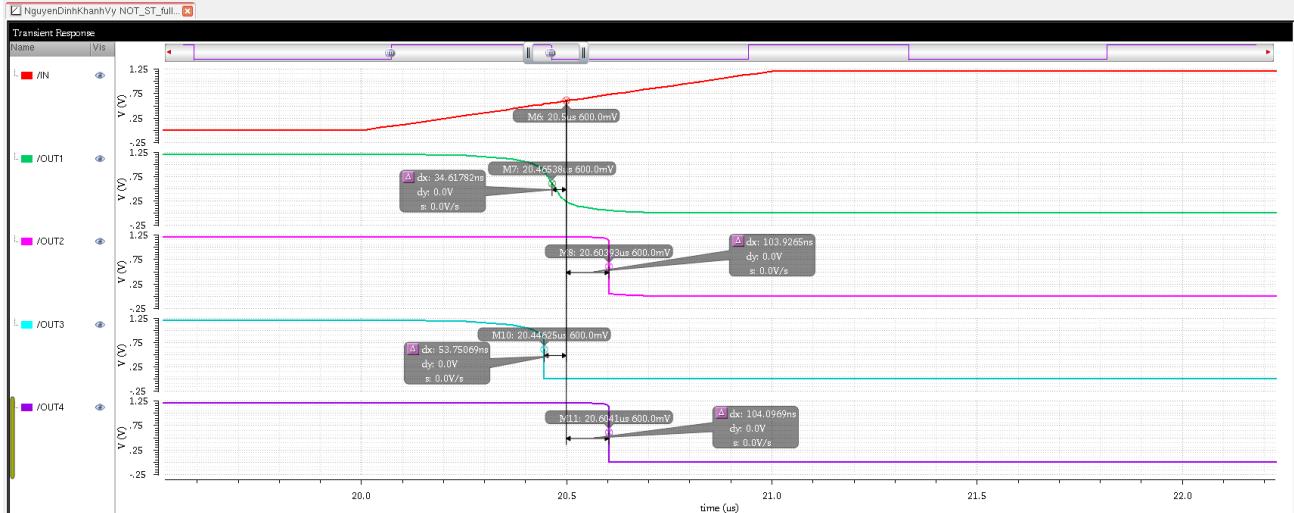
Hình 2.7. Kết quả mô phỏng dạng sóng của công NOT dùng mạch Schmitt Trigger

- + Khi không dùng P3, N3, tín hiệu của công NOT bị nhiễu ở cả mức cao và mức thấp.
  - + Khi không dùng P3, dùng N3, tín hiệu của công NOT chỉ bị nhiễu ở mức thấp.
  - + Khi không dùng N3, dùng P3, tín hiệu của công NOT chỉ bị nhiễu ở mức cao.
  - + Khi dùng cả P3, N3, tín hiệu của công NOT tín hiệu vuông vức, không bị nhiễu.
- Đo độ chênh lệch điểm tại mức điện áp  $\frac{V_{DD}}{2} = 600mV$  của tín hiệu ngõ vào và các tín hiệu ngõ ra, ta tìm được độ trễ lan truyền cạnh lên của các tín hiệu:
- + Độ trễ lan truyền cạnh lên của công NOT không dùng P3, N3 ( $t_{pdr1}$ ) là 34.6656ns.
  - + Độ trễ lan truyền cạnh lên của công NOT dùng N3 ( $t_{pdr2}$ ) là 4.583ns.
  - + Độ trễ lan truyền cạnh lên của công NOT dùng P3 ( $t_{pdr3}$ ) là 141.278ns.
  - + Độ trễ lan truyền cạnh lên của công NOT dùng P3, N3 ( $t_{pdr4}$ ) là 140.618ns.



Hình 2.8. Độ trễ lan truyền cạnh lên của công NOT dùng mạch Schmitt Trigger

- Đo độ chênh lệch điểm tại mức điện áp  $\frac{V_{DD}}{2} = 600mV$  của tín hiệu ngõ vào và các tín hiệu ngõ ra, ta tìm được độ trễ lan truyền cạnh xuống của các tín hiệu:
  - + Độ trễ lan truyền cạnh xuống của công NOT không dùng P3, N3 ( $t_{pdf1}$ ) là 34.618ns.
  - + Độ trễ lan truyền cạnh xuống của công NOT dùng N3 ( $t_{pdf2}$ ) là 103.927ns.
  - + Độ trễ lan truyền cạnh xuống của công NOT dùng P3 ( $t_{pdf3}$ ) là 53.751ns.
  - + Độ trễ lan truyền cạnh xuống của công NOT dùng P3, N3 ( $t_{pdf4}$ ) là 104.097ns.



Hình 2.9. Độ trễ lan truyền cạnh lên của công NOT dùng mạch Schmitt Trigger

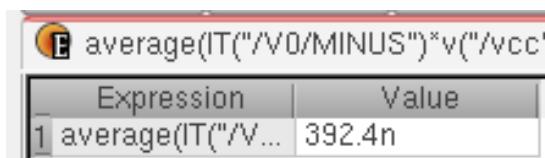
- Nhận xét: độ trễ lan truyền cạnh lên lớn hơn độ trễ lan truyền cạnh xuống. Riêng trường hợp công NOT dùng N3, không dùng P3 thì độ trễ lan truyền cạnh xuống lớn hơn độ trễ lan truyền cạnh lên.
- Tính thời gian chuyển tiếp (transistion time): dùng công cụ Calculator tìm được thời gian xung cạnh lên và thời gian xung cạnh xuống:

- + Thời gian cạnh lên của công NOT không dùng P3, N3 ( $t_{r1}$ ) là 66.5858ns.
- + Thời gian cạnh lên của công NOT dùng N3 ( $t_{r2}$ ) là 7.3607ns.
- + Thời gian cạnh lên của công NOT dùng P3 ( $t_{r3}$ ) là 55.1541ps.
- + Thời gian cạnh lên của công NOT dùng P3, N3 ( $t_{r4}$ ) là 46.6726ps.
- + Thời gian cạnh xuống của công NOT không dùng P3, N3 ( $t_{f1}$ ) là 68.4829ns.
- + Thời gian cạnh xuống của công NOT dùng N3 ( $t_{f2}$ ) là 37.0652ps.
- + Thời gian cạnh xuống của công NOT dùng P3 ( $t_{f3}$ ) là 16.451ns.
- + Thời gian cạnh xuống của công NOT dùng P3, N3 ( $t_{f4}$ ) là 48.8988ps.

6	tf OUT1	68.4829n
7	tr OUT1	66.5858n
8	tf OUT2	37.0652p
9	tr OUT2	7.36066n
10	tf OUT3	16.451n
11	tr OUT3	55.1541p
12	tf OUT4	48.8988p
13	tr OUT4	46.6726p

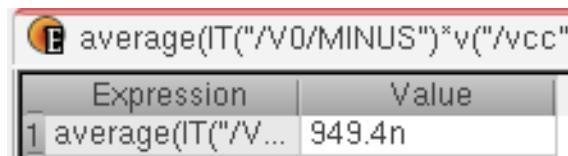
Hình 2.10. Thời gian xung cạnh lên và cạnh xuống đo được trên mô phỏng

- Nhận xét: thời gian cạnh lên nhỏ hơn thời gian cạnh xuống. Riêng trường hợp công NOT dùng N3, không dùng P3 thì thời gian cạnh lên lớn hơn thời gian cạnh xuống.
- Công suất trung bình của công NOT không dùng P3, N3 là 392.4nW:



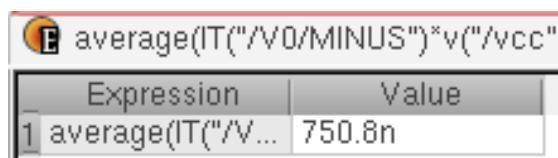
Hình 2.11. Công suất trung bình của công NOT không dùng P3, N3

- Công suất trung bình của công NOT dùng N3 là 949.4nW:



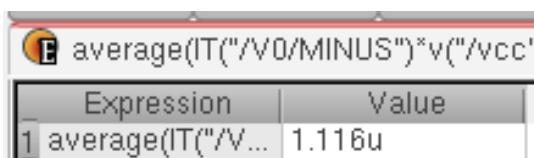
Hình 2.12. Công suất trung bình của công NOT dùng N3

- Công suất trung bình của công NOT dùng P3 là 750.8nW:



Hình 2.13. Công suất trung bình của công NOT dùng P3

- Công suất trung bình của công NOT dùng P3, N3 là 1.116uW:

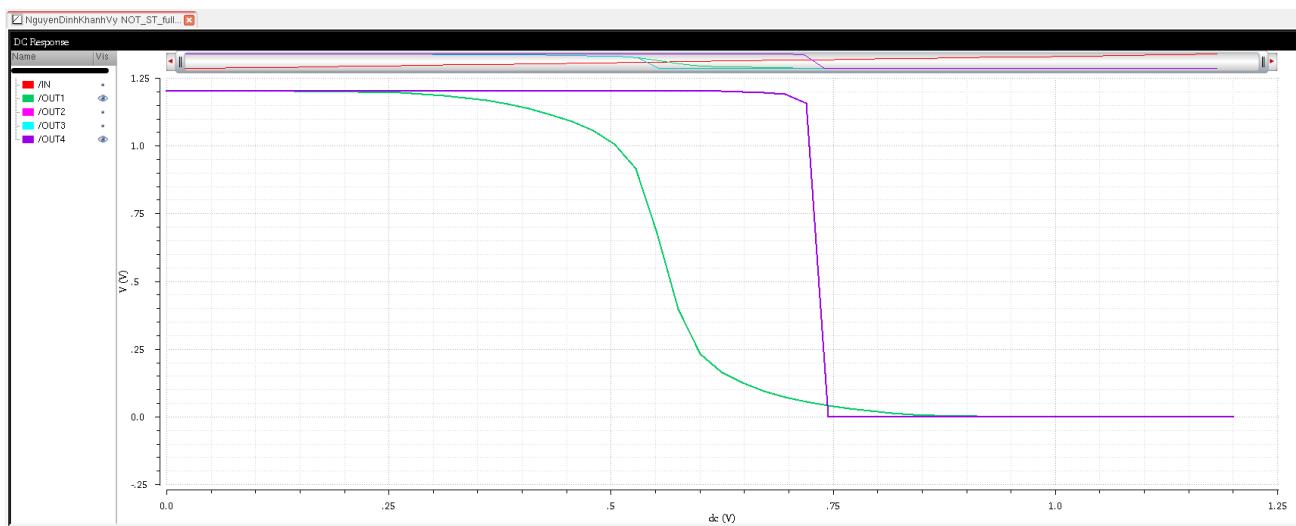


Hình 2.14. Công suất trung bình của công NOT dùng P3, N3

- Nhận xét: Công suất trung bình của công NOT dùng P3, N3 lớn hơn công suất trung bình của công NOT không dùng P3, N3 là 0.7236uW.

### 2.3. Kết luận

- So với công NOT không dùng mạch Schmitt Trigger, đường đặc tuyến DC của công NOT dùng mạch Schmitt Trigger vuông vức hơn, độ trễ của đầu ra giảm.



Hình 2.15. Đường đặc tuyến DC của công NOT dùng và không dùng Schmitt Trigger

## CHƯƠNG 3: LÝ THUYẾT VÀ THIẾT KẾ MÔ PHỎNG

### BỘ CỘNG FULL ADDER

#### 3.1. Bộ cộng Full Adder 1 bit

##### 3.1.1. Lý thuyết

- Full Adder (FA) là mạch cộng số thực hiện phép cộng bit đầu vào:

- Bit thứ nhất: A.
- Bit thứ hai: B.
- Bit nhớ vào (Carry-in):  $C_{in}$ .

- Kết quả đầu ra gồm:

- Tổng 3 bit đầu vào: S.
- Bit nhớ ra:  $C_{out}$ .

- Biểu thức logic:

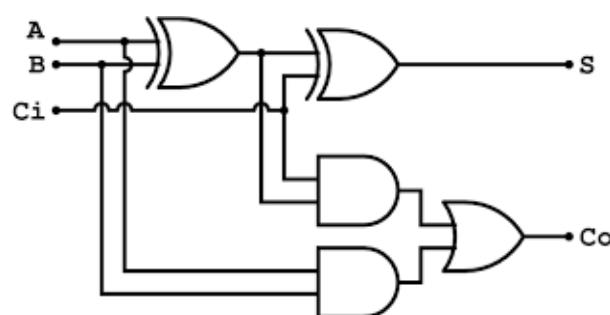
- Tổng:  $S = A \oplus B \oplus C_{in}$
- Nhớ ra:  $C_{out} = (A \cdot B) + (B \cdot C_{in}) + (A \cdot C_{in})$

- Bảng trạng thái của bộ cộng Full Adder

*Bảng 3.1. Bảng trạng thái của bộ cộng Full Adder*

Input			Output	
A	B	$C_{in}$	Sum	$C_{out}$
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

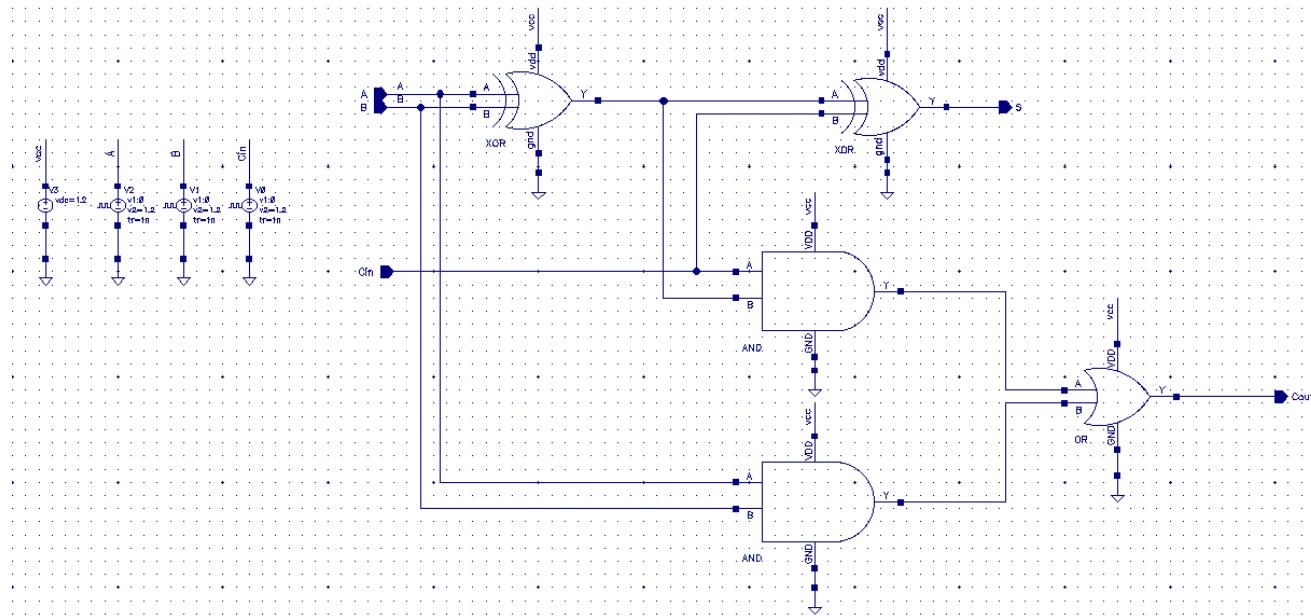
- Sơ đồ nguyên lý: : Dựa vào biểu thức logic, ta thiết kế bộ cộng Full Adder dùng công XOR, công AND và công OR.



*Hình 3.1. Sơ đồ nguyên lý bộ cộng Full Adder*

### 3.1.2. Thiết kế mô phỏng bộ cộng Full Adder

- Thiết kế mô phỏng bộ cộng Full Adder dựa trên sơ đồ nguyên lý:



Hình 3.2. Mô phỏng bộ cộng Full Adder dựa trên sơ đồ nguyên lý

- Thông số cài đặt nguồn:

+ Nguồn  $V_{DC} = 1.2V$ .

+ Chân GND nối đất.

+ Chân  $V_{in}$  tương ứng với ngõ vào A nối với nguồn  $V_{pulse}$  với các thông số sau:

- Mức điện áp 2 (V2): 1.2V
- Thời gian trễ: 0s
- Thời gian xung cạnh lên (tr): 1ns
- Thời gian xung cạnh xuống (tf): 1ns
- Độ rộng xung (ton): 10us
- Chu kỳ (period): 20us

Voltage 2	1.2 V
Period	10u s
Delay time	0 s
Rise time	1n s
Fall time	1n s
Pulse width	5u s

Hình 3.3. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào A

- Thông số cài đặt nguồn:

+ Chân  $V_{in}$  tương ứng với ngõ vào B nối với nguồn  $V_{pulse}$  với các thông số sau:

- Mức điện áp 2 (V2): 1.2V
- Thời gian trễ: 0s
- Thời gian xung cạnh lên (tr): 1ns
- Thời gian xung cạnh xuống (tf): 1ns
- Độ rộng xung (ton): 7us
- Chu kỳ (period): 14us

Voltage 2	1.2 V
Period	14u s
Delay time	0 s
Rise time	1n s
Fall time	1n s
Pulse width	7u s

Hình 3.4. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào B

- Thông số cài đặt nguồn:

+ Chân  $V_{in}$  tương ứng với ngõ vào C nối với nguồn  $V_{pulse}$  với các thông số sau:

- Mức điện áp 2 (V2): 1.2V
- Thời gian trễ: 0s
- Thời gian xung cạnh lên (tr): 1ns
- Thời gian xung cạnh xuống (tf): 1ns
- Độ rộng xung (ton): 12us
- Chu kỳ (period): 24us

Voltage 2	1.2 V
Period	24u s
Delay time	0 s
Rise time	1n s
Fall time	1n s
Pulse width	12u s

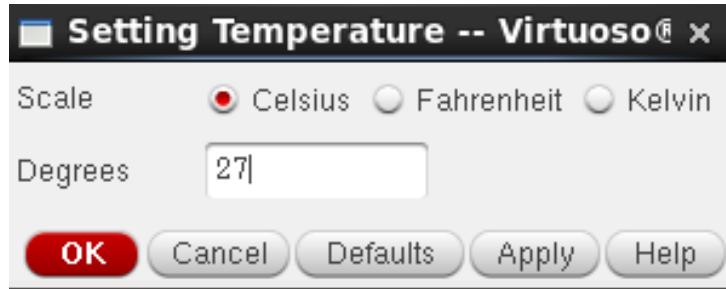
Hình 3.5. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào C

- Bảng thông số thiết kế mô phỏng độ rộng (W), độ dài (L) và tỷ lệ W/L của PMOS so với NMOS gấp 2 lần.

**Bảng 3.2. Bảng thông số PMOS, NMOS để thiết kế mô phỏng**

THÔNG SỐ	PMOS	NMOS
L (nm)	100	100
W (nm)	260	130

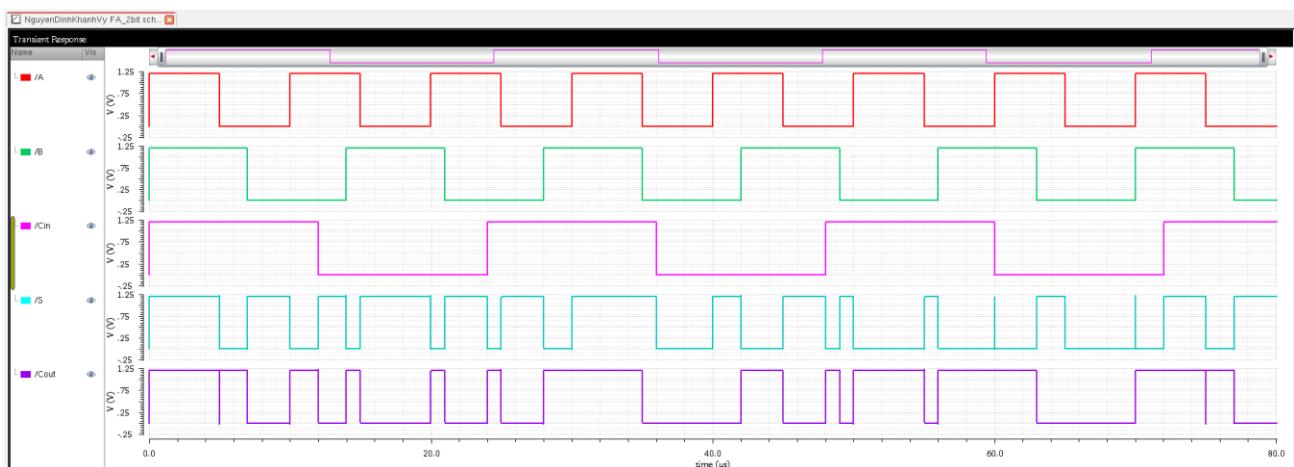
- Thiết kế được mô phỏng tại điều kiện nhiệt độ chuẩn  $T = 27^\circ\text{C}$ :



**Hình 3.6. Cài đặt nhiệt độ thiết kế mô phỏng**

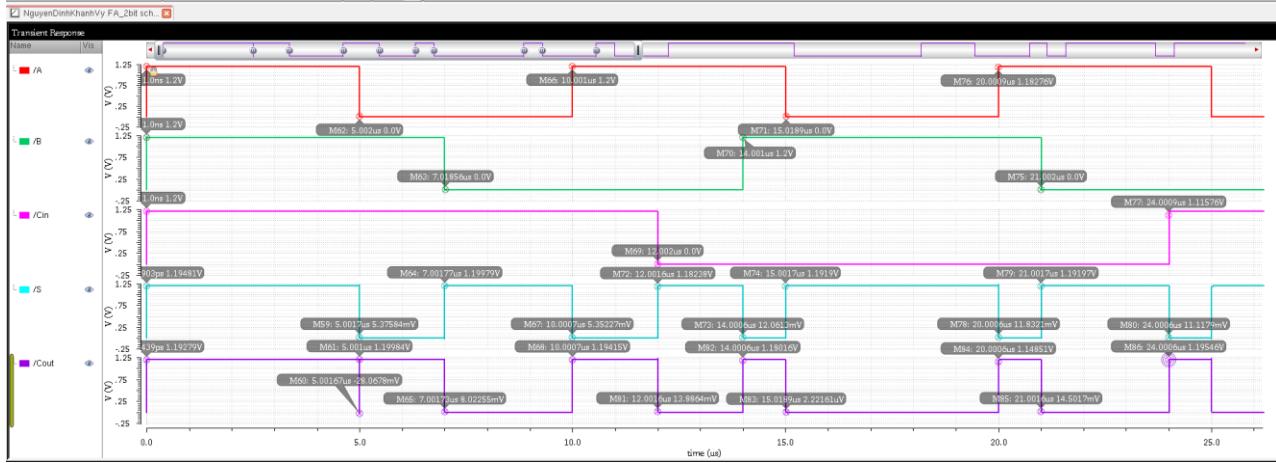
- Thực hiện mô phỏng để kiểm tra hoạt động theo bảng trạng thái của bộ cộng Full Adder, kết quả thu được dạng sóng như hình bên dưới.

- + A: Tín hiệu ngõ vào tương đương với bit cộng thứ nhất (đường màu đỏ).
- + B: Tín hiệu ngõ vào tương đương với bit cộng thứ hai (đường màu xanh lá).
- + Cin: Tín hiệu ngõ vào tương đương với bit nhớ vào (đường màu hồng).
- + S: Tín hiệu ngõ ra tương đương với tổng (đường màu xanh biển).
- + Cout: Tín hiệu ngõ ra tương đương với bit nhớ ra (đường màu tím).



**Hình 3.7. Kết quả mô phỏng dạng sóng của bộ cộng Full Adder**

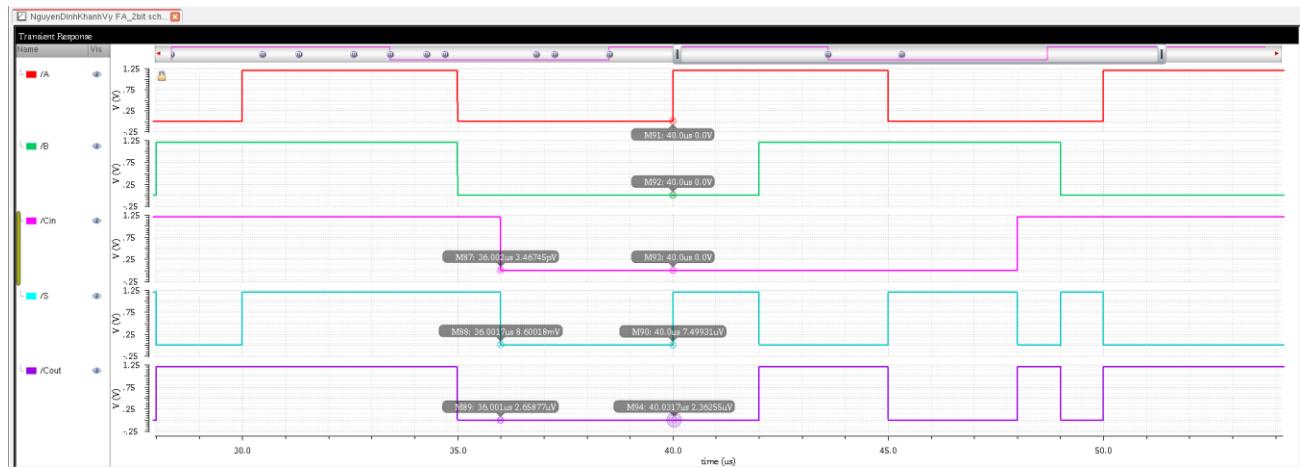
- Nhận xét dạng sóng các tín hiệu ngõ ra khi tín hiệu ngõ vào đảo điện áp, ta thấy các mức logic của ngõ vào, ngõ ra phù hợp với bảng trạng thái:



Hình 3.8. Kết quả mô phỏng dạng sóng của bộ cộng Full Adder

- + 0us đến 5.001us, ngõ vào A = 1, B = 1, Cin = 1, ngõ ra S = 1, Cout = 1.
- + 5.001us đến 7.00177us, ngõ vào A = 0, B = 1, Cin = 1, ngõ ra S = 0, Cout = 1.
- + 7.00177us đến 10.001us, ngõ vào A = 0, B = 0, Cin = 1, ngõ ra S = 1, Cout = 0.
- + 10.001us đến 12.002us, ngõ vào A = 1, B = 0, Cin = 1, ngõ ra S = 0, Cout = 1.
- + 12.002us đến 14.006us, ngõ vào A = 1, B = 0, Cin = 0, ngõ ra S = 1, Cout = 0.
- + 14.006us đến 15.0189us, ngõ vào A = 1, B = 1, Cin = 0, ngõ ra S = 0, Cout = 1.
- + 15.0189us đến 20.0006us, ngõ vào A = 0, B = 1, Cin = 0, ngõ ra S = 1, Cout = 0.
- + 20.0006us đến 21.0016us, ngõ vào A = 1, B = 1, Cin = 0, ngõ ra S = 0, Cout = 1.
- + 21.0016us đến 24.0009us, ngõ vào A = 1, B = 0, Cin = 0, ngõ ra S = 1, Cout = 0.

- Ở ảnh trên còn thiếu một mức trạng thái, ảnh dưới đây bổ sung mức trạng thái đó:

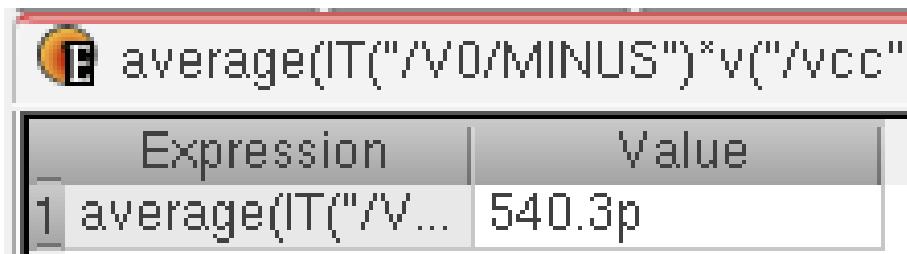


Hình 3.9. Kết quả mô phỏng dạng sóng của bộ cộng Full Adder

+ 36.001us tới 40us, ngõ vào A = 0, B = 0, Cin = 0, ngõ ra S = 0, Cout = 0.

➔ Kết luận: Mạch Full Adder được mô phỏng hoạt động đúng bằng trạng thái.

- Công suất trung bình của bộ cộng Full Adder là 540.3pW:

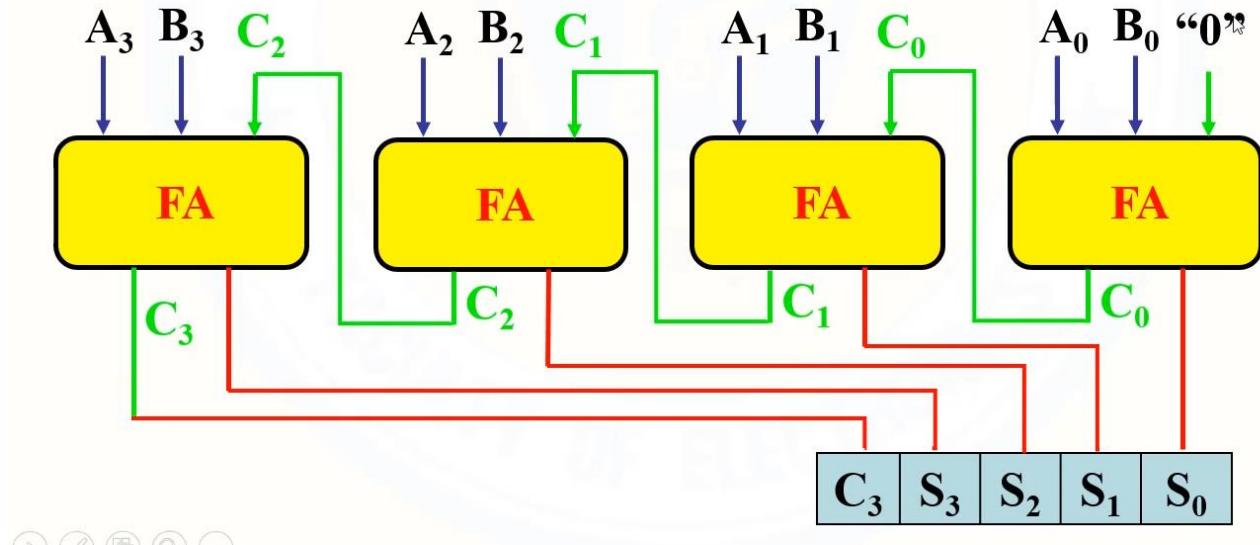


Hình 3.10. Công suất trung bình của bộ cộng Full Adder

### 3.2. Bộ cộng Full Adder 3 bit

#### 3.2.1. Lý thuyết

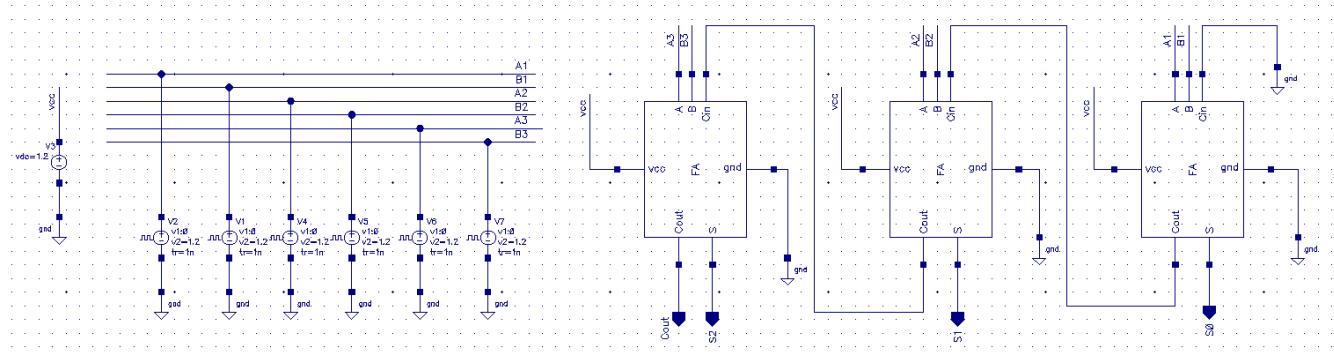
- Bộ cộng FA 3 bit được thiết kế từ bộ cộng FA một bit, sau đây là sơ đồ khói:



Hình 3.11. Sơ đồ khói của bộ cộng FA 3 bit

#### 3.2.2. Thiết kế mô phỏng bộ cộng Full Adder 3 bit

- Thiết kế mô phỏng bộ cộng Full Adder dựa trên sơ đồ nguyên lý:



Hình 3.12. Mô phỏng bộ Full Adder 3 bit

- Thông số cài đặt nguồn:

+ Nguồn  $V_{DC} = 1.2V$ .

+ Chân GND nối đất.

+ Chân  $V_{in}$  tương ứng với ngõ vào A1 nối với nguồn  $V_{pulse}$  với các thông số sau:

- Mức điện áp 2 (V2): 1.2V
- Thời gian trễ: 0s
- Thời gian xung cạnh lên (tr): 1ns
- Thời gian xung cạnh xuống (tf): 1ns
- Độ rộng xung (ton): 5us
- Chu kỳ (period): 10us

Voltage 2	1.2 V
Period	10u s
Delay time	0 s
Rise time	1n s
Fall time	1n s
Pulse width	5u s

Hình 3.13. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào A1

- Thông số cài đặt nguồn:

+ Chân  $V_{in}$  tương ứng với ngõ vào B1 nối với nguồn  $V_{pulse}$  với các thông số sau:

- Mức điện áp 2 (V2): 1.2V
- Thời gian trễ: 0s
- Thời gian xung cạnh lên (tr): 1ns
- Thời gian xung cạnh xuống (tf): 1ns
- Độ rộng xung (ton): 7us
- Chu kỳ (period): 14us

Voltage 2	1.2 V
Period	14u s
Delay time	0 s
Rise time	1n s
Fall time	1n s
Pulse width	7u s

Hình 3.14. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào B1

- Thông số cài đặt nguồn:

+ Chân  $V_{in}$  tương ứng với ngõ vào A2 nối với nguồn  $V_{pulse}$  với các thông số sau:

- Mức điện áp 2 (V2): 1.2V
- Thời gian trễ: 0s
- Thời gian xung cạnh lên (tr): 1ns
- Thời gian xung cạnh xuống (tf): 1ns
- Độ rộng xung (ton): 6us
- Chu kỳ (period): 12us

Voltage 2	1.2 V
Period	12u s
Delay time	0 s
Rise time	1n s
Fall time	1n s
Pulse width	6u s

Hình 3.15. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào A2

- Thông số cài đặt nguồn:

+ Chân  $V_{in}$  tương ứng với ngõ vào B2 nối với nguồn  $V_{pulse}$  với các thông số sau:

- Mức điện áp 2 (V2): 1.2V
- Thời gian trễ: 0s
- Thời gian xung cạnh lên (tr): 1ns
- Thời gian xung cạnh xuống (tf): 1ns
- Độ rộng xung (ton): 8us
- Chu kỳ (period): 16us

Voltage 2	1.2 V
Period	16u s
Delay time	0 s
Rise time	1n s
Fall time	1n s
Pulse width	8u s

Hình 3.16. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào B2

- Thông số cài đặt nguồn:

+ Chân  $V_{in}$  tương ứng với ngõ vào A3 nối với nguồn  $V_{pulse}$  với các thông số sau:

- Mức điện áp 2 (V2): 1.2V
- Thời gian trễ: 0s
- Thời gian xung cạnh lên (tr): 1ns
- Thời gian xung cạnh xuống (tf): 1ns
- Độ rộng xung (ton): 8.5us
- Chu kỳ (period): 17us

Voltage 2	1.2 V
Period	17u s
Delay time	0 s
Rise time	1n s
Fall time	1n s
Pulse width	8.5u s

Hình 3.17. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào A3

- Thông số cài đặt nguồn:

+ Chân  $V_{in}$  tương ứng với ngõ vào B3 nối với nguồn  $V_{pulse}$  với các thông số sau:

- Mức điện áp 2 (V2): 1.2V
- Thời gian trễ: 0s
- Thời gian xung cạnh lên (tr): 1ns
- Thời gian xung cạnh xuống (tf): 1ns
- Độ rộng xung (ton): 9us
- Chu kỳ (period): 18us

Voltage 2	1.2 V
Period	18u s
Delay time	0 s
Rise time	1n s
Fall time	1n s
Pulse width	9u s

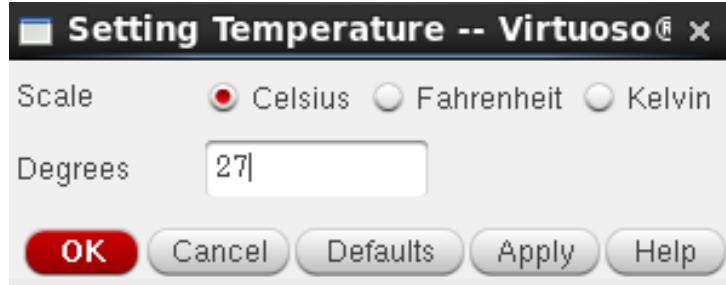
Hình 3.18. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào B3

- Bảng thông số thiết kế mô phỏng độ rộng (W), độ dài (L) và tỷ lệ W/L của PMOS so với NMOS gấp 2 lần.

**Bảng 3.3. Bảng thông số PMOS, NMOS để thiết kế mô phỏng**

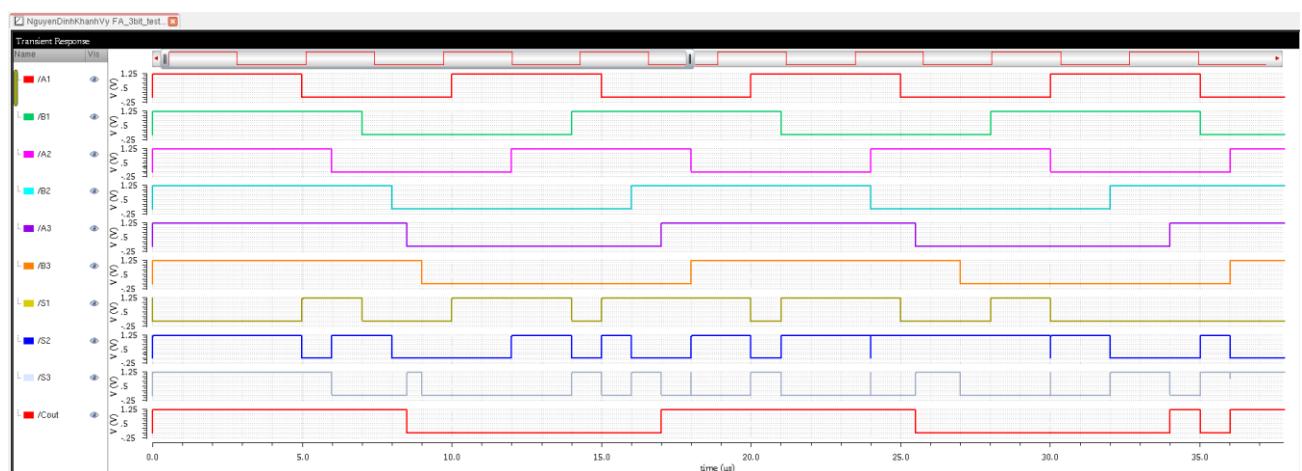
THÔNG SỐ	PMOS	NMOS
L (nm)	100	100
W (nm)	260	130

- Thiết kế được mô phỏng tại điều kiện nhiệt độ chuẩn  $T = 27^\circ\text{C}$ :



**Hình 3.19. Cài đặt nhiệt độ thiết kế mô phỏng**

- Thực hiện mô phỏng để kiểm tra hoạt động theo bảng trạng thái của bộ cộng Full Adder, kết quả thu được dạng sóng như hình bên dưới.
  - + A1, A2, A3: Tín hiệu ngõ vào tương đương với số nhị phân thứ nhất.
  - + B1, B2, B3: Tín hiệu ngõ vào tương đương với số nhị phân thứ hai.
  - + S1, S2, S3: Tín hiệu ngõ ra tương đương với tổng của số nhị phân thứ nhất và hai.
  - + Cout: Tín hiệu ngõ ra tương đương với bit nhớ ra.



**Hình 3.20. Kết quả mô phỏng dạng sóng của bộ cộng Full Adder 3 bit**

- Từ 0us đến 5us:

$$+ A1 = 1.2, A2 = 1.2, A3 = 1.2$$

$$+ B1 = 1.2, B2 = 1.2, B3 = 1.2$$

$$\Rightarrow S1 = 0, S2 = 1.2, S3 = 1.2, Cout = 1.2$$

- Từ 5us đến 6us:

$$+ A1 = 0, A2 = 1.2, A3 = 1.2$$

$$+ B1 = 1.2, B2 = 1.2, B3 = 1.2$$

$$\Rightarrow S1 = 1.2, S2 = 0, S3 = 1.2, Cout = 1.2$$

- Từ 6us đến 7us:

$$+ A1 = 0, A2 = 0, A3 = 1.2$$

$$+ B1 = 1.2, B2 = 1.2, B3 = 1.2$$

$$\Rightarrow S1 = 1.2, S2 = 1.2, S3 = 0, Cout = 1.2$$

- Từ 7us đến 8us

$$+ A1 = 0, A2 = 0, A3 = 1.2$$

$$+ B1 = 0, B2 = 1.2, B3 = 1.2$$

$$\Rightarrow S1 = 0, S2 = 1.2, S3 = 0, Cout = 1.2$$

- Từ 8us đến 8.5us

$$+ A1 = 0, A2 = 0, A3 = 1.2$$

$$+ B1 = 0, B2 = 0, B3 = 1.2$$

$$\Rightarrow S1 = 0, S2 = 0, S3 = 0, Cout = 1.2$$

- Từ 8.5us đến 9us

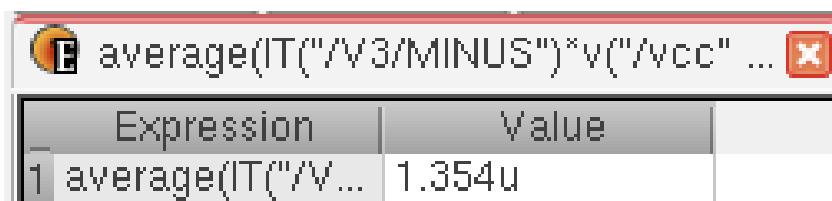
$$+ A1 = 0, A2 = 0, A3 = 0$$

$$+ B1 = 0, B2 = 0, B3 = 1.2$$

$$\Rightarrow S1 = 0, S2 = 0, S3 = 1.2, Cout = 0$$

Phân tích tương tự với các trường hợp khác, ta kết luận mạch cộng FA 3 bit hoạt động đúng theo bảng trạng thái.

- Công suất trung bình của mạch cộng FA 3 bit là 1.354uW



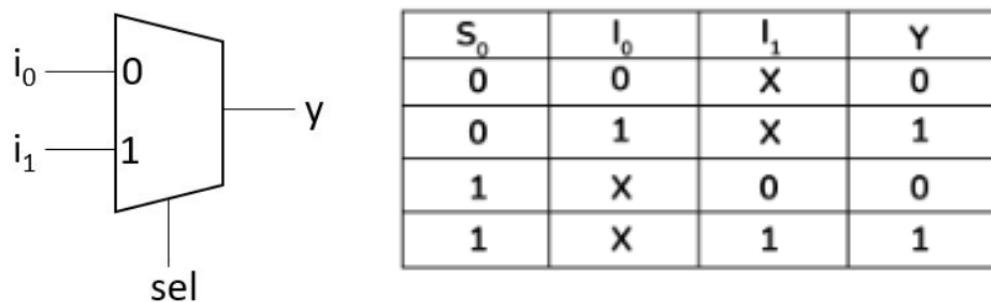
Hình 3.21. Công suất trung bình của mạch cộng FA 3 bit

## CHƯƠNG 4: LÝ THUYẾT VÀ THIẾT KẾ MÔ PHỎNG BỘ MUX

### 4.1. Bộ MUX 2 sang 1

#### 4.1.1. Lý thuyết

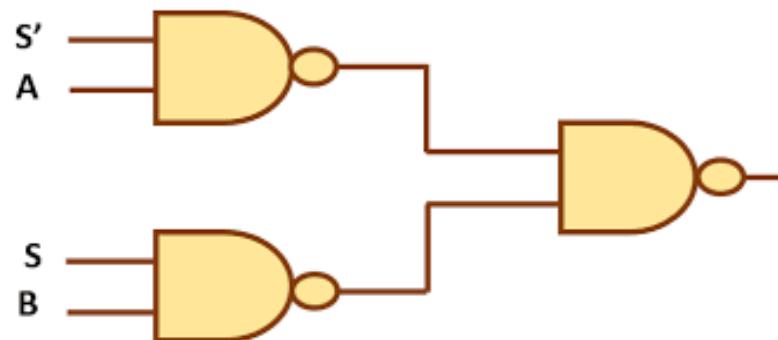
- Khái niệm: Là mạch tổ hợp thực hiện việc chọn lựa ngõ ra phù hợp dựa trên chân select.



Hình 4.1. Ký hiệu và bảng trạng thái của bộ MUX 2 sang 1

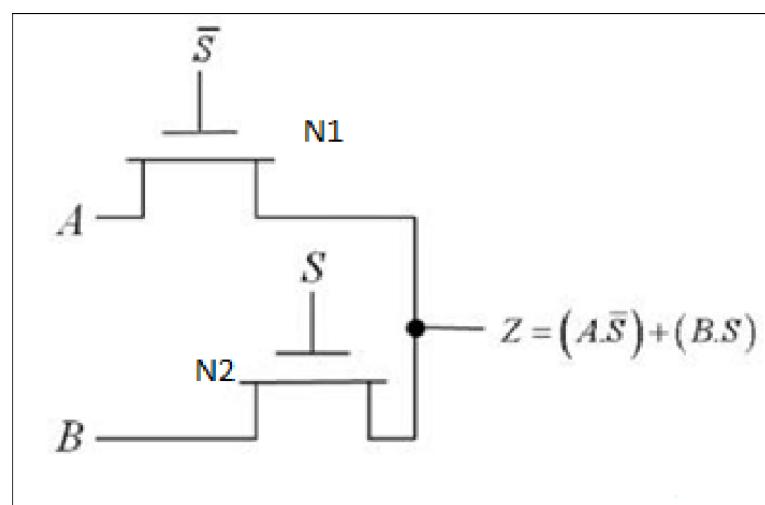
- Sơ đồ nguyên lý: có 3 kiểu thiết kế bộ MUX 2 sang 1.

+ Cách 1: gồm 3 cổng NAND kết hợp với nhau tạo thành bộ MUX 2 sang 1.



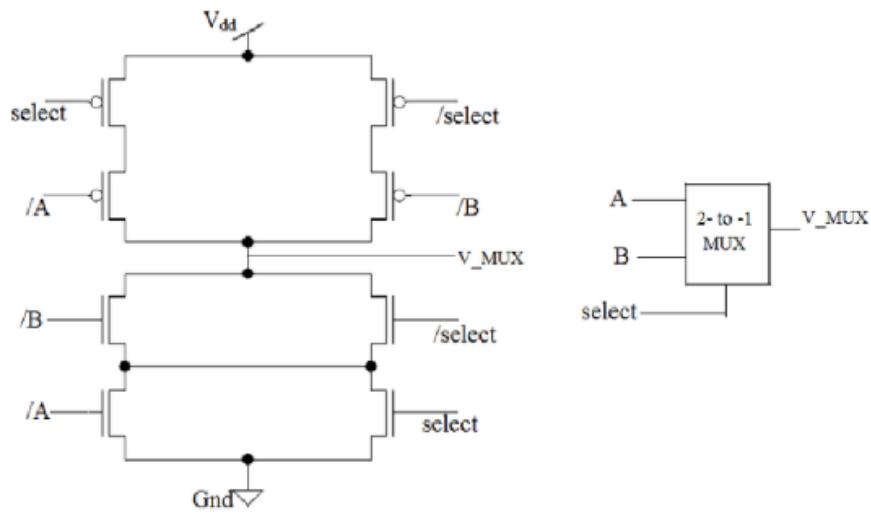
Hình 4.2. Dùng cổng logic thiết kế mạch mux 2-1

+ Cách 2: Dùng 2 NMOS kết nối với nhau.



Hình 4.3. Dùng NMOS thiết kế mạch mux 2-1

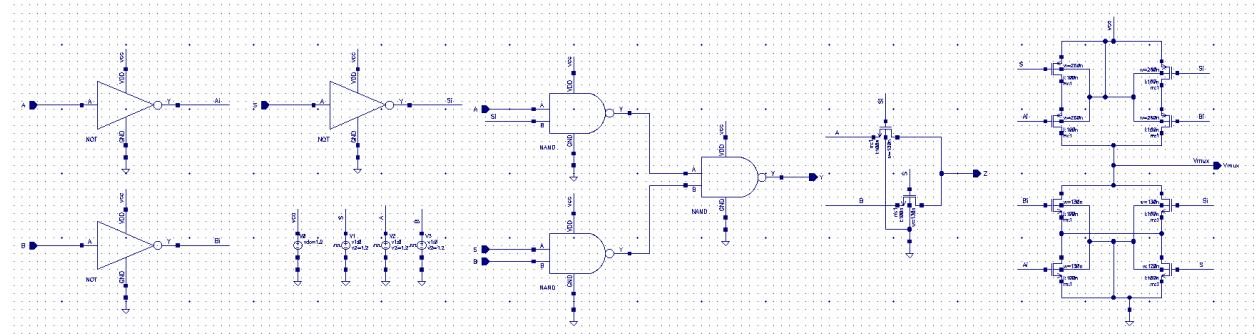
+ Cách 3: Thiết kế bộ MUX 2 sang 1 ở cấp độ transistor



Hình 4.4. Dùng PMOS và NMOS để thiết kế mạch mux 2-1

#### 4.1.2. Thiết kế mô phỏng mạch Mux 2 sang 1

- Thiết kế và mô phỏng bộ MUX 2 sang 1 theo 3 cách:



Hình 4.5. Thiết kế và mô phỏng bộ MUX 2 sang 1

- Thông số cài đặt nguồn:

- + Nguồn  $V_{DC}$  = 1.2V.
- + Chân GND nối đất.
- + Chân  $V_{in}$  tương ứng với ngõ vào S nối với nguồn  $V_{pulse}$  với các thông số sau:
  - Mức điện áp 2 (V2): 1.2V.
  - Thời gian trễ: 0s.
  - Độ rộng xung (ton): 10ns.
  - Chu kỳ (period): 20ns.

Voltage 2	1.2 V
Period	20n s
Delay time	0 s
Rise time	
Fall time	
Pulse width	10n s

Hình 4.6. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào S

- Thông số cài đặt nguồn:

- + Chân  $V_{in}$  tương ứng với ngõ vào A nối với nguồn  $V_{pulse}$  với các thông số sau:
  - Mức điện áp 2 (V2): 1.2V.
  - Thời gian trễ: 0s.
  - Độ rộng xung (ton): 10ns.
  - Chu kỳ (period): 5ns.

Voltage 2	1.2 V
Period	10n s
Delay time	0 s
Rise time	
Fall time	
Pulse width	5n s

Hình 4.7. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào A

- Thông số cài đặt nguồn:

+ Chân  $V_{in}$  tương ứng với ngõ vào B nối với nguồn  $V_{pulse}$  với các thông số sau:

- Mức điện áp 2 (V2): 1.2V.
- Thời gian trễ: 0s.
- Độ rộng xung (ton): 12ns.
- Chu kỳ (period): 24ns.

Voltage 2	1.2 V
Period	24n s
Delay time	0 s
Rise time	
Fall time	
Pulse width	12n s

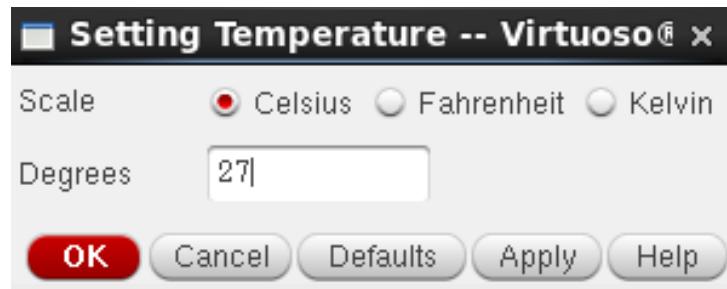
Hình 4.8. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào B

- Bảng thông số thiết kế mô phỏng độ rộng (W), độ dài (L) và tỷ lệ W/L của PMOS so với NMOS gấp 2 lần.

**Bảng 4.1.** Bảng thông số PMOS, NMOS để thiết kế

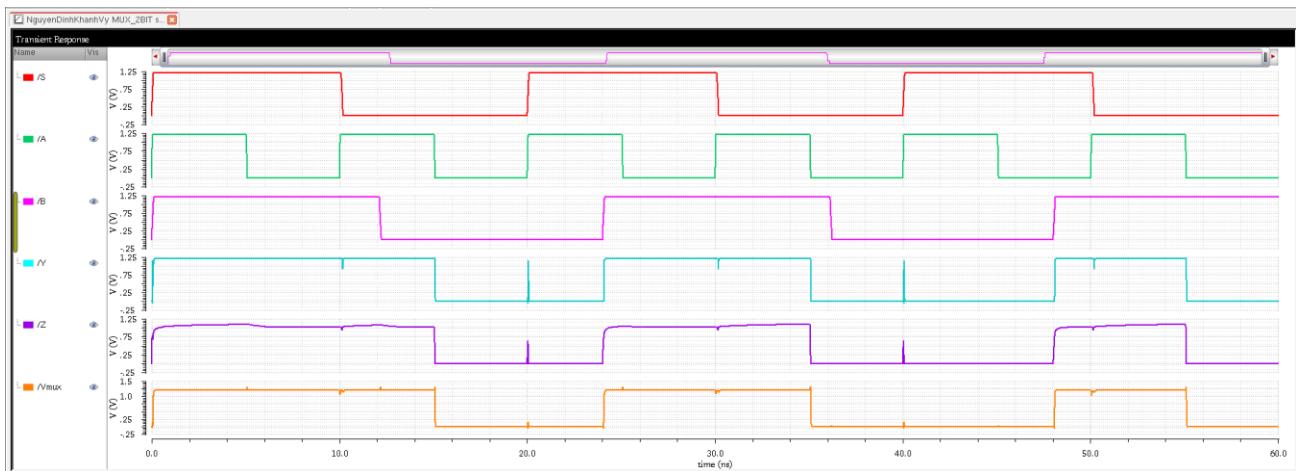
THÔNG SỐ	PMOS	NMOS
L (nm)	100	100
W (nm)	260	130

- Thiết kế được mô phỏng tại điều kiện nhiệt độ chuẩn  $T = 27^\circ\text{C}$ :



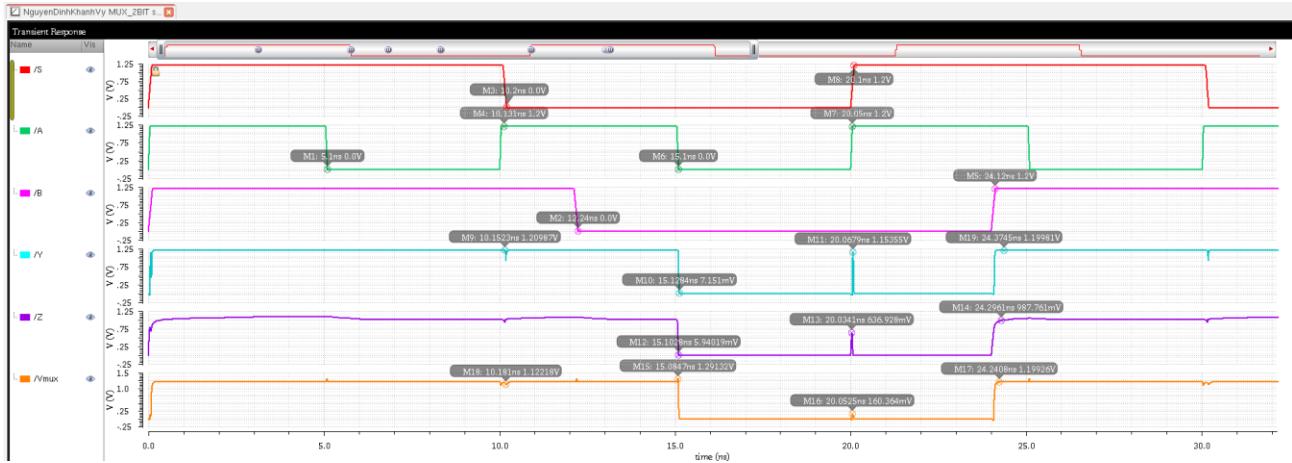
Hình 4.9. Cài đặt nhiệt độ thiết kế mô phỏng

- Thực hiện mô phỏng để kiểm tra hoạt động theo bảng trạng thái của bộ cộng Full Adder, kết quả thu được dạng sóng như hình bên dưới.
  - + S: Tín hiệu ngõ vào tương đương với ngõ chọn (đường màu đỏ).
  - + A: Tín hiệu ngõ vào tương đương với bit vào thứ nhất (đường màu xanh lá).
  - + B: Tín hiệu ngõ vào tương đương với bit vào thứ 2 (đường màu hồng).
  - + Y: Tín hiệu ngõ ra tương đương cách thiết kế theo cỗng logic (đường màu xanh biển).
  - + Z: Tín hiệu ngõ ra tương đương với cách thiết kế 2 NMOS (đường màu tím).
  - + Vmux: Tín hiệu ngõ ra tương đương cách thiết kế dùng PMOS, NMOS (đường màu cam).



Hình 4.10. Kết quả mô phỏng dạng sóng của bộ MUX 2 sang 1

- Nhận xét dạng sóng các tín hiệu ngõ ra khi tín hiệu ngõ vào đảo điện áp, ta thấy các mức logic của ngõ vào, ngõ ra phù hợp với bảng trạng thái:

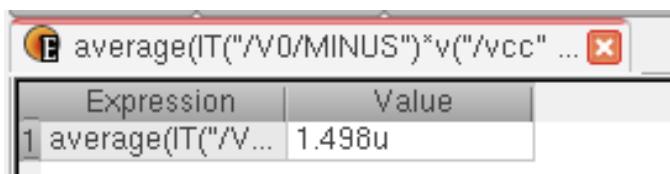


Hình 4.11. Kết quả mô phỏng dạng sóng của bộ MUX 2 sang 1

- + 0us đến 5.1ns, ngõ chọn S = 1, ngõ vào A = 1, B = 1, ngõ ra Y = 1, Z = 1, Vmux = 1.
- + 0us đến 10.2ns, ngõ chọn S = 1, ngõ vào A = 0, B = 1, ngõ ra Y = 1, Z = 1, Vmux = 1.
- + 10us đến 12.24ns, ngõ chọn S = 0, ngõ vào A = 1, B = 1, ngõ ra Y = 1, Z = 1, Vmux = 1.
- + 12.24ns đến 15.1ns, ngõ chọn S = 0, ngõ vào A = 1, B = 0, ngõ ra Y = 1, Z = 1, Vmux = 1.
- + 15.1ns đến 20.0679ns, ngõ chọn S = 0, ngõ vào A = 0, B = 0, ngõ ra Y = 0, Z = 0, Vmux = 0.
- + Tín hiệu của ngõ ra Y ban đầu bị nhiễu hơn so với các ngõ ra khác, nhưng sau đó tín hiệu sạch hơn so với các tín hiệu ngõ ra khác.

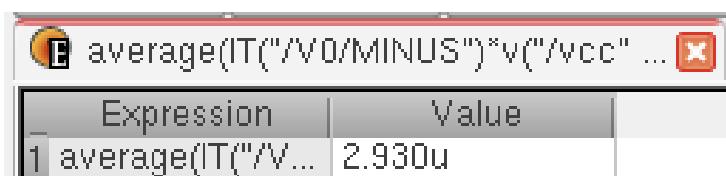
➔ Kết luận: Bộ Mux 2 sang 1 được thiết kế và mô phỏng đúng bảng trạng thái.

- Công suất trung bình của bộ Mux 2 sang 1 theo cách dùng cổng logic là 1.498uW:



Hình 4.12. Công suất trung bình theo cách dùng cổng logic

- Công suất trung bình của bộ Mux 2 sang 1 theo cách dùng PMOS, NMOS là 2.93uW:

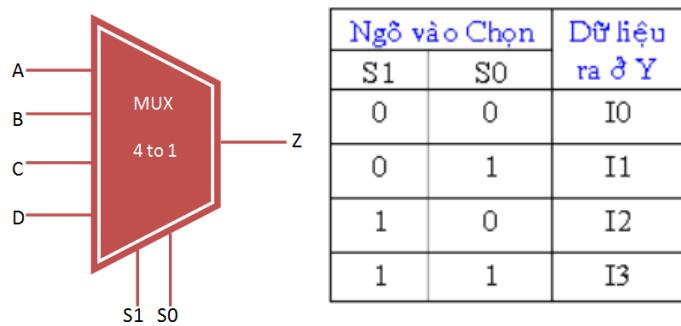


Hình 4.13. Công suất trung bình theo cách dùng PMOS, NMOS

## 4.2. Bộ MUX 4 sang 1 không có chân Enable

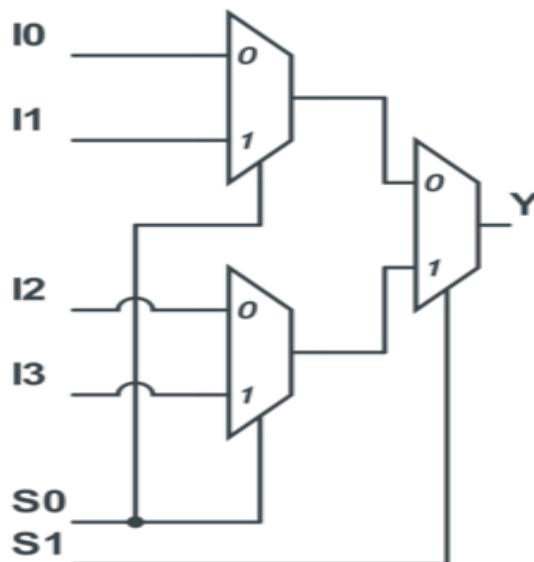
### 4.2.1. Lý thuyết

- Khái niệm: Là mạch tổ hợp thực hiện việc chọn lựa ngõ ra phù hợp dựa trên chân select.



Hình 4.14. Ký hiệu và bảng trạng thái của bộ MUX 4 sang 1

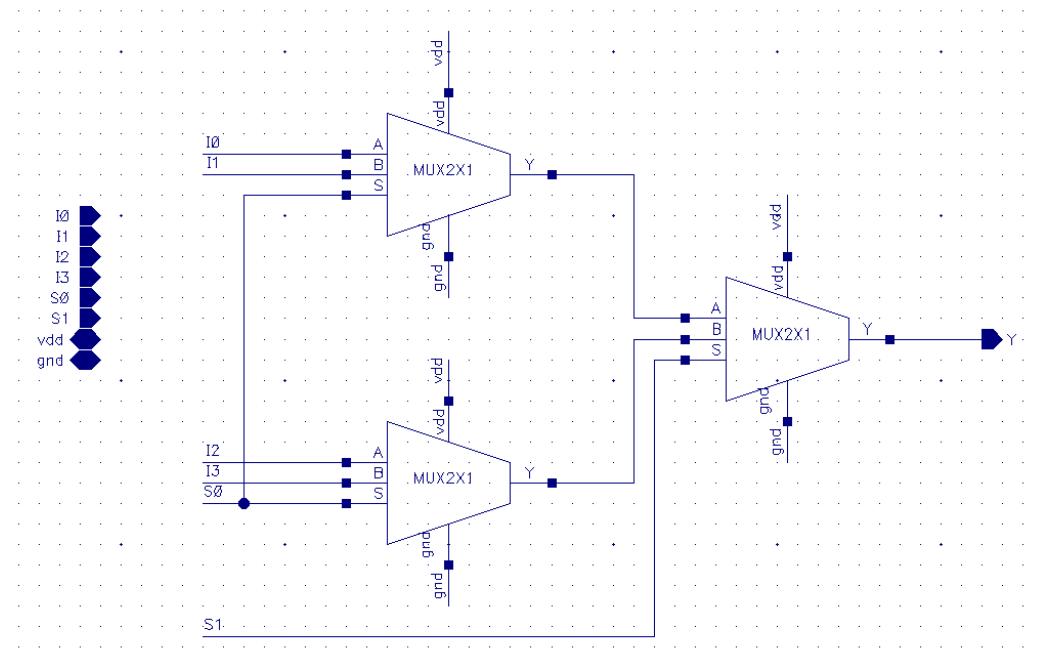
- Sơ đồ nguyên lý: được ghép từ 3 bộ Mux 2 sang 1 để tạo thành bộ MUX 4 sang 1.



Hình 4.15. Dùng cổng logic thiết kế mạch mux 4-1

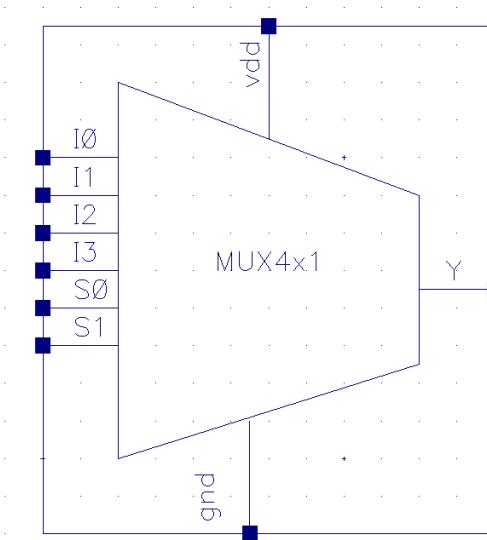
#### 4.2.2. Thiết kế mô phỏng mạch Mux 4 sang 1

- Thiết kế và mô phỏng bộ MUX 4 sang 1:



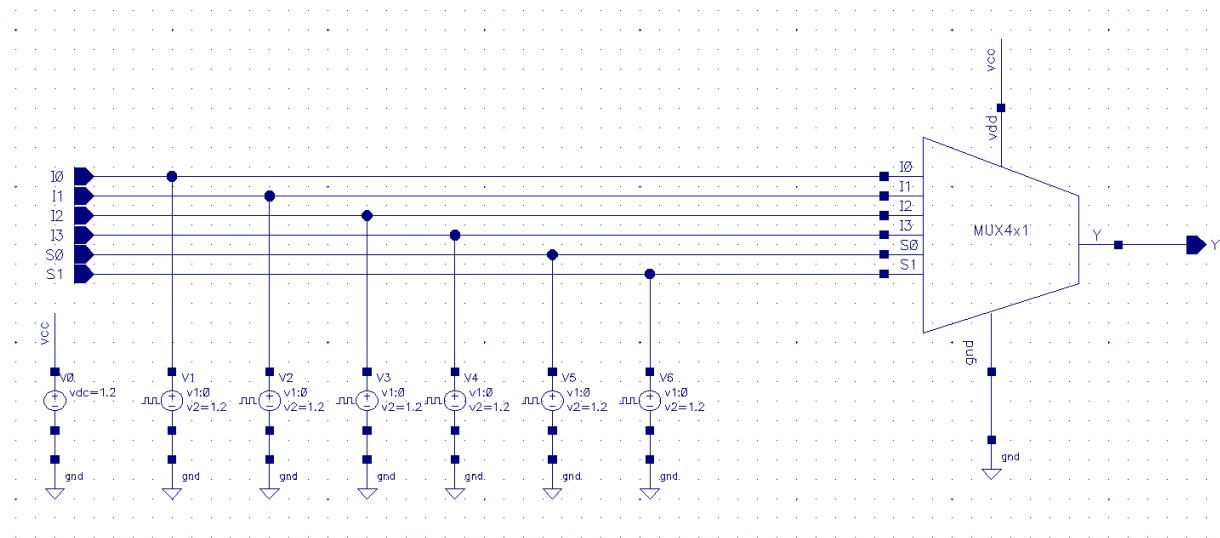
Hình 4.16. Thiết kế và mô phỏng bộ MUX 4 sang 1

- Đóng gói bộ MUX 4 sang 1 theo ký hiệu:



Hình 4.17. Thiết kế và mô phỏng bộ MUX 4 sang 1

- Mạch kiểm tra bộ MUX 4 sang 1:



Hình 4.18. Mạch kiểm tra hoạt động bộ MUX 4 sang 1

- Thông số cài đặt nguồn:

- + Nguồn  $V_{DC} = 1.2V$ .
- + Chân GND nối đất.
- + Chân  $V_{in}$  tương ứng với ngõ vào I0 nối với nguồn  $V_{pulse}$  với các thông số sau:
  - Mức điện áp 2 (V2): 1.2V.
  - Thời gian trễ: 0s.
  - Độ rộng xung (ton): 5ns.
  - Chu kỳ (period): 10ns.

Voltage 2	1.2 V
Period	10n s
Delay time	0 s
Rise time	
Fall time	
Pulse width	5n s

Hình 4.19. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào I0

- Thông số cài đặt nguồn:

+ Chân  $V_{in}$  tương ứng với ngõ vào I1 nối với nguồn  $V_{pulse}$  với các thông số sau:

- Mức điện áp 2 (V2): 1.2V.
- Thời gian trễ: 0s.
- Độ rộng xung (ton): 6ns.
- Chu kỳ (period): 12ns.

Voltage 2	1.2 V
Period	12n s
Delay time	0 s
Rise time	
Fall time	
Pulse width	6n s

Hình 4.20. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào I1

- Thông số cài đặt nguồn:

+ Chân  $V_{in}$  tương ứng với ngõ vào I2 nối với nguồn  $V_{pulse}$  với các thông số sau:

- Mức điện áp 2 (V2): 1.2V.
- Thời gian trễ: 0s.
- Độ rộng xung (ton): 7ns.
- Chu kỳ (period): 14ns.

Voltage 2	1.2 V
Period	14n s
Delay time	0 s
Rise time	
Fall time	
Pulse width	7n s

Hình 4.21. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào I2

- Thông số cài đặt nguồn:

+ Chân  $V_{in}$  tương ứng với ngõ vào I3 nối với nguồn  $V_{pulse}$  với các thông số sau:

- Mức điện áp 2 (V2): 1.2V.
- Thời gian trễ: 0s.
- Độ rộng xung (ton): 8ns.
- Chu kỳ (period): 16ns.

Voltage 2	1.2 V
Period	16n s
Delay time	0 s
Rise time	
Fall time	
Pulse width	8n s

Hình 4.22. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào I3

- Thông số cài đặt nguồn:

+ Chân  $V_{in}$  tương ứng với ngõ vào S0 nối với nguồn  $V_{pulse}$  với các thông số sau:

- Mức điện áp 2 (V2): 1.2V.
- Thời gian trễ: 0s.
- Độ rộng xung (ton): 9ns.
- Chu kỳ (period): 18ns.

Voltage 2	1.2 V
Period	18n s
Delay time	0 s
Rise time	
Fall time	
Pulse width	9n s

Hình 4.23. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào S0

- Thông số cài đặt nguồn:

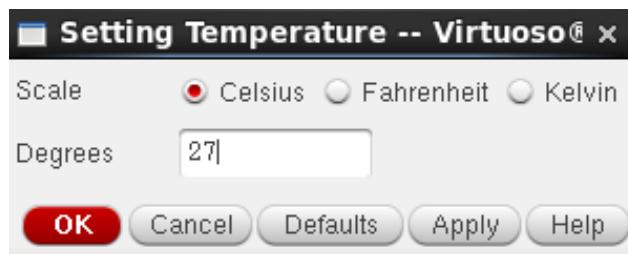
+ Chân  $V_{in}$  tương ứng với ngõ vào S1 nối với nguồn  $V_{pulse}$  với các thông số sau:

- Mức điện áp 2 (V2): 1.2V.
- Thời gian trễ: 0s.
- Độ rộng xung (ton): 9ns.
- Chu kỳ (period): 18ns.

Voltage 2	1.2 V
Period	20n s
Delay time	0 s
Rise time	
Fall time	
Pulse width	10n s

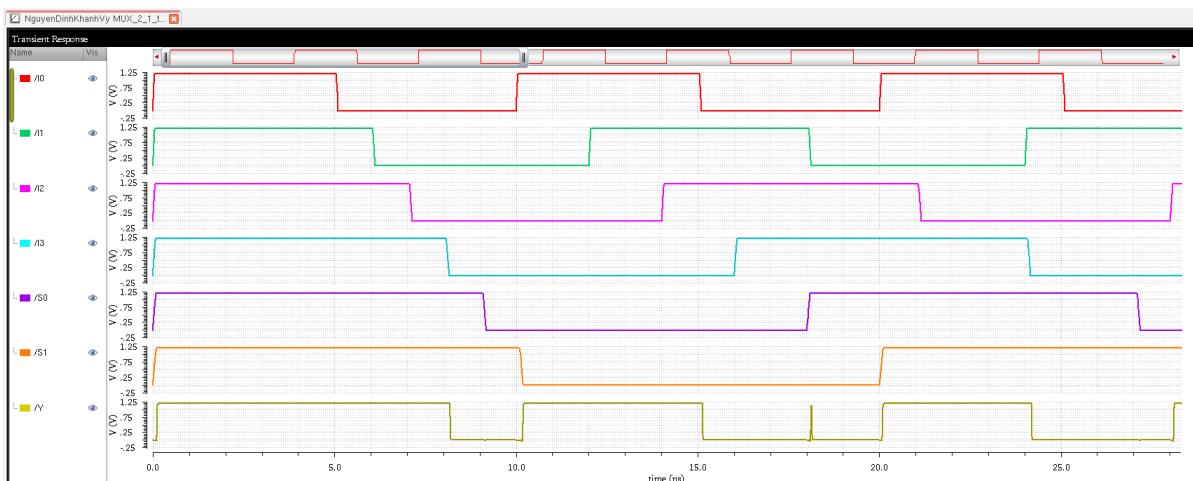
Hình 4.24. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào S1

- Thiết kế được mô phỏng tại điều kiện nhiệt độ chuẩn  $T = 27^\circ\text{C}$ :



Hình 4.25. Cài đặt nhiệt độ thiết kế mô phỏng

- Thực hiện mô phỏng để kiểm tra hoạt động theo bảng trạng thái của bộ MUX 4 sang 1, kết quả thu được dạng sóng như hình bên dưới.



Hình 4.26. Kết quả mô phỏng dạng sóng của bộ MUX 4 sang 1

- Từ 0ns đến 5ns:

$$+ I_0 = 1, I_1 = 1, I_2 = 1, I_3 = 1$$

$$+ S_0 = 1, S_1 = 1$$

$$\Rightarrow Y = 1$$

- Từ 5ns đến 6ns:

$$+ I_0 = 0, I_1 = 1, I_2 = 1, I_3 = 1$$

$$+ S_0 = 1, S_1 = 1$$

$$\Rightarrow Y = 1$$

- Từ 8ns đến 9ns:

$$+ I_0 = 0, I_1 = 0, I_2 = 0, I_3 = 0$$

$$+ S_0 = 1, S_1 = 1$$

$$\Rightarrow Y = 0$$

- Từ 9ns đến 10ns:

$$+ I_0 = 0, I_1 = 0, I_2 = 0, I_3 = 0$$

$$+ S_0 = 0, S_1 = 1$$

$$\Rightarrow Y = 0$$

- Từ 10ns đến 12ns:

$$+ I_0 = 1, I_1 = 0, I_2 = 0, I_3 = 0$$

$$+ S_0 = 0, S_1 = 0$$

$$\Rightarrow Y = 1$$

Phân tích tương tự với các trường hợp khác, ta kết luận bộ MUX 4 sang 1 hoạt động đúng theo bảng trạng thái.

- Công suất trung bình của bộ Mux 4 sang 1 là 4.577uW:

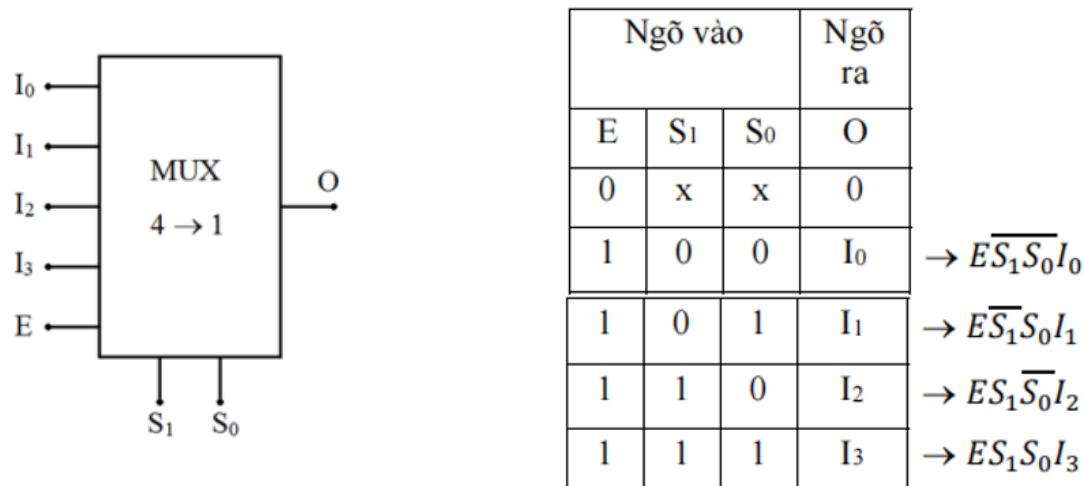
Expression	Value
average(ITE("/V0/MINUS")*v("/vcc" ...)	4.577u

Hình 4.27. Công suất trung bình của bộ MUX 4 sang 1

### 4.3. Bộ MUX 4 sang 1 có chân Enable cho phép mức cao

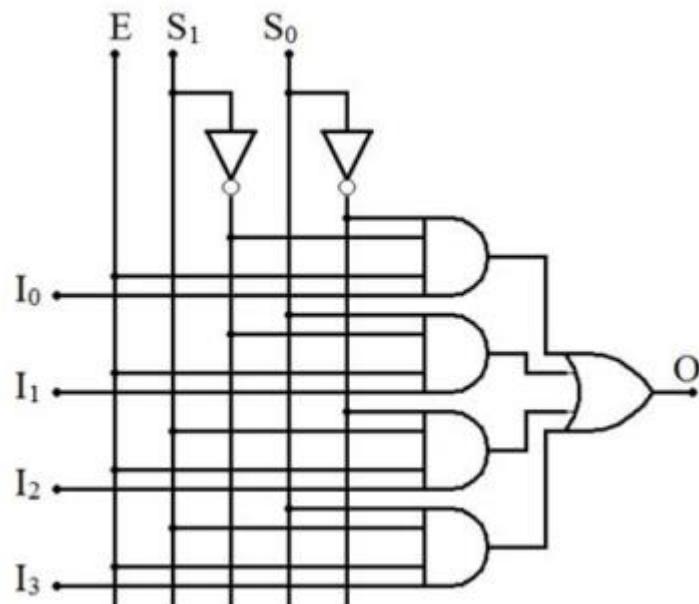
#### 4.3.1. Lý thuyết

- Là mạch tổ hợp thực hiện việc chọn lựa ngõ ra phù hợp dựa trên chân select.



Hình 4.28. Ký hiệu và bảng trạng thái của bộ MUX 4 sang 1 có Enable

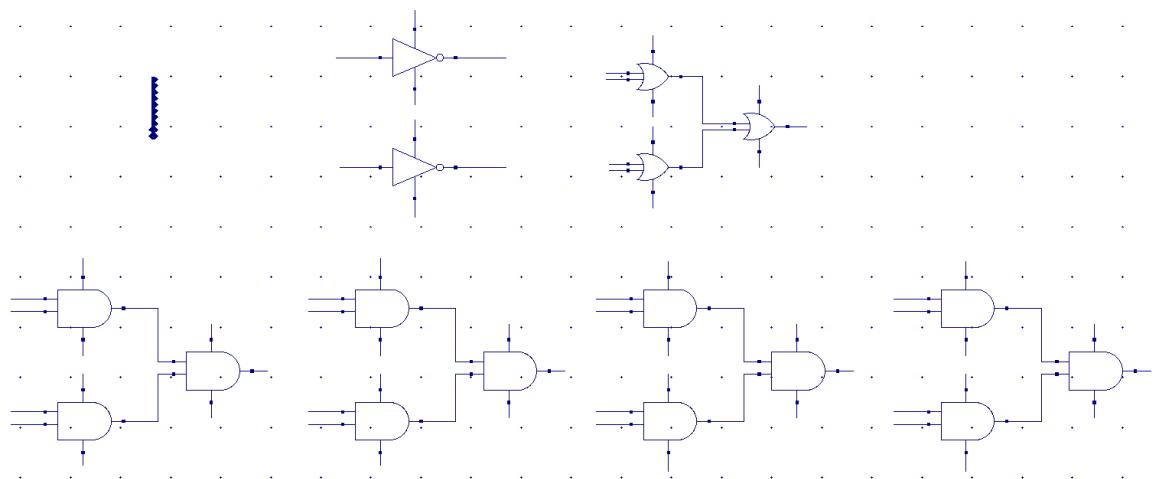
- Sơ đồ nguyên lý: dùng các công logic để thiết kế tạo nên mạch.



Hình 4.29. Sơ đồ nguyên lý của bộ MUX 4 sang 1 có chân Enable

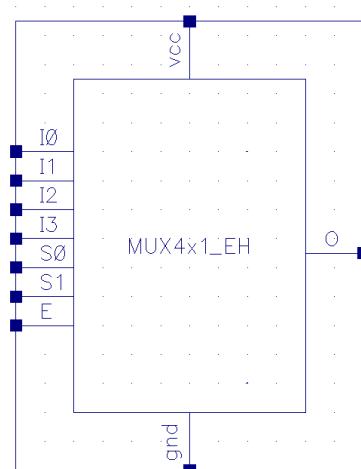
#### 4.3.2. Thiết kế mô phỏng mạch Mux 4 sang 1 có chân Enable cho phép ở mức cao

- Thiết kế và mô phỏng bộ MUX 4 sang 1 có chân Enable:



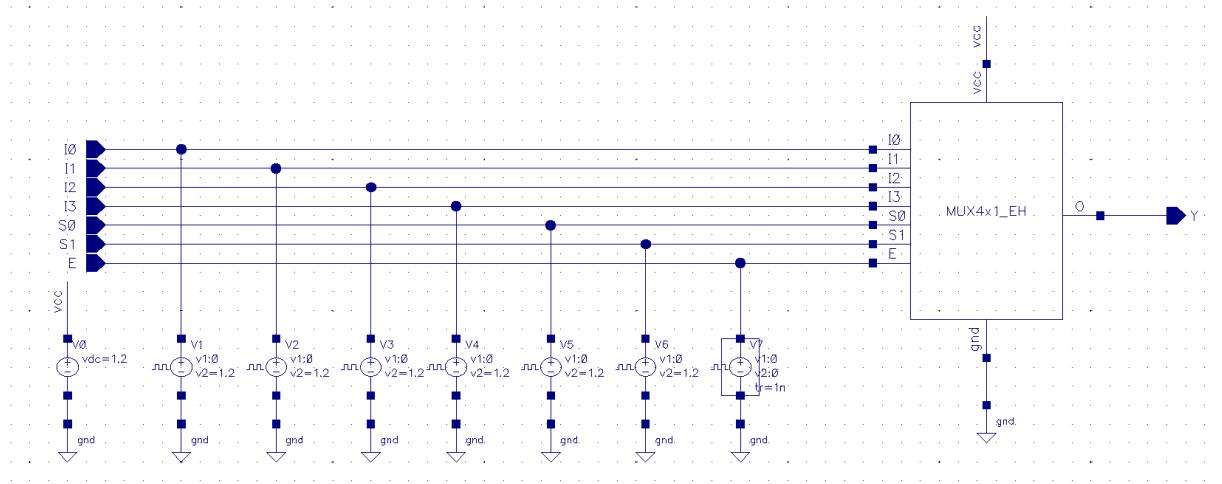
Hình 4.30. Thiết kế và mô phỏng bộ MUX 4 sang 1 có chân Enable

- Đóng gói mạch theo ký hiệu:



Hình 4.31. Đóng gói thiết kế mạch MUX 4 sang 1

- Mạch kiểm tra bộ MUX 4 sang 1:



Hình 4.32. Mạch kiểm tra hoạt động bộ MUX 4 sang 1

- Thông số cài đặt nguồn:

- + Nguồn  $V_{DC} = 1.2V$ .
- + Chân GND nối đất.
- + Chân  $V_{in}$  tương ứng với ngõ vào  $I_0$  nối với nguồn  $V_{pulse}$  với các thông số sau:
  - Mức điện áp 2 (V2): 1.2V.
  - Thời gian trễ: 0s.
  - Độ rộng xung (ton): 5ns.
  - Chu kỳ (period): 10ns.

Voltage 2	1.2 v
Period	10n s
Delay time	0 s
Rise time	
Fall time	
Pulse width	5n s

Hình 4.33. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào  $I_0$

- Thông số cài đặt nguồn:

+ Chân  $V_{in}$  tương ứng với ngõ vào I1 nối với nguồn  $V_{pulse}$  với các thông số sau:

- Mức điện áp 2 (V2): 1.2V.
- Thời gian trễ: 0s.
- Độ rộng xung (ton): 6ns.
- Chu kỳ (period): 12ns.

Voltage 2	1.2 V
Period	12n s
Delay time	0 s
Rise time	
Fall time	
Pulse width	6n s

Hình 4.34. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào I1

- Thông số cài đặt nguồn:

+ Chân  $V_{in}$  tương ứng với ngõ vào I2 nối với nguồn  $V_{pulse}$  với các thông số sau:

- Mức điện áp 2 (V2): 1.2V.
- Thời gian trễ: 0s.
- Độ rộng xung (ton): 7ns.
- Chu kỳ (period): 14ns.

Voltage 2	1.2 V
Period	14n s
Delay time	0 s
Rise time	
Fall time	
Pulse width	7n s

Hình 4.35. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào I2

- Thông số cài đặt nguồn:

+ Chân  $V_{in}$  tương ứng với ngõ vào I3 nối với nguồn  $V_{pulse}$  với các thông số sau:

- Mức điện áp 2 (V2): 1.2V.
- Thời gian trễ: 0s.
- Độ rộng xung (ton): 8ns.
- Chu kỳ (period): 16ns.

Voltage 2	1.2 V
Period	16n s
Delay time	0 s
Rise time	
Fall time	
Pulse width	8n s

Hình 4.36. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào I3

- Thông số cài đặt nguồn:

+ Chân  $V_{in}$  tương ứng với ngõ vào S0 nối với nguồn  $V_{pulse}$  với các thông số sau:

- Mức điện áp 2 (V2): 1.2V.
- Thời gian trễ: 0s.
- Độ rộng xung (ton): 9ns.
- Chu kỳ (period): 18ns.

Voltage 2	1.2 V
Period	18n s
Delay time	0 s
Rise time	
Fall time	
Pulse width	9n s

Hình 4.37. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào S0

- Thông số cài đặt nguồn:

+ Chân  $V_{in}$  tương ứng với ngõ vào S1 nối với nguồn  $V_{pulse}$  với các thông số sau:

- Mức điện áp 2 (V2): 1.2V.
- Thời gian trễ: 0s.
- Độ rộng xung (ton): 9ns.
- Chu kỳ (period): 18ns.

Voltage 2	1.2 v
Period	20n s
Delay time	0 s
Rise time	
Fall time	
Pulse width	10n s

Hình 4.38. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào S1

- Thông số cài đặt nguồn:

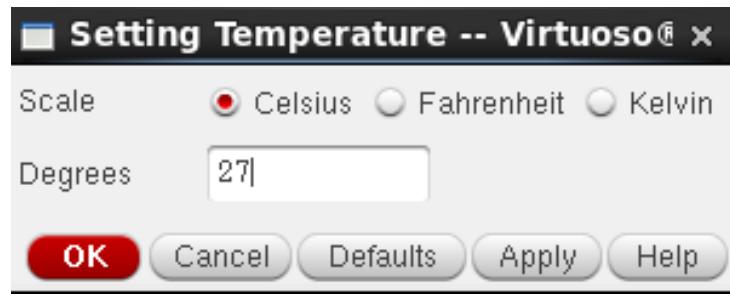
+ Chân  $V_{in}$  tương ứng với ngõ vào E nối với nguồn  $V_{pulse}$  với các thông số sau:

- Mức điện áp 2 (V2): 1.2V.
- Thời gian trễ: 0s.
- Độ rộng xung (ton): 30ns.
- Chu kỳ (period): 60ns.

Voltage 2	1.2 v
Period	60n s
Delay time	0 s
Rise time	
Fall time	
Pulse width	30n s

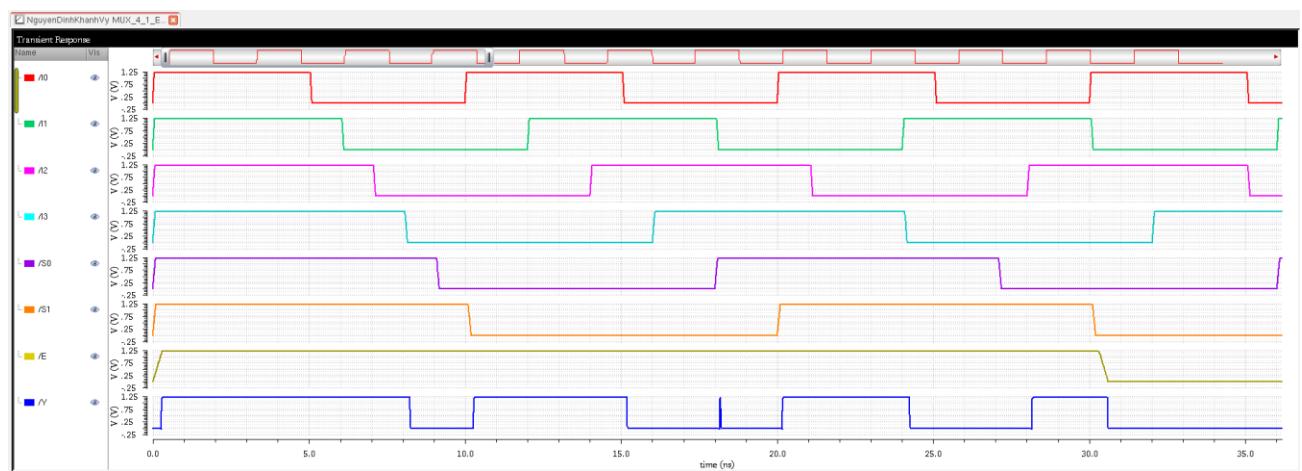
Hình 4.39. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào E

- Thiết kế được mô phỏng tại điều kiện nhiệt độ chuẩn  $T = 27^\circ\text{C}$ :



Hình 4.40. Cài đặt nhiệt độ thiết kế mô phỏng

- Thực hiện mô phỏng để kiểm tra hoạt động theo bảng trạng thái của bộ MUX 4 sang 1, kết quả thu được dạng sóng như hình bên dưới.



Hình 4.41. Kết quả mô phỏng dạng sóng của bộ MUX 4 sang 1

- Từ 0ns đến 5ns:

$$+ I_0 = 1, I_1 = 1, I_2 = 1, I_3 = 1$$

$$+ S_0 = 1, S_1 = 1, E = 1$$

$$\Rightarrow Y = 1$$

- Từ 5ns đến 6ns:

$$+ I_0 = 0, I_1 = 1, I_2 = 1, I_3 = 1$$

$$+ S_0 = 1, S_1 = 1, E = 1$$

$$\Rightarrow Y = 1$$

- Từ 9ns đến 10ns:

$$+ I_0 = 0, I_1 = 0, I_2 = 0, I_3 = 0$$

$$+ S_0 = 0, S_1 = 1, E = 0$$

$$\Rightarrow Y = 0$$

- Từ 10ns đến 12ns:

$$+ I_0 = 1, I_1 = 0, I_2 = 0, I_3 = 0$$

$$+ S_0 = 0, S_1 = 0, E = 1$$

$$\Rightarrow Y = 1$$

- Từ 30.6749ns đến 59.9684ns:

$$+ I_0 = x, I_1 = x, I_2 = x, I_3 = x$$

$$+ S_0 = x, S_1 = x, E = 0$$

$$\Rightarrow Y = 0$$

Phân tích tương tự với các trường hợp khác, ta kết luận bộ MUX 4 sang 1 hoạt động đúng theo bảng trạng thái.

- Công suất trung bình của bộ Mux 4 sang 1 là 6.328uW:

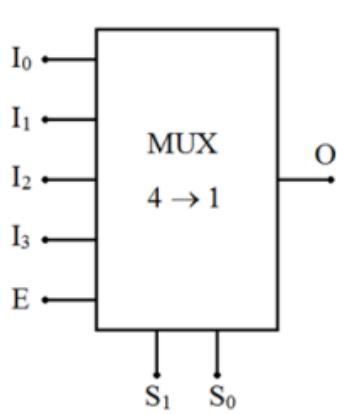
average(IT("/V0/MINUS")*v("/vcc" ...)	
Expression	Value
1 average(IT("/V...)	6.328u

Hình 4.42. Công suất trung bình của bộ MUX 4 sang 1

#### 4.4. Bộ MUX 4 sang 1 có chân Enable cho phép mức thấp

##### 4.4.1. Lý thuyết

- Là mạch tổ hợp thực hiện việc chọn lựa ngõ ra phù hợp dựa trên chân select.

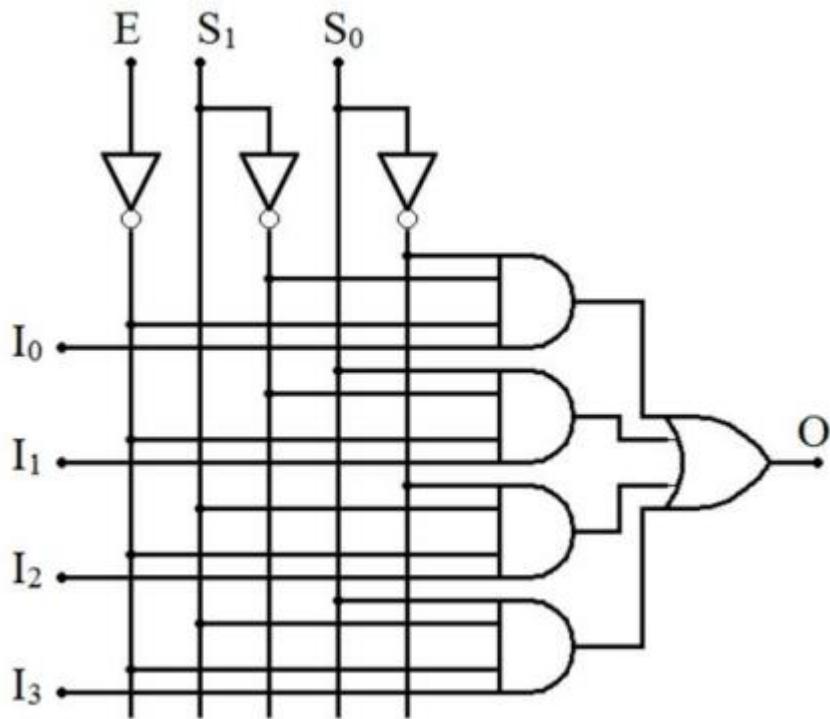


Ngõ vào			Ngõ ra
E	S <sub>1</sub>	S <sub>0</sub>	O
1	x	x	0
0	0	0	I <sub>0</sub>
0	0	1	I <sub>1</sub>
0	1	0	I <sub>2</sub>
0	1	1	I <sub>3</sub>

$\rightarrow \overline{E}S_1S_0I_0$   
 $\rightarrow \overline{E}\overline{S}_1S_0I_1$   
 $\rightarrow \overline{E}S_1\overline{S}_0I_2$   
 $\rightarrow \overline{E}\overline{S}_1\overline{S}_0I_3$

Hình 4.43. Ký hiệu và bảng trạng thái của bộ MUX 4 sang 1 có Enable

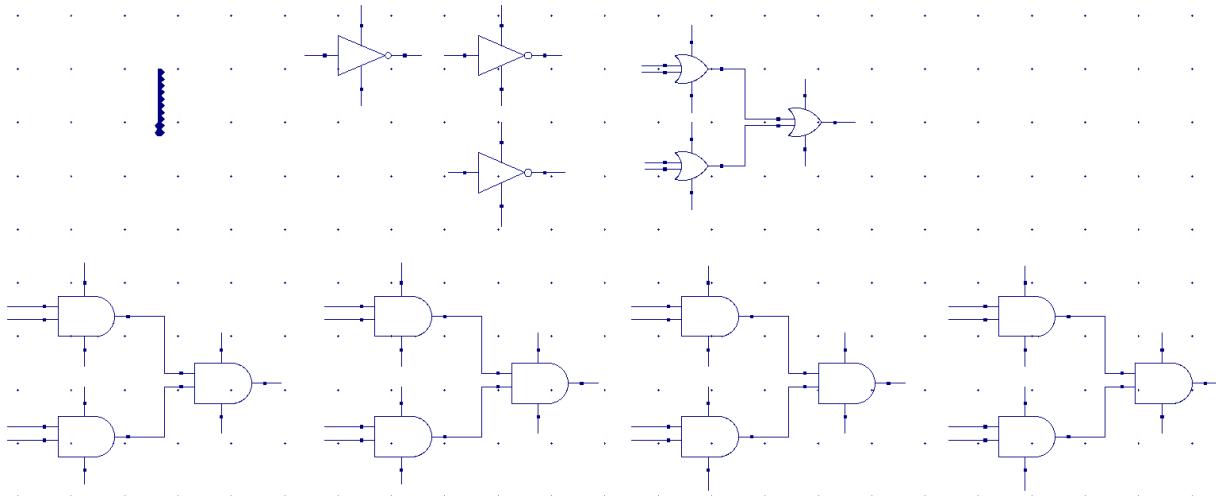
- Sơ đồ nguyên lý: dùng các công logic để thiết kế tạo nên mạch.



Hình 4.44. Sơ đồ nguyên lý của bộ MUX 4 sang 1 có chân Enable

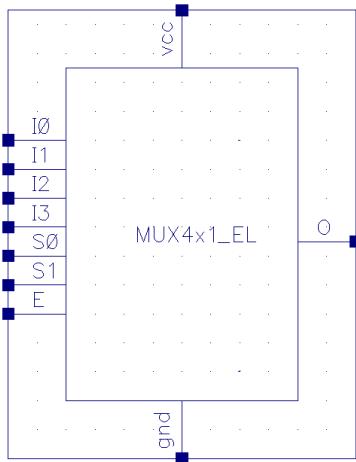
#### 4.4.2. Thiết kế mô phỏng mạch Mux 4 sang 1 có chân Enable cho phép ở mức cao

- Thiết kế và mô phỏng bộ MUX 4 sang 1 có chân Enable:



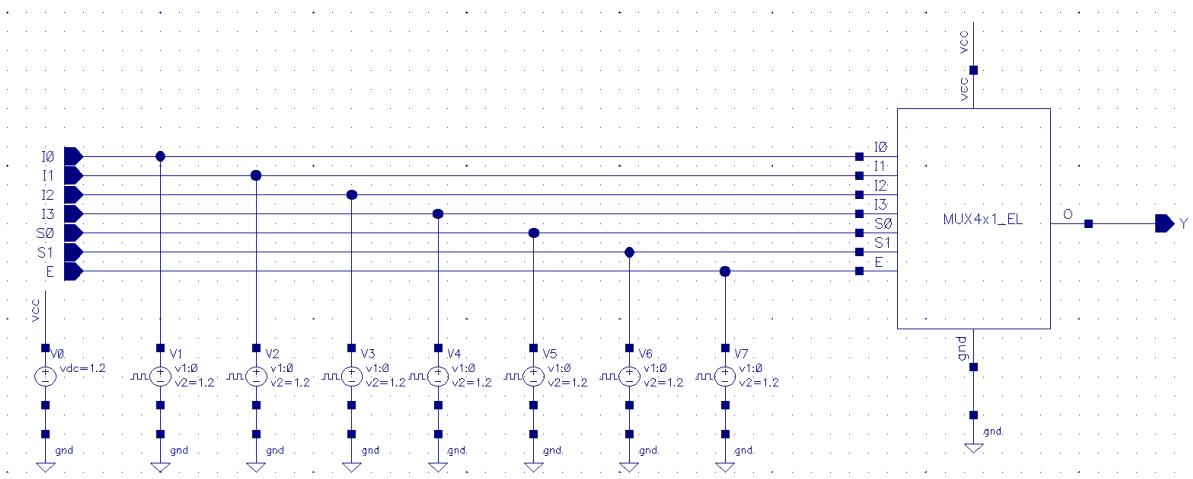
Hình 4.45. Thiết kế và mô phỏng bộ MUX 4 sang 1 có chân Enable

- Đóng gói mạch theo ký hiệu:



Hình 4.46. Đóng gói thiết kế mạch MUX 4 sang 1

- Mạch kiểm tra bộ MUX 4 sang 1:



Hình 4.47. Mạch kiểm tra hoạt động bộ MUX 4 sang 1

- Thông số cài đặt nguồn:

+ Nguồn  $V_{DC}$  = 1.2V.

+ Chân GND nối đất.

+ Chân  $V_{in}$  tương ứng với ngõ vào I0 nối với nguồn  $V_{pulse}$  với các thông số sau:

- Mức điện áp 2 (V2): 1.2V.
- Thời gian trễ: 0s.
- Độ rộng xung (ton): 5ns.
- Chu kỳ (period): 10ns.

Voltage 2	1.2 V
Period	10n s
Delay time	0 s
Rise time	
Fall time	
Pulse width	5n s

Hình 4.48. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào I0

- Thông số cài đặt nguồn:

+ Chân  $V_{in}$  tương ứng với ngõ vào I1 nối với nguồn  $V_{pulse}$  với các thông số sau:

- Mức điện áp 2 (V2): 1.2V.
- Thời gian trễ: 0s.
- Độ rộng xung (ton): 6ns.
- Chu kỳ (period): 12ns.

Voltage 2	1.2 V
Period	12n s
Delay time	0 s
Rise time	
Fall time	
Pulse width	6n s

Hình 4.49. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào I1

- Thông số cài đặt nguồn:

+ Chân  $V_{in}$  tương ứng với ngõ vào I2 nối với nguồn  $V_{pulse}$  với các thông số sau:

- Mức điện áp 2 (V2): 1.2V.
- Thời gian trễ: 0s.
- Độ rộng xung (ton): 7ns.
- Chu kỳ (period): 14ns.

Voltage 2	1.2 V
Period	14n s
Delay time	0 s
Rise time	
Fall time	
Pulse width	7n s

Hình 4.50. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào I2

- Thông số cài đặt nguồn:

+ Chân  $V_{in}$  tương ứng với ngõ vào I3 nối với nguồn  $V_{pulse}$  với các thông số sau:

- Mức điện áp 2 (V2): 1.2V.
- Thời gian trễ: 0s.
- Độ rộng xung (ton): 8ns.
- Chu kỳ (period): 16ns.

Voltage 2	1.2 V
Period	16n s
Delay time	0 s
Rise time	
Fall time	
Pulse width	8n s

Hình 4.51. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào I3

- Thông số cài đặt nguồn:

+ Chân  $V_{in}$  tương ứng với ngõ vào S0 nối với nguồn  $V_{pulse}$  với các thông số sau:

- Mức điện áp 2 (V2): 1.2V.
- Thời gian trễ: 0s.
- Độ rộng xung (ton): 9ns.
- Chu kỳ (period): 18ns.

Voltage 2	1.2 V
Period	18n s
Delay time	0 s
Rise time	
Fall time	
Pulse width	9n s

Hình 4.52. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào S0

- Thông số cài đặt nguồn:

+ Chân  $V_{in}$  tương ứng với ngõ vào S1 nối với nguồn  $V_{pulse}$  với các thông số sau:

- Mức điện áp 2 (V2): 1.2V.
- Thời gian trễ: 0s.
- Độ rộng xung (ton): 9ns.
- Chu kỳ (period): 20ns.

Voltage 2	1.2 V
Period	20n s
Delay time	0 s
Rise time	
Fall time	
Pulse width	10n s

Hình 4.53. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào S1

- Thông số cài đặt nguồn:

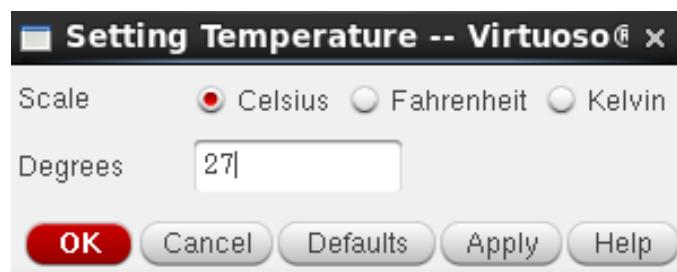
+ Chân  $V_{in}$  tương ứng với ngõ vào E nối với nguồn  $V_{pulse}$  với các thông số sau:

- Mức điện áp 2 (V2): 1.2V.
- Thời gian trễ: 0s.
- Độ rộng xung (ton): 30ns.
- Chu kỳ (period): 60ns.

Voltage 2	1.2 V
Period	60n s
Delay time	0 s
Rise time	
Fall time	
Pulse width	30n s

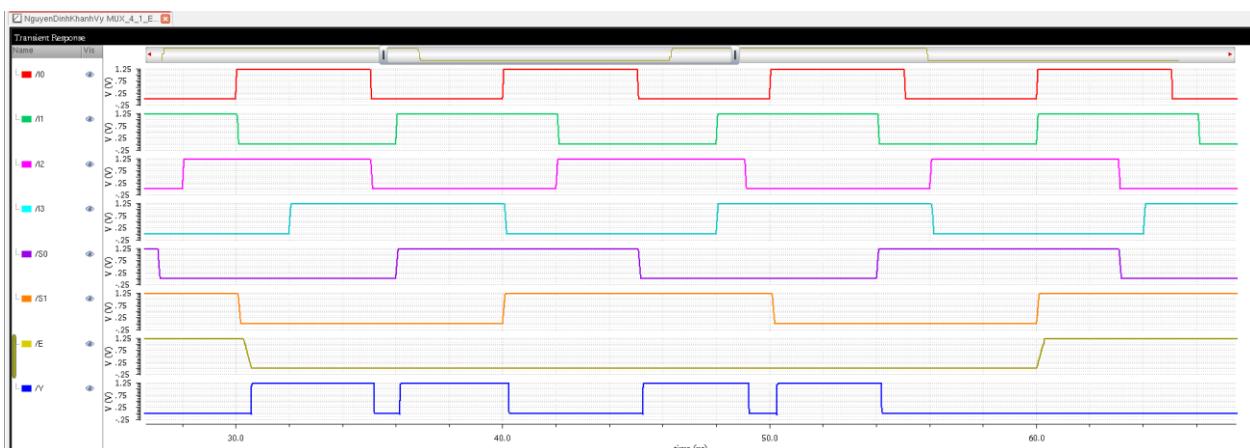
Hình 4.54. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào E

- Thiết kế được mô phỏng tại điều kiện nhiệt độ chuẩn  $T = 27^\circ\text{C}$ :



Hình 4.55. Cài đặt nhiệt độ thiết kế mô phỏng

- Thực hiện mô phỏng để kiểm tra hoạt động theo bảng trạng thái của bộ MUX 4 sang 1, kết quả thu được dạng sóng như hình bên dưới.



Hình 4.56. Kết quả mô phỏng dạng sóng của bộ MUX 4 sang 1

- Từ 0s đến 30.64262ns:
  - +  $I_0 = x, I_1 = x, I_2 = x, I_3 = x$
  - +  $S_0 = x, S_1 = x, E = 1$
  - $\Rightarrow Y = 0$

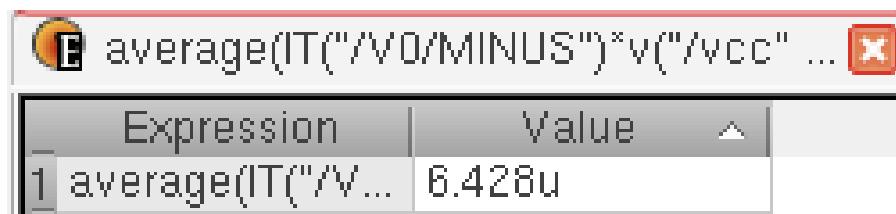
- Từ 30.64262ns đến 31.9368ns:
  - +  $I_0 = 1, I_1 = 0, I_2 = 1, I_3 = 0$
  - +  $S_0 = 0, S_1 = 0, E = 0$
  - $\Rightarrow Y = 1$

- Từ 31.9368ns đến 35.0478ns:
  - +  $I_0 = 1, I_1 = 0, I_2 = 1, I_3 = 1$
  - +  $S_0 = 0, S_1 = 0, E = 0$
  - $\Rightarrow Y = 1$

- Từ 35.0478ns đến 35.96866ns:
  - +  $I_0 = 0, I_1 = 0, I_2 = 0, I_3 = 1$
  - +  $S_0 = 0, S_1 = 1, E = 0$
  - $\Rightarrow Y = 0$
- Từ 36.19265ns đến 39.97562ns:
  - +  $I_0 = 0, I_1 = 1, I_2 = 0, I_3 = 1$
  - +  $S_0 = 1, S_1 = 0, E = 0$
  - $\Rightarrow Y = 1$

Phân tích tương tự với các trường hợp khác, ta kết luận bộ MUX 4 sang 1 hoạt động đúng theo bảng trạng thái.

- Công suất trung bình của bộ Mux 4 sang 1 là 6.428uW:



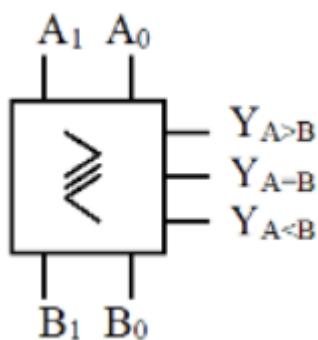
Hình 4.57. Công suất trung bình của bộ MUX 4 sang 1

## CHƯƠNG 5: LÝ THUYẾT VÀ THIẾT KẾ MÔ PHỎNG MẠCH SO SÁNH

### 5.1. Mạch so sánh 2 bit không có ngõ vào mở rộng

#### 5.1.1. Lý thuyết

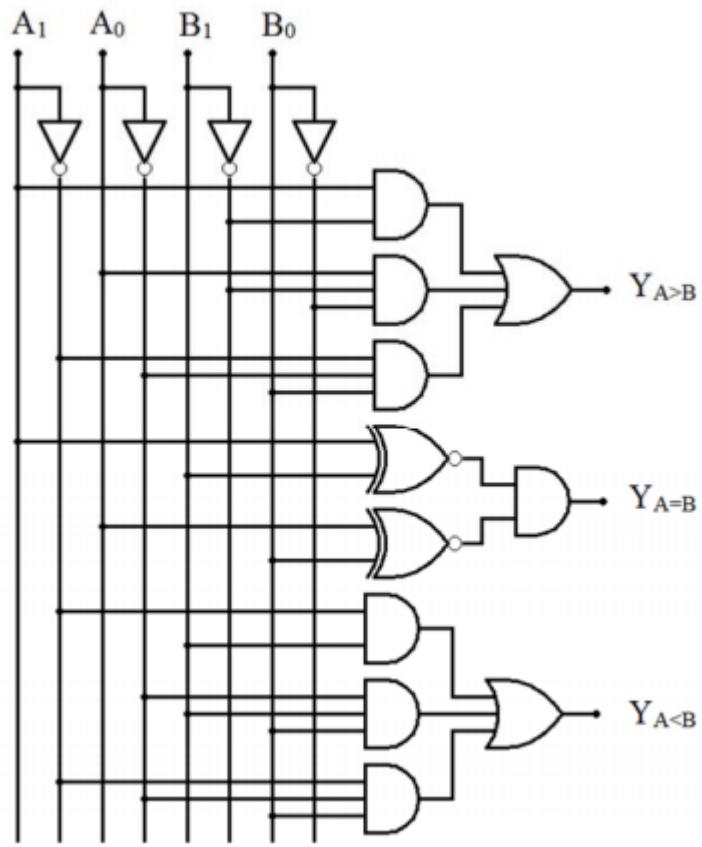
- Mạch có các ngõ vào  $A_1, A_0$  so sánh với  $B_1, B_0$  và kết quả cũng có 3 trường hợp xảy ra là  $A > B$ ,  $A = B$ , và  $A < B$ .
- Ký hiệu và bảng trạng thái của mạch so sánh 2 bit:



Ngõ vào				Ngõ ra		
A		B		$Y_{A>B}$	$Y_{A=B}$	$Y_{A<B}$
$A_1$	$A_0$	$B_1$	$B_0$			
0	0	0	0	0	1	0
0	0	0	1	0	0	1
0	0	1	0	0	0	1
0	0	1	1	0	0	1
0	1	0	0	1	0	0
0	1	0	1	0	1	0
0	1	1	0	0	0	1
0	1	1	1	0	0	1
1	0	0	0	1	0	0
1	0	0	1	1	0	0
1	0	1	0	0	1	0
1	0	1	1	0	0	1
1	1	0	0	1	0	0
1	1	0	1	1	0	0
1	1	1	0	1	0	0
1	1	1	1	0	1	0

Hình 5.1. Ký hiệu và bảng trạng thái của mạch so sánh 2 bit

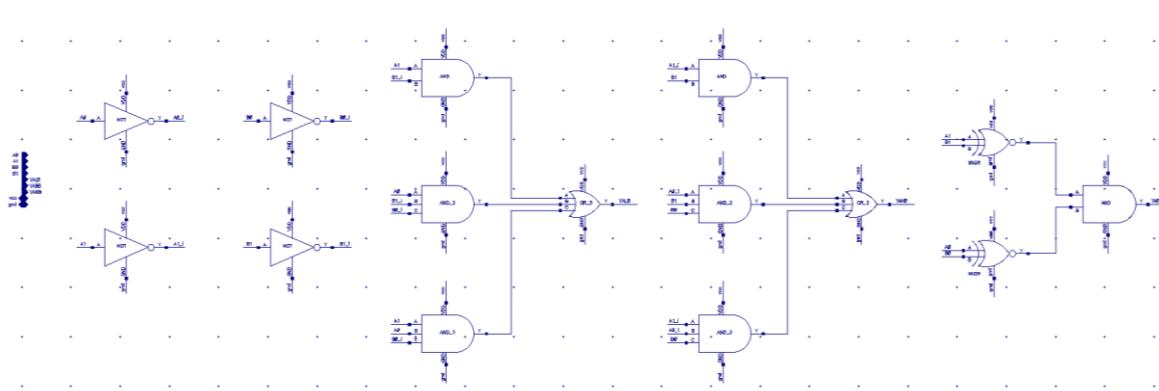
- Sơ đồ nguyên lý: dùng các công logic để tạo nên mạch so sánh 2 bit.



Hình 5.2. Dùng công logic thiết kế mạch so sánh 2 bit

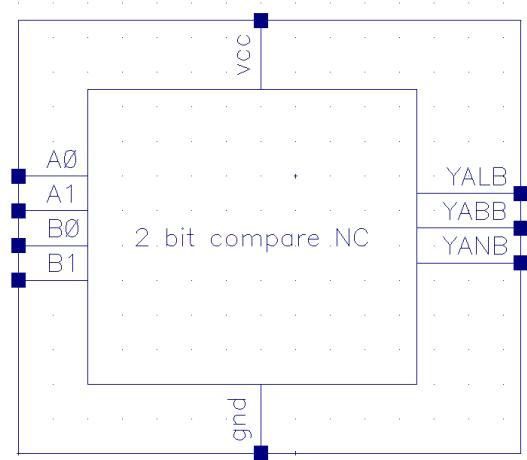
### 5.1.2. Thiết kế mô phỏng mạch so sánh 2 bit

- Thiết kế và mô phỏng mạch so sánh 2 bit:



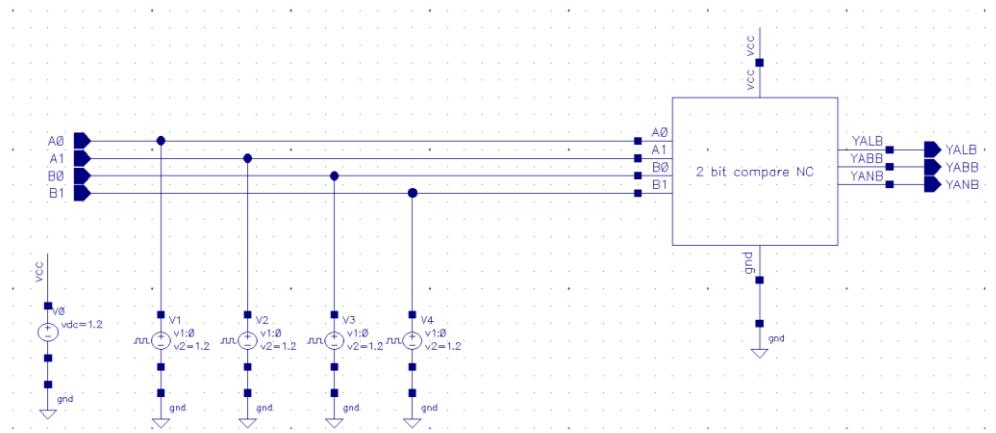
Hình 5.3. Thiết kế và mô phỏng mạch so sánh 2 bit

- Đóng gói thiết kế mạch so sánh 2 bit bằng ký hiệu của mạch:



Hình 5.4. Thiết kế và mô phỏng mạch so sánh 2 bit

- Thiết kế và mô phỏng mạch so sánh 4 bit:



Hình 5.5. Thiết kế và mô phỏng mạch so sánh 2 bit

- Thông số cài đặt nguồn:
  - + Nguồn  $V_{DC} = 1.2V$ .
  - + Chân GND nối đất.
  - + Chân  $V_{in}$  tương ứng với ngõ vào A0 nối với nguồn  $V_{pulse}$  với các thông số sau:
    - Mức điện áp 2 (V2): 1.2V.
    - Thời gian trễ: 0s.
    - Độ rộng xung (ton): 5ns.
    - Chu kỳ (period): 10ns.

Voltage 2	1.2 V
Period	10n s
Delay time	0 s
Rise time	
Fall time	
Pulse width	5n s

Hình 5.6. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào A0

- Thông số cài đặt nguồn:
  - + Chân  $V_{in}$  tương ứng với ngõ vào A1 nối với nguồn  $V_{pulse}$  với các thông số sau:
    - Mức điện áp 2 (V2): 1.2V.
    - Thời gian trễ: 0s.
    - Độ rộng xung (ton): 6ns.
    - Chu kỳ (period): 12ns.

Voltage 2	1.2 V
Period	12n s
Delay time	0 s
Rise time	
Fall time	
Pulse width	6n s

Hình 5.7. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào A1

- Thông số cài đặt nguồn:

+ Chân  $V_{in}$  tương ứng với ngõ vào B0 nối với nguồn  $V_{pulse}$  với các thông số sau:

- Mức điện áp 2 (V2): 1.2V.
- Thời gian trễ: 0s.
- Độ rộng xung (ton): 7ns.
- Chu kỳ (period): 14ns.

Voltage 2	1.2 V
Period	14n s
Delay time	0 s
Rise time	
Fall time	
Pulse width	7n s

Hình 5.8. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào B0

- Thông số cài đặt nguồn:

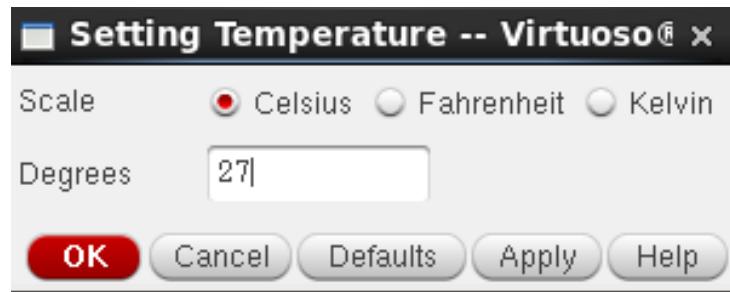
+ Chân  $V_{in}$  tương ứng với ngõ vào B1 nối với nguồn  $V_{pulse}$  với các thông số sau:

- Mức điện áp 2 (V2): 1.2V.
- Thời gian trễ: 0s.
- Độ rộng xung (ton): 8ns.
- Chu kỳ (period): 16ns.

Voltage 2	1.2 V
Period	16n s
Delay time	0 s
Rise time	
Fall time	
Pulse width	8n s

Hình 5.9. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào B1

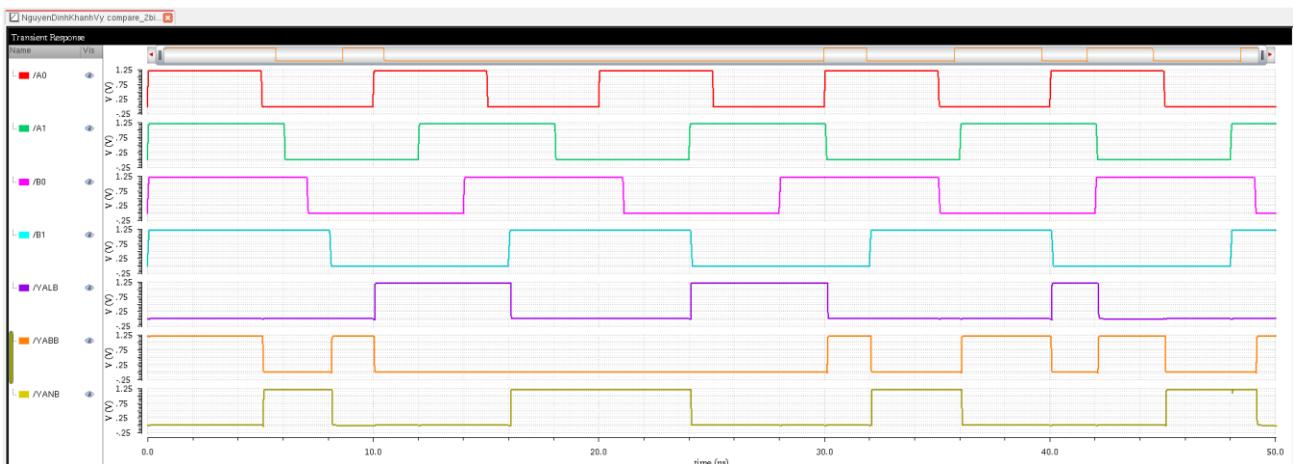
- Thiết kế được mô phỏng tại điều kiện nhiệt độ chuẩn  $T = 27^\circ\text{C}$ :



Hình 5.10. Cài đặt nhiệt độ thiết kế mô phỏng

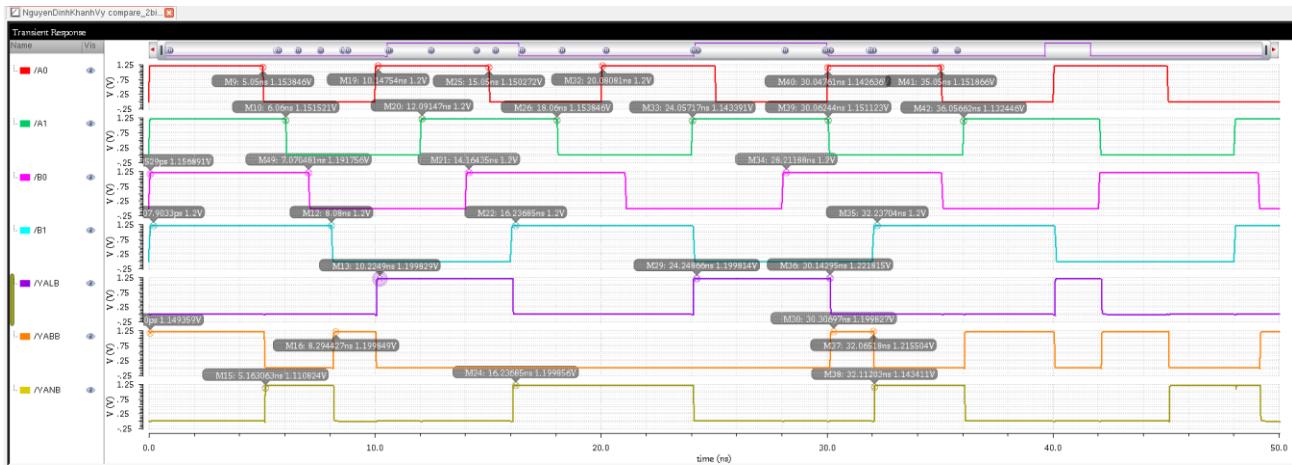
- Thực hiện mô phỏng để kiểm tra hoạt động theo bảng trạng thái của mạch so sánh 2 bit, kết quả thu được dạng sóng như hình bên dưới.

- + A0, A1: Tín hiệu ngõ vào tương đương với số thứ nhất.
- + B0, B1: Tín hiệu ngõ vào tương đương với số thứ hai.
- + YALB: Tín hiệu ngõ ra tương đương kết quả số thứ nhất lớn hơn số thứ hai.
- + YABB: Tín hiệu ngõ ra tương đương với số thứ nhất bằng số thứ hai.
- + YANB: Tín hiệu ngõ ra tương đương với số thứ nhất nhỏ hơn số thứ hai.



Hình 5.11. Kết quả mô phỏng dạng sóng của mạch so sánh 2 bit

- Nhận xét dạng sóng các tín hiệu ngõ ra khi tín hiệu ngõ vào đảo điện áp, ta thấy các mức logic của ngõ vào, ngõ ra phù hợp với bảng trạng thái:

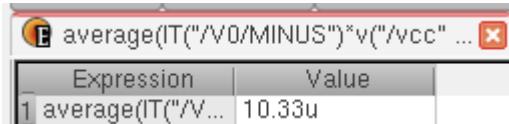


Hình 5.12. Kết quả mô phỏng dạng sóng của mạch so sánh 2 bit

- + 0ns đến 5.05ns, A0 = 1, A1 = 1, B0 = 1, B1 = 1, YALB = 0, YABB = 1, YANB = 0.
- + 5.05ns đến 6.06ns, A0 = 0, A1 = 1, B0 = 1, B1 = 1, YALB = 0, YABB = 0, YANB = 1.
- + 6.06ns đến 7.07ns, A0 = 0, A1 = 0, B0 = 1, B1 = 1, YALB = 0, YABB = 0, YANB = 1.
- + 7.07ns đến 8.08ns, A0 = 0, A1 = 0, B0 = 0, B1 = 1, YALB = 0, YABB = 0, YANB = 1.
- + 8.08ns đến 10.2ns, A0 = 0, A1 = 0, B0 = 0, B1 = 0, YALB = 0, YABB = 1, YANB = 0.
- + 10.2ns đến 12.09ns, A0 = 1, A1 = 0, B0 = 0, B1 = 0, YALB = 1, YABB = 0, YANB = 0.
- + 12.09ns đến 14.16ns, A0 = 1, A1 = 1, B0 = 0, B1 = 0, YALB = 1, YABB = 0, YANB = 0.
- + 14.16ns đến 16.24ns, A0 = 1, A1 = 1, B0 = 1, B1 = 0, YALB = 1, YABB = 0, YANB = 0.

➔ Kết luận: mạch so sánh 2 bit được thiết kế và mô phỏng đúng bảng trạng thái.

- Công suất trung bình của mạch so sánh 2 bit là 10.33u:



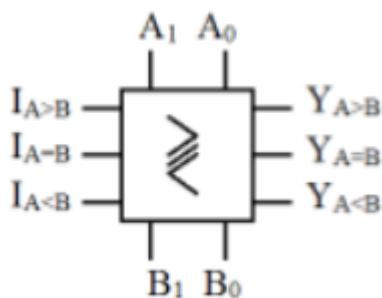
Hình 5.13. Công suất trung bình mô phỏng được

## 5.2. Mạch so sánh 2 bit có ngõ vào mở rộng

### 5.2.1. Lý thuyết

- Mạch so sánh không có ngõ vào mở rộng không thể ghép nhiều mạch lại để có thể so sánh nhiều bit hơn. Vì vậy, mạch so sánh có ngõ vào mở rộng giúp thực hiện điều này.

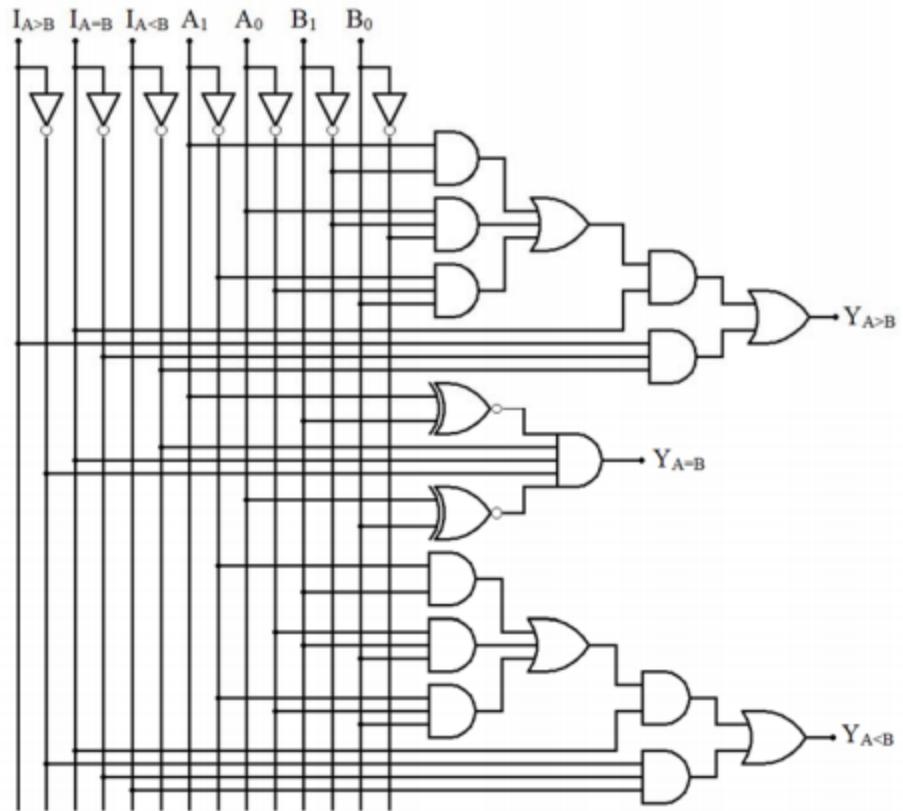
- Ký hiệu và bảng trạng thái của mạch so sánh 2 bit:



Ngõ vào mở rộng			Ngõ vào so sánh				Ngõ ra		
			A		B				
I <sub>A&gt;B</sub>	I <sub>A=B</sub>	I <sub>A&lt;B</sub>	A <sub>1</sub>	A <sub>0</sub>	B <sub>1</sub>	B <sub>0</sub>	Y <sub>A&gt;B</sub>	Y <sub>A=B</sub>	Y <sub>A&lt;B</sub>
1	0	0	x	x	x	x	1	0	0
0	0	1	x	x	x	x	0	0	1
0	1	0	0	0	0	0	0	1	0
0	1	0	0	0	0	1	0	0	1
0	1	0	0	0	1	0	0	0	1
0	1	0	0	0	1	1	0	0	1
0	1	0	0	1	0	0	1	0	0
0	1	0	0	1	0	1	0	1	0
0	1	0	0	1	1	0	0	0	1
0	1	0	0	1	1	1	0	0	1
0	1	0	1	0	0	0	1	0	0
0	1	0	1	0	0	1	1	0	0
0	1	0	1	0	1	0	0	1	0
0	1	0	1	0	1	1	0	0	1
0	1	0	1	1	0	0	1	0	0
0	1	0	1	1	0	1	1	0	0
0	1	0	1	1	1	0	1	0	0
0	1	0	1	1	1	1	0	1	0

Hình 5.14. Ký hiệu và bảng trạng thái của mạch so sánh 2 bit

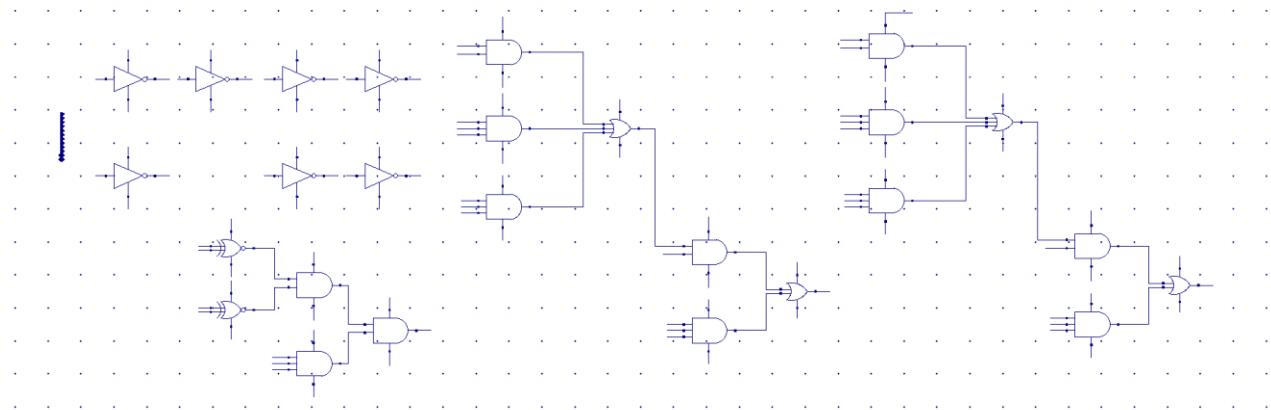
- Sơ đồ nguyên lý: dùng các công logic để tạo nên mạch so sánh 2 bit.



Hình 5.15. Dùng công logic thiết kế mạch so sánh 2 bit

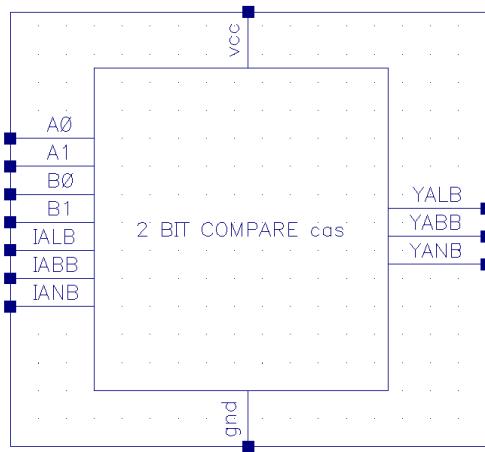
### 5.2.2. Thiết kế mô phỏng mạch so sánh 2 bit

- Thiết kế và mô phỏng mạch so sánh 2 bit:



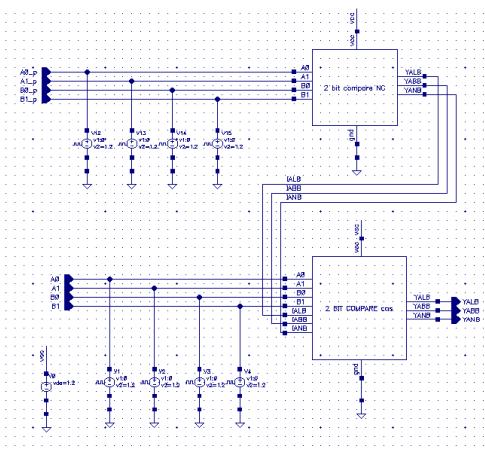
Hình 5.16. Thiết kế và mô phỏng mạch so sánh 2 bit

- Đóng gói thiết kế mạch so sánh 2 bit bằng ký hiệu của mạch:



Hình 5.17. Thiết kế và mô phỏng mạch so sánh 2 bit

- Ta ghép mạch so sánh 2 bit không có ngõ vào mở rộng với mạch so sánh 2 bit có ngõ vào mở rộng để kiểm tra các chân IALB, IABB, IANB:



Hình 5.18. Thiết kế và mô phỏng mạch so sánh 2 bit

- Thông số cài đặt nguồn:

- + Nguồn  $V_{DC}$  = 1.2V.
- + Chân GND nối đất.
- + Chân  $V_{in}$  tương ứng với ngõ vào A0\_p nối với nguồn  $V_{pulse}$  với các thông số sau:
  - Mức điện áp 2 (V2): 1.2V.
  - Thời gian trễ: 0s.
  - Độ rộng xung (ton): 5ns.
  - Chu kỳ (period): 10ns.

Voltage 2	1.2 V
Period	10n s
Delay time	0 s
Rise time	
Fall time	
Pulse width	5n s

Hình 5.19. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào A0\_p

- Thông số cài đặt nguồn:

- + Chân  $V_{in}$  tương ứng với ngõ vào A1\_p nối với nguồn  $V_{pulse}$  với các thông số sau:
  - Mức điện áp 2 (V2): 1.2V.
  - Thời gian trễ: 0s.
  - Độ rộng xung (ton): 6ns.
  - Chu kỳ (period): 12ns.

Period	12n s
Delay time	0 s
Rise time	
Fall time	
Pulse width	6n s

Hình 5.20. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào A1\_p

- Thông số cài đặt nguồn:

+ Chân  $V_{in}$  tương ứng với ngõ vào  $B0\_p$  nối với nguồn  $V_{pulse}$  với các thông số sau:

- Mức điện áp 2 (V2): 1.2V.
- Thời gian trễ: 0s.
- Độ rộng xung (ton): 7ns.
- Chu kỳ (period): 14ns.

Voltage 2	1.2 V
Period	14n s
Delay time	0 s
Rise time	
Fall time	
Pulse width	7n s

Hình 5.21. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào  $B0\_p$

- Thông số cài đặt nguồn:

+ Chân  $V_{in}$  tương ứng với ngõ vào  $B1\_p$  nối với nguồn  $V_{pulse}$  với các thông số sau:

- Mức điện áp 2 (V2): 1.2V.
- Thời gian trễ: 0s.
- Độ rộng xung (ton): 8ns.
- Chu kỳ (period): 16ns.

Voltage 2	1.2 V
Period	16n s
Delay time	0 s
Rise time	
Fall time	
Pulse width	8n s

Hình 5.22. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào  $B1\_p$

- Thông số cài đặt nguồn:
  - + Nguồn  $V_{DC} = 1.2V$ .
  - + Chân GND nối đất.
  - + Chân  $V_{in}$  tương ứng với ngõ vào A0 nối với nguồn  $V_{pulse}$  với các thông số sau:
    - Mức điện áp 2 (V2): 1.2V.
    - Thời gian trễ: 0s.
    - Độ rộng xung (ton): 5ns.
    - Chu kỳ (period): 10ns.

Voltage 2	1.2 V
Period	10n s
Delay time	0 s
Rise time	
Fall time	
Pulse width	5n s

Hình 5.23. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào A0

- Thông số cài đặt nguồn:
  - + Chân  $V_{in}$  tương ứng với ngõ vào A1 nối với nguồn  $V_{pulse}$  với các thông số sau:
    - Mức điện áp 2 (V2): 1.2V.
    - Thời gian trễ: 0s.
    - Độ rộng xung (ton): 6ns.
    - Chu kỳ (period): 12ns.

Voltage 2	1.2 V
Period	12n s
Delay time	0 s
Rise time	
Fall time	
Pulse width	6n s

Hình 5.24. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào A1

- Thông số cài đặt nguồn:

+ Chân  $V_{in}$  tương ứng với ngõ vào B0 nối với nguồn  $V_{pulse}$  với các thông số sau:

- Mức điện áp 2 (V2): 1.2V.
- Thời gian trễ: 0s.
- Độ rộng xung (ton): 7ns.
- Chu kỳ (period): 14ns.

Voltage 2	1.2 V
Period	14n s
Delay time	0 s
Rise time	
Fall time	
Pulse width	7n s

Hình 5.25. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào B0

- Thông số cài đặt nguồn:

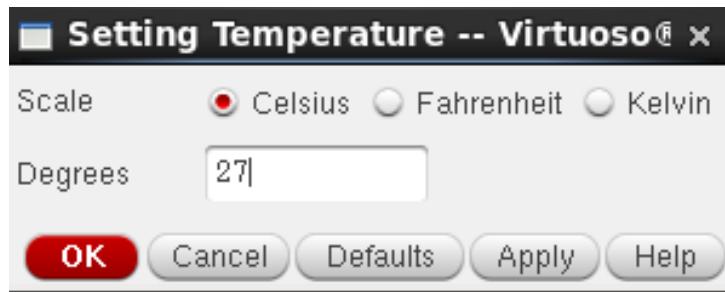
+ Chân  $V_{in}$  tương ứng với ngõ vào B1 nối với nguồn  $V_{pulse}$  với các thông số sau:

- Mức điện áp 2 (V2): 1.2V.
- Thời gian trễ: 0s.
- Độ rộng xung (ton): 8ns.
- Chu kỳ (period): 16ns.

Voltage 2	1.2 V
Period	16n s
Delay time	0 s
Rise time	
Fall time	
Pulse width	8n s

Hình 5.26. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào B1

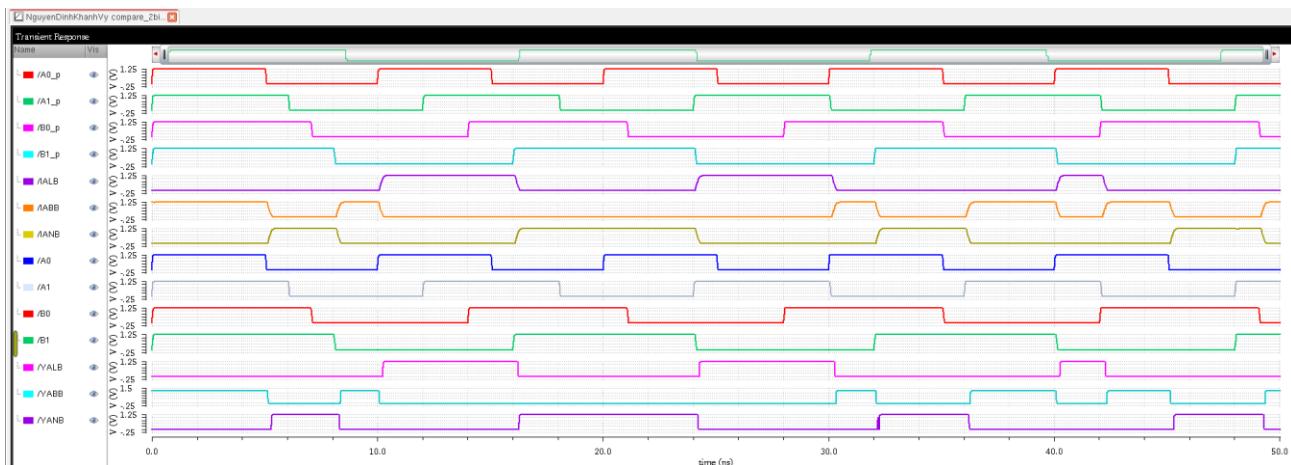
- Thiết kế được mô phỏng tại điều kiện nhiệt độ chuẩn  $T = 27^\circ\text{C}$ :



Hình 5.27. Cài đặt nhiệt độ thiết kế mô phỏng

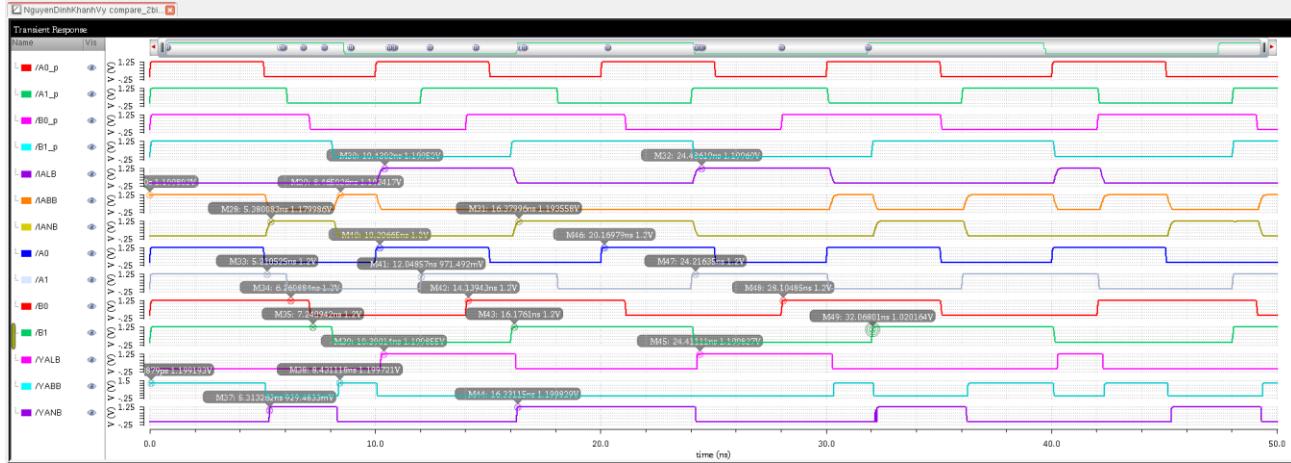
- Thực hiện mô phỏng để kiểm tra hoạt động theo bảng trạng thái của bộ cộng Full Adder, kết quả thu được dạng sóng như hình bên dưới.

- + A0\_p, A1\_p: Tín hiệu ngõ vào tương đương với 2 bit trọng số cao của số thứ nhất.
- + B0\_p, B1\_p: Tín hiệu ngõ vào tương đương với 2 bit trọng số cao của số thứ hai.
- + IALB: Tín hiệu ngõ vào tương đương kết quả 2 bit trọng số cao số thứ nhất lớn hơn 2 bit trọng số cao số thứ hai.
- + IABB: Tín hiệu ngõ vào tương đương với 2 bit trọng số cao số thứ nhất bằng 2 bit trọng số cao số thứ hai.
- + IANB: Tín hiệu ngõ vào tương đương với 2 bit trọng số cao số thứ nhất nhỏ hơn 2 bit trọng số cao số thứ hai.
- + A0, A1: Tín hiệu ngõ vào tương đương với 2 bit trọng số thấp của số thứ nhất.
- + B0, B1: Tín hiệu ngõ vào tương đương với 2 bit trọng số thấp của số thứ hai.
- + YALB: Tín hiệu ngõ ra tương đương kết quả số thứ nhất lớn hơn số thứ hai.
- + YABB: Tín hiệu ngõ ra tương đương với số thứ nhất bằng số thứ hai.
- + YANB: Tín hiệu ngõ ra tương đương với số thứ nhất nhỏ hơn số thứ hai.



Hình 5.28. Kết quả mô phỏng dạng sóng của mạch so sánh 2 bit

- Vì các tín hiệu A0\_p, A1\_p, B0\_p, B1\_p, IALB, IABB, IANN tương đương với hoạt động của mạch so sánh 2 bit không có ngõ vào mở rộng ta đã nhận xét ở trên. Do đó, ở đây ta chỉ nhận xét A0, A1, B0, B1, IALB, IABB, IANN, YALB, YABB, YANN tương đương với hoạt động của mạch so sánh 2 bit có ngõ vào mở rộng:



Hình 5.29. Kết quả mô phỏng dạng sóng của mạch so sánh 2 bit

- + 0ns đến 5.31ns, IALB = 0, IABB = 1, IANB = 0, A0 = 1, A1 = 1, B0 = 1, B1 = 1, YALB = 0, YABB = 1, YANB = 0.
  - + 5.31ns đến 6.26ns, IALB = 0, IABB = 0, IANB = 1, A0 = 0, A1 = 1, B0 = 1, B1 = 1, YALB = 0, YABB = 0, YANB = 1.
  - + 6.26ns đến 7.24ns, IALB = 0, IABB = 0, IANB = 1, A0 = 0, A1 = 0, B0 = 1, B1 = 1, YALB = 0, YABB = 0, YANB = 1.
  - + 7.24ns đến 8.43ns, IALB = 0, IABB = 0, IANB = 1, A0 = 0, A1 = 0, B0 = 0, B1 = 1, YALB = 0, YABB = 0, YANB = 1.
  - + 8.43ns đến 10.39ns, IALB = 0, IABB = 1, IANB = 0, A0 = 0, A1 = 0, B0 = 0, B1 = 0, YALB = 0, YABB = 1, YANB = 0.
  - + 10.39ns đến 12.04ns, IALB = 1, IABB = 0, IANB = 0, A0 = 1, A1 = 0, B0 = 0, B1 = 0, YALB = 1, YABB = 0, YANB = 0.
  - + 12.04ns đến 14.14ns, IALB = 1, IABB = 0, IANB = 0, A0 = 1, A1 = 1, B0 = 0, B1 = 0, YALB = 1, YABB = 0, YANB = 0.
  - + 14.14ns đến 16.17ns, IALB = 1, IABB = 0, IANB = 0, A0 = 1, A1 = 1, B0 = 1, B1 = 0, YALB = 1, YABB = 0, YANB = 0.
- ➔ Phân tích tương tự với các trường hợp còn lại, ta kết luận mạch so sánh 2 bit được thiết kế và mô phỏng đúng bảng trạng thái.

- Công suất trung bình của mạch so sánh 2 bit là 21.62uW:

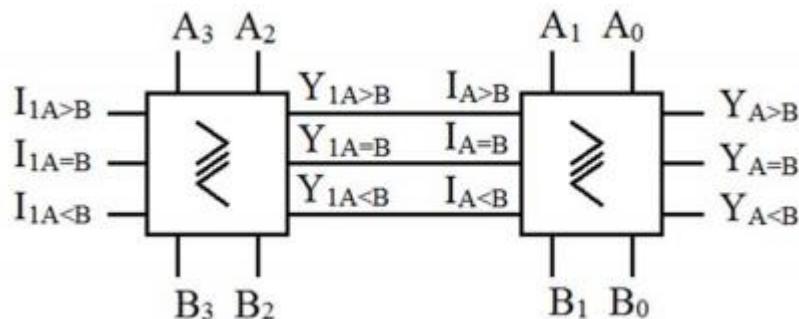
Expression	Value
average(IT("V0/MINUS")*v("VCC" ...)	21.62u

Hình 5.30. Công suất trung bình mô phỏng được

### 5.3. Mạch so sánh 4 bit có ngõ vào mở rộng

#### 5.3.1. Lý thuyết

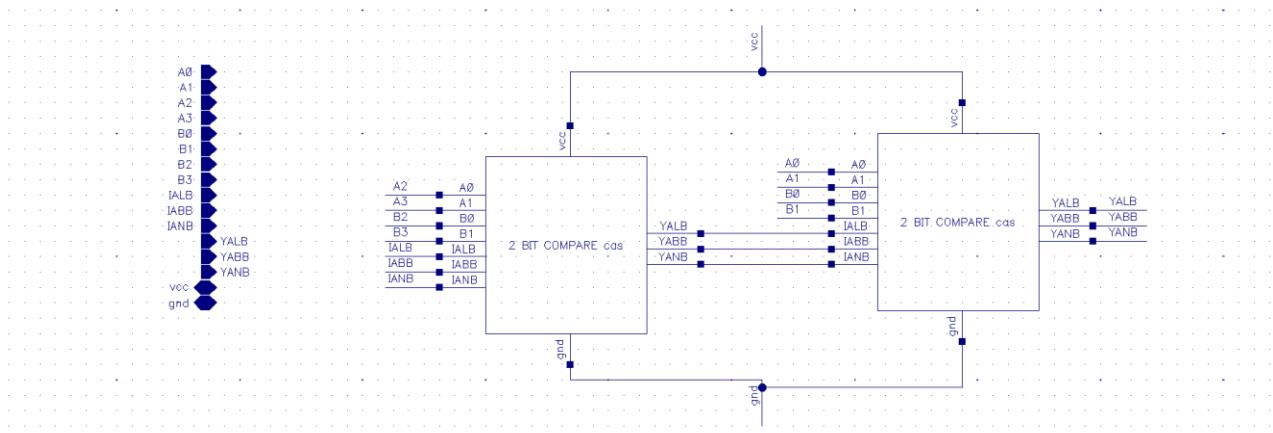
- Mạch so sánh không có ngõ vào mở rộng không thể ghép nhiều mạch lại để có thể so sánh nhiều bit hơn. Vì vậy, mạch so sánh có ngõ vào mở rộng giúp thực hiện điều này.
- Sơ đồ nguyên lý: dùng hai mạch so sánh 2 bit có ngõ vào mở rộng để tạo nên mạch so sánh 4 bit có ngõ vào mở rộng.



Hình 5.31. Mạch so sánh 4 bit

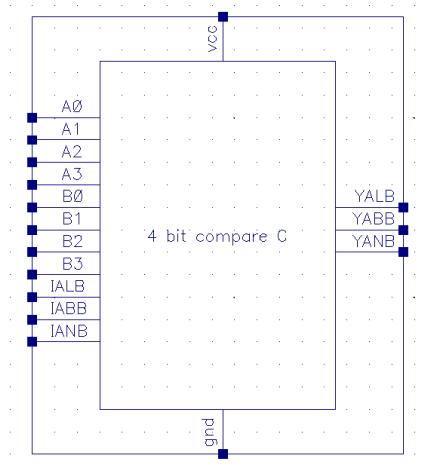
#### 5.3.2. Thiết kế mô phỏng mạch so sánh 4 bit

- Thiết kế và mô phỏng mạch so sánh 4 bit:



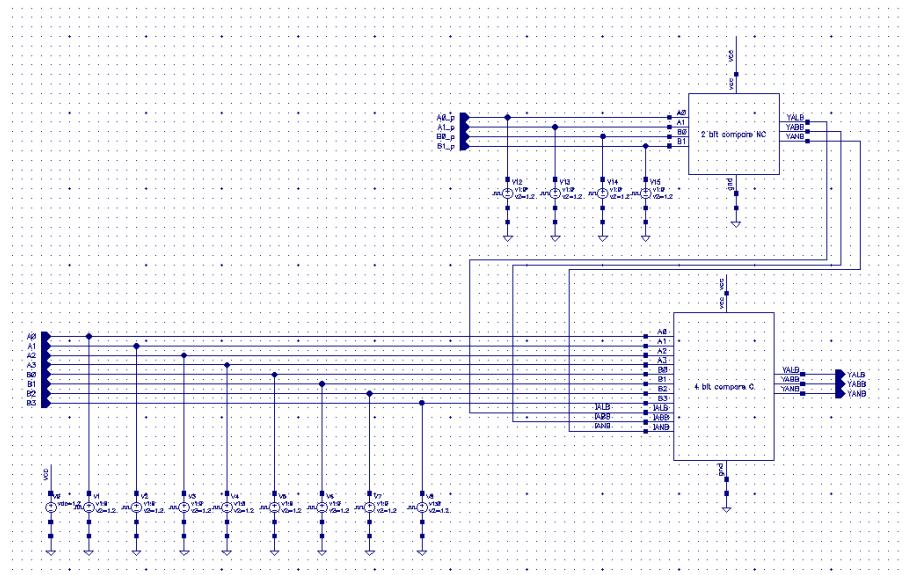
Hình 5.32. Thiết kế và mô phỏng mạch so sánh 4 bit

- Đóng gói thiết kế mạch so sánh 2 bit bằng ký hiệu của mạch:



Hình 5.33. Thiết kế và mô phỏng mạch so sánh 4 bit

- Ta ghép mạch so sánh 2 bit không có ngõ vào mở rộng với mạch so sánh 4 bit có ngõ vào mở rộng để kiểm tra các chân IALB, IABB, IANB:



Hình 5.34. Thiết kế và mô phỏng mạch so sánh 4 bit

- Thông số cài đặt nguồn:
  - + Nguồn  $V_{DC} = 1.2V$ .
  - + Chân GND nối đất.
  - + Chân  $V_{in}$  tương ứng với ngõ vào A0\_p, A0 nối với nguồn  $V_{pulse}$  với các thông số sau:
    - Mức điện áp 2 (V2): 1.2V.
    - Thời gian trễ: 0s.
    - Độ rộng xung (ton): 5ns.
    - Chu kỳ (period): 10ns.

Voltage 2	1.2 V
Period	10n s
Delay time	0 s
Rise time	
Fall time	
Pulse width	5n s

Hình 5.35. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào A0\_p, A0

- Thông số cài đặt nguồn:
  - + Chân  $V_{in}$  tương ứng với ngõ vào A1\_p, A1 nối với nguồn  $V_{pulse}$  với các thông số sau:
    - Mức điện áp 2 (V2): 1.2V.
    - Thời gian trễ: 0s.
    - Độ rộng xung (ton): 6ns.
    - Chu kỳ (period): 12ns.

Period	12n s
Delay time	0 s
Rise time	
Fall time	
Pulse width	6n s

Hình 5.36. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào A1\_p, A1

- Thông số cài đặt nguồn:

+ Chân  $V_{in}$  tương ứng với ngõ vào B0\_p, A2 nối với nguồn  $V_{pulse}$  với các thông số sau:

- Mức điện áp 2 (V2): 1.2V.
- Thời gian trễ: 0s.
- Độ rộng xung (ton): 7ns.
- Chu kỳ (period): 14ns.

Voltage 2	1.2 V
Period	14n s
Delay time	0 s
Rise time	
Fall time	
Pulse width	7n s

Hình 5.37. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào B0\_p, A2

- Thông số cài đặt nguồn:

+ Chân  $V_{in}$  tương ứng với ngõ vào B1\_p, A3 nối với nguồn  $V_{pulse}$  với các thông số sau:

- Mức điện áp 2 (V2): 1.2V.
- Thời gian trễ: 0s.
- Độ rộng xung (ton): 8ns.
- Chu kỳ (period): 16ns.

Voltage 2	1.2 V
Period	16n s
Delay time	0 s
Rise time	
Fall time	
Pulse width	8n s

Hình 5.38. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào B1\_p, A3

- Thông số cài đặt nguồn:

+ Nguồn  $V_{DC} = 1.2V$ .

+ Chân GND nối đất.

+ Chân  $V_{in}$  tương ứng với ngõ vào B0 nối với nguồn  $V_{pulse}$  với các thông số sau:

- Mức điện áp 2 (V2): 1.2V.
- Thời gian trễ: 0s.
- Độ rộng xung (ton): 8.5ns.
- Chu kỳ (period): 17ns.

Voltage 2	1.2 V
Period	17n s
Delay time	0 s
Rise time	
Fall time	
Pulse width	8.5n s

Hình 5.39. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào B0

- Thông số cài đặt nguồn:

+ Chân  $V_{in}$  tương ứng với ngõ vào B1 nối với nguồn  $V_{pulse}$  với các thông số sau:

- Mức điện áp 2 (V2): 1.2V.
- Thời gian trễ: 0s.
- Độ rộng xung (ton): 9ns.
- Chu kỳ (period): 18ns.

Voltage 2	1.2 V
Period	18n s
Delay time	0 s
Rise time	
Fall time	
Pulse width	9n s

Hình 5.40. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào B1

- Thông số cài đặt nguồn:

+ Chân  $V_{in}$  tương ứng với ngõ vào B2 nối với nguồn  $V_{pulse}$  với các thông số sau:

- Mức điện áp 2 (V2): 1.2V.
- Thời gian trễ: 0s.
- Độ rộng xung (ton): 9.5ns.
- Chu kỳ (period): 19ns.

Voltage 2	1.2 V
Period	19n s
Delay time	0 s
Rise time	
Fall time	
Pulse width	9.5n s

Hình 5.41. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào B2

- Thông số cài đặt nguồn:

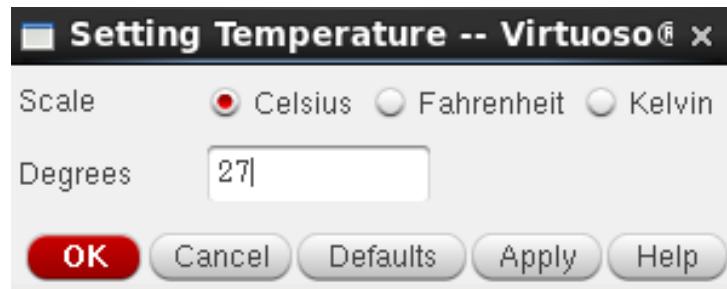
+ Chân  $V_{in}$  tương ứng với ngõ vào B3 nối với nguồn  $V_{pulse}$  với các thông số sau:

- Mức điện áp 2 (V2): 1.2V.
- Thời gian trễ: 0s.
- Độ rộng xung (ton): 10ns.
- Chu kỳ (period): 20ns.

Voltage 2	1.2 V
Period	20n s
Delay time	0 s
Rise time	
Fall time	
Pulse width	10n s

Hình 5.42. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào B3

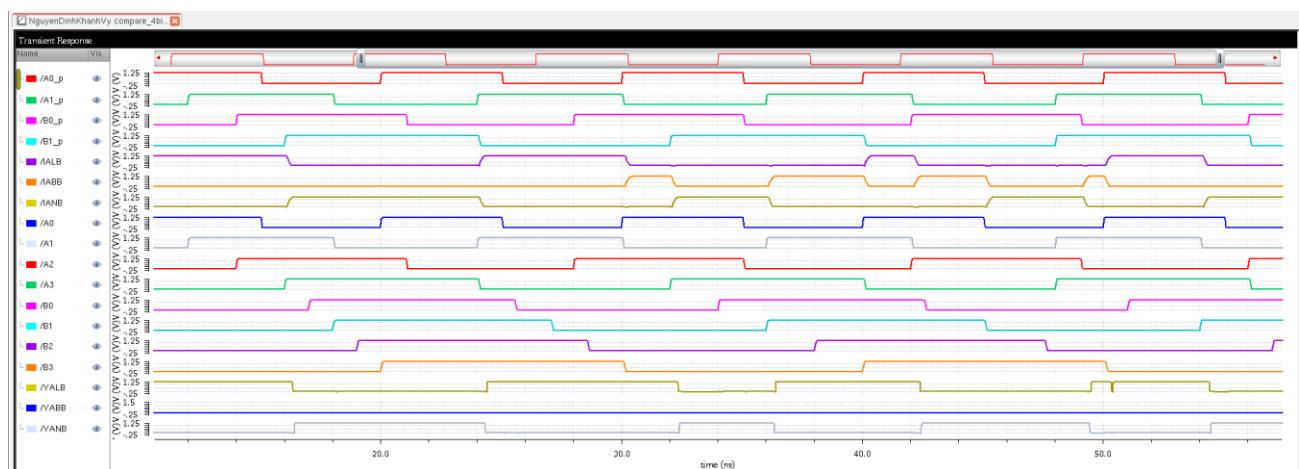
- Thiết kế được mô phỏng tại điều kiện nhiệt độ chuẩn  $T = 27^\circ\text{C}$ :



Hình 5.43. Cài đặt nhiệt độ thiết kế mô phỏng

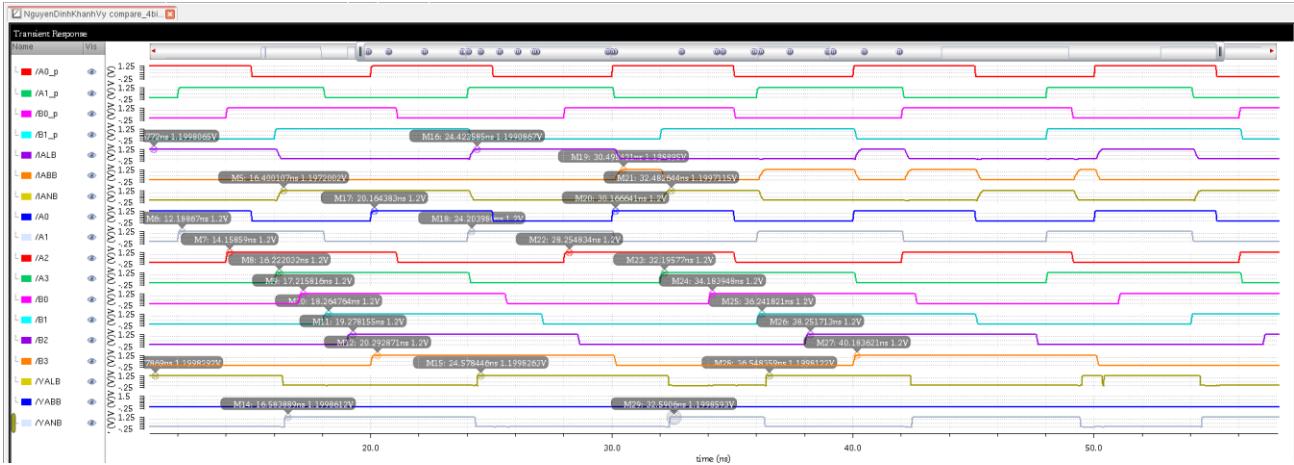
- Thực hiện mô phỏng để kiểm tra hoạt động theo bảng trạng thái của bộ cộng Full Adder, kết quả thu được dạng sóng như hình bên dưới.

- + A0\_p, A1\_p: Tín hiệu ngõ vào tương đương với 2 bit trọng số cao của số thứ nhất.
- + B0\_p, B1\_p: Tín hiệu ngõ vào tương đương với 2 bit trọng số cao của số thứ hai.
- + IALB: Tín hiệu ngõ vào tương đương kết quả số thứ nhất lớn hơn số thứ hai.
- + IABB: Tín hiệu ngõ vào tương đương với số thứ nhất bằng số thứ hai.
- + IANB: Tín hiệu ngõ vào tương đương với số thứ nhất nhỏ hơn số thứ hai.
- + A0, A1, A2, A3: Tín hiệu ngõ vào tương đương với 4 bit trọng số thấp của số thứ nhất.
- + B0, B1, B2, B3: Tín hiệu ngõ vào tương đương với 4 bit trọng số thấp của số thứ hai.
- + YALB: Tín hiệu ngõ ra tương đương kết quả số thứ nhất lớn hơn số thứ hai.
- + YABB: Tín hiệu ngõ ra tương đương với số thứ nhất bằng số thứ hai.
- + YANB: Tín hiệu ngõ ra tương đương với số thứ nhất nhỏ hơn số thứ hai.



Hình 5.44. Kết quả mô phỏng dạng sóng của mạch so sánh 2 bit

- Vì các tín hiệu A0\_p, A1\_p, B0\_p, B1\_p, IALB, IABB, IANN tương đương với hoạt động của mạch so sánh 2 bit không có ngõ vào mở rộng ta đã nhận xét ở trên. Do đó, ở đây ta chỉ nhận xét A0, A1, A2, A3, B0, B1, B2, B3, IALB, IABB, IANN, YALB, YABB, YANB tương đương với hoạt động của mạch so sánh 2 bit có ngõ vào mở rộng:

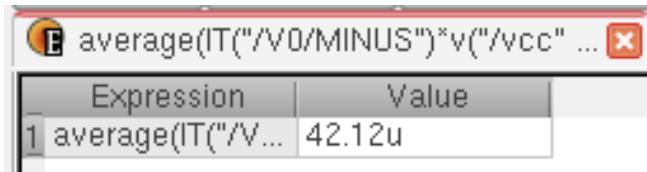


Hình 5.45. Kết quả mô phỏng dạng sóng của mạch so sánh 4 bit

- + 10.833482ns đến 12.188ns, IALB = 1, IABB = 0, IANB = 0, A0 = 1, A1 = 0, A2 = 0, A3 = 0, B0 = 0, B1 = 0, B2 = 0, B3 = 0, YALB = 1, YABB = 0, YANB = 0.
- + 12.188ns đến 14.15859ns, IALB = 1, IABB = 0, IANB = 0, A0 = 1, A1 = 1, A2 = 0, A3 = 0, B0 = 0, B1 = 0, B2 = 0, B3 = 0, YALB = 1, YABB = 0, YANB = 0.
- + 16.222ns đến 17.215816ns, IALB = 0, IABB = 0, IANB = 1, A0 = 0, A1 = 1, A2 = 1, A3 = 0, B0 = 1, B1 = 1, B2 = 0, B3 = 0, YALB = 0, YABB = 0, YANB = 1.
- + 17.2158ns đến 18.264764ns, IALB = 0, IABB = 0, IANB = 1, A0 = 0, A1 = 1, A2 = 1, A3 = 1, B0 = 1, B1 = 1, B2 = 1, B3 = 1, YALB = 0, YABB = 0, YANB = 1.

➔ Phân tích tương tự với các trường hợp còn lại, ta kết luận mạch so sánh 4 bit được thiết kế và mô phỏng đúng bằng trạng thái.

- Công suất trung bình của mạch so sánh 4 bit là 42.12uW:



Hình 5.46. Công suất trung bình mô phỏng được

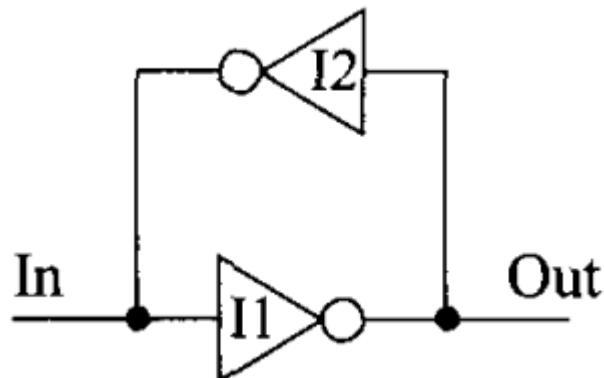
## CHƯƠNG 6: THIẾT KẾ MẠCH CHỐT

### 6.1. Lý thuyết

- Mạch chốt là mạch có thể cài lại, giữ lại trạng thái logic ngõ vào.

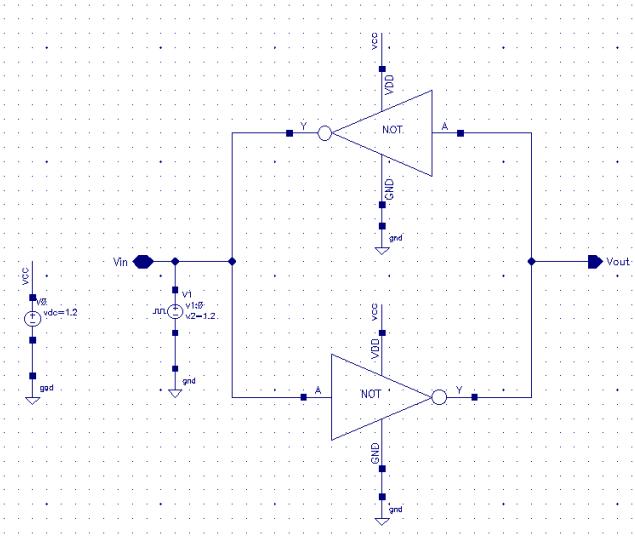
### 6.2. Cỗng đảo ghép ngang (a cross-coupled inverter)

- Dùng 2 cỗng đảo ghép với nhau, ngõ ra của cỗng đảo 1 sẽ là ngõ vào của cỗng đảo 2.



Hình 6.1. Sơ đồ nguyên lý

- Thiết kế mô phỏng cỗng đảo ghép ngang trên Cadence



Hình 6.2. Thiết kế cỗng đảo ghép ngang

- Thông số cài đặt:

+ Chân  $V_{DD}$  nối với nguồn  $V_{DC} = 1.2V$

+ Chân GND nối đất

+ Chân  $V_{in}$  ta nối với nguồn  $V_{pulse}$  với các thông số sau:

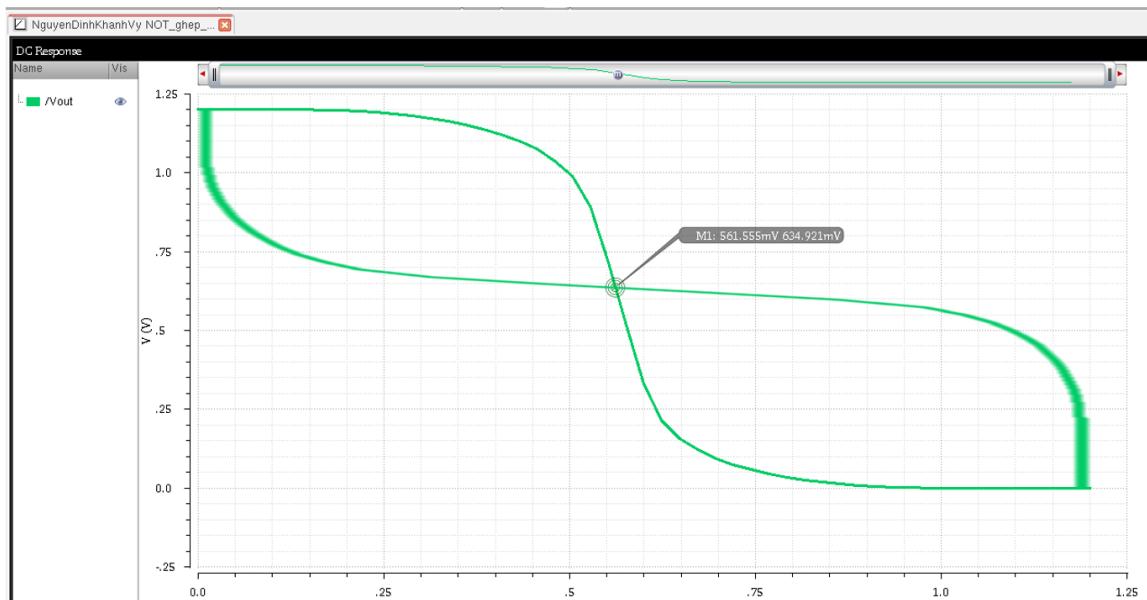
- Mức điện áp 1 (V1): 0V

- Mức điện áp 2 (V2): 1.2V
- Thời gian trễ: 0s
- Thời gian xung cạnh lên (tr): 0s
- Thời gian xung cạnh xuống (tf): 0s
- Độ rộng xung (ton): 10ns
- Chu kỳ (period): 20ns

Voltage 1	0 V
Voltage 2	1.2 V
Period	20n s
Delay time	0 s
Rise time	
Fall time	
Pulse width	10n s

Hình 6.3. Thông số cài đặt nguồn

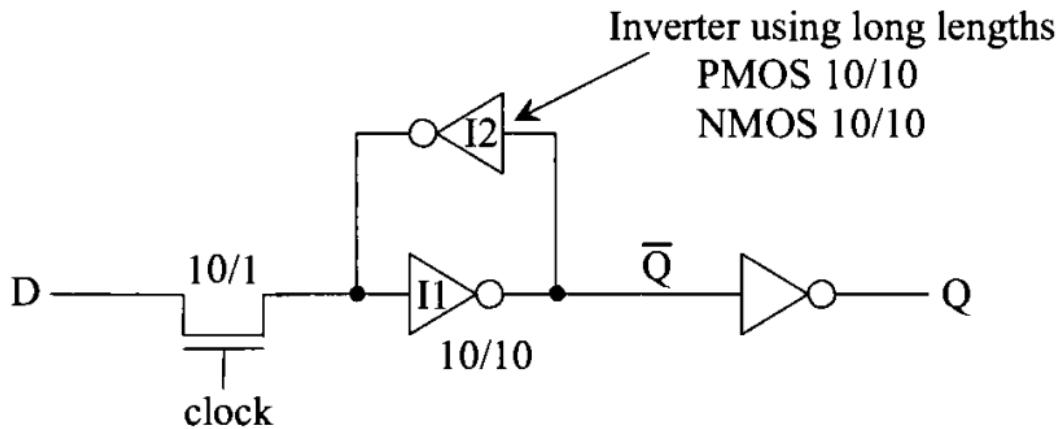
- Thực hiện mô phỏng đường đặc tuyến của 2 cổng đảo, ta nhận thấy 2 đường đặc tuyến cắt nhau tại 1 điểm có mức điện áp ngõ vào 561.555mV.



Hình 6.4. Đặc tuyến DC của cổng đảo ghép ngang

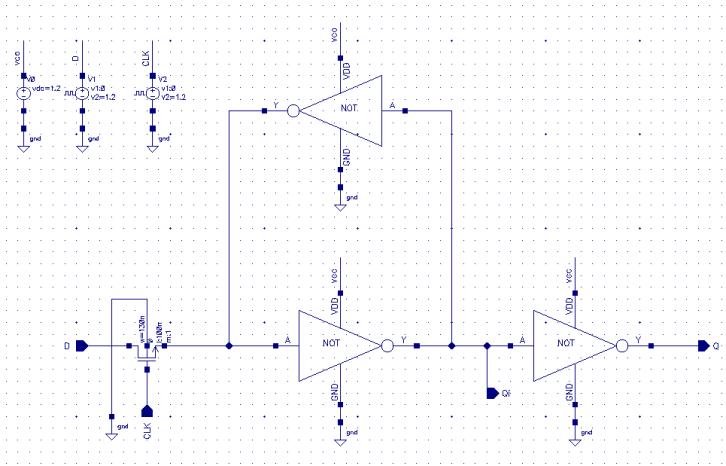
### 6.3. Mạch chốt nhạy theo mức tín hiệu (A level-sensitive latch)

- Có thể thay đổi trạng thái bất kỳ lúc nào khi tín hiệu cho phép đang hoạt động.
- Sơ đồ nguyên lý của mạch chốt nhạy theo mức tín hiệu:



Hình 6.5. A level-sensitive latch

- Thiết kế mô phỏng mạch dựa trên sơ đồ nguyên lý:



Hình 6.6. Thiết kế mô phỏng mạch

- Thông số cài đặt:

- + Chân  $V_{DD}$  nối với nguồn  $V_{DC} = 1.2V$
- + Chân GND nối đất
- + Chân  $V_{in}$  tương đương với chân D ta nối với nguồn  $V_{pulse}$  với các thông số sau:
  - Mức điện áp 1 ( $V1$ ): 0V
  - Mức điện áp 2 ( $V2$ ): 1.2V
  - Thời gian trễ: 0s

- Thời gian xung cạnh lên (tr): 0s
- Thời gian xung cạnh xuống (tf): 0s
- Độ rộng xung (ton): 10ns
- Chu kỳ (period): 20ns

Voltage 2	1.2 V
Period	20n s
Delay time	
Rise time	
Fall time	
Pulse width	10n s

Hình 6.7. Thông số cài đặt nguồn

- Thông số cài đặt:

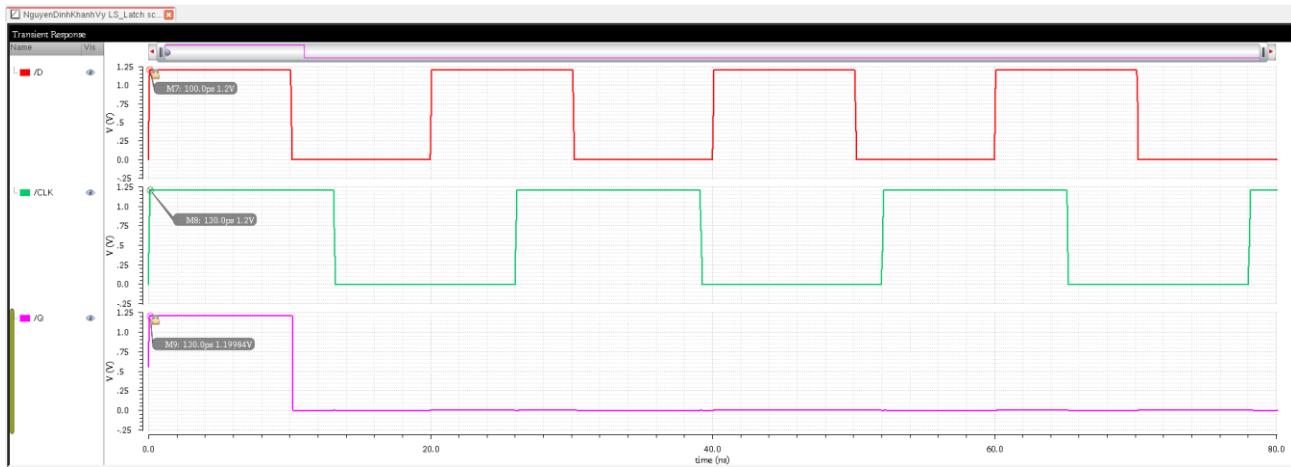
- + Chân  $V_{DD}$  nối với nguồn  $V_{DC} = 1.2V$
- + Chân GND nối đất
- + Chân  $V_{in}$  tương đương với chân D ta nối với nguồn  $V_{pulse}$  với các thông số sau:
  - Mức điện áp 1 (V1): 0V
  - Mức điện áp 2 (V2): 1.2V
  - Thời gian trễ: 0s
  - Thời gian xung cạnh lên (tr): 0s
  - Thời gian xung cạnh xuống (tf): 0s
  - Độ rộng xung (ton): 13ns
  - Chu kỳ (period): 26ns

Voltage 2	1.2 V
Period	26n s
Delay time	
Rise time	
Fall time	
Pulse width	13n s

Hình 6.8. Thông số cài đặt nguồn

- Thực hiện chạy mô phỏng mạch, ta được các dạng sóng như hình:

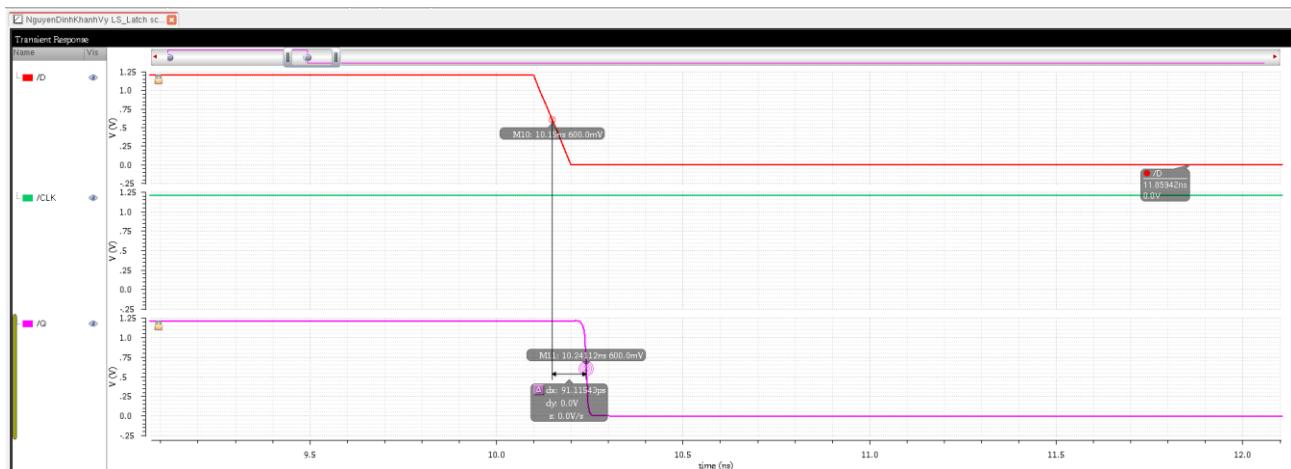
- + D: tín hiệu đầu vào (màu đỏ)
- + CLK: tín hiệu xung nhịp (màu xanh lá)
- + Q: tín hiệu đầu ra của latch (màu hồng)



Hình 6.9. Dạng sóng của mạch

- Nhận xét:

- + Khi CLK = 1, Q thay đổi theo D ngay sau đó. Giữ Q và D có độ trễ nhỏ do tín hiệu CLK thay đổi sau tín hiệu D.
  - + Khi CLK = 0, giá trị Q được giữ nguyên bất kể D có thay đổi như thế nào.
- => Kết luận: Mạch chốt hoạt động đúng nguyên lý của mạch.
- Độ trễ lan truyền cạnh xuống của mạch là 91.1154ps



Hình 6.10. Độ trễ lan truyền cạnh xuống

- Thời gian cạnh xuống của mạch là 8.09618ps



Hình 6.11. Thời gian cạnh xuống của mạch

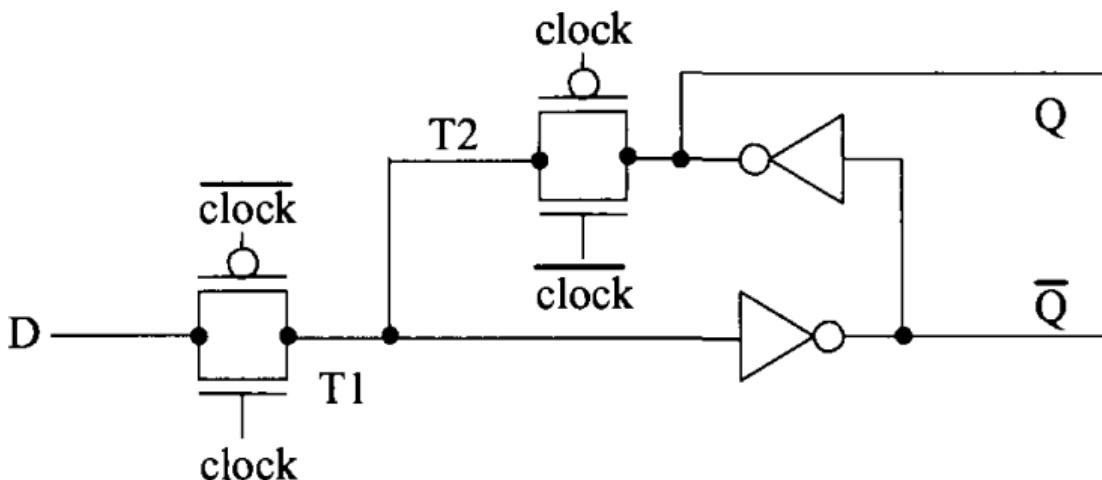
- Công suất trung bình của mạch là  $1.731\mu\text{W}$



Hình 6.12. Công suất trung bình mô phỏng được

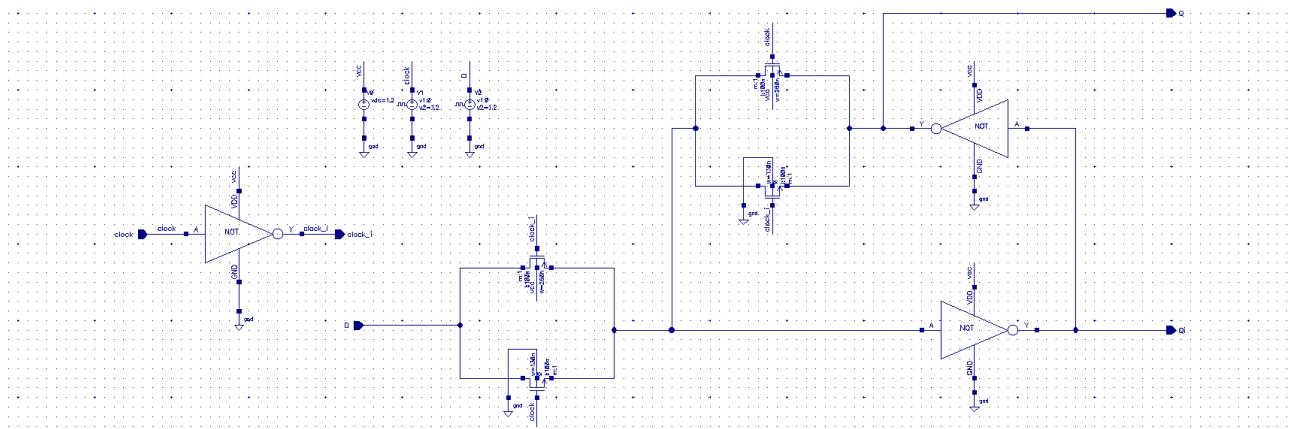
#### 6.4. Mạch chốt nhạy mức hiệu suất cao (A higher performance level-sensitive latch)

- Là phiên bản tối ưu của latch nhạy mức tiêu chuẩn, giúp giảm độ trễ, tăng tốc độ hoạt động, và giảm công suất tiêu thụ.



Hình 6.13. Sơ đồ nguyên lý của mạch

- Thiết kế mô phỏng mạch dựa trên sơ đồ nguyên lý:



Hình 6.14. Thiết kế mô phỏng mạch

- Thông số cài đặt:

- + Chân  $V_{DD}$  nối với nguồn  $V_{DC} = 1.2\text{V}$

- + Chân GND nối đất

+ Chân  $V_{in}$  tương đương với chân D ta nối với nguồn  $V_{pulse}$  với các thông số sau:

- Mức điện áp 1 (V1): 0V
- Mức điện áp 2 (V2): 1.2V
- Thời gian trễ: 0s
- Thời gian xung cạnh lên (tr): 0s
- Thời gian xung cạnh xuống (tf): 0s
- Độ rộng xung (ton): 10ns
- Chu kỳ (period): 20ns

Voltage 2	1.2 V
Period	20n s
Delay time	
Rise time	
Fall time	
Pulse width	10n s

Hình 6.15. Thông số cài đặt nguồn

- Thông số cài đặt:

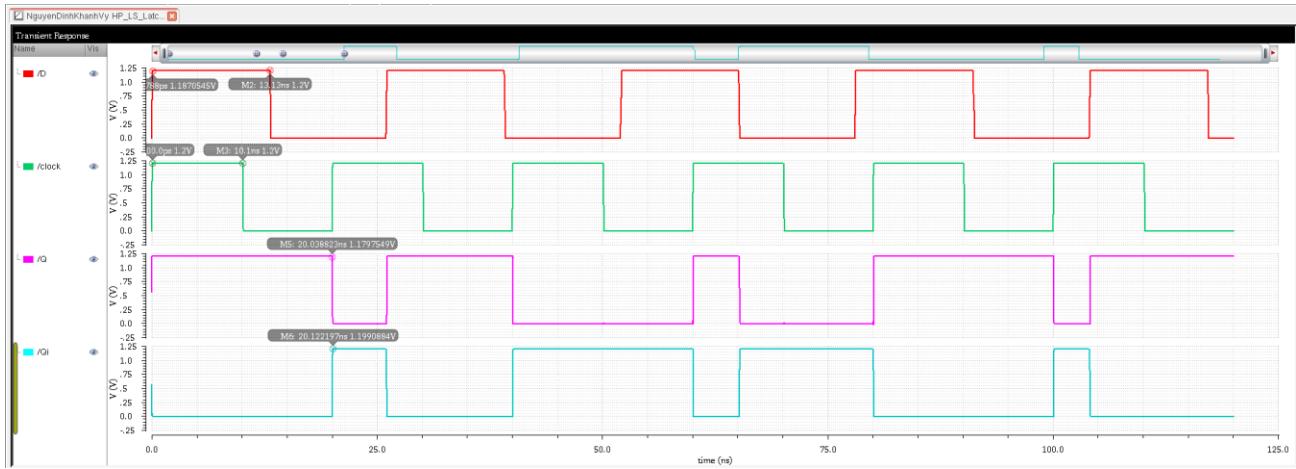
- + Chân  $V_{DD}$  nối với nguồn  $V_{DC} = 1.2V$
- + Chân GND nối đất
- + Chân  $V_{in}$  tương đương với chân D ta nối với nguồn  $V_{pulse}$  với các thông số sau:

- Mức điện áp 1 (V1): 0V
- Mức điện áp 2 (V2): 1.2V
- Thời gian trễ: 0s
- Thời gian xung cạnh lên (tr): 0s
- Thời gian xung cạnh xuống (tf): 0s
- Độ rộng xung (ton): 13ns
- Chu kỳ (period): 26ns

Voltage 2	1.2 V
Period	26n s
Delay time	
Rise time	
Fall time	
Pulse width	13n s

Hình 6.16. Thông số cài đặt nguồn

- Dạng sóng của mạch mô phỏng được:

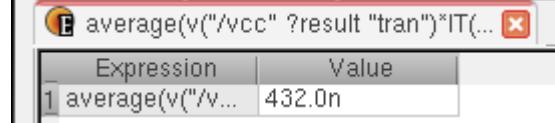


Hình 6.17. Dạng sóng các ngõ vào và ra của mạch

- Nhận xét:

- + Ban đầu, clock = 1, D = 1, mạch chốt sẽ mở, đầu ra Q sẽ lấy giá trị của D. Lúc này Q = 1, đầu ra Qi = 0, nghịch đảo của Q.
  - + Đến t = 10.1ns, clock = 0, D = 1, mạch chốt đóng, đầu ra Q giữ nguyên giá trị trước đó, không bị ảnh hưởng bởi D. Do đó Q = 1 cho đến thời điểm t = 20.03ns, lúc này xung clock = 1, Q sẽ thay đổi giá trị theo D.
- => Kết luận: Mạch hoạt động đúng nguyên lý.

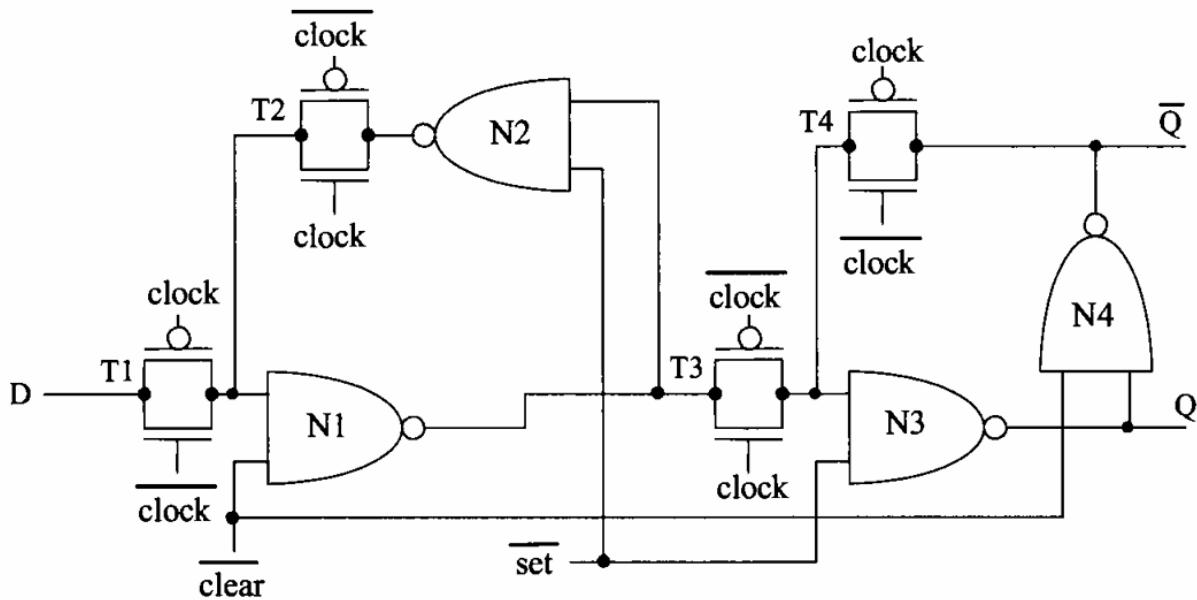
- Công suất trung bình của mạch là 432nW.



Hình 6.18. Công suất trung bình mô phỏng được

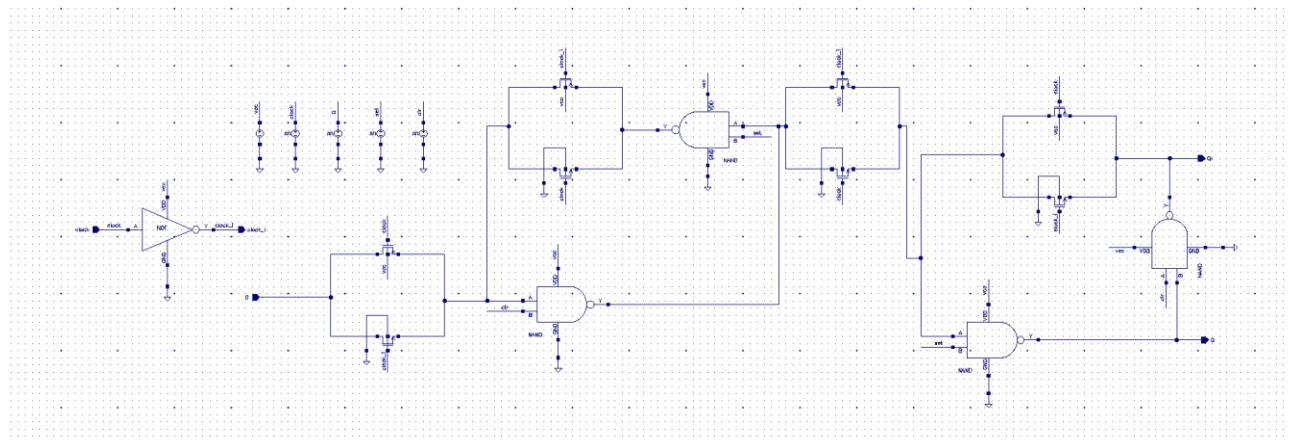
## 6.5. Mạch Flip-flop nhạy theo biên có tín hiệu set và clear bất đồng bộ (An edge-triggered FF with asynchronous set and clear)

- Edge-Triggered Flip-Flop with Asynchronous Set and Clear là một loại FF có khả năng cập nhật dữ liệu tại cạnh xung clock nhưng có thể bị ép về 1 (Set) hoặc 0 (Clear) ngay lập tức bằng các tín hiệu điều khiển bắt đồng bộ. Điều này giúp cải thiện tốc độ nhưng cần quản lý tín hiệu điều khiển chặt chẽ để tránh trạng thái không xác định.



Hình 6.19. Sơ đồ nguyên lý của mạch

- Thiết kế mô phỏng mạch dựa trên sơ đồ nguyên lý:



Hình 6.20. Thiết kế mô phỏng mạch

- Thông số cài đặt:

+ Chân  $V_{DD}$  nối với nguồn  $V_{DC} = 1.2V$

+ Chân GND nối đất

+ Chân  $V_{in}$  tương đương với chân clock ta nối với nguồn  $V_{pulse}$  với các thông số sau:

- Mức điện áp 1 (V1): 0V
- Mức điện áp 2 (V2): 1.2V
- Thời gian trễ: 0s
- Thời gian xung cạnh lên (tr): 0s
- Thời gian xung cạnh xuống (tf): 0s
- Độ rộng xung (ton): 10ns
- Chu kỳ (period): 20ns

Voltage 2	1.2 V
Period	20n s
Delay time	
Rise time	
Fall time	
Pulse width	10n s

Hình 6.21. Thông số cài đặt nguồn

- Thông số cài đặt:

- + Chân  $V_{DD}$  nối với nguồn  $V_{DC} = 1.2V$
- + Chân GND nối đất
- + Chân  $V_{in}$  tương đương với chân D ta nối với nguồn  $V_{pulse}$  với các thông số sau:

- Mức điện áp 1 (V1): 0V
- Mức điện áp 2 (V2): 1.2V
- Thời gian trễ: 0s
- Thời gian xung cạnh lên (tr): 0s
- Thời gian xung cạnh xuống (tf): 0s
- Độ rộng xung (ton): 20ns
- Chu kỳ (period): 40ns

Voltage 2	1.2 V
Period	40n s
Delay time	
Rise time	
Fall time	
Pulse width	20n s

Hình 6.22. Thông số cài đặt nguồn

- Thông số cài đặt:

- + Chân  $V_{DD}$  nối với nguồn  $V_{DC} = 1.2V$
- + Chân GND nối đất
- + Chân  $V_{in}$  tương đương với chân set ta nối với nguồn  $V_{pulse}$  với các thông số sau:
  - Mức điện áp 1 (V1): 0V
  - Mức điện áp 2 (V2): 1.2V
  - Thời gian trễ: 0s
  - Thời gian xung cạnh lên (tr): 0s
  - Thời gian xung cạnh xuống (tf): 0s
  - Độ rộng xung (ton): 80ns
  - Chu kỳ (period): 160ns

Voltage 2	1.2 V
Period	160n s
Delay time	
Rise time	
Fall time	
Pulse width	80n s

Hình 6.23. Thông số cài đặt nguồn

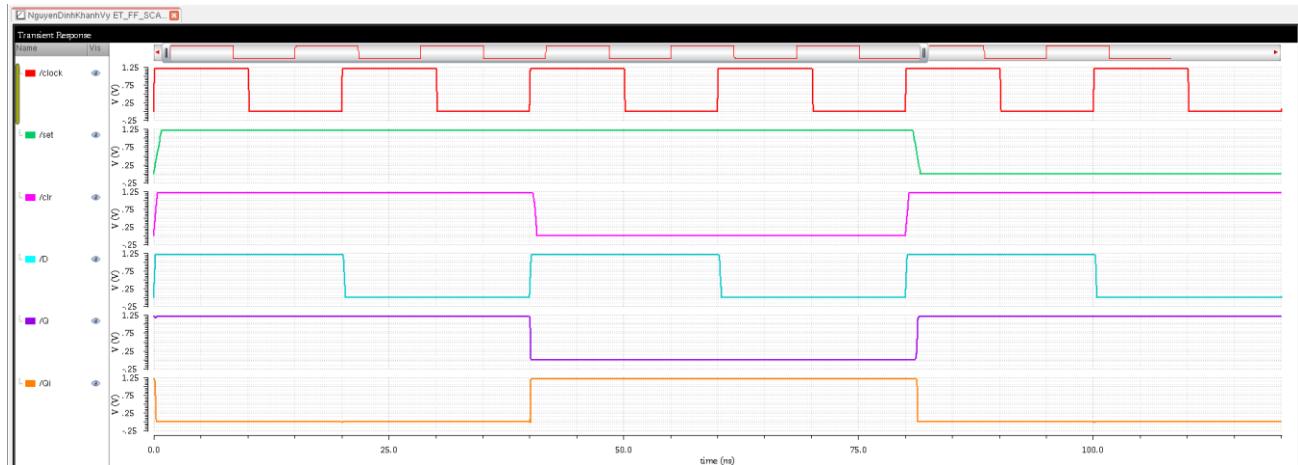
- Thông số cài đặt:

- + Chân  $V_{DD}$  nối với nguồn  $V_{DC} = 1.2V$
- + Chân GND nối đất
- + Chân  $V_{in}$  tương đương với chân clr ta nối với nguồn  $V_{pulse}$  với các thông số sau:
  - Mức điện áp 1 (V1): 0V
  - Mức điện áp 2 (V2): 1.2V
  - Thời gian trễ: 0s
  - Thời gian xung cạnh lên (tr): 0s
  - Thời gian xung cạnh xuống (tf): 0s
  - Độ rộng xung (ton): 40ns
  - Chu kỳ (period): 80ns

Voltage 2	1.2 V
Period	80n s
Delay time	
Rise time	
Fall time	
Pulse width	40n s

Hình 6.24. Thông số cài đặt nguồn

- Dạng sóng của mạch mô phỏng được:



Hình 6.25. Dạng sóng các ngõ vào và ra của mạch

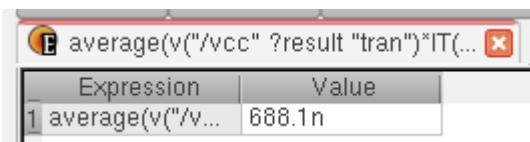
- Nhận xét:

+ Khi clear = 0, Q sẽ được trả về 0, và Q đảo trả về 1.

+ Khi set = 1, Q sẽ được trả về 1, Q đảo trả về 0.

=> Kết luận: Mạch hoạt động đúng nguyên lý.

- Công suất trung bình của mạch là 688.1nW.



Hình 6.26. Công suất trung bình mô phỏng được

## CHƯƠNG 7: THIẾT KẾ MẠCH ĐÉM LÊN 3 BIT

### 7.1. Thiết kế Flip Flop D có ngõ vào bắt đồng bộ mức cao

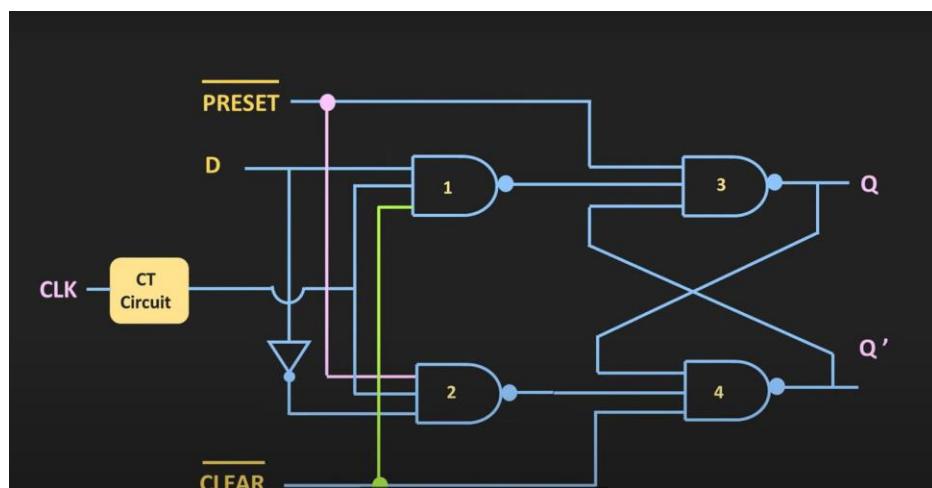
#### 7.1.1. Lý thuyết

- Flip-Flop D lưu trữ giá trị từ đầu vào D khi có xung CLK.
- Có hai tín hiệu điều khiển bắt đồng bộ: PRESET và CLEAR.
- Bảng trạng thái của Flip Flop D:

Ngõ vào đồng bộ		Ngõ vào không đồng bộ		Ngõ ra		Trạng thái
Ck	D	Pre	Clr	$Q_{n+1}$	$\overline{Q}_{n+1}$	
0	x	0	0	$Q_n$	$\overline{Q}_n$	Không đổi
$\uparrow$	0	0	0	0	1	Reset
$\uparrow$	1	0	0	1	0	Set
x	x	0	1	0	1	Reset
x	x	1	0	1	0	Set
x	x	1	1	1	1	Cảm

Hình 7.1. Bảng trạng thái của Flip Flop D có ngõ ra bắt đồng bộ

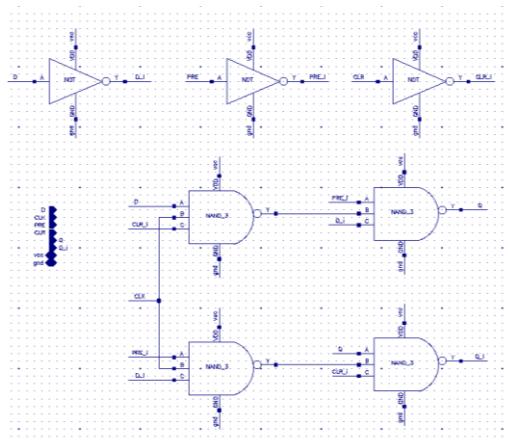
- Sơ đồ nguyên lý: dùng cổng AND, NOR hoặc NAND để tạo Flip Flop D.



Hình 7.2. Sơ đồ nguyên lý mô phỏng Flip Flop D

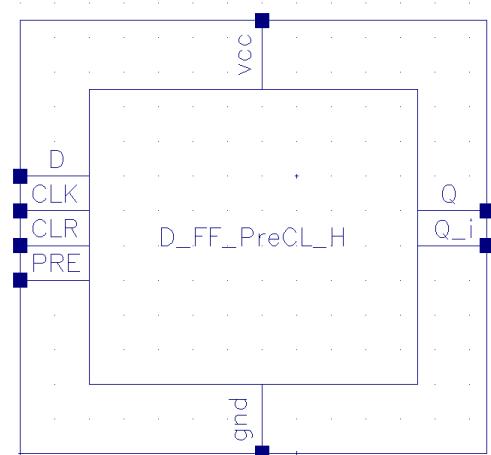
### 7.1.2. Thiết kế mô phỏng Flip Flop D có ngõ vào bất đồng bộ hoạt động mức cao

- Thiết kế mô phỏng dựa trên sơ đồ nguyên lý:



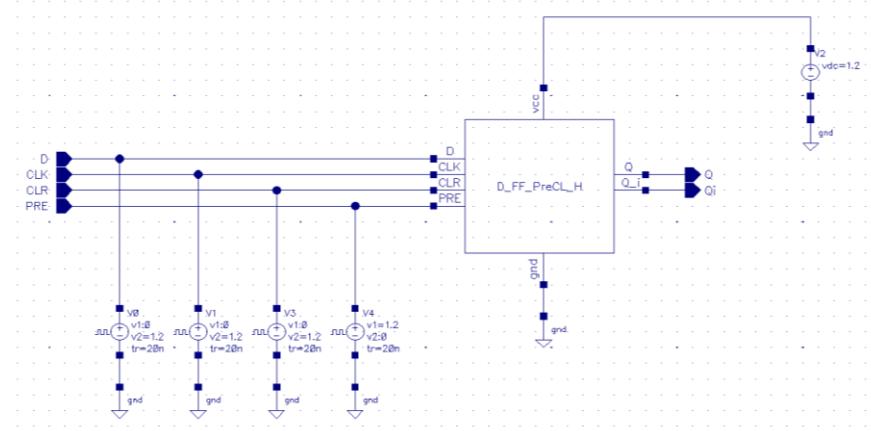
Hình 7.3. Thiết kế mô phỏng trên Cadence

- Đóng gói thiết kế Flip Flop D:



Hình 7.4. Đóng gói thiết kế

- Mạch kiểm tra hoạt động của Flip Flop D



Hình 7.5. Mạch kiểm tra hoạt động

- Thông số cài đặt:

- + Chân  $V_{DD}$  nối với nguồn  $V_{DC} = 1.2V$
- + Chân GND nối đất
- + Chân  $V_{in}$  tương ứng với chân D ta nối với nguồn  $V_{pulse}$  với các thông số sau:
  - Mức điện áp 1 (V1): 0V
  - Mức điện áp 2 (V2): 1.2V
  - Thời gian trễ: 0s
  - Thời gian xung cạnh lên (tr): 20ns
  - Thời gian xung cạnh xuống (tf): 20ns
  - Độ rộng xung (ton): 10us
  - Chu kỳ (period): 20us

Voltage 2	1.2 V
Period	20u s
Delay time	0 s
Rise time	20n s
Fall time	20n s
Pulse width	10u s

Hình 7.6. Thông số cài đặt nguồn

- Thông số cài đặt:

- + Chân  $V_{DD}$  nối với nguồn  $V_{DC} = 1.2V$
- + Chân GND nối đất

+ Chân  $V_{in}$  tương ứng với chân CLK ta nối với nguồn  $V_{pulse}$  với các thông số sau:

- Mức điện áp 1 (V1): 0V
- Mức điện áp 2 (V2): 1.2V
- Thời gian trễ: 0s
- Thời gian xung cạnh lên (tr): 20ns
- Thời gian xung cạnh xuống (tf): 20ns
- Độ rộng xung (ton): 21us
- Chu kỳ (period): 42us

Voltage 1	0 V
Voltage 2	1.2 V
Period	42u s
Delay time	0 s
Rise time	20n s
Fall time	20n s
Pulse width	21u s

Hình 7.7. Thông số cài đặt nguồn

- Thông số cài đặt:

- + Chân  $V_{DD}$  nối với nguồn  $V_{DC} = 1.2V$
- + Chân GND nối đất
- + Chân  $V_{in}$  tương ứng với chân CLR ta nối với nguồn  $V_{pulse}$  với các thông số sau:

- Mức điện áp 1 (V1): 0V
- Mức điện áp 2 (V2): 1.2V
- Thời gian trễ: 0s
- Thời gian xung cạnh lên (tr): 20ns
- Thời gian xung cạnh xuống (tf): 20ns
- Độ rộng xung (ton): 20us
- Chu kỳ (period): 10us

Voltage 1	0 V
Voltage 2	1.2 V
Period	20u s
Delay time	0 s
Rise time	20n s
Fall time	20n s
Pulse width	10u s

Hình 7.8. Thông số cài đặt nguồn

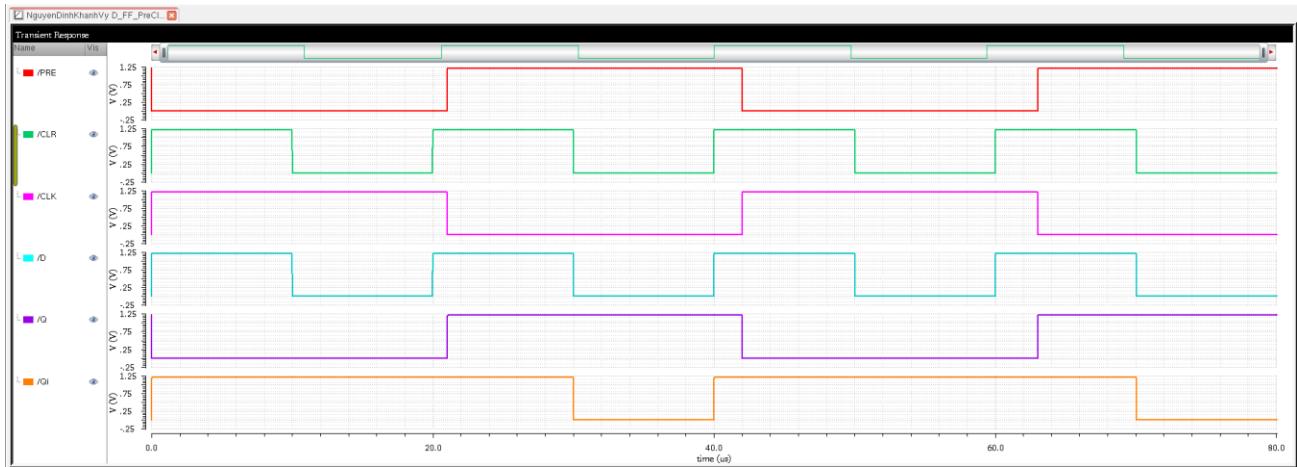
- Thông số cài đặt:

- + Chân  $V_{DD}$  nối với nguồn  $V_{DC} = 1.2V$
- + Chân GND nối đất
- + Chân  $V_{in}$  tương ứng với chân PRE ta nối với nguồn  $V_{pulse}$  với các thông số sau:
  - Mức điện áp 1 (V1): 1.2V
  - Mức điện áp 2 (V2): 0V
  - Thời gian trễ: 0s
  - Thời gian xung cạnh lên (tr): 20ns
  - Thời gian xung cạnh xuống (tf): 20ns
  - Độ rộng xung (ton): 21us
  - Chu kỳ (period): 42us

Voltage 1	1.2 V
Voltage 2	0 V
Period	42u s
Delay time	0 s
Rise time	20n s
Fall time	20n s
Pulse width	21u s

Hình 7.9. Thông số cài đặt nguồn

- Thực hiện mô phỏng để kiểm tra hoạt động theo bảng trạng thái của Flip Flop D, kết quả thu được dạng sóng như hình bên dưới.



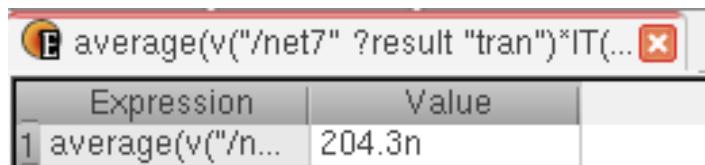
Hình 7.10. Dạng sóng mô phỏng của các tín hiệu ngõ vào, ngõ ra

- Nhận xét:

- + Khi PRESET = 1, Q = 1 ngay lập tức, bất kể CLK hay D.
- + Khi CLEAR = 1, Q = 0 ngay lập tức, bất kể CLK hay D.
- + Nếu không có PRESET hoặc CLEAR, Q thay đổi khi có cạnh lên của CLK và giữ giá trị của D.
- + Nếu PRESET và CLEAR đều đồng thời mức cao, trạng thái Q không xác định.

=> Kết luận: Flip Flop D hoạt động đúng trạng thái.

- Công suất trung bình của Flip Flop D là 204.3nW.



Hình 7.11. Công suất trung bình

## 7.2. THIẾT KẾ FLIP FLOP JK TỪ FLIP FLOP D

### 7.2.1. Lý thuyết

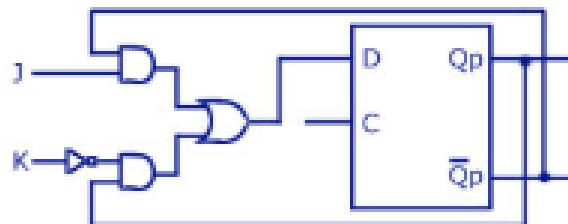
- Flip-Flop JK là một trong những loại Flip-Flop phổ biến nhất, khắc phục nhược điểm của Flip-Flop SR bằng cách loại bỏ trạng thái không xác định khi  $S = R = 1$ . Nó có hai đầu vào J (Set) và K (Reset), cùng với tín hiệu xung nhịp CLK.

- Bảng trạng thái của Flip Flop JK:

Ngõ vào đồng bộ			Ngõ vào không đồng bộ		Ngõ ra		Trạng thái
Ck	J	K	Pre	Clr	$Q_{n+1}$	$\bar{Q}_{n+1}$	
0	x	x	0	0	$Q_n$	$\bar{Q}_n$	Không đổi
$\uparrow$	0	0	0	0	$Q_n$	$\bar{Q}_n$	Không đổi
$\uparrow$	0	1	0	0	0	1	Reset
$\uparrow$	1	0	0	0	1	0	Set
$\uparrow$	1	1	0	0	$\bar{Q}_n$	$Q_n$	Toggle
x	x	x	0	1	0	1	Reset
x	x	x	1	0	1	0	Set
x	x	x	1	1	1	1	Cảm

Hình 7.12. Bảng trạng thái của Flip Flop JK có ngõ ra bắt đồng bộ

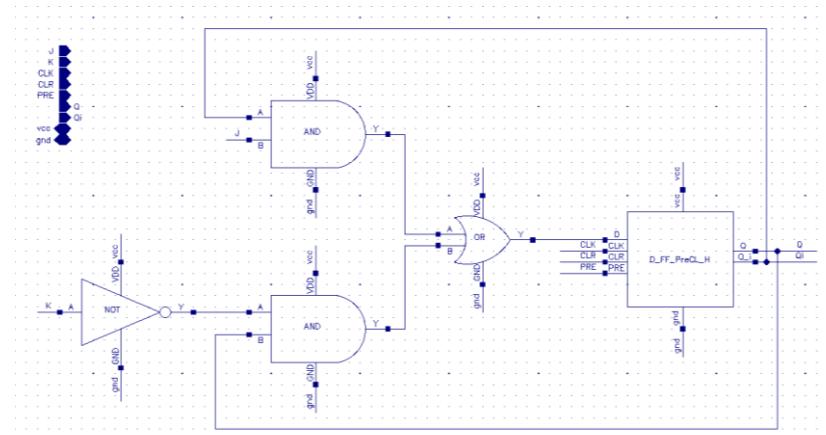
- Sơ đồ nguyên lý: dùng công AND, OR, NOT và Flip Flop D để tạo Flip Flop JK.



Hình 7.13. Sơ đồ nguyên lý mô phỏng Flip Flop JK

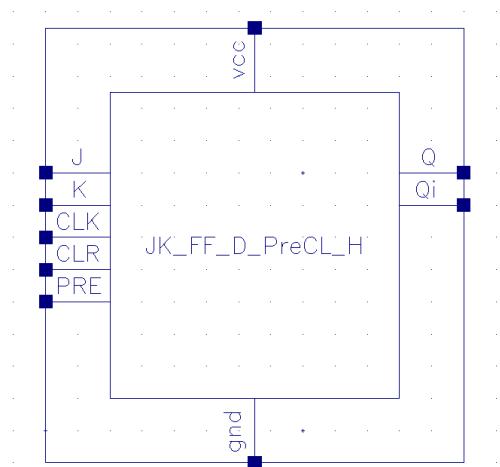
### 7.2.2. Thiết kế mô phỏng Flip Flop JK có ngõ vào bất đồng bộ hoạt động mức cao

- Thiết kế mô phỏng dựa trên sơ đồ nguyên lý:



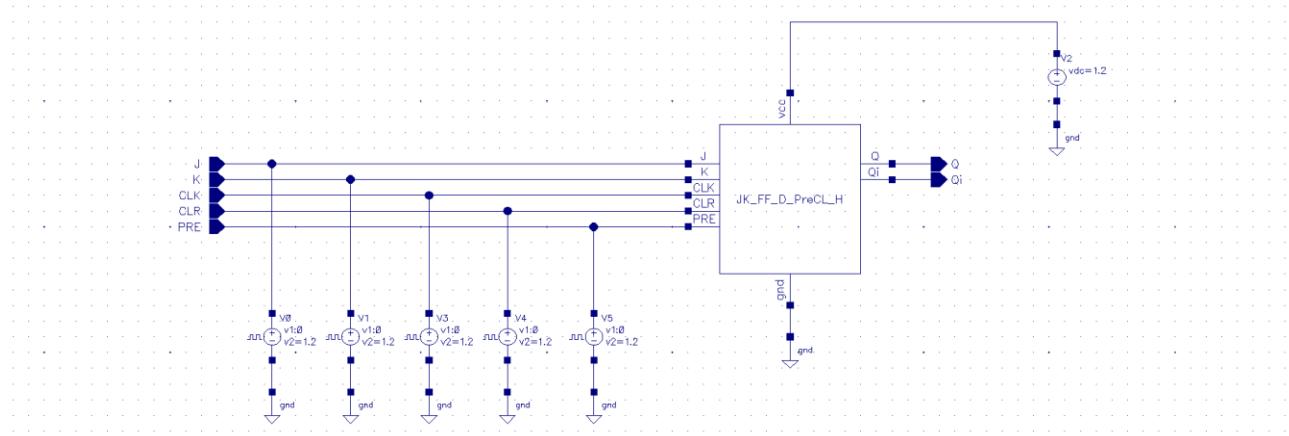
Hình 7.14. Thiết kế mô phỏng trên Cadence

- Đóng gói thiết kế Flip Flop JK:



Hình 7.15. Đóng gói thiết kế

- Mạch kiểm tra hoạt động của Flip Flop JK



Hình 7.16. Mạch kiểm tra hoạt động

- Thông số cài đặt:

- + Chân  $V_{DD}$  nối với nguồn  $V_{DC} = 1.2V$
- + Chân GND nối đất
- + Chân  $V_{in}$  tương ứng với chân J ta nối với nguồn  $V_{pulse}$  với các thông số sau:
  - Mức điện áp 1 (V1): 0V
  - Mức điện áp 2 (V2): 1.2V
  - Thời gian trễ: 0s
  - Thời gian xung cạnh lên (tr): 0ns
  - Thời gian xung cạnh xuống (tf): 0ns
  - Độ rộng xung (ton): 10ns
  - Chu kỳ (period): 20ns

Voltage 1	0 V
Voltage 2	1.2 V
Period	20n s
Delay time	0 s
Rise time	
Fall time	
Pulse width	10n s

Hình 7.17. Thông số cài đặt nguồn

- Thông số cài đặt:

- + Chân  $V_{DD}$  nối với nguồn  $V_{DC} = 1.2V$

- + Chân GND nối đất
- + Chân  $V_{in}$  tương ứng với chân K ta nối với nguồn  $V_{pulse}$  với các thông số sau:

- Mức điện áp 1 (V1): 0V
- Mức điện áp 2 (V2): 1.2V
- Thời gian trễ: 0s
- Thời gian xung cạnh lên (tr): 0ns
- Thời gian xung cạnh xuống (tf): 0ns
- Độ rộng xung (ton): 21us
- Chu kỳ (period): 42us

Voltage 1	0 V
Voltage 2	1.2 V
Period	42n s
Delay time	
Rise time	
Fall time	
Pulse width	21n s

Hình 7.18. Thông số cài đặt nguồn

- Thông số cài đặt:
  - + Chân  $V_{DD}$  nối với nguồn  $V_{DC} = 1.2V$
  - + Chân GND nối đất
  - + Chân  $V_{in}$  tương ứng với chân CLR ta nối với nguồn  $V_{pulse}$  với các thông số sau:
    - Mức điện áp 1 (V1): 1.2V
    - Mức điện áp 2 (V2): 0V
    - Thời gian trễ: 0s
    - Thời gian xung cạnh lên (tr): 0ns
    - Thời gian xung cạnh xuống (tf): 0ns
    - Độ rộng xung (ton): 20ns
    - Chu kỳ (period): 10ns

Voltage 1	1.2 V
Voltage 2	0 V
Period	42n s
Delay time	
Rise time	
Fall time	
Pulse width	21n s

Hình 7.19. Thông số cài đặt nguồn

- Thông số cài đặt:

- + Chân  $V_{DD}$  nối với nguồn  $V_{DC} = 1.2V$
- + Chân GND nối đất
- + Chân  $V_{in}$  tương ứng với chân CLR ta nối với nguồn  $V_{pulse}$  với các thông số sau:
  - Mức điện áp 1 (V1): 0V
  - Mức điện áp 2 (V2): 1.2V
  - Thời gian trễ: 0s
  - Thời gian xung cạnh lên (tr): 0ns
  - Thời gian xung cạnh xuống (tf): 0ns
  - Độ rộng xung (ton): 21ns
  - Chu kỳ (period): 42ns

Voltage 1	0 V
Voltage 2	1.2 V
Period	42n s
Delay time	
Rise time	
Fall time	
Pulse width	21n s

Hình 7.20. Thông số cài đặt nguồn

- Thông số cài đặt:

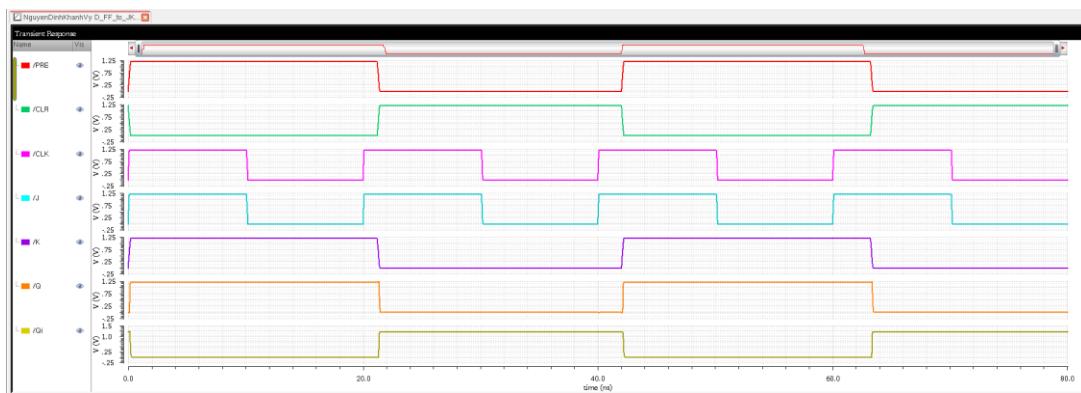
- + Chân  $V_{DD}$  nối với nguồn  $V_{DC} = 1.2V$
- + Chân GND nối đất
- + Chân  $V_{in}$  tương ứng với chân PRE ta nối với nguồn  $V_{pulse}$  với các thông số sau:
  - Mức điện áp 1 (V1): 0V
  - Mức điện áp 2 (V2): 1.2V
  - Thời gian trễ: 0s

- Thời gian xung cạnh lên (tr): 0ns
- Thời gian xung cạnh xuống (tf): 0ns
- Độ rộng xung (ton): 21ns
- Chu kỳ (period): 42ns

Voltage 1	0 V
Voltage 2	1.2 V
Period	42n s
Delay time	
Rise time	
Fall time	
Pulse width	21n s

Hình 7.21. Thông số cài đặt nguồn

- Thực hiện mô phỏng để kiểm tra hoạt động theo bảng trạng thái của Flip Flop JK, kết quả thu được dạng sóng như hình bên dưới.



Hình 7.22. Dạng sóng mô phỏng của các tín hiệu ngõ vào, ngõ ra

- Nhận xét:

- + Khi  $J = 0, K = 0$ , trạng thái  $Q$  giữ nguyên (no change).
- + Khi  $J = 0, K = 1$ , đầu ra  $Q$  reset về 0 tại cạnh lên của CLK.
- + Khi  $J = 1, K = 0$ , đầu ra  $Q$  set lên 1 tại cạnh lên của CLK.
- + Khi  $J = 1, K = 1$ , đầu ra  $Q$  toggle (đảo trạng thái) tại mỗi cạnh lên của CLK.

=> Kết luận: Flip Flop JK hoạt động đúng trạng thái.

- Công suất trung bình của Flip Flop JK là 2.066uW.

average(v("/net7" ?result "tran")*IT(...)	
Expression	Value
1 average(v("/n...	2.066u

Hình 7.23. Công suất trung bình

### 7.3. Thiết kế mạch đếm lên 3 bit

#### 7.3.1. Lý thuyết

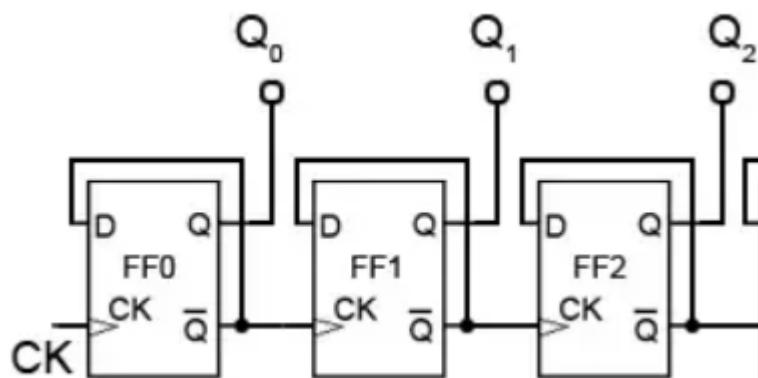
- Mạch đếm lên 3-bit không đồng bộ là một mạch logic dùng để đếm theo thứ tự tăng dần từ 000 (0) đến 111 (7) và sau đó quay lại 000. Mạch này sử dụng Flip Flop làm phần tử lưu trữ trạng thái và không có xung nhịp chung cho tất cả các Flip Flop.

- Bảng trạng thái của mạch đếm lên 3 bit:

Số xung vào	Mã số ra sau khi có xung vào				Trị thập phân ra
	Q3	Q2	Q1	Q0	
Xoá	0	0	0	0	0
1	0	0	0	1	1
2	0	0	1	0	2
3	0	0	1	1	3
4	0	1	0	0	4
5	0	1	0	1	5
6	0	1	1	0	6
7	0	1	1	1	7

Hình 7.24. Bảng trạng thái của mạch đếm 3 bit có ngõ ra bất đồng bộ

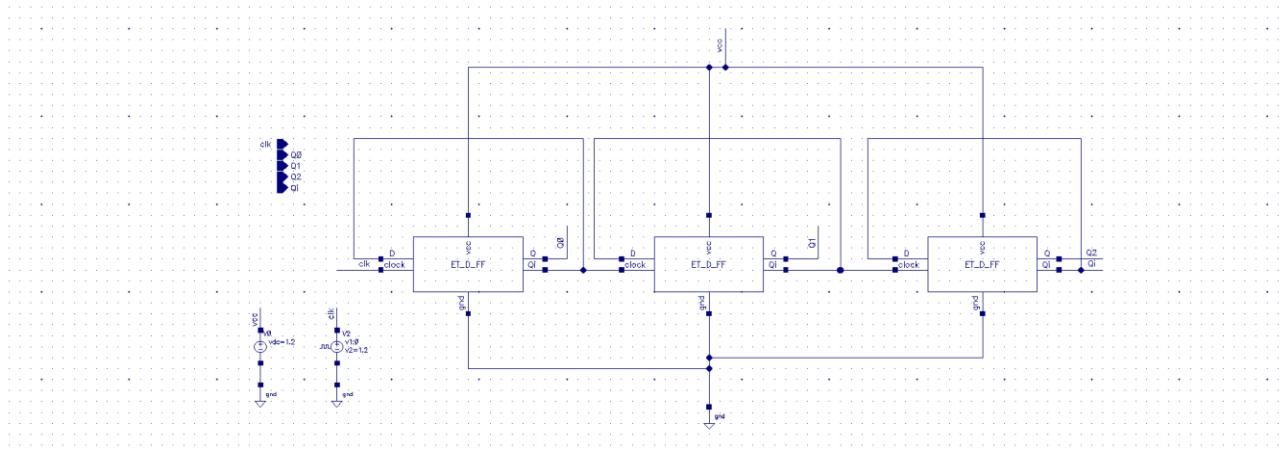
- Sơ đồ nguyên lý: dùng mạch edge-triggered D-FF để vẽ mạch đếm 3 bit đếm lên.



Hình 7.25. Sơ đồ nguyên lý mô phỏng mạch đếm lên 3 bit

### 7.3.2 Thiết kế mô phỏng mạch đếm lên 3 bit:

- Thiết kế mô phỏng dựa trên sơ đồ nguyên lý:



Hình 7.26. Thiết kế mô phỏng trên Cadence

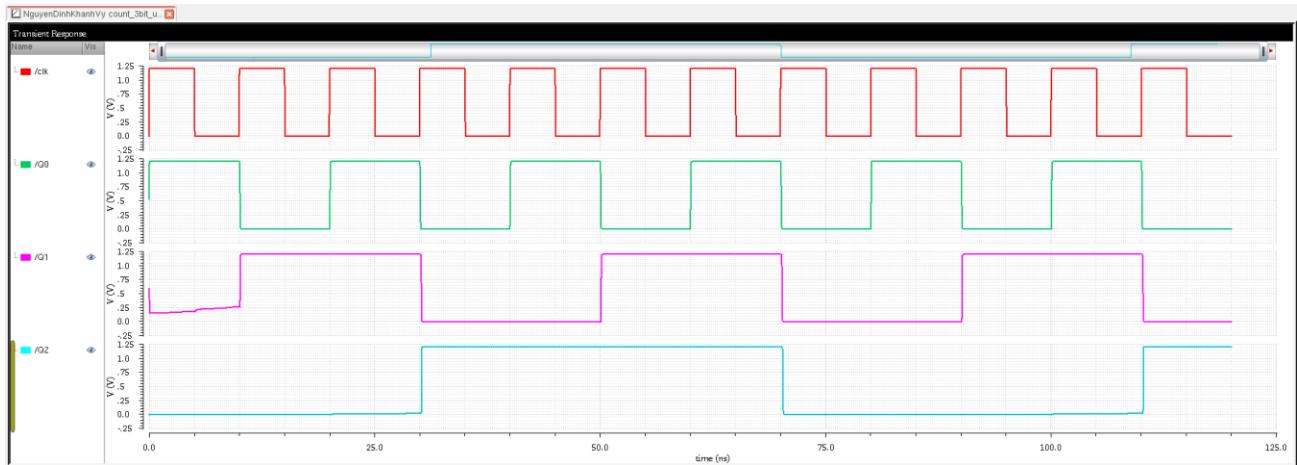
- Thông số cài đặt:

- + Chân  $V_{DD}$  nối với nguồn  $V_{DC} = 1.2V$
- + Chân GND nối đất
- + Chân  $V_{in}$  tương ứng với chân clk ta nối với nguồn  $V_{pulse}$  với các thông số sau:
  - Mức điện áp 1 (V1): 0V
  - Mức điện áp 2 (V2): 1.2V
  - Thời gian trễ: 0s
  - Thời gian xung cạnh lên (tr): 0ns
  - Thời gian xung cạnh xuống (tf): 0ns
  - Độ rộng xung (ton): 5ns
  - Chu kỳ (period): 10ns

Voltage 1	0 V
Voltage 2	1.2 V
Period	10n s
Delay time	0 s
Rise time	
Fall time	
Pulse width	5n s

Hình 7.27. Thông số cài đặt nguồn

- Thực hiện mô phỏng để kiểm tra hoạt động theo bảng trạng thái của mạch đếm 3 bit, kết quả thu được dạng sóng như hình bên dưới.



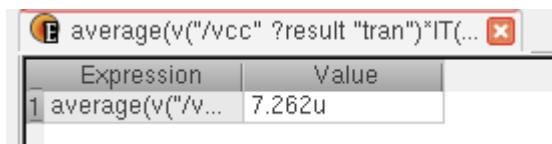
Hình 7.28. Dạng sóng mô phỏng của các tín hiệu ngõ vào, ngõ ra

- Nhận xét:

- + Cạnh lên của xung nhịp thứ nhất, ta nhận thấy mạch đếm ở số 001.
- + Cạnh lên của xung nhịp thứ 2, ta nhận thấy mạch đếm ở số 010.
- + Cạnh lên của xung nhịp thứ 3, ta nhận thấy mạch đếm ở số 011.
- + Cạnh lên của xung nhịp thứ 4, ta nhận thấy mạch đếm ở số 100.
- + Cạnh lên của xung nhịp thứ 5, ta nhận thấy mạch đếm ở số 101.
- + Cạnh lên của xung nhịp thứ 6, ta nhận thấy mạch đếm ở số 110.
- + Cạnh lên của xung nhịp thứ 7, ta nhận thấy mạch đếm ở số 111.
- + Cạnh lên của xung nhịp thứ 8, ta nhận thấy mạch đếm ở số 000.

=> Mạch đếm sai ở chu kỳ đầu, mạch bắt đầu đếm từ 1. Mạch đếm đúng ở các chu kỳ tiếp theo, đếm đến 7 (111) quay về 0 (000).

- Công suất trung bình của mạch đếm lên 3 bit là 7.262uW.

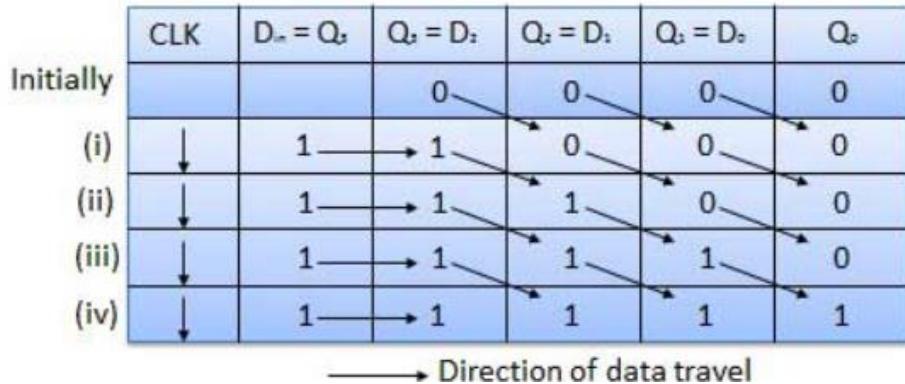


Hình 7.29. Công suất trung bình

## CHƯƠNG 8: THANH GHI DỊCH SISO

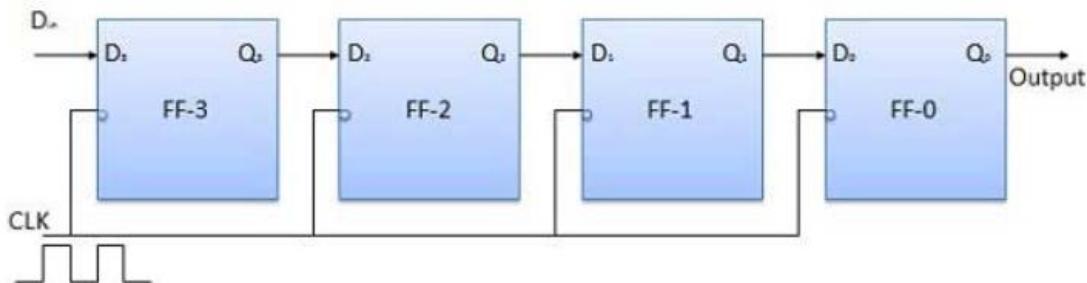
### 8.1. Lý thuyết

Thanh ghi dịch SISO (Serial-In Serial-Out) là một loại thanh ghi dịch có dữ liệu đầu vào được nạp nối tiếp từng bit một và dữ liệu đầu ra cũng được đọc nối tiếp từng bit một.



Hình 8.1. Bảng trạng thái của thanh ghi dịch SISO

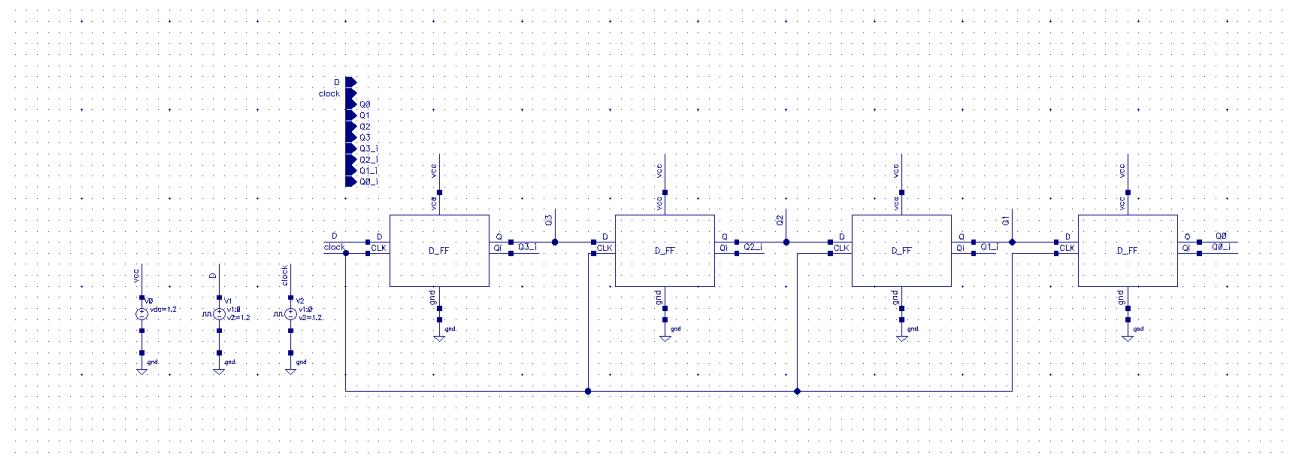
- Sơ đồ nguyên lý: dùng Flip-Flop D để tạo nên thanh ghi



Hình 8.2. Dùng công logic thiết kế thanh ghi dịch SISO

### 8.2. Thiết kế mô phỏng thanh ghi dịch SISO

- Thiết kế và mô phỏng thanh ghi dịch SISO



Hình 8.3. Thiết kế và mô phỏng thanh ghi dịch

- Thông số cài đặt nguồn:
  - + Nguồn  $V_{DC}$  = 1.2V.
  - + Chân GND nối đất.
  - + Chân  $V_{in}$  tương ứng với ngõ vào D nối với nguồn  $V_{pulse}$  với các thông số sau:
    - Mức điện áp 2 (V2): 1.2V.
    - Thời gian trễ: 0s.
    - Độ rộng xung (ton): 10ns.
    - Chu kỳ (period): 20ns.

Voltage 1	0 V
Voltage 2	1.2 V
Period	20n s
Delay time	0 s
Rise time	
Fall time	
Pulse width	10n s

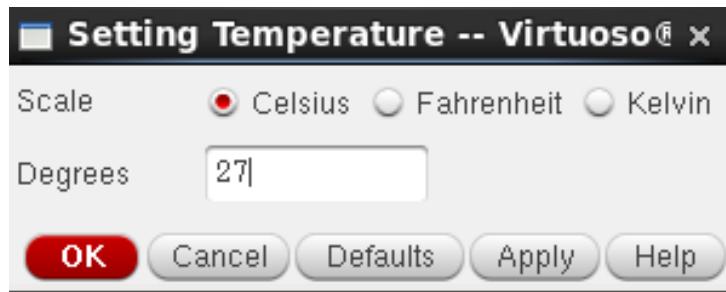
Hình 8.4. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào D

- Thông số cài đặt nguồn:
  - + Chân  $V_{in}$  tương ứng với ngõ vào clock nối với nguồn  $V_{pulse}$  với các thông số sau:
    - Mức điện áp 2 (V2): 1.2V.
    - Thời gian trễ: 0s.
    - Độ rộng xung (ton): 5ns.
    - Chu kỳ (period): 10ns.

Voltage 1	0 V
Voltage 2	1.2 V
Period	10n s
Delay time	0 s
Rise time	
Fall time	
Pulse width	5n s

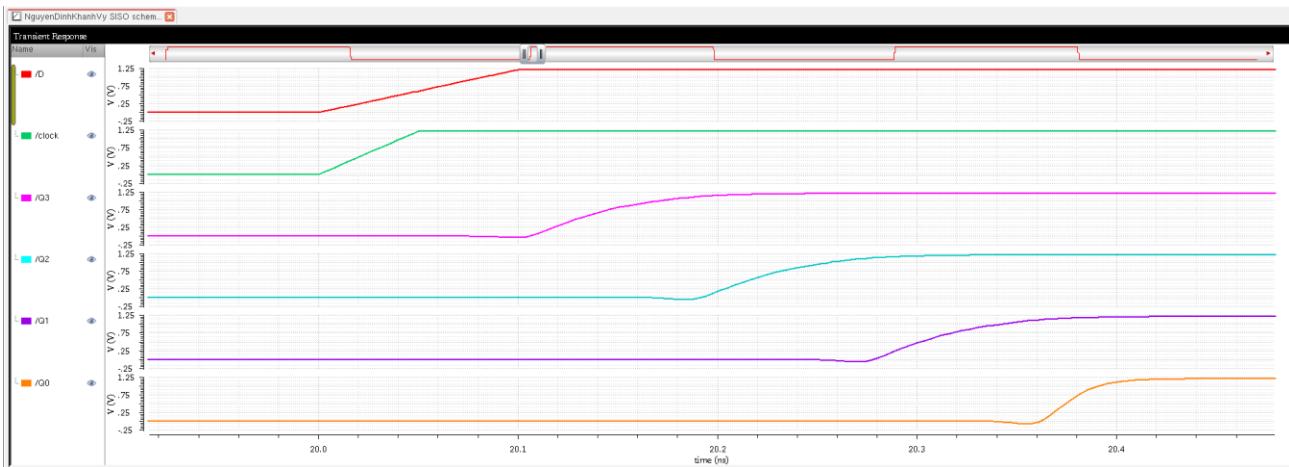
Hình 8.5. Thông số cài đặt của nguồn dùng để tạo tín hiệu ngõ vào clock

- Thiết kế được mô phỏng tại điều kiện nhiệt độ chuẩn  $T = 27^\circ\text{C}$ :



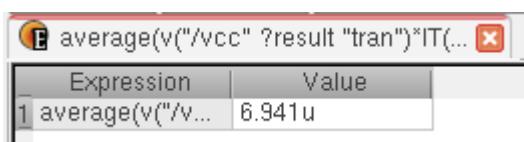
Hình 8.6. Cài đặt nhiệt độ thiết kế mô phỏng

- Thực hiện mô phỏng để kiểm tra hoạt động theo bảng trạng thái của thanh ghi dịch 4 bit.



Hình 8.7. Kết quả mô phỏng dạng sóng của thanh ghi dịch

- Nhận xét: Khi có xung clock cạnh lên,  $D = 1$ , các bit 0, 1, 2, 3 bắt đầu thay đổi theo bit đầu của thanh ghi. Thanh ghi dịch SISO đang hoạt động chính xác, dữ liệu dịch đúng theo từng xung clock.
- Công suất trung bình của thanh ghi dịch SISO là  $6.941\mu\text{W}$ :



Hình 8.8. Công suất trung bình mô phỏng được