

SVEUČILIŠTE U ZAGREBU
FAKULTET ELEKTROTEHNIKE I RAČUNARSTVA

ZAVRŠNI RAD br. 2021-72

Programska potpora za upravljanje kamerom na CubeSat nanosatelitu

Nikola Gudan

Zagreb, lipanj 2022.

*Umjesto ove stranice umetnite izvornik Vašeg rada.
Da bi ste uklonili ovu stranicu obrišite naredbu \izvornik.*

Hvala.

SADRŽAJ

1. Uvod	1
2. I²C sučelje mikrokontrolera STM32L471VGT6	2
2.1. I ² C protokol	2
2.1.1. Opis komunikacije i vremenski dijagram	4
2.2. Razlika I ² C periferije na STM32L471VGT6 i STM32F407VGT6 mikrokontrolerima	5
3. Zaključak	9
Literatura	10

1. Uvod

Projekt FERSAT, koji se od 2018. godine provodi na Fakultetu elektrotehnike i računarstva, uključuje izradu, lansiranje i korištenje jednog nanosatelita CubeSat. Satelit u izradi dimenzija je približno 10 cm x 10 cm x 10 cm, volumena jedne litre i ne teži od 4/3 kilograma, što ga svrstava u skupinu satelita formata CubeSat 1U [5]. Očekivani životni vijek satelita je 3 godine, a bit će postavljen u Zemljinoj orbiti na visini između 500 i 600 kilometara. Planirani korisni teret (engl. *payload*) FERSAT-a podijeljen je na tri podsustava:

- kamera za snimanje površine Zemlje i zemaljskog horizonta,
- detektori svjetla u vidljivom i ultraljubičastom dijelu spektra za mjerenje svjetlosnog onečišćenja i debljine stupca ozona,
- komunikacijski sustav u radijskom X-pojasu (10.45 GHz) za prijenos podataka na Zemlju.

Radom korisnog tereta upravlja *Payload Data Handler* (PDH) računalo. Zadaća je PDH računala prikupiti podatke iz senzorskog podsustava i kamere, pohraniti ih u trajnu memoriju (engl. *non-volatile memory*) te poslati te podatke na Zemlju korištenjem komunikacijskog podsustava. Kao PDH računalo odabran je mikrokontroler STM32L4P5VET6 proizvođača ST Microelectronics.

Za rad ostalih podsustava satelita koji nisu direktno vezani uz koristan teret (npr. upravljanje položajem satelita, slanje telemetrijskih podataka na Zemlju) brine se *Command and Data Handler* (CDH) računalo. CDH računalo također upravlja napajanjem korisnog tereta i šalje naredbe PDH računalu. Komunikacija CDH i PDH računala odvija se korištenjem sučelja CAN (*Controller Area Network*). Konkretno CDH računalo u trenutku pisanja ovog teksta još nije odabrano.

2. I²C sučelje mikrokontrolera STM32L471VGT6

Za konfiguraciju kamere Arducam 5MP Mini Plus PDH računalo koristi I²C komunikaciju. S obzirom na to da se za razvoj programske potpore PDH računala koriste *Low-Layer* biblioteke, potrebno je razumijevanje načina rada I²C periferije odabranog mikrokontrolera kako bi se ispravno implementirali upravljački programi. U nastavku slijedi općenit opis I²C komunikacije kao i njena implementacija na STM32L471VGT6 mikrokontroleru.

2.1. I²C protokol

I²C (*Inter-Integrated Circuit*) je jednostavna dvosmjerna sinkrona serijska sabirnica razvijena od strane *Philips Semiconductors* (sada *NXP Semiconductors*) 1982 [4]. godine. Koristi dvije linije:

- serijska podatkovna linija (SDA, *Serial Data Line*),
- serijska taktna linija (SCL, *Serial Clock Line*),

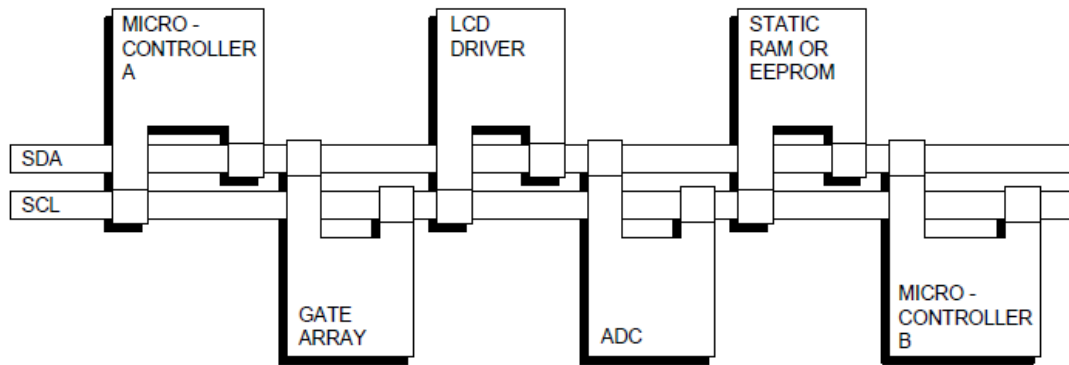
obje linije su pritegnute na visoku logičku razinu preko *pull-up* otpornika. Moguće brzine prijenosa su:

- do 100 kbit/s u *Standard-mode* načinu rada,
- do 400 kbit/s u *Fast-mode* načinu rada,
- do 1 Mbit/s u *Fast-mode Plus* načinu rada,
- do 3.4 Mbit/s u *High-speed* načinu rada.

Navedene brzine se koriste kod dvosmjernog prijenosa, a moguća je i brzina do 5 Mbit/s u jednosmjernom prijenosu. Više uređaja se može spojiti na jednu sabirnicu, a svaki uređaj je prepoznatljiv po svojoj jedinstvenoj adresi i može se ponašati kao prijamnik ili odašiljač, ovisno o funkciji uređaja [1]. Protokol najčešće, a tako i u ovom

slučaju, koristi 7-bitno adresiranje, a moguće je i korištenje 10-bitnog adresiranja. Uz prijamnike i odašiljače uređaj također može biti upravljač ili meta tijekom prijenosa podataka. Upravljač je uređaj koji inicijalizira prijenos podataka na sabirnici i generira signal takta kako bi omogućio prijenos. U tom trenutku, bilo koji uređaj koji je adresiran smatra se metom.

Na I²C sabirnicu se također može spojiti više upravljača, a primjer jednog takvog spoja sa dva mikrokontrolera je dan na sljedećoj slici. Prijenos podataka bi možda



Slika 2.1: Primjer I²C sabirnice sa spojena dva mikrokontrolera [1]

mogao izgledati ovako:

1. Mikrokontroler A želi poslati podatke mikrokontroleru B:
 - mikrokontroler A (upravljač) adresira mikrokontroler B (meta)
 - mikrokontroler A (upravljač-odašiljač) šalje podatke mikrokontroleru B (meta-prijamnik)
 - mikrokontroler A prekida prijenos
2. Mikrokontroler A želi primiti podatke sa mikrokontrolera B:
 - mikrokontroler A (upravljač) adresira mikrokontroler B (meta)
 - mikrokontroler A (upravljač-prijamnik) prima podatke sa mikrokontrolera B (meta-odašiljač)
 - mikrokontroler A prekida prijenos.

U svakom od navedenih slučajeva mikrokontroler A je generirao takt i prekidao prijenos. Upravljač uvijek generira takt na I²C sabirnici kod prijenosa podataka. U ovom radu korišten je samo jedan mikrokontroler, odnosno upravljač, pa ćemo se dalje usredotočiti samo na taj slučaj.

	Adresno polje							R\W
Pozicija bita u bajtu	7	6	5	4	3	2	1	0
Značenje	MSB						LSB	1=READ, 0=WRITE

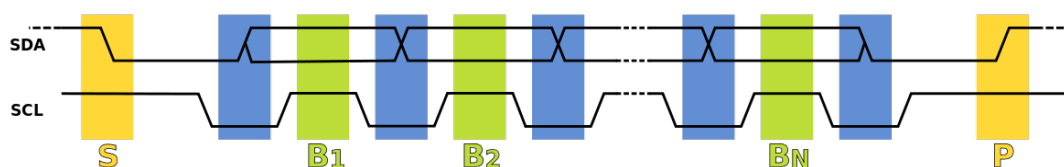
Tablica 2.1: Struktura adresiranja kod 7-bitne adrese [4]

2.1.1. Opis komunikacije i vremenski dijagram

I²C komunikacija započinje sa *start* simbolom i završava sa *stop* simbolom. Komunikacijom se može čitati ili pisati ovisno o R\W bitu u adresi. Struktura adresiranja kod 7-bitne adrese izgleda ovako:

kao što se vidi, najmanje značajan bit označava želi li se nešto čitati ili pisati.

Imajući na umu izgled adresnog bajta, vremenski dijagram tipčne I²C komunikacije izgleda ovako:



Slika 2.2: Vremenski dijagram I²C komunikacije [4]

- Prijenos podataka se inicijalizira *start* uvjetom (S) tako da SDA linija prijeđe u nisku logičku razinu dok SCL linija ostaje u visokoj logičkoj razini.
- (Plavo područje) SCL prelazi u nisku logičku razinu i SDA postavlja prvi podatkovni bit dok je SCL u niskoj logičkoj razini.
- (Zeleno područje) Podaci se primaju dok SCL poraste za prvi bit (B_1). Kako bi podaci bili valjani, SDA se ne smije promijeniti između rastućeg brida SCL-a i sljedećeg padajućeg brida.
- Postupak se ponavlja, SDA se postavlja dok je SCL u niskoj razini, a podaci se čitaju dok je SCL u visokoj razini (B_2 do B_n).
- Nakon posljednjeg bita slijedi takti impuls, tijekom kojeg SDA prelazi u nisku razinu pripremajući se za *stop* uvjet.
- Signalizira se *stop* uvjet kada SCL poraste, nakon čega slijedi porast SDA-a.

Start i *stop* uvjete uvijek generira upravljač.

Nakon svakog bajta prijamnik šalje odašiljaču ACK bit kojim se signalizira uspješno primanje podatka, odnosno NACK bit kojim se signalizira neuspješno primanje podatka. ACK i NACK bitovi se nazivaju signalom potvrde i definiraju sljedeći način: odašiljač otpušta SDA liniju tijekom potvrdnog takta kako bi prijamnik mogao spustiti SDA na nisku razinu na kojoj i ostaje tijekom visoke razine takta. Ako SDA ostaje u visokoj razini tijekom devete periode takta, to predstavlja NACK (engl. *Not Acknowledge*) signal, a suprotan slučaj predstavlja ACK (engl. *Acknowledge*) signal. Ako je došlo do NACK signala, upravljač može generirati *stop* uvjet kako bi prekinuo prijenos ili može ponovno generirati *start* uvjet kako bi započeo nov prijenos.

Vremenski dijagram cijele komunikacije sa potvrdnim signalima prikazan je na sljedećoj slici:

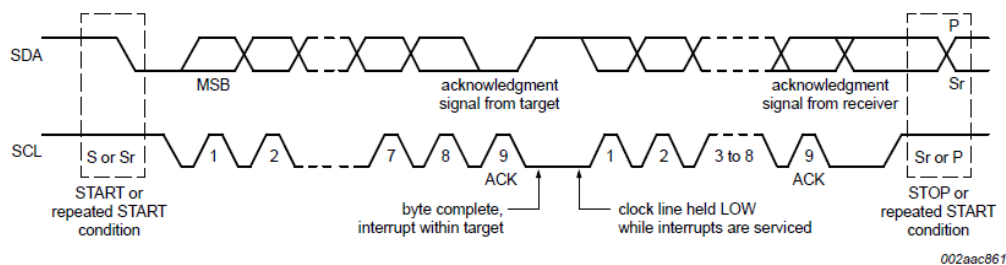


Figure 6. Data transfer on the I²C-bus

Slika 2.3: Prijenos podataka na I²C sabirnici [1]

2.2. Razlika I²C periferije na STM32L471VGT6 i STM32F407VGT6 mikrokontrolerima

Tijekom prijenosa koda sa starog mikrokontrolera na novi, primjećeno je da postoji razlika između struktura I²C periferija. Točnije, postoji razlika između registarskih mapa na dvama periferijama.

Offset	Register name	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x0	I2C_CR1	Res	Res	Res	Res	Res	Res	Res	Res	PECEN	ALERTEN	SMBDEN	SMBHEN	GCEN	WUPEN	NOSTRETCH	SBC	RXDMAEN	TXDMAEN	Res	ANFOFF	DNF[3:0]			ERRIE	TCIE	STOPIE	NACKIE	ADDRIE	RXIE	TXIE	PE	
	Reset value									0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x4	I2C_CR2	Res	Res	Res	Res	Res	PECBYTE	AUTOEND	RELOAD	NBYTES[7:0]							NACK	STOP	START	HEAD10R	ADD10	RD_WRN	SADD[9:0]										
	Reset value					0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x8	I2C_OAR1	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	OA1EN	Res	Res	Res	Res	OA1MODE	OA1[9:0]									
	Reset value																	0				0	0	0	0	0	0	0	0	0	0	0	0
0xC	I2C_OAR2	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	OA2EN	Res	Res	Res	Res	OA2MSK[2:0]	OA2[7:1]					Res				
	Reset value																	0				0	0	0	0	0	0	0	0	0	0	0	
0x10	I2C_TIMINGR	PRESC[3:0]			Res	Res	Res	Res	Res	SCLDEL[3:0]			SDADEL[3:0]			SCLH[7:0]					SCLL[7:0]												
	Reset value	0	0	0	0					0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x14	I2C_TIMEOUTR	TEXTEN	Res	Res	Res	TIMEOUTB[11:0]													TIMEOUTEN	Res	Res	TIDLE	TIMEOUTA[11:0]										
	Reset value	0				0	0	0	0	0	0	0	0	0	0	0	0	0	0			0	0	0	0	0	0	0	0	0	0	0	0
0x18	I2C_ISR	Res	Res	Res	Res	Res	Res	Res	Res	ADDCODE[6:0]						DIR	BUSY	Res	ALERT	TIMEOUT	PECERR	OVR	ARLO	BERR	TCR	TC	STOPF	NACKF	ADDRF	RXNE	TXIS	TXF	
	Reset value									0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
0x1C	I2C_ICR	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	ALERTCF	TIMEOUTCF	PECDCF	OVRDCF	ARLOCF	BERRCF	Res	Res	STOPCF	NACKCF	ADDRCF	Res	Res	Res	
	Reset value																		0	0	0	0	0	0			0	0	0				
0x20	I2C_PECR	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	PEC[7:0]								
	Reset value																								0	0	0	0	0	0	0	0	0
0x24	I2C_RXDR	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	RXDATA[7:0]								
	Reset value																								0	0	0	0	0	0	0	0	0

Slika 2.4: Registarska mapa I²C periferije STM32L471VGT6 mikrokontrolera [3]

Offset	Register name	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
0x28	I2C_TXDR	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	TXDATA[7:0]											
	Reset value																									0	0	0	0	0	0	0	0	0			

Slika 2.5: Registarska mapa I²C periferije STM32L471VGT6 mikrokontrolera - nastavak [3]

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	I2C_CR1	Reserved																SWRST	Reserved	ALERT	PEC	POS	ACK	STOP	START	NOSTRETCH	ENG	ENPEC	ENARP	SMBTYPE	Reserved	SMBUS	PE
	Reset value																	0		0	0	0	0	0	0	0	0	0	0	0		0	0
0x04	I2C_CR2	Reserved																		LAST	DMAEN	ITBUFEN	ITEVTEN	ITERREN	Reserved	FREQ[5:0]							
	Reset value																			0	0	0	0	0		0	0	0	0	0	0		
0x08	I2C_OAR1	Reserved																ADDMODE	Reserved					ADD[9:8]		ADD[7:1]					ADD0		
	Reset value																	0						0	0	0	0	0	0	0	0		
0x0C	I2C_OAR2	Reserved																							ADD2[7:1]					ENDUAL			
	Reset value																								0	0	0	0	0	0	0	0	
0x10	I2C_DR	Reserved																							DR[7:0]								
	Reset value																								0	0	0	0	0	0	0	0	
0x14	I2C_SR1	Reserved																SMBALERT	TIMEOUT	Reserved	PECERR	OVR	AF	ARLO	BERR	TxE	RxNE	Reserved	STOPF	ADD10	BTF	ADDR	SB
	Reset value																	0	0		0	0	0	0	0	0	0	0		0	0	0	0
0x18	I2C_SR2	Reserved																PEC[7:0]							DUALF	SMBHOST	SMBDEFAUL	GENCALL	Reserved	TRA	BUSY	MSL	
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x1C	I2C_CCR	Reserved																F/S	DUTY	Reserved	CCR[11:0]												
	Reset value																	0	0		0	0	0	0	0	0	0	0	0	0	0	0	0
0x20	I2C_TRISE	Reserved																							TRISE[5:0]								
	Reset value																								0	0	0	0	0	1	0		
0x24	I2C_FLTR	Reserved																							ANOFF					DNF[3:0]			
	Reset value																								0	0	0	0	0	0	0		

Slika 2.6: Registarska mapa I²C periferije STM32F407VGT6 mikrokontrolera[2]

Vidljiva je razlika između količine registara, raspodjele i značenja njihovih bitova, kao i njihovih imena, što implicira različite funkcionalnosti pojedinih registara. Tako, npr. I²C periferija kod STM32F407VGT6 sadržava 2 status registra: I2C_SR1 i I2C_SR2, dok kod STM32L471VGT6 postoji samo jedan status registar I2C_ISR. Ta razlika je bitna iz razloga što se tijekom prijenosa podataka na I²C sabirnici trebaju provjeravati razne zastavice koje se mijenjaju tijekom komunikacije, kao što je npr. zastavica za prazni odašiljački registar (STM32F407VGT6: registar I2C_SR1 bit 7, STM32L471VGT6: bit 0), zastavica za puni prijamnički registar (STM32F407VGT6: registar I2C_SR1, bit 6, STM32L471VGT6: bit 2), zastavica za završetak prijenosa

(STM32F407VGT6: ne postoji, STM32L471VGT6: bit 6) itd. Vidljivo je također da kod STM32L471VGT6 postoji zastavica ADDR, koja inače kod STM32F407VGT6 signalizira uspješan primitak adrese uređaja mete, a kod STM32L471VGT6 ta zastavica se koristi isključivo u *slave* načinu rada, tako da ta zastavica nije bitna za ovaj projekt. Kako onda mikrokontroler zna da je poslana adresa točna? Naime, STM32L471VGT6 ima poseban registar za pohranu adrese uređaja mete, pa kada mikrokontroler pošalje *start* uvjet on automatski nakon završetka *start* uvjeta pošalje i adresu uređaja mete, a uspješan primitak adrese signalizira zastavica I2C_ISR_TXIS kod slanja podataka, odnosno I2C_ISR_RXNE zastavica kod primitka podataka. Vidljive su i razlike u raspodjeli zastavica u registrima, kao i razlike u funkcijama koje zastavice signaliziraju. Inače bi te razlike stvarale probleme kod konfiguracije I²C periferije, no, kako je tu brigu rješio kod generator ugrađen u STM32CubeIDE razvojno okruženje, nije bila posvećena pažnja tim razlikama.

3. Zaključak

Zaključak.

LITERATURA

- [1] *UM10204 I²C-bus specification and user manual*. NXP Semiconductors, 2021. Rev. 7.0.
- [2] *RM0090 Reference manual STM32F405/415, STM32F407/417, STM32F427/437 and STM32F429/439 advanced Arm®-based 32-bit MCUs*. ST Microelectronics, 2021. Rev. 9.
- [3] *RM0351 Reference manual STM32L47xxx, STM32L48xxx, STM32L49xxx and STM32L4Axxx, advanced Arm®-based 32-bit MCUs*. ST Microelectronics, 2021. Rev. 9.
- [4] Wikipedia. I²c, 2022. URL <https://en.wikipedia.org/wiki/I%C2%B2C>. Preuzeto: 30. 05. 2022.
- [5] FER ZKIST. FERSAT - opis projekta, 2022. URL <https://www.fer.unizg.hr/zkist/FERSAT/projekt>. Preuzeto: lipanj 2022.

Programska potpora za upravljanje kamerom na CubeSat nanosatelitu

Sažetak

Sažetak na hrvatskom jeziku.

Ključne riječi: Ključne riječi, odvojene zarezima.

Software for Camera Control on CubeSat Nanosatellite

Abstract

Abstract.

Keywords: Keywords.