



آزمایشگاه مدارهای منطقی و معماری کامپیوتر

(سال تحصیلی ۰۰-۰۱، نیم سال اول)

پروژه چهارم: پیاده سازی حافظه

هدف از انجام این پروژه آشنایی با دو نوع پرکاربرد از حافظه ها شامل حافظه RAM و FIFO می باشد. به این منظور نیاز است که این حافظه ها با استفاده از دو روش HDL و Core Generator پیاده سازی شوند.

۱. پیاده سازی RAM:

این نوع از حافظه به منظور ذخیره سازی داده هایی که نیاز به خواندن و نوشتن با دسترسی تصادفی دارند، مورد استفاده قرار می گیرد. در این قسمت باید یک RAM که دارای ۲۵۶ خانه ۱۰ بیتی است را طراحی کنید.

a. پیاده سازی با استفاده از کد HDL

در این ساختار با هر کلاک یک داده ۱۰ بیتی با توجه به آدرسی که پایه Addr مشخص می کند، در صورت یک بودن پایه فعال سازی (EN) خوانده و در صورت یک بودن پایه های EN, WE نوشته می شود.

entity این ساختار به شکل زیر قابل تعریف است:

```

ENTITY FIFO IS
PORT ( Din      :IN      std_logic_vector(9 DOWNTO 0);
      Addr      :IN      std_logic_vector(7 DOWNTO 0);
      RST, EN, WE :IN      std_logic
      CLK       : IN      std_logic
      DOut      :OUT      std_logic_vector(9 DOWNTO 0);
);
END FIFO;

```

b. پیاده‌سازی با استفاده از Core Generator

۲. پیاده‌سازی FIFO:

این نوع از حافظه به منظور ذخیره‌سازی داده‌هایی که نیاز به خواندن و نوشتن با دسترسی ترتیبی دارند، مورد استفاده قرار می‌گیرد. در این قسمت باید یک FIFO که دارای ۲۵۶ خانه ۱۰ بیتی است را طراحی کنید.

a. پیاده‌سازی با استفاده از کد HDL

در این ساختار با هر کلاک و در صورت یک بودن پایه فعال‌سازی (RD_EN)، یک داده ۱۰ بیتی از FIFO خوانده شده و در صورت یک بودن پایه WR_EN، یک داده ۱۰ بیتی در FIFO نوشته می‌شود. این FIFO دارای یک سیگنال RST آسنکرون است که در صورت یک شدن، محتویات تمام خانه‌های FIFO برابر صفر خواهد شد.

entity این ساختار به شکل زیر تعریف شده است:

```

ENTITY FIFO IS
PORT ( Din      :IN      std_logic_vector(9 DOWNTO 0);
      RST       :IN      std_logic
      RD_EN, WR_EN :IN      std_logic
      Empty, Full :OUT      std_logic
      CLK       :IN      std_logic
      DOut      :OUT      std_logic_vector(9 DOWNTO 0);
);
END FIFO;

```

b. پیاده‌سازی با استفاده از Core Generator

۳. گزارش:

گزارش باید شامل توضیحاتی راجع به پروژه، شرح کد مدار توصیف شده و تمامی موارد خواسته شده در قسمت‌های قبل باشد و همچنین در قالب مشخص شده برای گزارش‌ها آماده شود. همچنین لازم است که مقایسه‌ای میان پیاده‌سازی‌های HDL و پیاده‌سازی‌های با استفاده از Core Generator از لحاظ میزان منابع مصرفی انجام شود.

موفق باشید