



## آزمایشگاه مدارهای منطقی و معماری کامپیوتر

(سال تحصیلی ۰۰-۰۱، نیم سال اول)

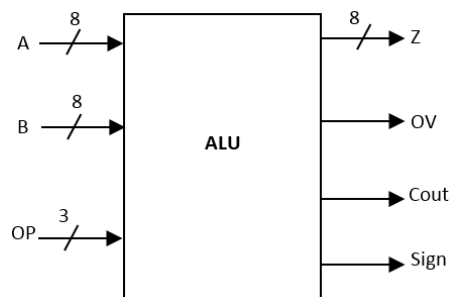
### پروژه دوم: پیاده سازی واحد حساب و منطق

هدف از انجام این پروژه پیاده سازی یک واحد حساب و منطق ۸ بیتی با استفاده از یک زبان توصیف سخت افزار (Verilog, VHDL) و شبیه سازی و سنتز آن با استفاده از ابزار ISE می باشد. همچنین قصد داریم ویژگی های سخت افزار پیاده سازی شده، شامل تأخیر و میزان منابع مصرفی از FPGA را که در قالب گزارش بعد از سنتز توسط ابزار تولید می گردد، بررسی نماییم.

#### ۱. پیاده سازی واحد حساب و منطق:

الف) واحد حساب و منطق توصیف شده در جدول زیر را با استفاده از یک زبان توصیف سخت افزار (Verilog, VHDL) پیاده سازی کنید. این واحد مطابق شکل دارای دو ورودی ۸ بیتی (A, B) و یک ورودی ۳ بیتی (OP) است. ورودی OP مشخص کننده نوع عملیات و ورودی های A و B مشخص کننده عملوندها هستند. خروجی های این بلوک نیز شامل یک خروجی ۸ بیتی (Z) برای نشان دادن نتیجه عملیات و سه خروجی تک بیتی OV (سرریز)، Cout (رقم نقلی خروجی) و Sign (بیت علامت) است. توجه فرمایید که عملیات انجام شده توسط این واحد به صورت علامت دار انجام می شود و براین اساس ورودی های A و B به شکل مکمل-۲ می باشند.

Operation	
0	$Z = A + B$
1	$Z = A - B$
2	$Z = A \text{ and } B$
3	$Z = A \text{ or } B$
4	$Z = A \text{ xor } B$
5	$Z = \text{not } (A)$
6	$Z = A \gg 1 \text{ (Logic)}$
7	$Z = B \ll 1 \text{ (Logic)}$



ب) صحت عملکرد طرح خود را با استفاده از یک فایل آزمون ( Fixture یا Test Bench ) و انتخاب چند نمونه ورودی مورد سنجش قرار دهید. در این قسمت باید تصاویر مربوط به مقادیر سیگنال‌های ورودی و خروجی در شبیه ساز را گزارش نمایید.

پ) پروژه مورد نظر را با استفاده از ابزار ISE برای برد Spartan 3E-XC3S100E-VQ100-5 سنتز نمایید و شماتیک کلی طرح سنتز شده و نحوه‌ی قرارگیر LUTها را استخراج و گزارش نمایید.

ج) با استفاده از قسمت Design Summary در ابزار، میزان استفاده از انواع منابع موجود در FPGA و همچنین تأخیر خروجی‌های مختلف طرح را گزارش نمایید.

۲. گزارش:

گزارش باید شامل توضیحاتی راجع به پروژه، شرح کد مدار توصیف شده و تمامی موارد خواسته شده در قسمت‌های قبل باشد و همچنین در قالب مشخص شده برای گزارش‌ها آماده شود.

موفق باشید