



آزمایشگاه مدارهای منطقی و معماری کامپیوتر

(سال تحصیلی ۱۴۰۰-۱۴۰۱، نیمسال اول)

پروژه اول: پیاده‌سازی جمع‌کننده هشت بیتی در محیط Xilinx ISE

هدف از انجام این پروژه پیاده‌سازی یک جمع‌کننده ۸ بیتی با استفاده از یک زبان توصیف سخت‌افزار (Verilog, VHDL) و شبیه‌سازی و سنتز آن با استفاده از ابزار ISE می‌باشد. همچنین قصد داریم ویژگی‌های سخت‌افزار پیاده‌سازی شده، شامل تأخیر و میزان منابع مصرفی از FPGA را که در قالب گزارش بعد از سنتز توسط ابزار تولید می‌گردد، بررسی نماییم.

۱. پیاده‌سازی جمع‌کننده ۸ بیتی Ripple Carry:

الف) پروژه‌ای به نام ripple_adder8 بسازید و کد جمع‌کننده نوشته شده با زبان توصیف سخت‌افزار را به آن اضافه کنید.

ب) صحت عملکرد طرح خود را با استفاده از یک فایل آزمون (Fixture یا Test Bench) و مقادیر موجود در جدول زیر مورد سنجش قرار دهید. به این منظور باید تصاویر مربوط به مقادیر سیگنال‌های ورودی و خروجی در شبیه‌ساز را گزارش نمایید.

زمان (ns)	A	B	C_{in}
0	11110000	00001111	0
50	11110000	00001111	1
100	00011001	00001011	1

پ) پروژه مورد نظر را برای برد Spartan 3E-XC3S100E-VQ100-5 سنتز نمایید و شماتیک کلی طرح سنتز شده و نحوه‌ی قرارگیر LUTها را استخراج و گزارش نمایید.

ت) یکی از LUTهای میانی مدار را به دلخواه انتخاب کنید و اطلاعات تابع پیاده سازی آن را در قالب های زیر گزارش نمایید

- شماتیک
- جدول کارنو
- جدول صحت
- معادله منطقی

ث) تأخیر بحرانی طرح را با استفاده از گزارش‌های زمانی استخراج کنید و نتایج تأخیر بین کلیه پایه ها را گزارش نمایید.

ج) با استفاده از قسمت Design Summary در ابزار، میزان استفاده از انواع منابع موجود در FPGA را گزارش نمایید.

۲. پیاده‌سازی جمع‌کننده ۸بیتی Carry Look Ahead:

مراحل الف تا ج در بخش اول را برای جمع‌کننده Carry Look Ahead تکرار نمایید.

۳. مقایسه کارآیی:

الف) تأخیر دو مدار را با هم مقایسه کنید.

ب) میزان منابع استفاده شده در این دو مدار را با هم مقایسه کنید.

۴. گزارش:

گزارشی شامل تمامی موارد خواسته شده در قسمت‌های قبل در قالب مشخص شده برای گزارش‌ها آماده نمایید. در این گزارش می‌توانید از تصاویر مربوط به کدهای نوشته شده و مراحل مختلف کار استفاده نمایید. همچنین برای قسمت ۳ تحلیل خود را از نتایج بدست آمده بیان کنید.

موفق باشید