

ĐẠI HỌC TÔN ĐỨC THẮNG
Khoa Công Nghệ Thông Tin

Chương 4

Hệ tuần tự

Giảng viên: TS. Phù Trần Tín

Nội dung

- 4.1 Khái niệm. Mô hình toán học.
- 4.2 Các phần tử cơ bản của hệ tuần tự: các loại Flip Flop, mạch chốt. Chuyển đổi giữa các loại Flip Flop.
- 4.3 Hệ đếm
 - Đếm nối tiếp (không đồng bộ). Quy tắc thiết kế.
 - Đếm song song (đồng bộ). Quy tắc thiết kế.
- 4.4 Thiết kế hệ tuần tự đồng bộ.
- 4.5 Thiết kế hệ tuần tự dùng IC.

I. Khái niệm, mô hình toán học

Trong chương trước, chúng ta đã khảo sát các loại mạch tổ hợp, đó là các mạch mà ngõ ra của nó chỉ phụ thuộc vào các biến ở ngõ vào mà không phụ thuộc vào trạng thái trước đó của mạch. Nói cách khác, đây là loại mạch không có khả năng nhớ, một chức năng quan trọng trong các hệ thống logic.

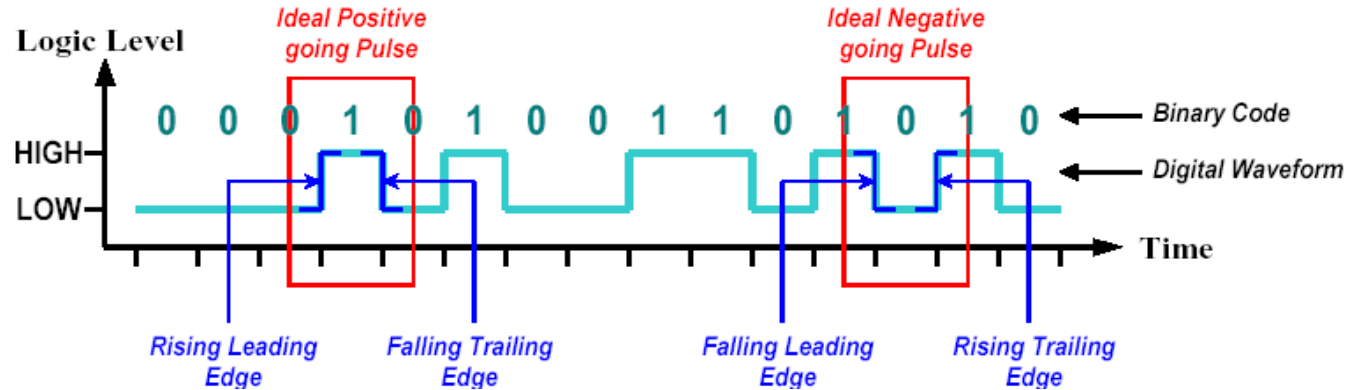
Chương này sẽ bàn về loại mạch thứ hai: mạch tuần tự.

- Mạch tuần tự là mạch có trạng thái ngõ ra không những phụ thuộc vào tổ hợp các ngõ vào mà còn phụ thuộc trạng thái ngõ ra trước đó. Ta nói mạch tuần tự có tính nhớ. Ngõ ra $Q+$ của mạch tuần tự là hàm logic của các biến ngõ vào $A, B, C \dots$ và ngõ ra Q trước đó. $Q+ = f(Q, A, B, C \dots)$

II. Các phần tử cơ bản của mạch tuần tự: mạch chốt (Latch) và Flipflop (FF)

Latch (chốt): là mạch tuần tự mà nó liên tục xem xét các ngõ vào và làm thay đổi các ngõ ra bất cứ thời điểm nào không phụ thuộc vào xung clock.

Flip_Flop: là mạch tuần tự mà nó thường lấy mẫu các ngõ vào và làm thay đổi các ngõ ra tại những thời điểm xác định bởi xung clock.

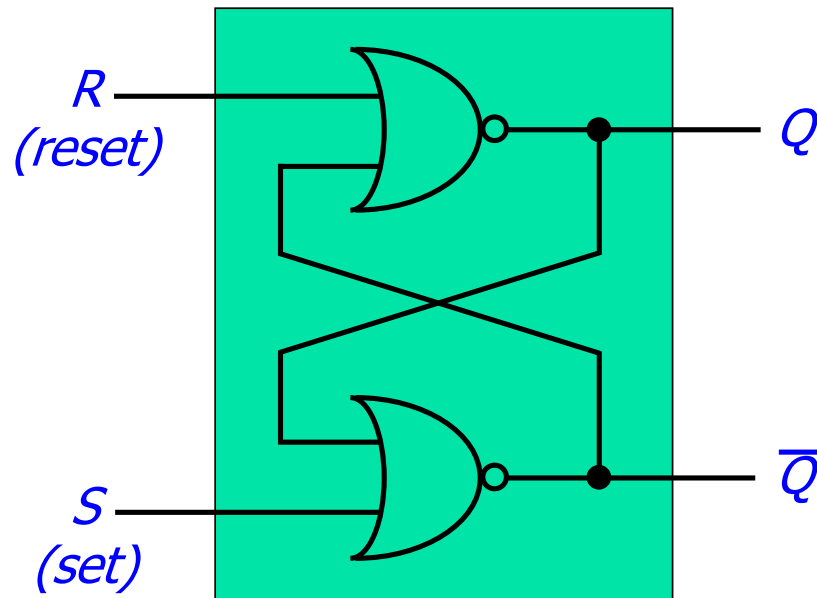


Các mạch chốt và FF có 2 ngõ ra Q và \bar{Q} . Hai ngõ ra này có giá trị logic là bù của nhau.

1. Các mạch chốt:

a. Chốt S/R: có 2 loại

* Cổng NOR:



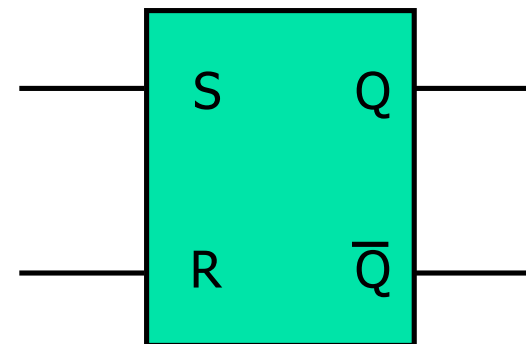
Bảng hoạt động:

S	R	Q^+	\overline{Q}^+
0	0	Q	\overline{Q}
0	1	0	1
1	0	1	0
1	1	0	0

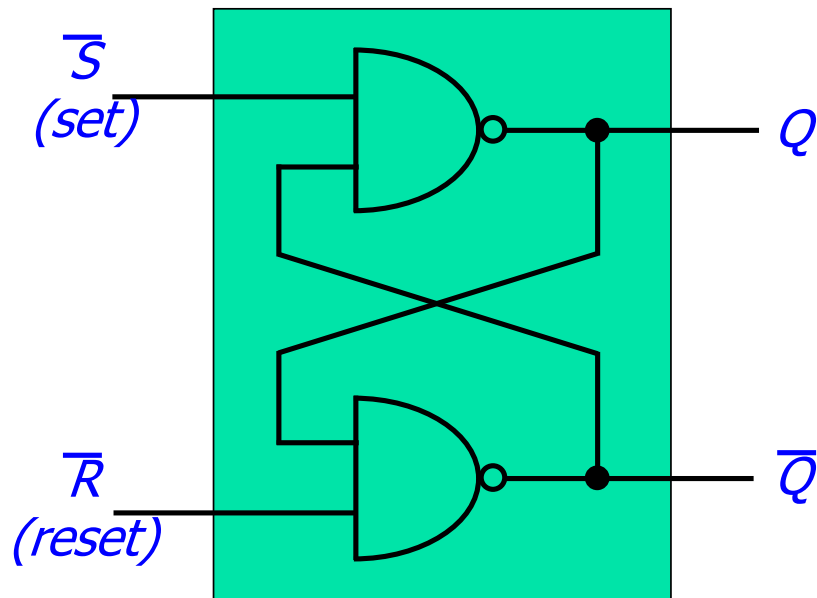
} Cấm
sử dụng

Q^+ là trạng thái kế tiếp của Q

Ký hiệu:



*** Cổng NAND:**

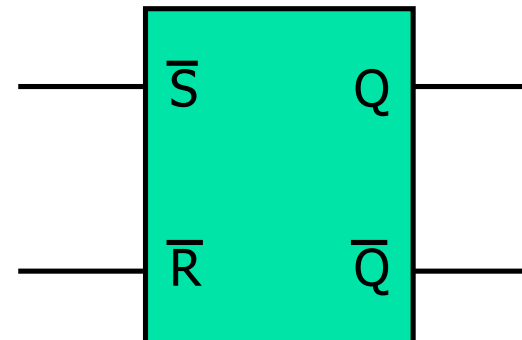


Bảng hoạt động:

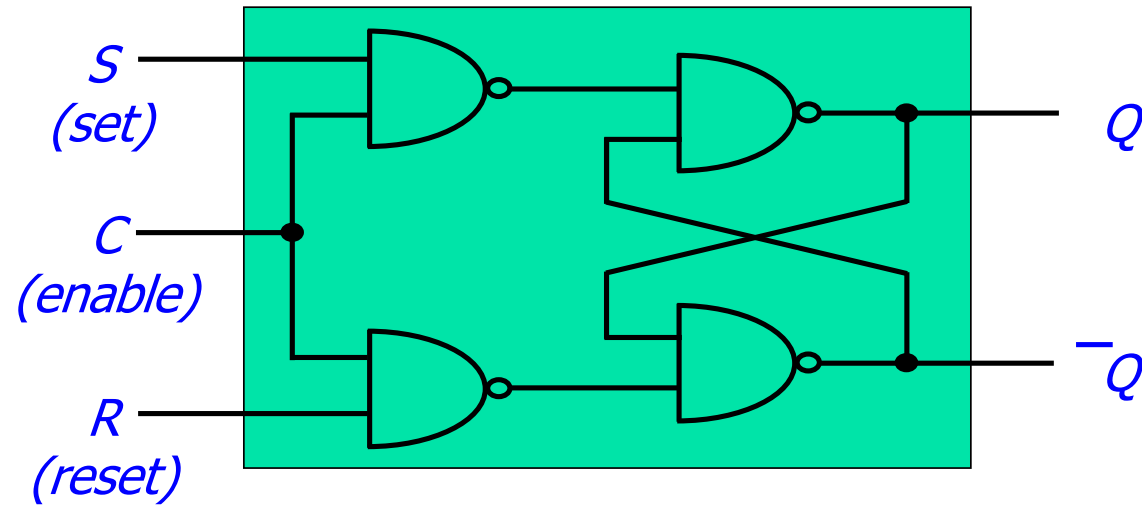
\bar{S}	\bar{R}	Q^+	\bar{Q}^+
0	0	1	1
0	1	1	0
1	0	0	1
1	1	Q	\bar{Q}

} *Cấm sử dụng*

Ký hiệu:



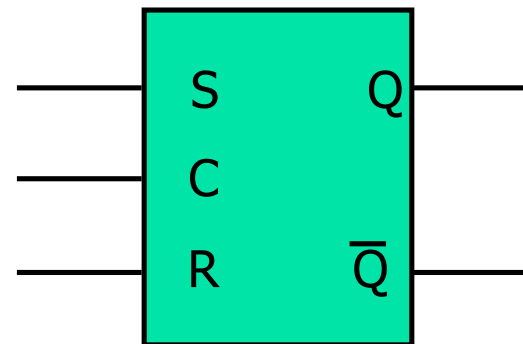
b. Chốt S/R có ngõ vào cho phép



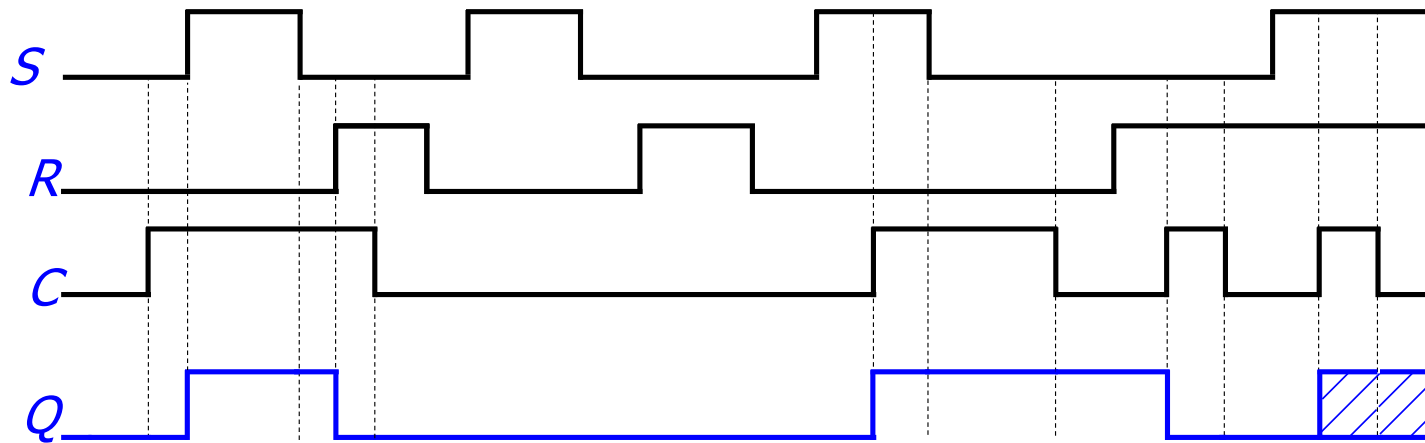
Bảng hoạt động:

C	S	R	Q^+	\overline{Q}^+
0	X	X	Q	\overline{Q}
1	0	0	Q	\overline{Q}
1	0	1	0	1
1	1	0	1	0
1	1	1	1	1

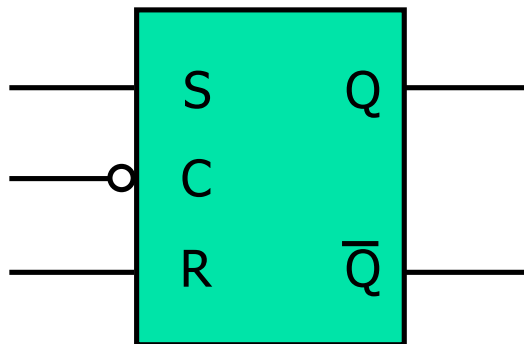
Ký hiệu chốt SR có ngõ vào
cho phép tích cực cao:



** Khảo sát giản đồ xung:*

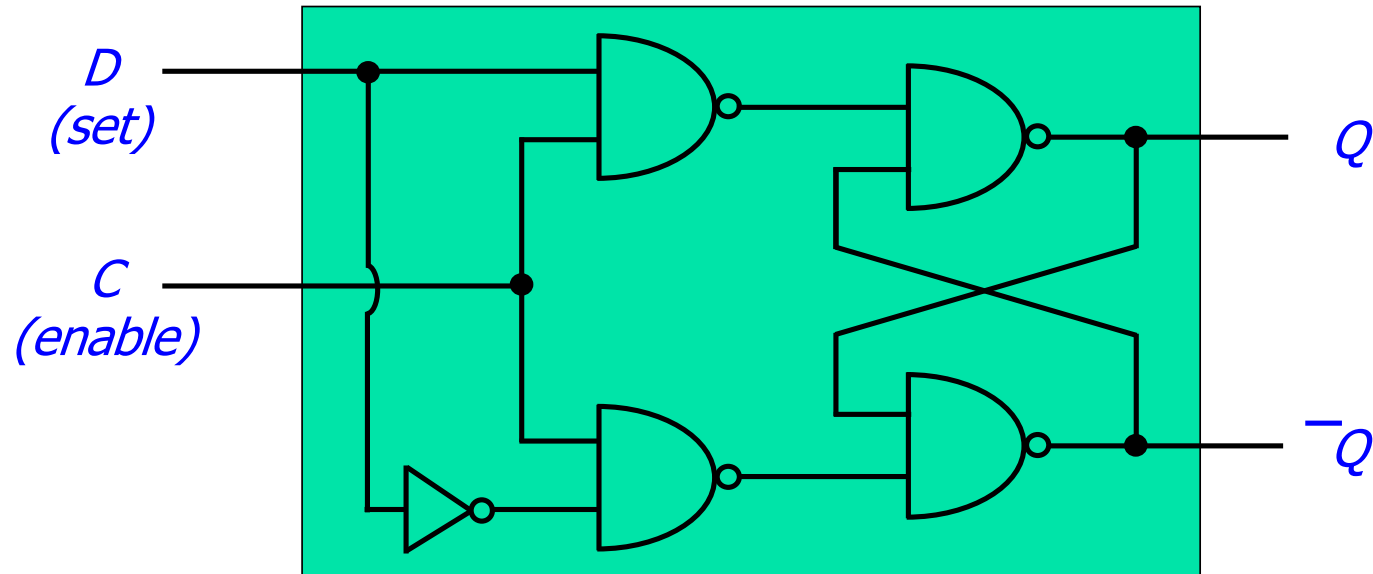


(Cho Q ban đầu là 0) Ký hiệu chốt SR có ngõ vào cho phép tích cực thấp:

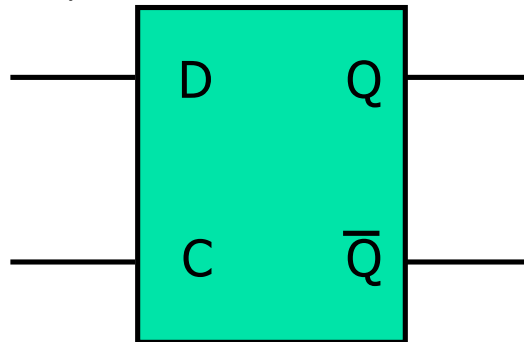


\overline{C}	S	R	Q^+	\overline{Q}^+
1	X	X	Q	\overline{Q}
0	0	0	Q	\overline{Q}
0	0	1	0	1
0	1	0	1	0
0	1	1	1	1

c. Chốt D:



Ký hiệu chốt D:

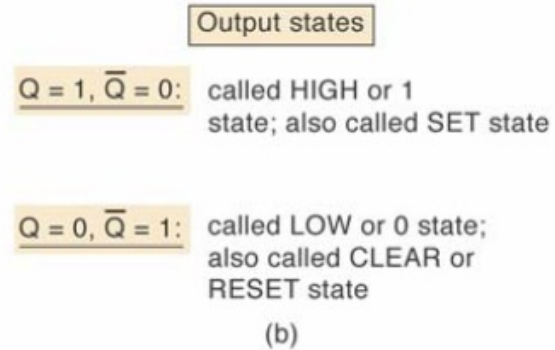
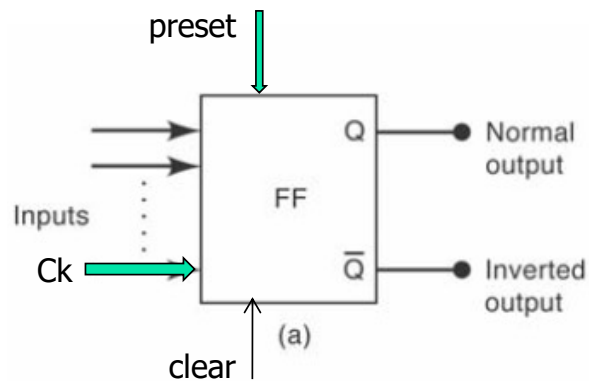


Bảng hoạt động:

C	D	Q^+	\bar{Q}^+
0	X	Q	\bar{Q}
1	0	0	1
1	1	1	0

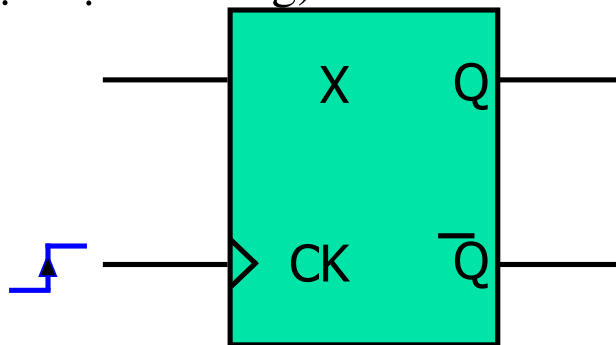
2. Flip Flop (FF)

Thành phần nhớ phổ biến nhất là các Flip flop, flip-flop được cấu thành từ những cổng logic đơn giản.
Ký hiệu tổng quát của một flip-flop

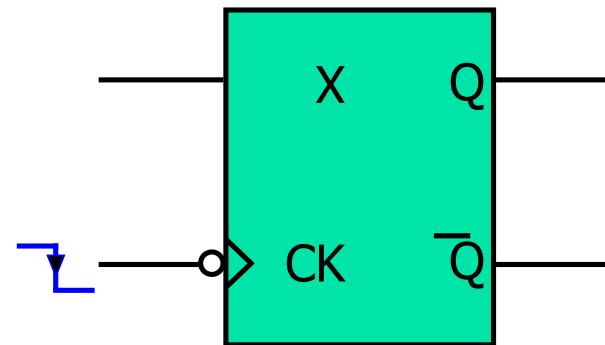


2. Flip_Flop (FF)

Trạng thái kế tiếp của ngõ ra FF sẽ thay đổi theo ngõ vào và trạng thái trước đó của ngõ ra tại thời điểm thay đổi của xung clock (cạnh lên hoặc cạnh xuống)



Xung clock cạnh lên



Xung clock cạnh xuống

* Bảng đặc tính và phương trình đặc tính:

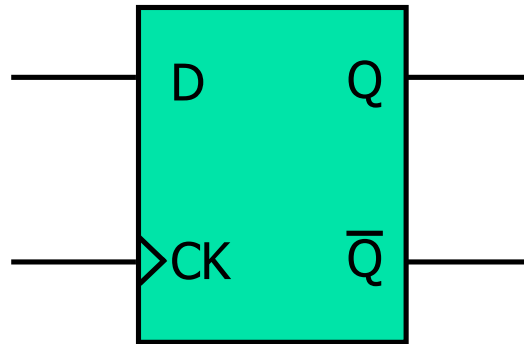
Biểu diễn mối quan hệ của ngõ ra kế tiếp Q^+ phụ thuộc vào các ngõ vào và trạng thái ngõ ra hiện tại Q .




* Bảng kích thích:

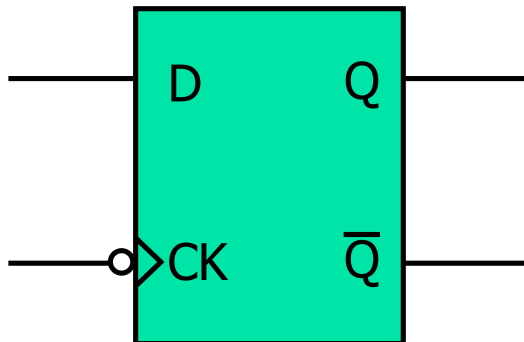
Biểu diễn giá trị của các ngõ vào cần phải có khi ta cần ngõ ra chuyển từ trạng thái hiện tại Q sang trạng thái kế tiếp Q^+ .




a. D - Flip Flop (*D-FF*)

Bảng hoạt động:

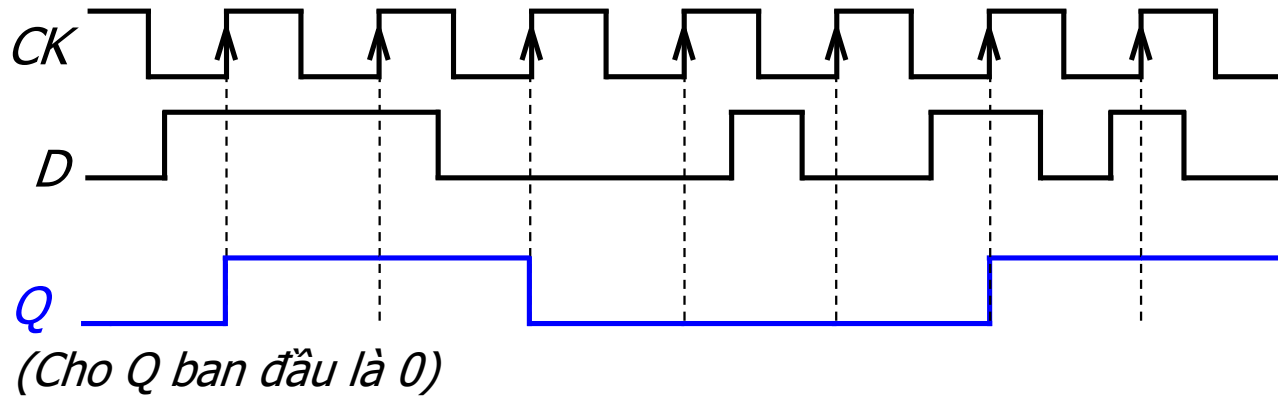


CK	D	Q+	\overline{Q} +
	X	Không thay đổi	
	0	0	1
	1	1	0



CK	D	Q+	\overline{Q} +
	X	Không thay đổi	
	0	0	1
	1	1	0

* *Khảo sát giản đồ xung:*



* *Bảng đặc tính và phương trình đặc tính:*

D	Q	Q^+
0	0	0
0	1	0
1	0	1
1	1	1

* *Bảng kích thích:*

Q	Q^+	D
0	0	0
0	1	1
1	0	0
1	1	1

21/10/2023



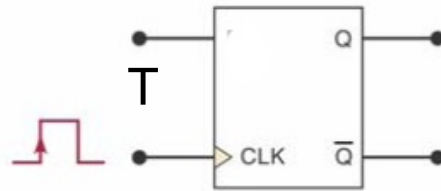
$$\underline{Q^+ = D}$$

Q: trạng thái hiện tại
Q+: trạng thái tiếp theo



$$\underline{D = Q^+}$$

b. T- Flip-Flop (Toggle-lật)



Bảng trạng thái:

T _n	Q _{n+1}
0	Q _n
1	\bar{Q}_n

Từ Bảng trạng thái ta có thể viết hàm Q_{n+1}:

$$Q_{n+1} = T_n \bar{Q}_n + \bar{T}_n Q_n = T_n \oplus Q_n$$

Từ Bảng trạng thái ta có thể tìm bảng kích thích:

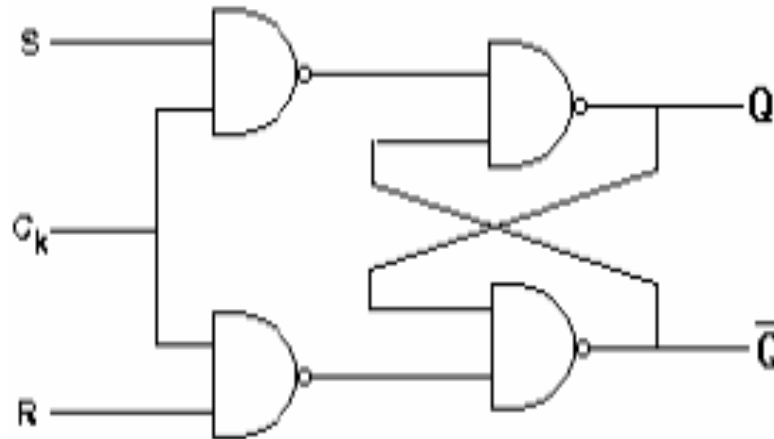
Q _n	Q _{n+1}	T
0	0	0
0	1	1
1	0	1
1	1	0

Vẽ giản đồ xung khi $T=1$

Khi $T=1$ Flip Flop có tác dụng chia đôi tần số

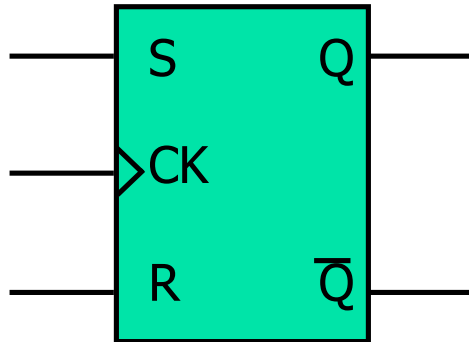
c. S/R - Flip Flop

Trong các phần dưới đây, ta luôn sử dụng chốt RS tác động mức cao dùng cổng NAND. Khi thêm ngõ vào xung CK cho chốt RS ta được FF S/R . (Hình vẽ dưới đây) là FF S/R có các ngõ vào S, R và xung đồng hồ CK đều tác động mức cao.

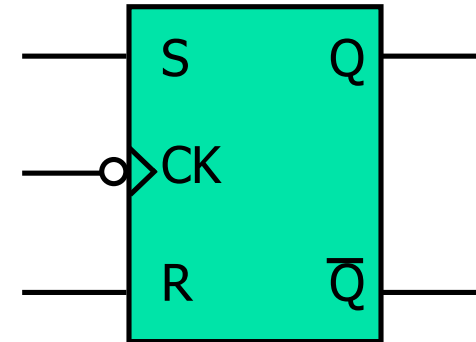


c. S/R - Flip Flop

* *Bảng hoạt động:*



S	R	Q^+
0	0	Q
0	1	0
1	0	1
1	1	X



• * *Bảng đặc tính và phương trình đặc tính:*

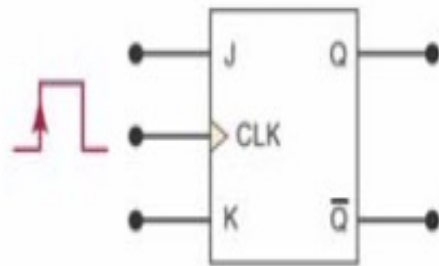
S	R	Q	Q^+
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	X
1	1	1	X

$$Q^+ = S + \bar{R}Q$$

• * *Bảng kích thích:*

Q	Q^+	S	R
0	0	0	X
0	1	1	0
1	0	0	1
1	1	X	0

d. JK-Flip Flop



J	K	CLK	Q
0	0	↑	Q_0 (no change)
1	0	↑	1
0	1	↑	0
1	1	↑	$\overline{Q_0}$ (toggles)

(a)

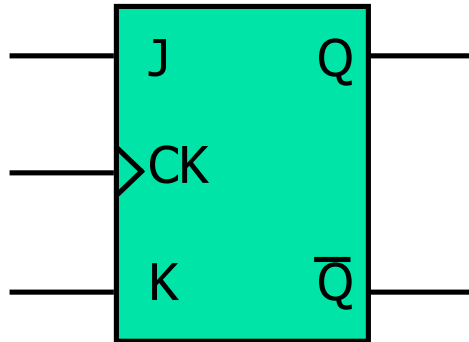
Vẽ giản đồ xung:



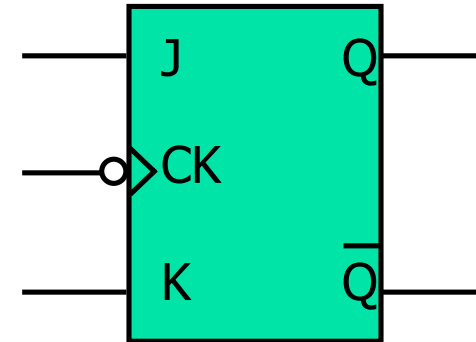
(b)

d. JK- Flip Flop :

** Bảng hoạt động:*



J	K	Q
0	0	Q_0
0	1	0
1	0	1
1	1	\bar{Q}_0



** Bảng đặc tính và phương trình đặc tính:*

J	K	Q_0	Q
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

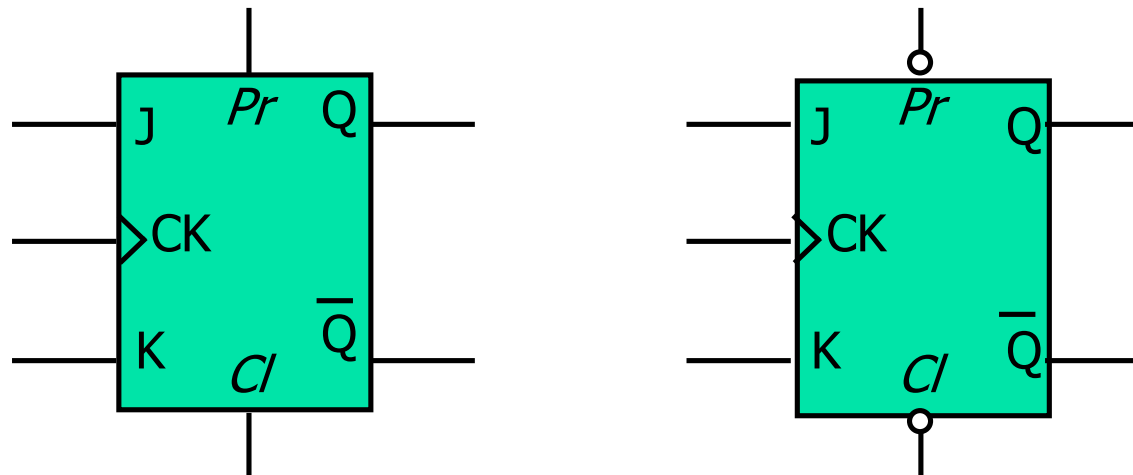
$$Q = JQ_0 + K\bar{Q}_0$$

** Bảng kích thích:*

Q_0	Q	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

e. Các ngõ vào bất đồng bộ

- Các ngõ vào này sẽ làm thay đổi giá trị ngõ ra tức thời, bất chấp xung clock.
- Có 2 ngõ vào bất đồng bộ: Preset (Pr) và Clear (Cl).
 - + Khi ngõ vào Preset tích cực thì ngõ ra Q được set lên 1.
 - + Khi ngõ vào Clear tích cực thì ngõ ra Q được xóa về 0.



- + Khi ngõ vào Preset và Clear không tích cực thì FF mới hoạt động.

3. Sự chuyển đổi giữa các loại Flip-Flop

Quá trình chuyển đổi FF bao gồm các bước sau:

- 1/.** Lập bảng kích thích của 2 loại FF.
- 2/.** Coi ngõ vào thông tin của FF nguồn là hàm, còn các ngõ vào thông tin của FF đích cũng như các trạng thái hiện tại Q_n là các biến và thực hiện rút gọn hàm .
- 3/.** Vẽ mạch thực hiện FF chuyển đổi.

3. Sự chuyển đổi giữa các loại Flip-Flop

Ví dụ: Chuyển đổi FF-JK thành FF-T

Lập bảng kích thích của FF-JK và FF-T

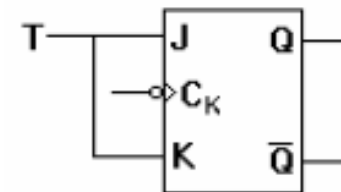
Q	Q+	J	K	T
0	0	0	x	0
0	1	1	x	1
1	0	x	1	1
1	1	x	0	0

J	Q		
	0	1	
T	0		x
	1	1	x

J=T

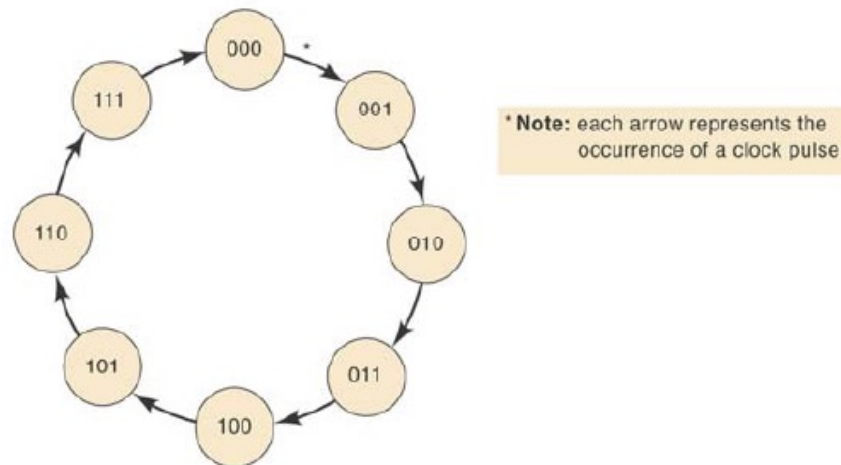
K	Q		
	0	1	
T	0	x	
	1	x	1

K=T



III. Bộ đếm (COUNTER)

- Chức năng cơ bản của bộ đếm là nhớ số xung clock vào bằng cách thay đổi các trạng thái của nó. Mỗi bộ đếm cấu tạo bằng nhiều FF và mỗi FF đóng vai trò là một phần tử nhớ nhị phân. Ngõ ra của bộ đếm chính là ngõ ra của các FF cấu thành nên bộ đếm
- Nội dung của bộ đếm tại một thời điểm gọi là trạng thái của bộ đếm. Khi có xung clock bộ đếm chuyển từ trạng thái hiện tại sang trạng thái kế tiếp. Cứ như vậy tạo thành vòng khép kín.



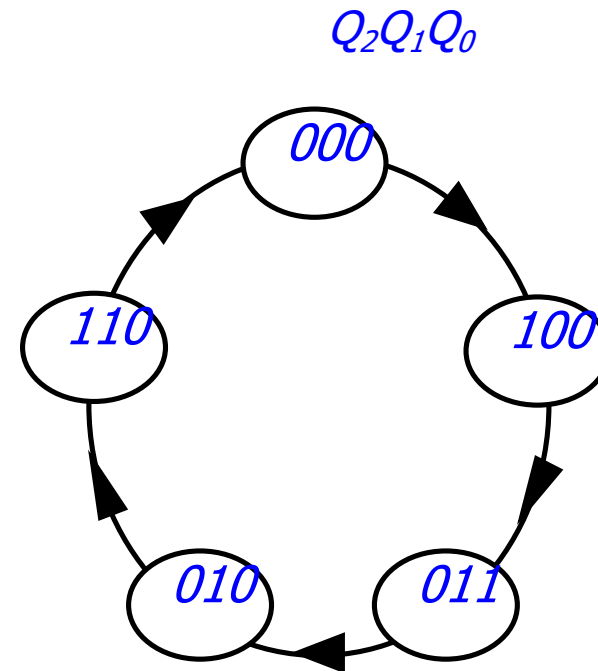
III. Bộ đếm (COUNTER)

- *Giản đồ trạng thái của bộ đếm:*

Biểu diễn các trạng thái có trong vòng đếm và hướng chuyển trạng thái của bộ đếm.

- *Modulo của bộ đếm:*

Là số các trạng thái khác nhau trong vòng đếm: $m \leq 2^n$



III. Bộ đếm (COUNTER)

* Bộ đếm được chia thành 2 loại:

- *Bộ đếm nối tiếp (bộ đếm bất đồng bộ):* là bộ đếm mà ngõ ra của FF trước sẽ là ngõ vào xung clock cho FF sau.
- *Bộ đếm song song (bộ đếm đồng bộ):* là bộ đếm mà ngõ vào xung clock của các FF được nối chung với nhau.

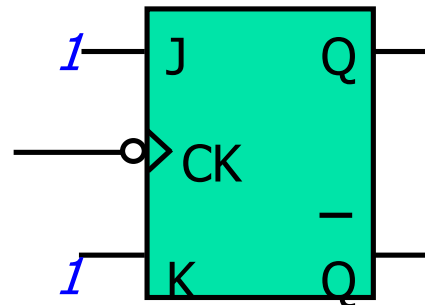
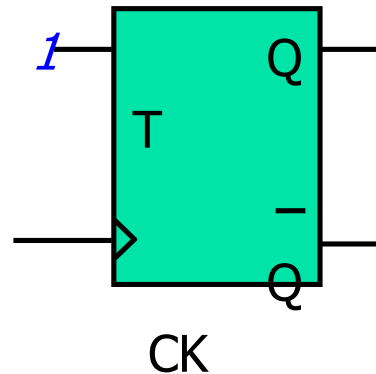
1. Bộ đếm nối tiếp (Asynchronous Counter)

- Bộ đếm nối tiếp thực hiện các vòng đếm lên hoặc xuống:

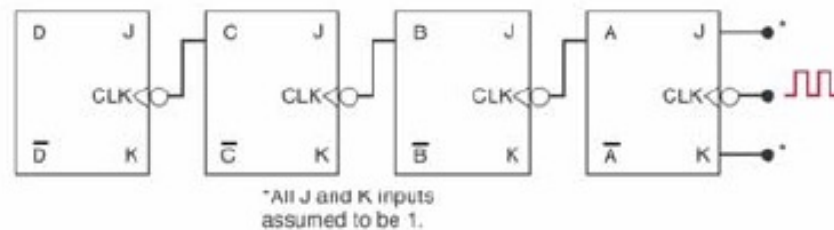
+ Đếm lên (Count Up): nội dung bộ đếm tăng thêm 1 khi có xung clock.

+ Đếm xuống (Count Down): nội dung bộ đếm giảm đi 1 khi có xung clock.

- Bộ đếm được tạo từ các FF đếm 2, ghép nối tiếp với nhau.



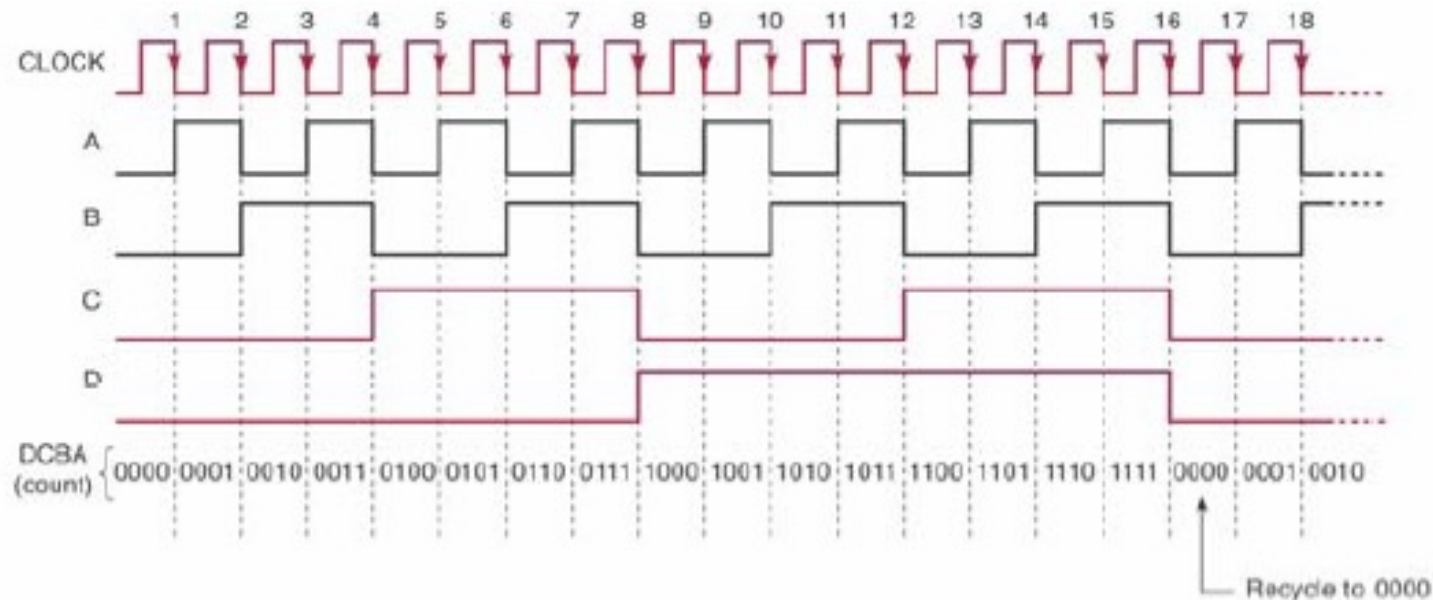
Xét bộ đếm 4 bit ở hình sau:



- Xung clock chỉ được đưa đến FF A, ngõ vào J, K của tất cả các FF đều ở mức logic 1.
- Ngõ ra của FF trước được nối đến ngõ vào CLK của FF sau nó.
- Ngõ ra D, C, B, A là một số nhị phân 4 bit với D là bit có trọng số cao nhất.

Đây là bộ đếm không đồng bộ vì trạng thái của các FF không thay đổi cùng với xung clock.

Giải đồ xung:



Trong phần lớn các mạch, dòng tín hiệu thường chạy từ trái sang phải. Trong chương này, nhiều mạch điện có dòng tín hiệu chạy từ phải sang trái.

Trong ví dụ ở hình trên: Flip-Flop A: LSB, Flip-Flop D: MSB

Số MOD của bộ đếm là hệ số đếm hay dung lượng bộ đếm

- ❖ Số MOD là số trạng thái trong một chu kỳ của một bộ đếm.
- ❖ Bộ đếm trong hình trên có 16 trạng thái khác nhau, do vậy nó là bộ đếm MOD-16
- ❖ Số MOD của một bộ đếm được thay đổi cùng với số Flip-Flop.
- ❖ Số MOD $\leq 2^n$ (n: số FF)

Ví dụ:

Một bộ đếm được sử dụng để đếm sản phẩm chạy qua một băng tải. Mỗi sản phẩm đi qua băng chuyền, bộ cảm biến sẽ tạo ra một xung.

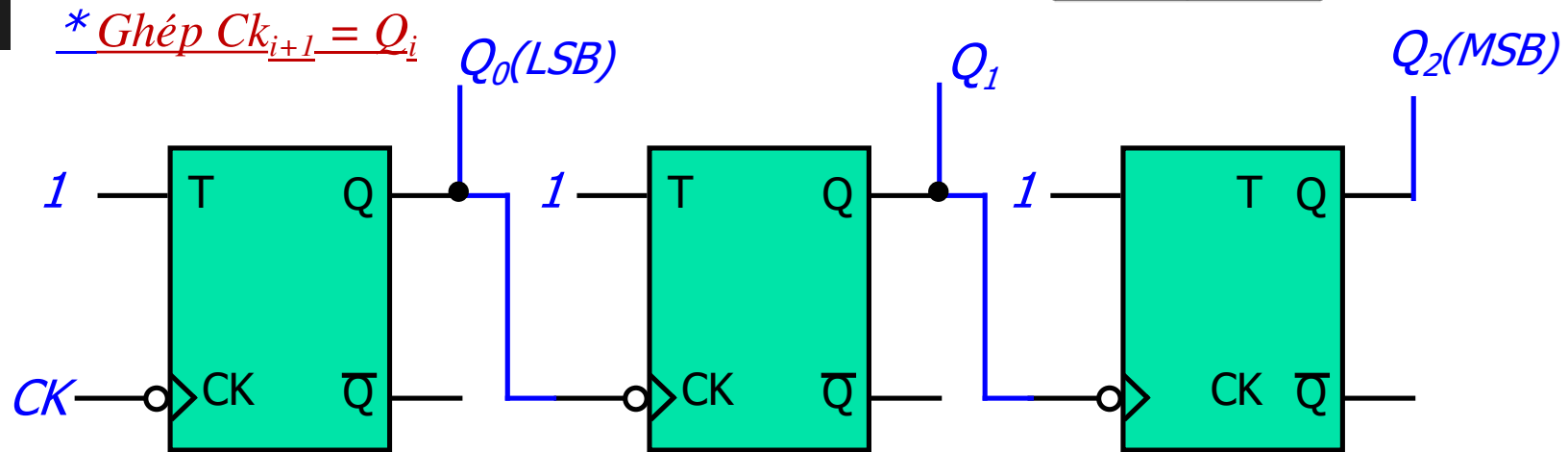
Bộ đếm có khả năng đếm được 1000 sản phẩm. Hỏi ít nhất phải có bao nhiêu Flip-Flop trong bộ đếm?

Trả lời: $1000 \leq 2^{10} = 1024$. Phải có 10 FF

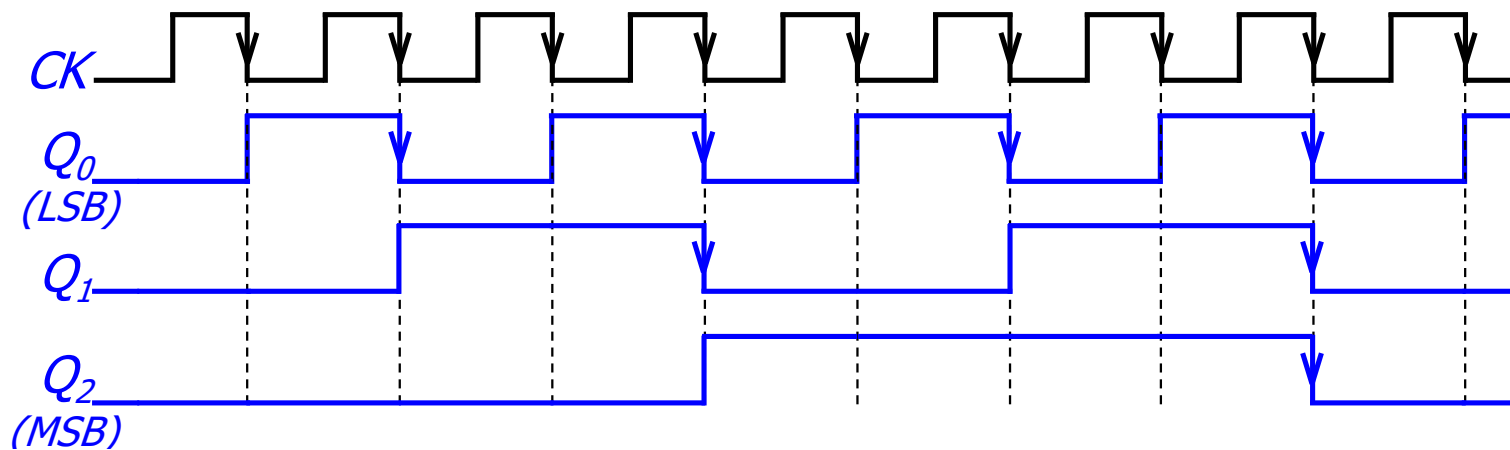
a. Bộ đếm đầy đủ ($m = 2^n$):

Bảng trạng thái:

T_n	Q_{n+1}
0	Q_n
1	\bar{Q}_n

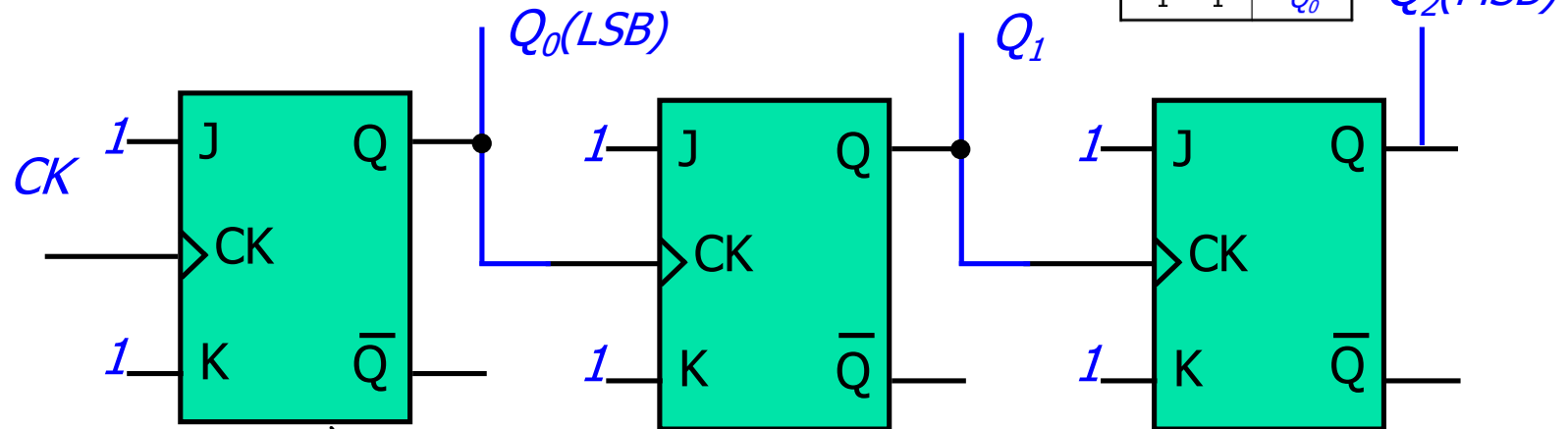


Khảo sát giản đồ xung: đây là bộ đếm lên (Count Up)

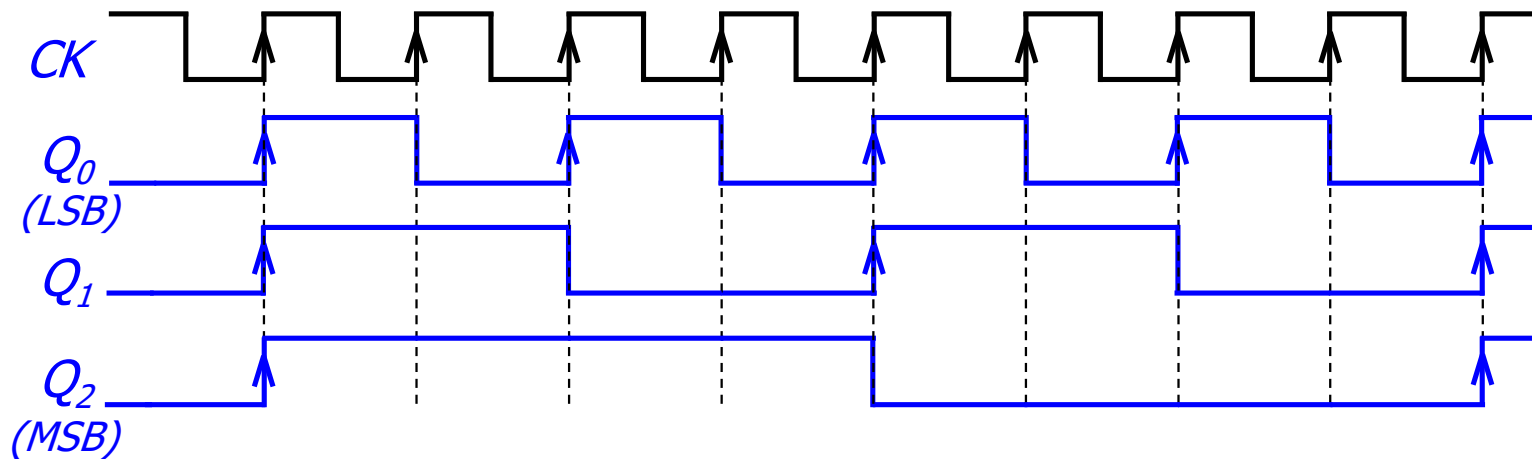


* Bảng hoạt động:

J	K	Q
0	0	Q_0
0	1	0
1	0	1
1	1	\bar{Q}_0

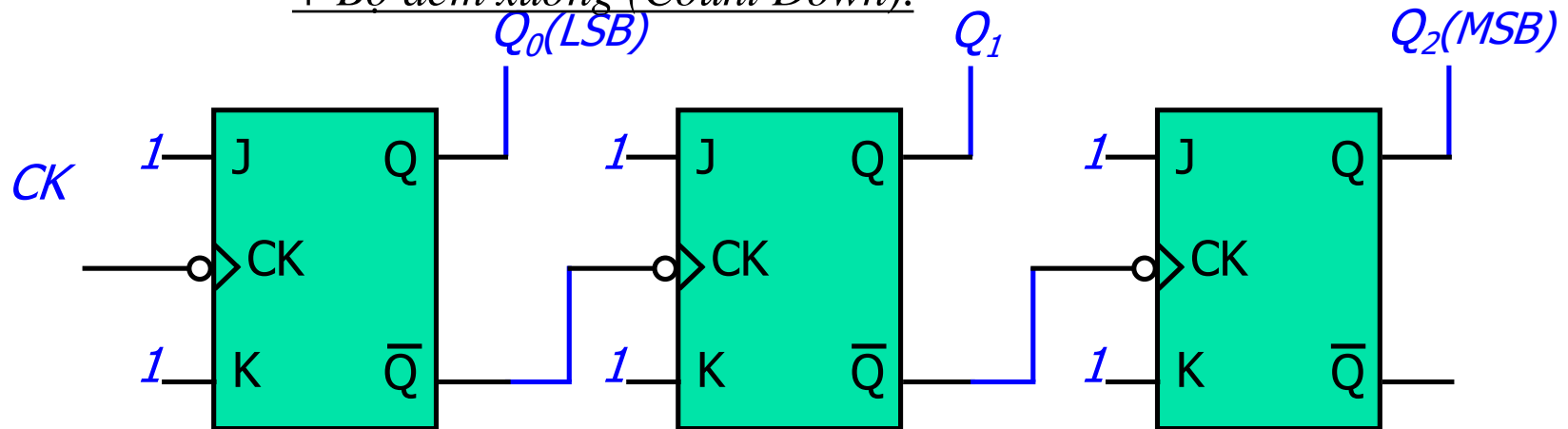


Khảo sát giảm đồ xung: là bộ đếm xuống (Count Down)

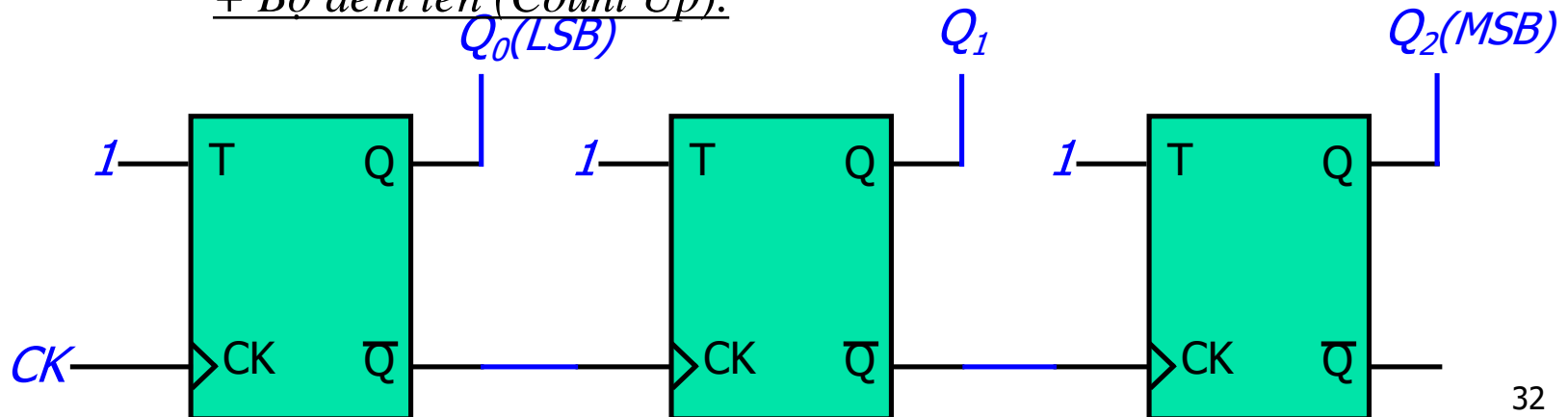


* Ghép $Ck_{i+1} = \overline{Q_i}$

+ Bộ đếm xuống (Count Down):



+ Bộ đếm lên (Count Up):



b. Bộ đếm không đầy đủ ($m < 2^n$):

- Bộ đếm không đầy đủ thực hiện dựa vào bộ đếm đầy đủ.

Ta cần xác định trạng thái kế tiếp không mong muốn của vòng đếm không đầy đủ.

- Dùng trạng thái này để tạo ra tín hiệu tác động tích cực vào các ngõ vào bất đồng bộ Preset hoặc Clear để đưa bộ đếm trở về trạng thái ban đầu (thường gọi là trạng thái reset).

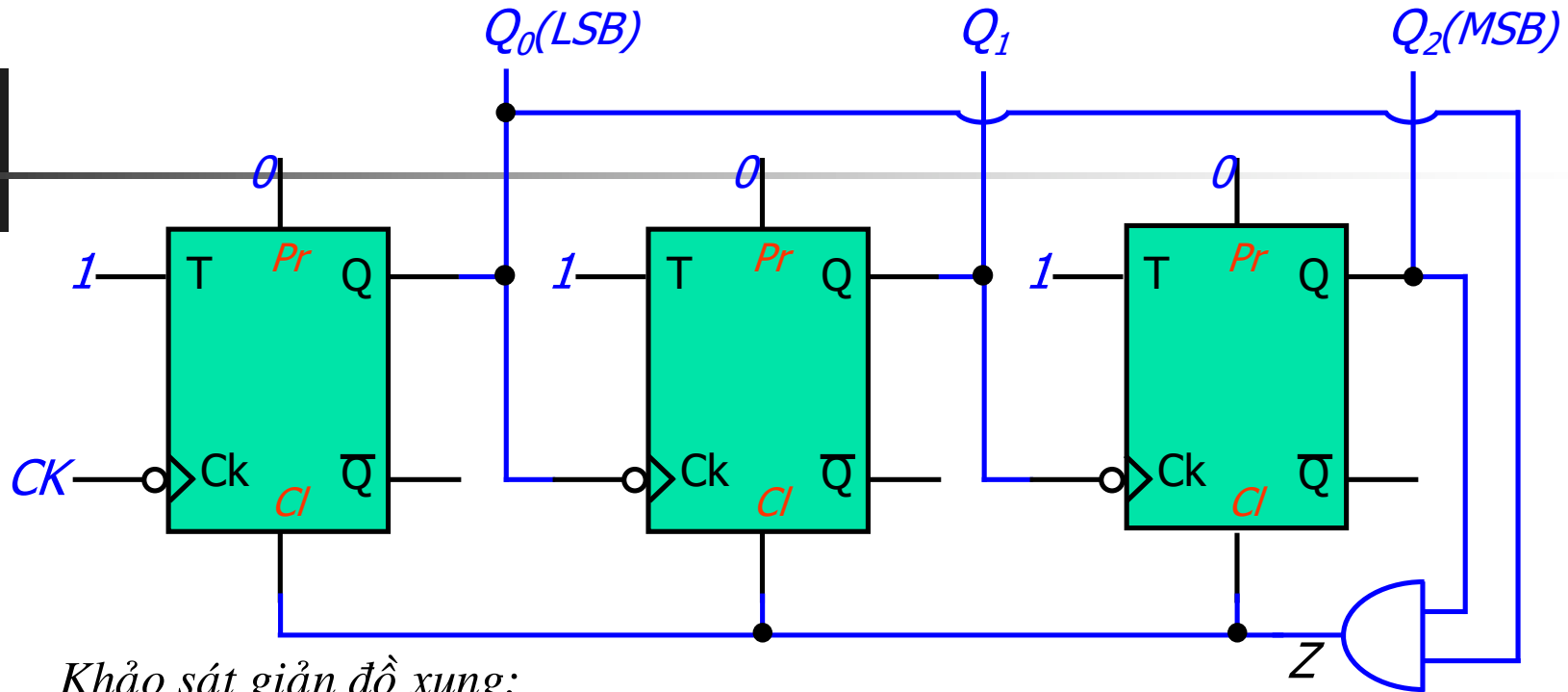
Vd: Sử dụng T-FF có xung clock cạnh xuống và ngõ vào Preset, Clear tích cực cao; thiết kế bộ đếm lên có $m = 5$ và bắt đầu từ giá trị 0.

Q_2	Q_1	Q_0	Z
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	X
1	1	1	X

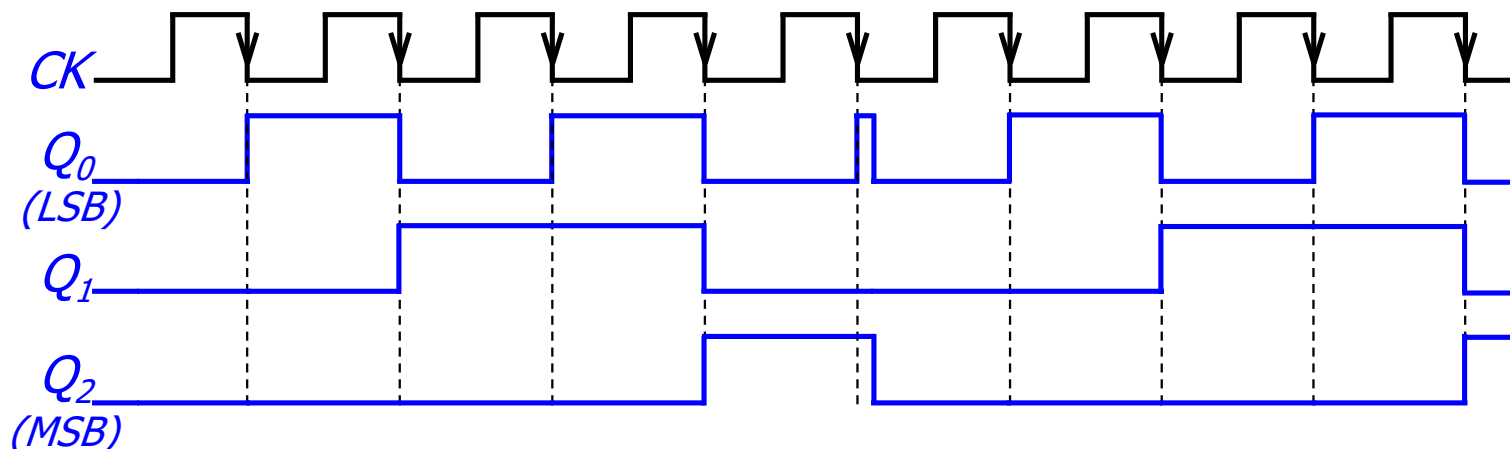
Ta gọi Z là tín hiệu dùng để reset bộ đếm.

Z Q_2Q_1 Q_0				
	00	01	11	10
0			X	
1			X	1

$$Z = Q_2 Q_0$$



Khảo sát giản đồ xung:



- ✓ Trong thực tế các thiết bị số có nhiều loại bộ đếm khác nhau, trong đó m có thể là một số bất kỳ. Có 2 phương pháp xây dựng bộ đếm với $m \neq 2^n$ tùy theo cách sử dụng ngõ lập hay ngõ xóa của FF

Thiết kế bộ đếm MOD-M:

Bước 1: *Tìm số FF nhỏ nhất sao cho $2^n \geq m$ ($2^n \geq m \geq 2^{n-1}$). Kết nối các FF lại với nhau. Nếu $2^n = m$ thì không làm bước 2 và 3.*

Bước 2: *Nối ngõ ra một cổng NAND đến ngõ vào CLEAR của tất cả các FF.*

Bước 3: *Xác định FF sẽ ở mức cao ứng với trạng thái bộ đếm $=m$. Nối ngõ ra của các FF đến ngõ vào của cổng NAND.*

- ✓ Ngoài p/p sử dụng ngõ xóa còn có thể xây dựng bộ đếm với $m \neq 2^n$ sử dụng ngõ lập (preset). Trình tự như sau:

Bước 1: *Tìm số FF nhỏ nhất sao cho $2^n \geq m$. Kết nối các FF lại với nhau. Nếu $2^n = m$ thì không làm bước 2 và 3.*

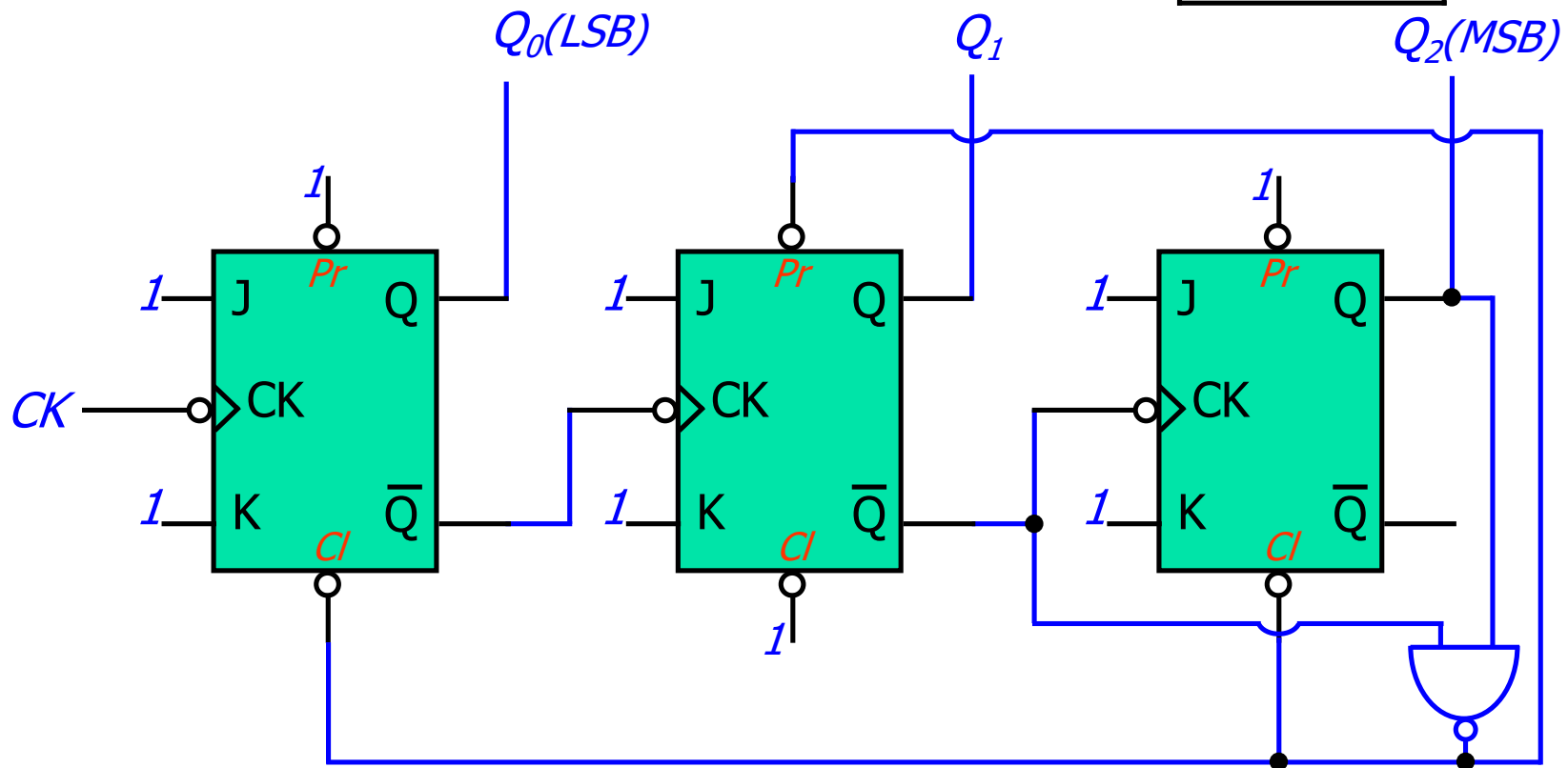
Bước 2: *Nối một ngõ ra cổng NAND đến ngõ vào Pr của tất cả các FF.*

Bước 3: *Xác định FF sẽ ở mức cao ứng với trạng thái bộ đếm $= (m-1)$. Và cả xung CK, Nối ngõ ra của các FF đến ngõ vào của cổng NAND.*

Vd: Sử dụng JK-FF có xung clock cạnh xuống và ngõ vào Pr, Cl tích cực thấp; thiết kế bộ đếm xuống có $m = 5$ và bắt đầu từ giá trị 2.

Q_2	Q_1	Q_0
0	1	0
0	0	1
0	0	0
1	1	1
1	1	0
1	0	1

Tín hiệu reset: $Z = \overline{Q_2} \overline{Q_1}$ (tích cực thấp)



2. Mạch đếm song song (Synchronous Counter)

- Trong mạch đếm song song (đồng bộ) các FF chịu tác động đồng thời của xung đếm CLK. Khi có xung clock vào thì tất cả các ngõ ra FF đều thay đổi.
- Khi thiết kế bộ đếm chỉ quan tâm đến trạng thái hiện tại và trạng thái kế tiếp của FF, mà không quan tâm đến dạng xung clock.
- Có thể thiết kế có vòng đếm bất kỳ.

* D-FF:

$$\underline{D = Q^+}$$

* T-FF:

$$\underline{T = Q \oplus Q^+}$$

Q	Q'	* <u>SR-FF</u>		* <u>JK-FF</u>	
		<i>S</i>	<i>R</i>	<i>J</i>	<i>K</i>
0	0	0	X	0	X
0	1	1	0	1	X
1	0	0	1	X	1
1	1	X	0	X	0

Quá trình thiết kế bộ đếm song song

B1. Xác định số FF dựa trên yêu cầu về hệ số đếm.

B2. Chọn loại FF và lập bảng kích thích của loại FF đó, vẽ sơ đồ chuyển đổi của tất cả các trạng thái, bao gồm cả những trạng thái không xuất hiện trong chu trình.

<i>T/t hiện tại</i> $Q_n \dots Q_1 Q_0$	<i>T/t kế tiếp</i> $Q'_n \dots Q'_1 Q'_0$	<i>Các</i> <i>ngõ vào FF</i>
0 ... 0 0		
1 ... 1 1		

B3. Trên cơ sở bảng kích thích tìm các ngõ vào FF cần phải có từ trạng thái hiện tại và trạng thái kế tiếp của từng FF.

B4. Rút gọn biểu thức ngõ vào từng FF phụ thuộc vào các biến trạng thái hiện tại.

B5. Vẽ sơ đồ thực hiện mạch.

a. Bộ đếm đầy đủ ($m = 2^n$)

Ví dụ 1: Thiết kế bộ đếm lên đồng bộ (synchronous counter) Mod = 8 dùng RS flipflop có clock cạnh xuống.

(000->001->010->011->100->101->110->111->000->...)

Các bước thiết kế gồm:

- ✓ Số lượng Flip flop
- ✓ Lập bảng kích thích (excitation/transition) của RS flipflop
- ✓ Lập bảng trạng thái hiện tại và trạng thái tiếp theo (current state and next state table)
- ✓ Lập bìa Karnaugh cho $R_2, S_2, R_1, S_1, R_0, S_0$ và rút gọn
- ✓ Vẽ sơ đồ logic

a. Bộ đếm đầy đủ ($m = 2^n$)

- Số lượng Flip flop: 3 Flip flop
- Bảng kích thích của FF:

Q	Q'	R	S
0	0	x	0
0	1	0	1
1	0	1	0
1	1	0	x

a. Bộ đếm đầy đủ ($m = 2^n$)

Q	Q'	R	S
0	0	x	0
0	1	0	1
1	0	1	0
1	1	0	x

- Lập bảng trạng thái

Q_2	Q_1	Q_0	Q_2'	Q_1'	Q_0'	R_2	S_2	R_1	S_1	R_0	S_0
0	0	0	0	0	1	x	0	x	0	0	1
0	0	1	0	1	0	x	0	0	1	1	0
0	1	0	0	1	1	x	0	0	x	0	1
0	1	1	1	0	0	0	1	1	0	1	0
1	0	0	1	0	1	0	x	x	0	0	1
1	0	1	1	1	0	0	x	0	1	1	0
1	1	0	1	1	1	0	x	0	x	0	1
1	1	1	0	0	0	1	0	1	0	1	0

a. Bộ đếm đầy đủ ($m = 2^n$)

- Lập bảng Karnaugh cho $R_2, S_2, R_1, S_1, R_0, S_0$

$$R_2 = Q_2 Q_1 Q_0$$

$$S_2 = \overline{Q_2} Q_1 Q_0$$

$$R_1 = Q_1 Q_0$$

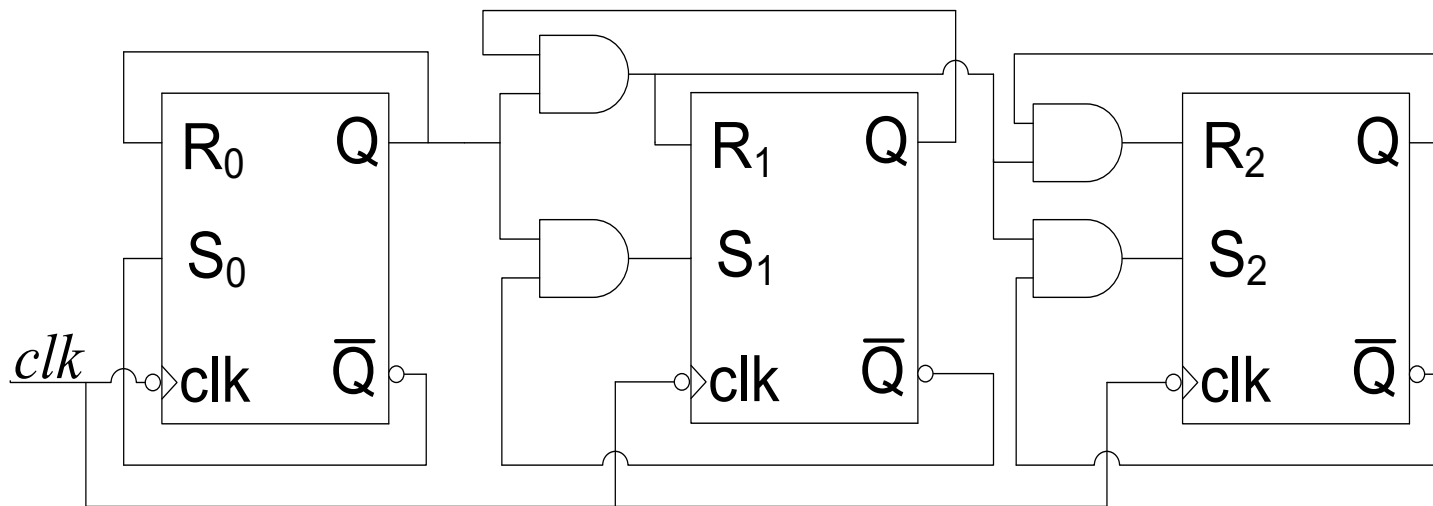
$$S_1 = \overline{Q_1} Q_0$$

$$R_0 = Q_0$$

$$S_0 = \overline{Q_0}$$

a. Bộ đếm đầy đủ ($m = 2^n$)

- Vẽ sơ đồ logic



a. Bộ đếm đầy đủ ($m = 2^n$)

Ví dụ 2: Sử dụng T-FF kích theo cạnh lên, thiết kế bộ đếm có dãy đếm sau: $Q_2Q_1Q_0$: **010, 101, 110, 001, 000, 111, 100, 011**, 010, ...

<i>T/t hiện tại</i> $Q_2 \quad Q_1 \quad Q_0$			<i>T/t kế tiếp</i> $Q'_2 \quad Q'_1 \quad Q'_0$			<i>Các ngõ vào</i> $T_2 \quad T_1 \quad T_0$		
0	0	0	1	1	1	1	1	1
0	0	1	0	0	0	0	0	1
0	1	0	1	0	1	1	1	1
0	1	1	0	1	0	0	0	1
1	0	0	0	1	1	1	1	1
1	0	1	1	1	0	0	1	1
1	1	0	0	0	1	1	1	1
1	1	1	1	0	0	0	1	1

T_2

Q_2Q_1	00	01	11	10
0	1	1	1	1
1				

T_1

Q_2Q_1	00	01	11	10
0	1	1	1	1
1			1	1

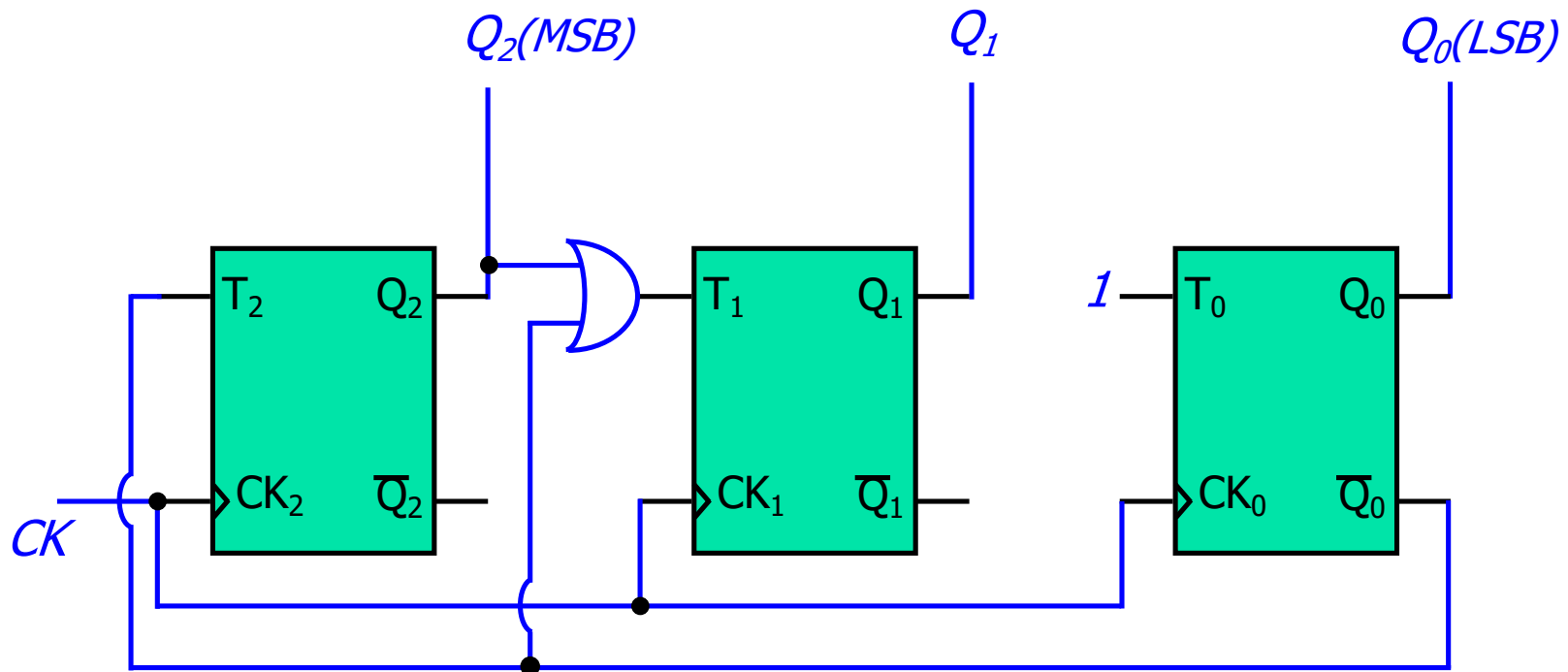
$$T_2 = \overline{Q_0}$$

$$T_1 = \overline{Q_0} + Q_2$$

$$T_0 = 1$$

$$T_2 = \overline{Q_0} \quad T_1 = \overline{Q_0} + Q_2$$

$$T_0 = 1$$



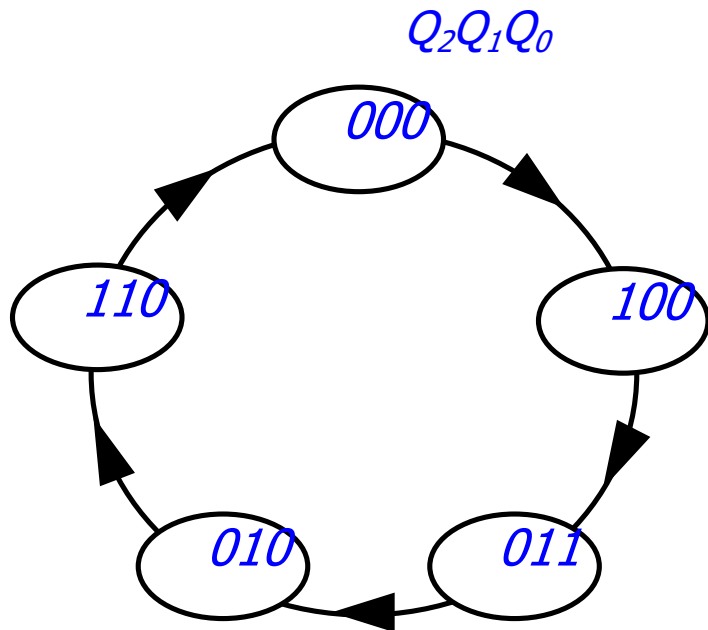
b. Bộ đếm không đầy đủ ($m < 2^n$)

Các trạng thái có trong vòng đếm sẽ thiết kế như bộ đếm đầy đủ, còn các trạng thái dư không có trong vòng đếm sẽ giải quyết theo 2 cách sau:

- ❖ **Cách 1:** Các trạng thái dư có trạng thái kế tiếp là tùy định. Khi thiết kế cần khởi động giá trị ban đầu cho bộ đếm, giá trị này phải là 1 trong những trạng thái có trong vòng đếm.
- ❖ **Cách 2:** Cho các trạng thái dư không có vòng đếm có trạng thái kế tiếp là một trong những trạng thái có trong vòng đếm.

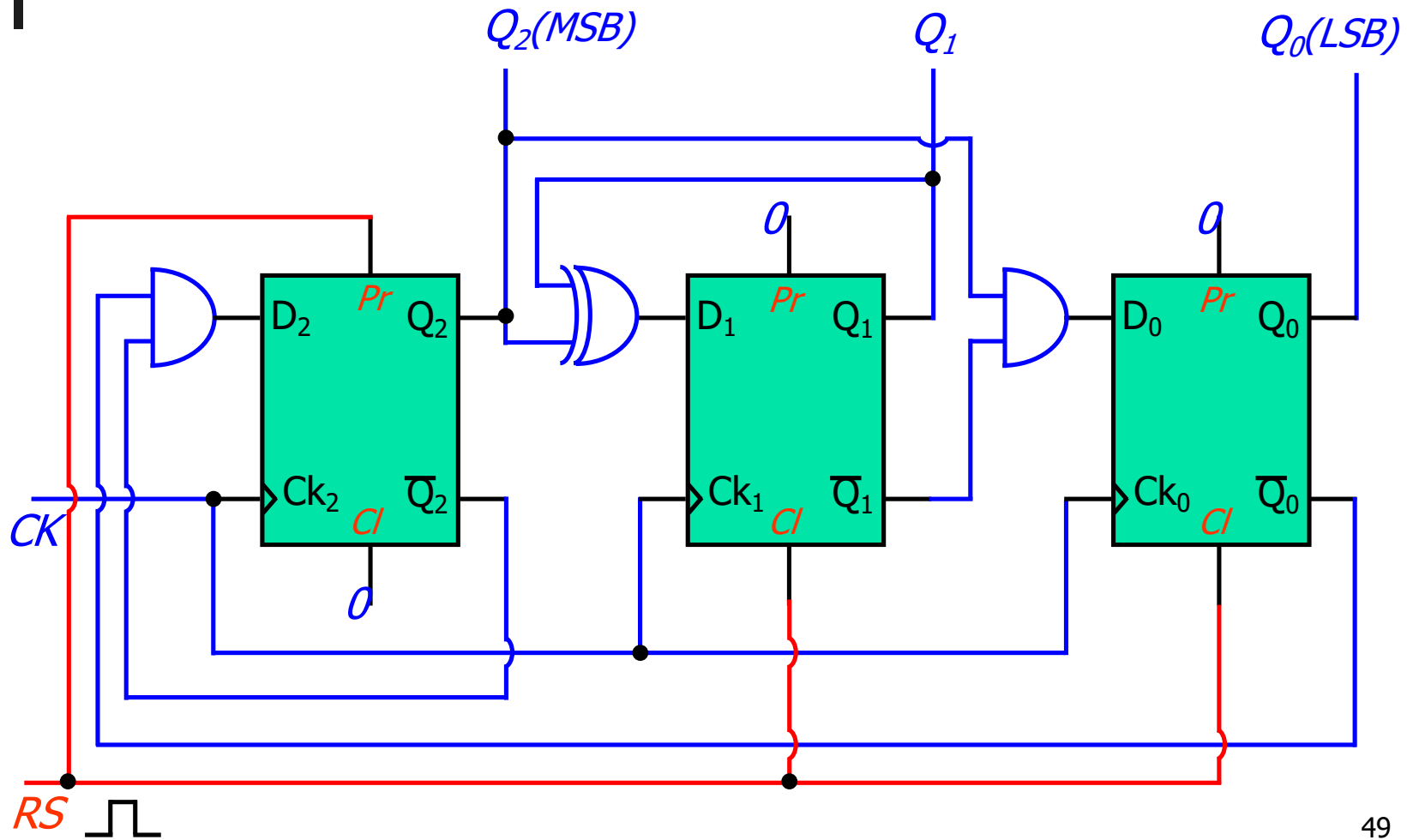
b. Bộ đếm không đầy đủ ($m < 2^n$)

Ví dụ cách 1: Thiết kế bộ đếm dùng D-FF cạnh lên, có ngõ vào Pr và Cl tích cực cao, có giản đồ trạng thái sau:



<i>T/t hiện tại</i>			<i>T/t kế tiếp</i>		
Q_2	Q_1	Q_0	Q'_2	Q'_1	Q'_0
0	0	0	1	0	0
0	0	1	X	X	X
0	1	0	1	1	0
0	1	1	0	1	0
1	0	0	0	1	1
1	0	1	X	X	X
1	1	0	0	0	0
1	1	1	X	X	X
			D_2	D_1	D_0

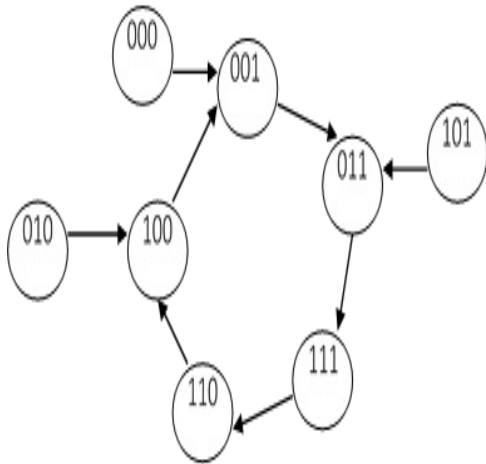
$$D_2 = \overline{Q_2} \overline{Q_0} \quad D_1 = Q_2 \oplus Q_1 \quad D_0 = Q_2 \overline{Q_1}$$



b. Bộ đếm không đầy đủ ($m < 2^n$)

Ví dụ cách 2:

Thiết kế bộ đếm đồng bộ (synchronous counter) sử dụng JK Flip flop có xung clock cạnh xuống với graph trạng thái như sau:



Các bước thiết kế gồm:

- Số lượng Flip flop
- Lập bảng trạng thái hiện tại và tiếp theo (current state and next state table)
- Lập bìa Karnaugh cho $J_2, K_2, J_1, K_1, J_0, K_0$ và rút gọn
- Vẽ sơ đồ logic

Q	Q'	J	K
0	0	0	x
0	1	1	x
1	0	x	1
1	1	x	0

➤ Cho bảng kích thích của Flip Flop JK

b. Bộ đếm không đầy đủ ($m < 2^n$)

- Số lượng Flip flop: 3 Flip flop
- Lập bảng trạng thái

Q	Q'	J	K
0	0	0	x
0	1	1	x
1	0	x	1
1	1	x	0

Q_2	Q_1	Q_0	Q'_2	Q'_1	Q'_0	J_2	K_2	J_1	K_1	J_0	K_0
0	0	0	0	0	1	0	x	0	x	1	x
0	0	1	0	1	1	0	x	1	x	x	0
0	1	0	1	0	0	1	x	x	1	0	x
0	1	1	1	1	1	1	x	x	0	x	0
1	0	0	0	0	1	x	1	0	x	1	x
1	0	1	0	1	1	x	1	1	x	x	0
1	1	0	1	0	0	x	0	x	1	0	x
1	1	1	1	1	0	x	0	x	0	x	1

b. Bộ đếm không đầy đủ ($m < 2^n$)

- Lập bảng Karnaugh cho $J_2, K_2, J_1, K_1, J_0, K_0$

$$J_2 = Q_1$$

$$K_2 = \overline{Q_1}$$

$$J_1 = Q_0$$

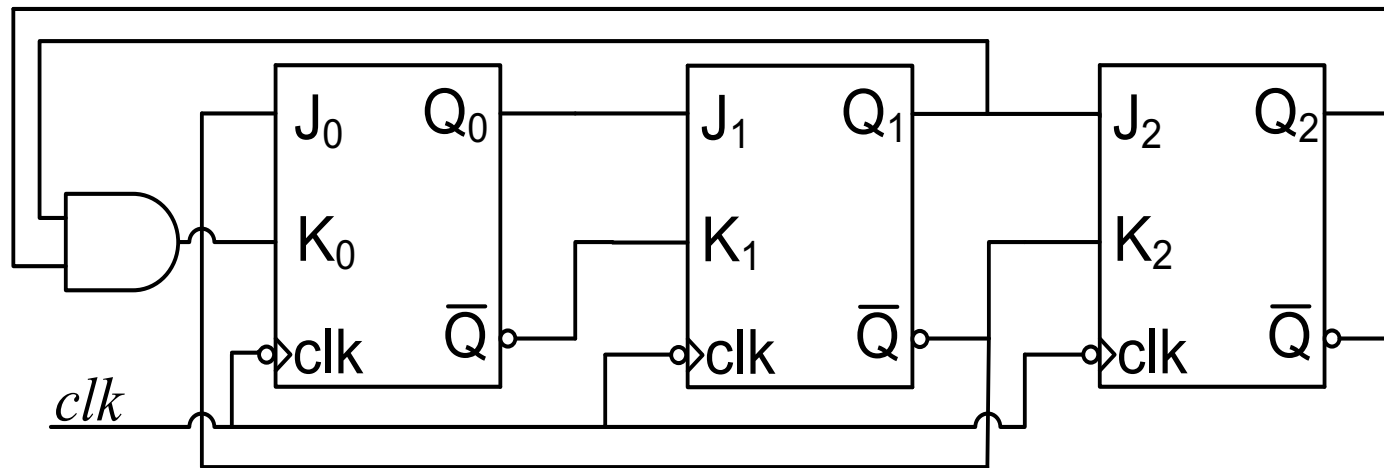
$$K_1 = \overline{Q_0}$$

$$J_0 = \overline{Q_1}$$

$$K_0 = Q_2 Q_1$$

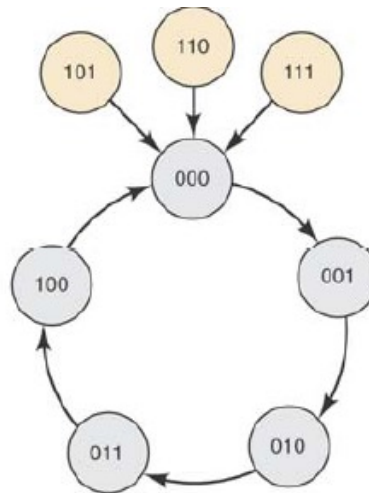
b. Bộ đếm không đầy đủ ($m < 2^n$)

- Vẽ sơ đồ logic



Ví dụ: Thiết kế bộ đếm MOD-5 ta sử dụng FF JK

Sơ đồ chuyển đổi trạng thái
(000→001→010→011→100→000→...)



Bảng trạng thái của mạch

	PRESENT			NEXT								
	C	B	A	C	B	A	J _C	K _C	J _B	K _B	J _A	K _A
Line 1	0	0	0	0	0	1	0	x	0	x	1	x
2	0	0	1	0	1	0	0	x	1	x	x	1
3	0	1	0	0	1	1	0	x	x	0	1	x
4	0	1	1	1	0	0	1	x	x	1	x	1
5	1	0	0	0	0	0	x	1	0	x	0	x
6	1	0	1	0	0	0	x	1	0	x	x	1
7	1	1	0	0	0	0	x	1	x	1	0	x
8	1	1	1	0	0	0	x	1	x	1	x	1

Bảng kích thích của FF JK

Q _n	Q _{n+1}	J	K
0	0	0	x
0	1	1	x
1	0	x	1
1	1	x	0

Xác định các giá trị J và K

Tính giá trị của J_A

PRESENT			J_A
C	B	A	
0	0	0	1
0	0	1	x
0	1	0	1
0	1	1	x
1	0	0	0
1	0	1	x
1	1	0	0
1	1	1	x

(a)

	\bar{A}	A
$\bar{B}\bar{C}$	1	x
$\bar{B}C$	0	x
BC	0	x
$B\bar{C}$	1	x

$J_A = \bar{C}$

(b)

Giá trị của $K_A = 1$

Tương tự ta có

	\bar{A}	A
$\bar{B}\bar{C}$	0	0
$\bar{B}C$	x	x
BC	x	x
$B\bar{C}$	0	1

$$J_C = AB$$

	\bar{A}	A
$\bar{B}\bar{C}$	x	x
$\bar{B}C$	1	1
BC	1	1
$B\bar{C}$	x	x

$$K_C = 1$$

	\bar{A}	A
$\bar{B}\bar{C}$	0	1
$\bar{B}C$	0	0
BC	x	x
$B\bar{C}$	x	x

$$J_B = A\bar{C}$$

	\bar{A}	A
$\bar{B}\bar{C}$	x	x
$\bar{B}C$	x	x
BC	1	1
$B\bar{C}$	0	1

$$K_B = A + C$$

Bài toán ngược : Từ sơ đồ logic đề cho vẽ sơ đồ trạng thái

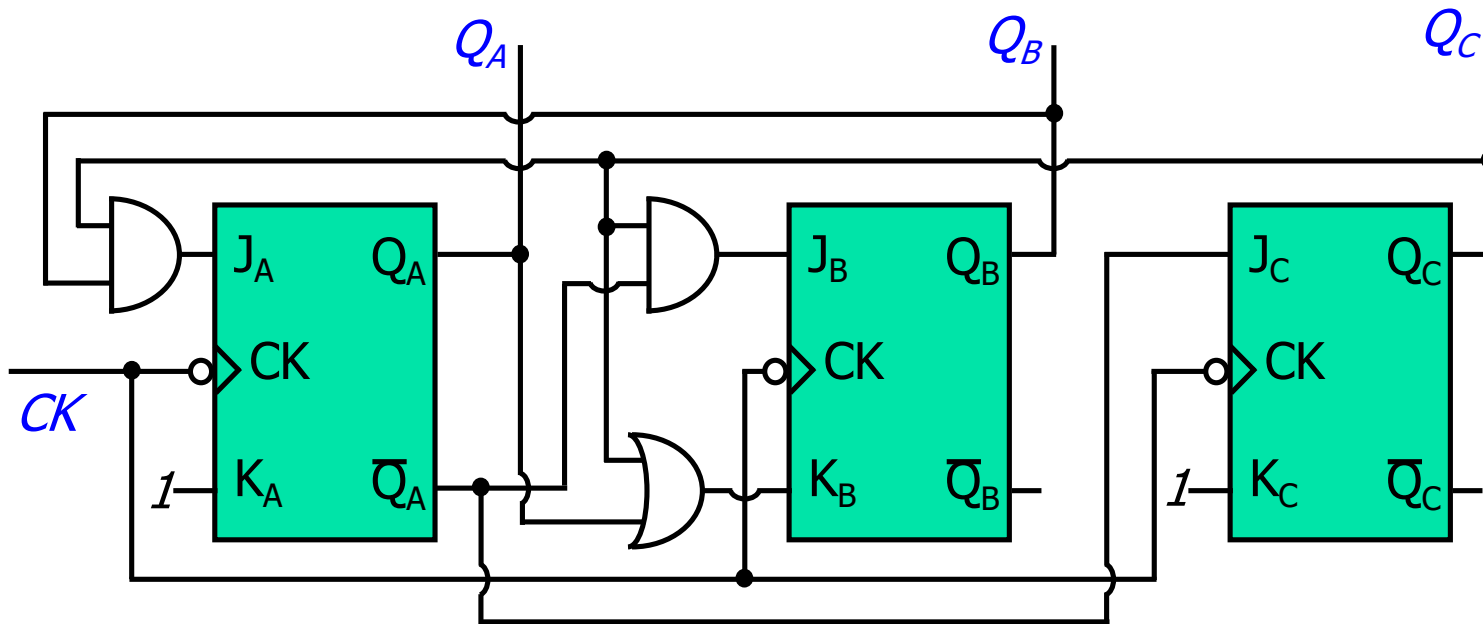
B1: Từ sơ đồ logic của bộ đếm xác định hàm kích thích (biểu thức của các ngõ vào của từng FF phụ thuộc vào các ngõ ra Q_i)

B2: Lập bảng trạng thái: từ trạng thái hiện tại Q_i và giá trị ngõ vào ta xác định được trạng thái kế tiếp của FF Q_i^+ .

B3: Từ bảng chuyển trạng thái xác định được giản đồ trạng thái hoặc khảo sát giản đồ xung của bộ đếm.

Bài toán ngược : Từ sơ đồ logic đề cho vẽ sơ đồ trạng thái

Ví dụ: Cho sơ đồ logic như hình vẽ, xác định sơ đồ trạng thái của mạch và số mod của mạch?



$$J_A = Q_B Q_C$$

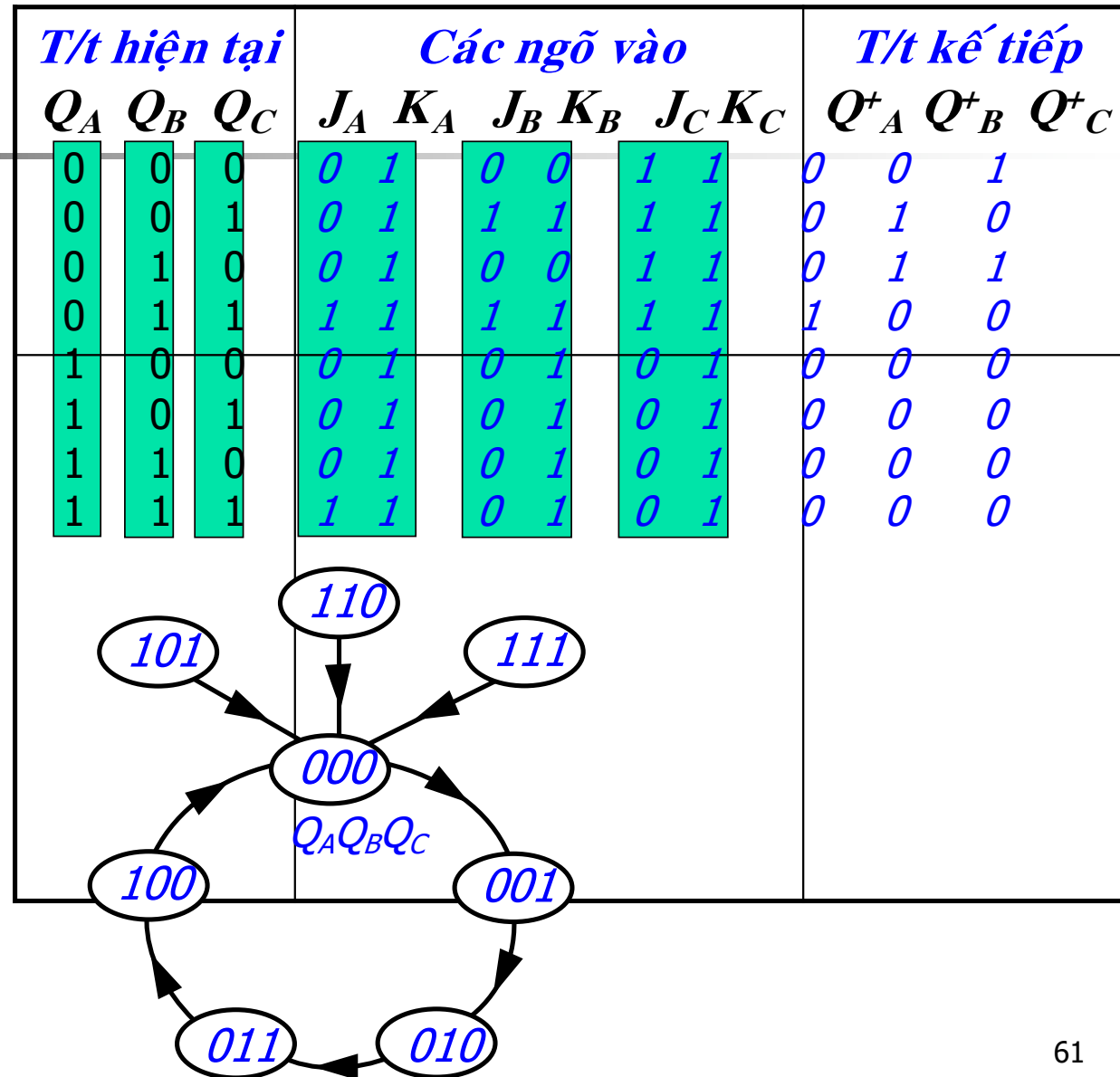
$$K_A = 1$$

$$J_B = \overline{Q_A} Q_C$$

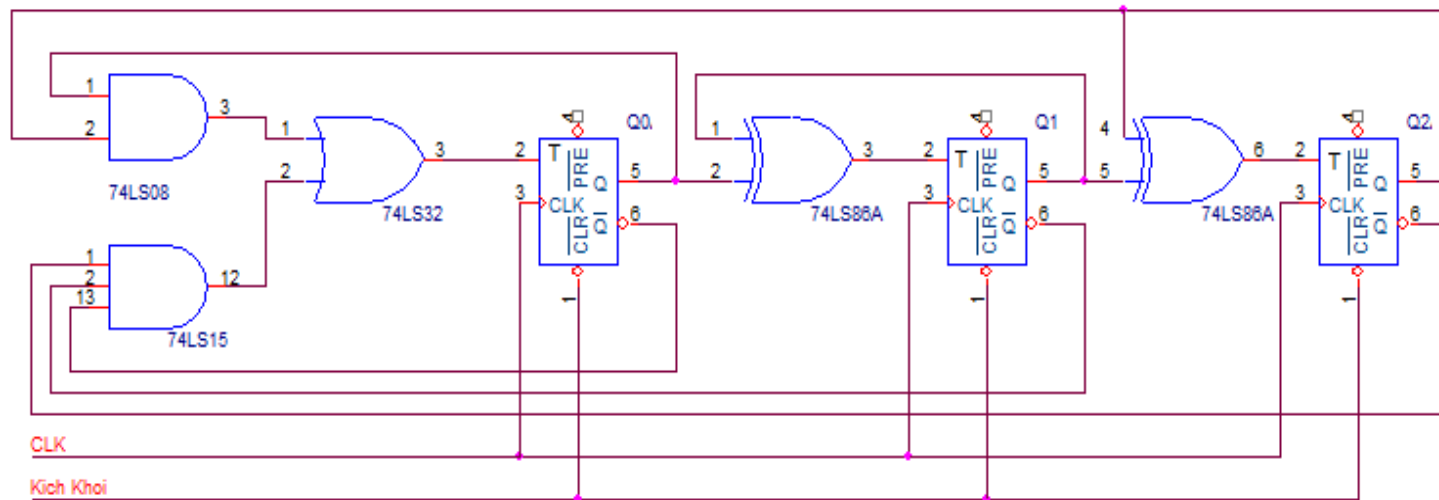
$$K_B = Q_A + Q_C$$

$$J_C = \overline{Q_A}$$

$$K_C = 1$$



Cho bộ đếm với sơ đồ mạch:



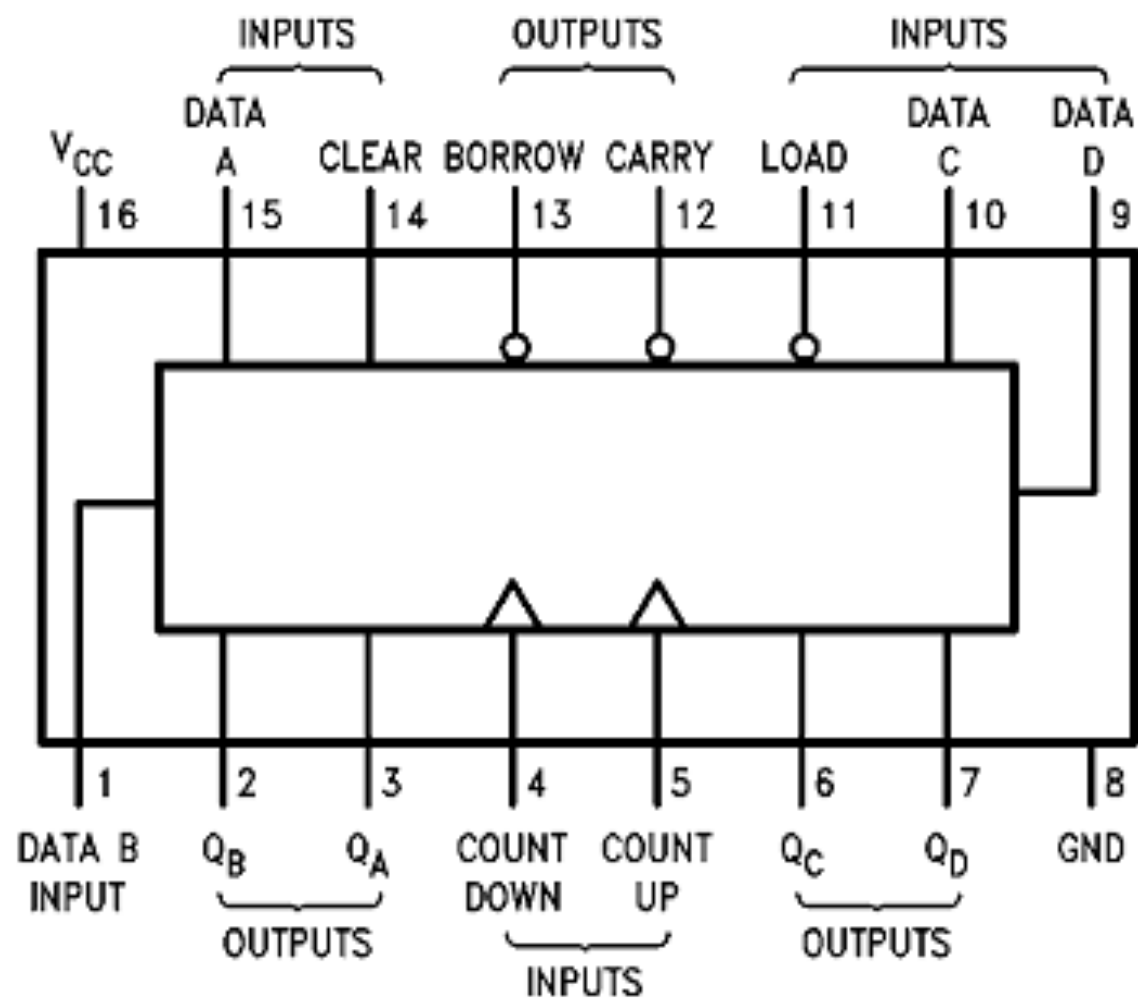
- Giải thích và vẽ giản đồ xung ở các ngõ ra Q0, Q1, Q2
- Lập graph trạng thái của mạch.
- Cho biết hệ số đếm của mạch.

IV. Thiết kế hệ tuần tự đồng bộ / dùng IC

- ✓ Đây là loại mạch tuần tự ngoài xung nhịp C_k còn có tín hiệu điều khiển khác (ở đây ta giả thiết giữa 2 xung nhịp trạng thái của mạch đã được xác lập).
- ✓ Quá trình thiết kế hệ tuần tự có đầu vào tương tự như bộ đếm song song. Tuy nhiên do đặc thù có ngõ vào nên quá trình thiết kế gồm những bước như sau:

Bước 1: Mã hóa các trạng thái vào, trạng thái trong và trạng thái ra.

Bước 2: Dựa vào bảng trạng thái của hệ để lập bảng trạng thái đã mã hóa.



Cho vi mạch số 74LS193 (đếm đồng bộ 4 bit). Chân 4 cấp xung clk cạnh lên, chân 14 nối mức 0, chân 5, 11 nối mức 1.

Mạch đếm ở trạng thái:

- a/ Đếm lên
- b/ Đếm xuống
- c/ Reset về không
- d/ Load dữ liệu

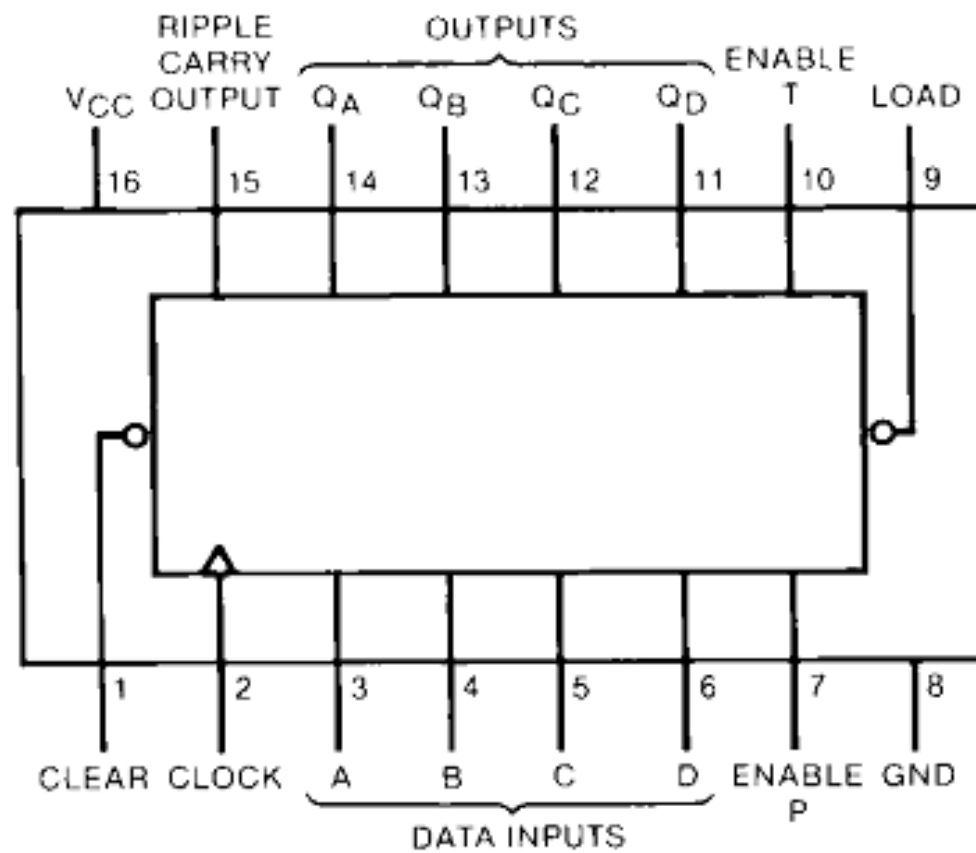
Cho vi mạch số 74LS193 (đếm đồng bộ 4 bit). Để tạo mạch đếm xuống, cần kết nối:

a/ Chân 4 cấp xung clk cạnh lên, chân 5, 14 nối mức 0, chân 11 nối mức 1

b/ Chân 4 cấp xung clk cạnh lên, chân 14 nối mức 0, chân 5, 11 nối mức 1

c/ Chân 4 cấp xung clk cạnh xuống, chân 5, 14 nối mức 0, chân 11 nối mức 1

d/ Chân 4 cấp xung clk cạnh xuống, chân 14 nối mức 0, chân 5, 11 nối mức 1



Cho vi mạch số 74LS163 (đếm đồng bộ 4 bit). Để thực hiện nhập dữ liệu (load data), cần kết nối:

- a/ Chân 1, 9, 7, 10 nối mức 0.
- b/ Chân 1,9 nối mức 1.
- c/ Chân 9 nối mức 0; chân 1 nối mức 1.
- d/ Chân 9 nối mức 1; chân 1 nối mức 0.

Cho vi mạch số 74LS163 (đếm đồng bộ 4 bit). Để thực hiện mạch đếm lên, cần kết nối:

- a/ Chân 1, 9, 7, 10 nối mức 0.
- b/ Chân 1, 9 nối mức 0; chân 7, 10 nối mức 1.
- c/ Chân 1, 9, 7, 10 nối mức 1.
- d/ Chân 1, 9 nối mức 1; chân 7, 10 nối mức 0.