

TRƯỜNG ĐẠI HỌC SƯ PHẠM KỸ THUẬT TP HỒ CHÍ MINH
KHOA ĐIỆN - ĐIỆN TỬ
BỘ MÔN KỸ THUẬT MÁY TÍNH - VIỄN THÔNG



NGÀNH CÔNG NGHỆ KỸ THUẬT ĐIỆN TỬ - VIỄN THÔNG

ĐỒ ÁN 1

THIẾT KẾ Ô NHỚ SRAM 8T 8X8

SVTH: **NGUYỄN TÀI ANH TUẤN**

MSSV: 22161203

GVHD: **TH.S. TRƯỜNG QUANG PHÚC**

TP. HỒ CHÍ MINH - 05/2025

TRƯỜNG ĐẠI HỌC SƯ PHẠM KỸ THUẬT TP HỒ CHÍ MINH
KHOA ĐIỆN - ĐIỆN TỬ
BỘ MÔN KỸ THUẬT MÁY TÍNH - VIỄN THÔNG

ĐỒ ÁN 1

THIẾT KẾ Ô NHỚ SRAM 8T 8X8

SVTH: NGUYỄN TÀI ANH TUẤN
MSSV: 22161203

GVHD: THS TRƯỜNG QUANG PHÚC

TP. HỒ CHÍ MINH - 05/2025

LỜI CẢM ƠN

Lời đầu tiên, nhóm em xin gửi lời cảm ơn chân thành và sâu sắc nhất đến Thầy Trương Quang Phúc, giảng viên trường Đại học Sư phạm Kỹ thuật Thành phố Hồ Chí Minh, người đã tận tình hướng dẫn nhóm em trong suốt quá trình thực hiện Đồ án 1 với đề tài “Thiết kế ô nhớ SRAM 8T 8x8”.

Thầy không chỉ truyền đạt cho nhóm em những kiến thức chuyên môn quý báu mà còn luôn tận tâm định hướng, góp ý chi tiết để nhóm em hoàn thiện đồ án một cách tốt nhất. Nhóm em vô cùng biết ơn sự chỉ dạy tận tình và trách nhiệm của Thầy trong suốt thời gian qua.

Vì giới hạn về kiến thức và kinh nghiệm thực tế, đồ án không tránh khỏi những thiếu sót. Nhóm em rất mong nhận được sự góp ý từ Thầy để có thể hoàn thiện tốt hơn trong các nghiên cứu và dự án sau này.

Nhóm em xin chân thành cảm ơn!

TÓM TẮT

Xã hội ngày càng phát triển, nền công nghệ bán dẫn đã dần thúc đẩy nhu cầu nghiên cứu và cải tiến các bộ nhớ bán dẫn có độ ổn định cao và mức tiêu thụ năng lượng thấp. Bộ nhớ SRAM 8T (Static Random Access Memory 8 Transistor) là một lựa chọn tối ưu nhờ khả năng lưu trữ dữ liệu tạm thời với tốc độ cao và độ ổn định tốt hơn so với cấu trúc SRAM 6T truyền thống. Trong nghiên cứu này, thiết kế ô nhớ SRAM 8T được thực hiện bằng công nghệ CMOS 90nm dùng môi trường Cadence. Vì cấu trúc bao gồm 8 transistor được tối ưu để cải thiện khả năng đọc/ghi và giảm xung đột khi truy xuất, đồng thời giúp tăng độ ổn định ô nhớ trong môi trường hoạt động khắc nghiệt. Kết quả mô phỏng được cho thấy SRAM 8T có độ ổn định tốt, tiêu thụ điện năng thấp, thời gian truy cập ngắn và phù hợp cho các ứng dụng khác có yêu cầu về tiết kiệm điện năng và hiệu suất cao.

MỤC LỤC

LỜI CẢM ƠN	i
TÓM TẮT	ii
MỤC LỤC.....	iii
DANH MỤC HÌNH ẢNH.....	vii
DANH MỤC BẢNG.....	xii
DANH MỤC CÁC TỪ VIẾT TẮT	xii
CHƯƠNG 1 TỔNG QUAN	1
1.1 GIỚI THIỆU	1
1.2 TÌNH HÌNH NGHIÊN CỨU	2
1.2.1 Tình hình nghiên cứu ở trong nước	2
1.2.2 Tình hình nghiên cứu ở ngoài nước.....	2
1.3 MỤC TIÊU ĐỀ TÀI.....	2
1.4 PHƯƠNG PHÁP NGHIÊN CỨU.....	3
1.5 BỐ CỤC ĐỀ TÀI	3
CHƯƠNG 2 CƠ SỞ LÝ THUYẾT.....	4
2.1 CẤU TRÚC Ô NHỚ SRAM 8T	4
2.1.1 Mảng SRAM 8T	4
2.1.2 Mạch nạp trước	4
2.1.3 Mạch ghi	4
2.1.4 Mạch khuếch đại cảm nhận	4
2.1.5 Mạch giải mã 3 sang 8.....	5
2.2 NGUYÊN LÝ HOẠT ĐỘNG Ô NHỚ SRAM 8T.....	5
2.2.1 Sơ đồ khái quát quá trình đọc/ghi dữ liệu	5
2.2.2 Quá trình đọc dữ liệu (READ)	5
2.2.3 Quá trình ghi dữ liệu (WRITE)	6
2.3 KHẢO SÁT ĐỘ TRỄ VÀ CÔNG SUẤT TIÊU THỤ	6

2.3.1 Độ trễ	6
2.3.2 Công suất tiêu thụ	7
2.3.3 Ảnh hưởng của nhiệt độ đến hoạt động và công suất tiêu thụ	8
CHƯƠNG 3 THIẾT KẾ HỆ THỐNG	10
3.1 SƠ ĐỒ KHÓI HỆ THỐNG.....	10
3.2 SO SÁNH SRAM 8T VÀ 6T	11
3.3 THIẾT KẾ Ô NHỚ SRAM 8T	12
3.3.1 Ưu điểm	12
3.3.2 Nhược điểm	12
3.4 THIẾT KẾ MẠCH NẠP TRƯỚC	13
3.5 THIẾT KẾ MẠCH GHI	14
3.6 THIẾT KẾ BỘ KHUẾCH ĐẠI CẢM NHẬN	15
3.7 THIẾT KẾ MẠCH GIẢI MÃ 3 SANG 8	16
3.7.1 Mạch giải mã 3 sang 8 đường	16
3.7.2 Mạch giải mã 2 sang 4 có chân E cho phép	18
3.7.2.1 Giải thích.....	18
3.7.2.2 Biểu thức rút gọn	19
CHƯƠNG 4 KẾT QUẢ MÔ PHỎNG	20
4.1 BỘ NHỚ SRAM 8T	20
4.2 MẠCH NẠP TRƯỚC	21
4.3 MẠCH GHI.....	22
4.4 MẠCH KHUẾCH ĐẠI CẢM NHẬN	23
4.5 MẠCH SRAM 8T 1x1	24
4.6 MẠCH GIẢI MÃ 3 SANG 8	25
4.6.1 Thiết mạch giải mã 2 sang 4 đường có chân E cho phép	25
4.6.2 Thiết mạch giải mã 3 sang 8 đường	26
4.7 MẢNG SRAM 8T 8X8	27
4.8 KẾT QUẢ KIỂM TRA Ô NHỚ SRAM 8T.....	28

4.8.1 Dạng sóng	28
4.8.1.1 Cấp nguồn cho mạch SRAM 8T.....	28
4.8.1.2 Dạng sóng của mạch SRAM 8T	29
4.8.1.3 Nhận xét mô phỏng SRAM 8T	30
4.8.2 Công suất tiêu thụ	31
4.8.2.1 Mô phỏng sơ đồ nguyên lý SRAM 6T	31
4.8.2.2 Dùng công cụ Calculator đo được các công suất tiêu thụ của mạch.....	32
4.8.2.3 Nhận xét mô phỏng so sánh SRAM 6T và 8T	33
4.8.3 Độ trễ lan truyền	33
4.8.3.1 Quá trình đọc dữ liệu	33
4.8.3.2 Quá trình ghi dữ liệu.....	35
4.9 KẾT QUẢ KIỂM TRA MẢNG SRAM 8T	36
4.9.1 Mảng SRAM 1x1	36
4.9.1.1 Cấp nguồn cho mảng SRAM 8T 1x1	36
4.9.1.2 Dạng sóng của mảng SRAM 8T 1x1	38
4.9.1.3 Nhận xét mô phỏng mảng SRAM 1x1	39
4.9.1.4 Công suất tiêu thụ	40
4.9.2 Mảng SRAM 8x8	41
4.9.2.1 Chọn Vdc = 1.2V	41
4.9.2.2 Chọn Vdc = 1.0V	51
4.9.2.3 Chọn Vdc = 0.8V	60
4.10 LAYOUT Ô NHỚ SRAM 8T	69
4.10.1 Layout clean	69
4.10.1.1 Kiểm tra DRC	70
4.10.1.2 Kiểm tra LVS.....	70
4.10.2 Layout annotation	71
4.10.2.1 Các thành phần chính.....	71
4.10.2.2 Đặc điểm:	72

CHƯƠNG 5 KẾT LUẬN.....	73
5.1 KẾT LUẬN CHUNG	73
5.2 HƯỚNG PHÁT TRIỂN	73
TÀI LIỆU THAM KHẢO	75
PHỤ LỤC	76

DANH MỤC HÌNH ẢNH

Hình 2.1: Quá ghi/đọc dữ liệu	5
Hình 2.2: Độ trễ lan truyền	7
Hình 3.1: Sơ đồ khối mảng SRAM 8T 8x8	11
Hình 3.2: SRAM 6T (a) và SRAM 8T (b)	12
Hình 3.3: Sơ đồ khối ô nhớ SRAM 8T	13
Hình 3.4: Sơ đồ khối mạch nạp trước	14
Hình 3.5: Sơ đồ khối mạch ghi	15
Hình 3.6: Sơ đồ khối mạch khuếch đại cảm nhận.....	16
Hình 3.7: Sơ đồ khối mạch giải mã 3 sang 8	18
Hình 3.8: Sơ đồ khối mạch giải mã 2 sang 4 có chân E cho phép.....	19
Hình 4.1:Mô phỏng mạch SRAM 8T (a) (b) và đóng gói	20
Hình 4.2: Mô phỏng mạch nạp trước (a) và (b) đóng gói	21
Hình 4.3: Mô phỏng mạch ghi (a) và (b) đóng gói	22
Hình 4.4: Mô phỏng mạch khuếch đại cảm nhận (a) và (b) đóng gói	23
Hình 4.5: Mô phỏng mạch SRAM 8T 1x1.....	24
Hình 4.6: Mô phỏng mạch giải mã 2 sang 4 có chân E cho phép (a) và (b) đóng gói	25
Hình 4.7: Mô phỏng mạch giải mã 3 sang 8 (a) và (b) đóng gói	26
Hình 4.8: Mô phỏng mảng SRAM 8T 8x8 (a) và (b) đóng gói	27
Hình 4.9: Cài đặt nhiệt độ 27 độ C cho thiết kế mô phỏng mạch SRAM 8T	28
Hình 4.10: Mạch SRAM 8T sau khi đã cấp nguồn.....	29
Hình 4.11: Dạng sóng mạch SRAM 8T sau khi mô phỏng được	30
Hình 4.12: Mô phỏng mạch SRAM 6T (a) và (b) đóng gói	32
Hình 4.13: Đồ thị so sánh công suất trung bình giữa SRAM 6T và 8T.....	33
Hình 4.14: Độ trễ lan truyền cạnh lên của quá trình đọc dữ liệu	34
Hình 4.15: Độ trễ lan truyền cạnh xuống của quá trình đọc dữ liệu.....	34
Hình 4.16: Độ trễ lan truyền cạnh lên của quá trình ghi dữ liệu.....	35

Hình 4.17: Độ trễ lan truyền cạnh xuống của quá trình ghi dữ liệu	35
Hình 4.18: Cài đặt nhiệt độ 27 độ C cho thiết kế mô phỏng mảng SRAM 8T 1x1	36
Hình 4.19: Mảng SRAM 8T 1x1 sau khi đã cấp nguồn.....	38
Hình 4.20: Dạng sóng mảng SRAM 8T 1x1 sau khi mô phỏng được	39
Hình 4.21: Công suất trung bình mảng SRAM 8T 1x1	41
Hình 4.22: Mảng SRAM 8T 8x8 sau khi đã cấp nguồn tại $V_{dc} = 1.2V$	42
Hình 4.23: Cài đặt -10 độ C cho thiết kế mô phỏng mảng SRAM 8T 8x8 tại $V_{dc} = 1.2V$	43
Hình 4.24: Dạng sóng mảng SRAM 8T 8x8 tại $V_{dc} = 1.2V$ và -10 độ C	43
Hình 4.25: Công suất trung bình mảng SRAM 8T 8x8 tại $V_{dc} = 1.2V$ và -10 độ C	43
Hình 4.26: Thời gian trễ đo được từ mảng SRAM 8T 8x8 tại $V_{dc} = 1.2V$ và -10 độ C	44
Hình 4.27: Cài đặt 27 độ C cho thiết kế mô phỏng mảng SRAM 8T 8x8 tại $V_{dc} = 1.2V$	46
Hình 4.28: Dạng sóng mảng SRAM 8T 8x8 tại $V_{dc} = 1.2V$ và 27 độ C	46
Hình 4.29: Công suất trung bình mảng SRAM 8T 8x8 tại $V_{dc} = 1.2V$ và 27 độ C	46
Hình 4.30: Thời gian trễ đo được từ mảng SRAM 8T 8x8 tại $V_{dc} = 1.2V$ và 27 độ C	47
Hình 4.31: Cài đặt 80 độ C cho thiết kế mô phỏng mảng SRAM 8T 8x8 tại $V_{dc} = 1.2V$	48
Hình 4.32: Dạng sóng mảng SRAM 8T 8x8 tại $V_{dc} = 1.2V$ và 80 độ C	48
Hình 4.33: Công suất trung bình mảng SRAM 8T 8x8 tại $V_{dc} = 1.2V$ và 80 độ C	49
Hình 4.34: Thời gian trễ đo được từ mảng SRAM 8T 8x8 tại $V_{dc} = 1.2V$ và 80 độ C	49

Hình 4.35: Đồ thị so sánh công suất tiêu thụ của mảng SRAM 8T 8x8	
tại Vdc = 1.2V	51
Hình 4.36: Mảng SRAM 8T 8x8 sau khi đã cấp nguồn tại Vdc = 1.0V	53
Hình 4.37: Cài đặt -10 độ C cho thiết kế mô phỏng mảng SRAM 8T 8x8	
tại Vdc = 1.0V	53
Hình 4.38: Dạng sóng mảng SRAM 8T 8x8 tại Vdc = 1.0V và -10 độ C	53
Hình 4.39: Công suất trung bình mảng SRAM 8T 8x8	
tại Vdc = 1.0V và -10 độ C	53
Hình 4.40: Thời gian trễ đo được từ mảng SRAM 8T 8x8	
tại Vdc = 1.0V và -10 độ C	54
Hình 4.41: Cài đặt 27 độ C cho thiết kế mô phỏng mảng SRAM 8T 8x8	
tại Vdc = 1.0V	55
Hình 4.42: Dạng sóng mảng SRAM 8T 8x8 tại Vdc = 1.0V và 27 độ C	55
Hình 4.43: Công suất trung bình mảng SRAM 8T 8x8	
tại Vdc = 1.0V và 27 độ C	56
Hình 4.44: Thời gian trễ đo được từ mảng SRAM 8T 8x8	
tại Vdc = 1.0V và 27 độ C	56
Hình 4.45: Cài đặt 80 độ C cho thiết kế mô phỏng mảng SRAM 8T 8x8	
tại Vdc = 1.0V	58
Hình 4.46: Dạng sóng mảng SRAM 8T 8x8 tại Vdc = 1.0V và 80 độ C	58
Hình 4.47: Công suất trung bình mảng SRAM 8T 8x8	
tại Vdc = 1.0V và 80 độ C	58
Hình 4.48: Thời gian trễ đo được từ mảng SRAM 8T 8x8	
tại Vdc = 1.0V và 80 độ C	59
Hình 4.49: Đồ thị so sánh công suất tiêu thụ của mảng SRAM 8T 8x8	
tại Vdc = 1.0V	60
Hình 4.50: Mảng SRAM 8T 8x8 sau khi đã cấp nguồn tại Vdc = 0.8V	62
Hình 4.51: Cài đặt -10 độ C cho thiết kế mô phỏng mảng SRAM 8T 8x8	

tại $V_{dc} = 0.8V$	62
Hình 4.52: Dạng sóng mảng SRAM 8T 8x8 tại $V_{dc} = 0.8V$ và -10 độ C	62
Hình 4.53: Công suất trung bình mảng SRAM 8T 8x8 tại $V_{dc} = 0.8V$ và -10 độ C	62
Hình 4.54: Thời gian trễ đo được từ mảng SRAM 8T 8x8 tại $V_{dc} = 0.8V$ và -10 độ C	63
Hình 4.55: Cài đặt 27 độ C cho thiết kế mô phỏng mảng SRAM 8T 8x8 tại $V_{dc} = 0.8V$	64
Hình 4.57: Công suất trung bình mảng SRAM 8T 8x8 tại $V_{dc} = 0.8V$ và 27 độ C	65
Hình 4.58: Thời gian trễ đo được từ mảng SRAM 8T 8x8 tại $V_{dc} = 0.8V$ và 27 độ C	65
Hình 4.59: Cài đặt 80 độ C cho thiết kế mô phỏng mảng SRAM 8T 8x8 tại $V_{dc} = 0.8V$	66
Hình 4.61: Công suất trung bình mảng SRAM 8T 8x8 tại $V_{dc} = 0.8V$ và 80 độ C	67
Hình 4.62: Thời gian trễ đo được từ mảng SRAM 8T 8x8 tại $V_{dc} = 0.8V$ và 80 độ C	67
Hình 4.63: Đồ thị so sánh công suất tiêu thụ của mảng SRAM 8T 8x8 tại $V_{dc} = 0.8V$	68
Hình 4.64: Layout dùng để kiểm tra DRC và LVS.....	69
Hình 4.65: Kết quả kiểm tra DRC của layout clean	70
Hình 4.66: Kết quả kiểm tra LVS của layout clean	70
Hình 4.67: Layout có ghi chú chi tiết.....	72

DANH MỤC BẢNG

<i>Bảng 3.1: Bảng so sánh SRAM 8T và 6T</i>	11
<i>Bảng 3.2: Bảng trạng thái mạch giải mã 3 sang 8</i>	17
<i>Bảng 3.3: Bảng trạng thái mạch giải mã 2 sang 4 có chân E cho phép.....</i>	18
<i>Bảng 4.1: Thông số cài đặt pMOS và nMOS của mạch SRAM 8T</i>	28
<i>Bảng 4.2: Bảng trạng thái mạch SRAM 8T</i>	30
<i>Bảng 4.3: Bảng so sánh công suất tiêu thụ của SRAM 6T và 8T theo nhiệt độ</i>	32
<i>Bảng 4.4: Thông số cài đặt pMOS và nMOS của mảng SRAM 8T 1x1</i>	36
<i>Bảng 4.5: Bảng trạng thái mảng SRAM 8T 1x1</i>	39
<i>Bảng 4.6: Thông số cài đặt pMOS và nMOS của mảng SRAM 8T 8x8</i>	41

DANH MỤC CÁC TỪ VIẾT TẮT

BL	Bit Line
BLB	Bit Line Bar
CMOS	Complementary Metal-Oxide-Semiconductor
DRC	Design Rule Check
GND	Ground
LVS	Layout Versus Schematic
NMOS	Negative-Channel Metal Oxide Semiconductor
P	Power
PMOS	Positive-Channel Metal Oxide Semiconductor
PRE	Precharge
RBL	Read Bit Line
RWL	Read Word Line
SRAM 8T	Static Random Access Memory 8 Transistor
SRAM 6T	Static Random Access Memory 6 Transistor
T_{pd}	Time propagation delay
T_{pdf}	Time propagation delay falling
T_{pdr}	Time propagation delay rising
TSMC	Taiwan Semiconductor Manufacturing Company
VDD	Voltage at Drain of Drain
VSS	Voltage Source Source
WBL	Write Bit Line
WBLB	Write Bit Line Bar
WL	Word Line
WWL	Write Word Line

CHƯƠNG 1

TỔNG QUAN

1.1 GIỚI THIỆU

Trong thời đại công nghệ số phát triển mạnh mẽ, nhu cầu lưu trữ và xử lý dữ liệu tốc độ cao ngày càng trở nên cấp thiết. Các hệ thống điện tử hiện đại, từ thiết bị di động, máy tính đến các hệ thống nhúng trong ô tô và thiết bị IoT, đều yêu cầu bộ nhớ có hiệu suất cao, độ ổn định lớn và tiêu thụ điện năng thấp. Bộ nhớ SRAM (Static Random Access Memory) là một trong những loại bộ nhớ bán dẫn được sử dụng rộng rãi nhờ khả năng truy xuất nhanh và độ tin cậy cao.

Tuy nhiên, cấu trúc truyền thống của SRAM 6T thường gặp một số hạn chế về độ ổn định khi hoạt động ở điện áp thấp hoặc môi trường có nhiễu cao. Để khắc phục điều này, cấu trúc SRAM 8T đã được nghiên cứu và phát triển. Với việc bổ sung thêm hai transistor so với cấu trúc 6T, SRAM 8T cải thiện đáng kể khả năng đọc dữ liệu, giảm xung đột truy cập và nâng cao độ ổn định của ô nhớ.

Trong nghiên cứu này, một mảng bộ nhớ SRAM 8T được thiết kế và mô phỏng bằng công nghệ CMOS 90nm trên môi trường Cadence - một trong những công cụ hàng đầu trong thiết kế vi mạch hiện nay. Thiết kế tập trung vào việc tối ưu hiệu suất truy cập, độ ổn định và mức tiêu thụ điện năng, hướng đến các ứng dụng yêu cầu độ tin cậy cao trong điều kiện hoạt động khắc nghiệt.

Việc triển khai và đánh giá bộ nhớ SRAM 8T trên công nghệ CMOS 90nm không chỉ giúp hiểu rõ hơn về đặc tính hoạt động của cấu trúc này mà còn là bước đệm quan trọng cho việc áp dụng vào các hệ thống thực tế đòi hỏi tốc độ cao và tiêu thụ năng lượng thấp. Các kết quả mô phỏng và phân tích trong nghiên cứu này sẽ làm sáng tỏ những ưu điểm nổi bật của cấu trúc SRAM 8T so với các kiến trúc truyền thống.

1.2 TÌNH HÌNH NGHIÊN CỨU

1.2.1 Tình hình nghiên cứu ở trong nước

Tại Việt Nam, việc nghiên cứu và phát triển các thiết kế bộ nhớ SRAM sử dụng công nghệ CMOS 90nm đã được quan tâm trong những năm gần đây. Một trong những nghiên cứu tiêu biểu là của nhóm tác giả tại Trường Đại học Sư phạm Kỹ thuật TP.HCM, với bài báo “Phân tích hiệu năng của các thiết kế SRAM trên công nghệ TSMC 90nm CMOS” được công bố trên Tạp chí Khoa học và Công nghệ – Đại học Đà Nẵng.

Trong nghiên cứu này, nhóm tác giả đã tiến hành thiết kế và mô phỏng các ô nhớ SRAM 6T và 8T sử dụng công cụ Cadence Spectre trên công nghệ CMOS 90nm. Kết quả cho thấy, cấu trúc SRAM 8T mặc dù có diện tích thiết kế nhỏ hơn nhưng lại cải thiện đáng kể độ ổn định so với cấu trúc 6T truyền thống. Cụ thể, thiết kế 8T giúp giảm xung đột truy cập và nâng cao độ ổn định của ô nhớ trong các điều kiện hoạt động khác nhau. Ngoài ra, nghiên cứu cũng phân tích và so sánh chi tiết công suất tiêu thụ và thời gian trễ giữa hai cấu trúc, cung cấp cái nhìn toàn diện về hiệu năng của từng thiết kế trong các điều kiện hoạt động khác nhau.

Những kết quả từ nghiên cứu này đóng vai trò quan trọng trong việc định hướng phát triển các thiết kế bộ nhớ SRAM hiệu quả và ổn định, phù hợp với yêu cầu ngày càng cao của các hệ thống nhúng và vi xử lý hiện đại tại Việt Nam.

1.2.2 Tình hình nghiên cứu ở ngoài nước

Trên thế giới, nhiều nghiên cứu đã tập trung phát triển các cấu trúc SRAM mới nhằm giảm tiêu thụ năng lượng và cải thiện độ ổn định trong điều kiện công nghệ thu nhỏ. Trong nghiên cứu của nhóm tác giả tại Ấn Độ từ bài báo “Design of Low Power and High Stability 8T SRAM Cell for Nanometer Technology” được công bố trên tạp chí JESTEC, một cấu trúc SRAM 8T cải tiến đã được thiết kế trên công nghệ CMOS 90nm, cho thấy khả năng hoạt động ổn định hơn so với SRAM 6T trong môi trường điện áp thấp. Mô phỏng trên Cadence cho thấy thiết kế này giúp giảm rò rỉ dòng và nâng cao biên ổn định đọc ghi.

1.3 MỤC TIÊU ĐỀ TÀI

- Thiết kế ô nhớ SRAM 8T nhằm cải thiện tính ổn định so với ô nhớ thông thường, được sử dụng ở điện áp thấp.
- Xây dựng bộ điều khiển đọc, ghi và giữ dữ liệu cơ bản.
- Mô phỏng truy xuất dữ liệu bằng phần mềm Cadence dùng công nghệ CMOS 90nm.

1.4 PHƯƠNG PHÁP NGHIÊN CỨU

Nhóm thực hiện đề tài tìm kiếm và tổng hợp lý thuyết liên quan từ các bài báo khoa học, tài liệu tham khảo về SRAM 8T ở trong và ngoài nước. Tiếp theo, nhóm tiến hành mô phỏng ô nhớ trên phần mềm Cadence dùng công nghệ CMOS 90nm, phân tích hoạt động, đánh giá các thông số như độ trễ, công suất tiêu thụ. Qua đó, đề xuất và áp dụng một số kỹ thuật tối ưu nhằm cải thiện hiệu năng và giảm thiểu hao hụt năng lượng của SRAM 8T.

1.5 BỘ CỤC ĐỀ TÀI

Gồm 5 chương chính:

Chương 1 - Giới thiệu: Tổng quan về ngành vi mạch bán dẫn, giới thiệu ô nhớ SRAM 8T. Nêu bật tình hình nghiên cứu của đề tài trong và ngoài nước, trình bày mục tiêu và phương pháp nghiên cứu thực hiện trong đề tài.

Chương 2 - Cơ sở lý thuyết: Làm rõ lý thuyết chung về ô nhớ, trình bày cấu trúc bộ nhớ SRAM 8T và phần mềm Cadence Virtuoso để mô phỏng thiết kế.

Chương 3 - Thiết kế hệ thống: Cho biết nguyên lý hoạt động của SRAM 8T và các kỹ thuật dùng để giảm công suất tiêu thụ.

Chương 4 - Kết quả mô phỏng: Phân tích dạng sóng, so sánh các thông số như độ trễ, thời gian trễ, công suất và đánh giá. Trình bày layout SRAM 8T, mô tả kích thước thiết kế.

Chương 5 - Kết luận: Nhận xét kết quả đề tài theo tiêu chí chính xác, đề xuất cải tiến phát triển nền công nghệ bán dẫn trong tương lai.

CHƯƠNG 2

CƠ SỞ LÝ THUYẾT

2.1 CẤU TRÚC Ô NHỚ SRAM 8T

2.1.1 Mảng SRAM 8T

Mảng SRAM 8T 8x8 bao gồm 64 ô nhớ SRAM, mỗi ô nhớ lưu trữ 1 bit và được thiết kế theo cấu trúc 8 transistor (8T). Mỗi ô nhớ bao gồm hai phần chính: phần lưu trữ dữ liệu và phần điều khiển đọc/ghi riêng biệt, giúp cải thiện độ ổn định và tốc độ truy xuất dữ liệu. Các ô nhớ được bố trí theo cấu trúc ma trận hàng và cột, tương ứng với 8 đường WL và 8 đường BL. Để lựa chọn hàng trong mảng nhớ, một mạch giải mã địa chỉ 3 sang 8 được sử dụng nhằm giải mã tín hiệu địa chỉ đầu vào thành các tín hiệu điều khiển WL. Trong quá trình hoạt động, các đường bit (BL và BLB) đảm nhiệm vai trò truyền dữ liệu đọc và ghi cho từng ô nhớ.

2.1.2 Mạch nạp trước

Mạch nạp trước có nhiệm vụ đưa hai đường bit (BL và BLB) lên mức điện áp cao (VDD) trước mỗi chu kỳ đọc. Việc này giúp cân bằng điện áp và đảm bảo mạch khuếch đại cảm nhận có thể phát hiện chính xác sự chênh lệch khi dữ liệu được đọc từ ô nhớ. Nhờ mạch nạp trước, quá trình đọc diễn ra nhanh và ổn định hơn.

2.1.3 Mạch ghi

Trong quá trình ghi dữ liệu, các đường bit (BL và BLB) được đưa về mức logic tương ứng với dữ liệu cần lưu. Khi hàng ô nhớ được chọn thông qua tín hiệu WL, hai transistor truyền mở ra, cho phép dữ liệu từ BL và BLB được ghi trực tiếp vào cùp chốt lưu trữ trong ô nhớ. Việc ghi chỉ xảy ra ở ô nhớ được chọn, đảm bảo tính chính xác và không ảnh hưởng đến các ô khác.

2.1.4 Mạch khuếch đại cảm nhận

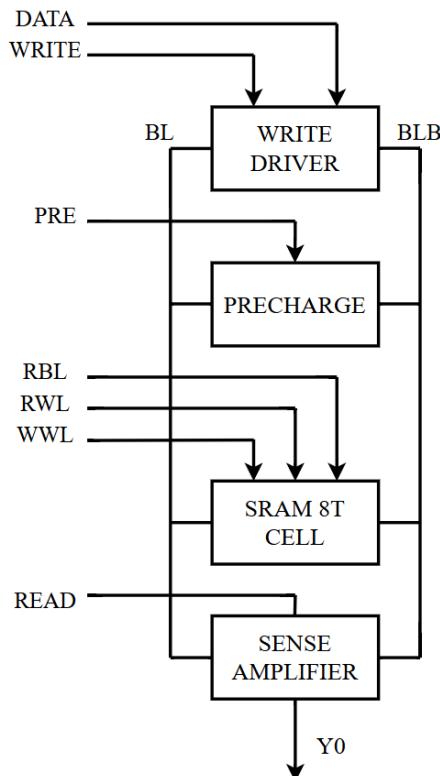
Mạch khuếch đại cảm nhận có vai trò phát hiện sự chênh lệch điện áp nhỏ giữa hai đường bit (BL và BLB) sau khi đọc dữ liệu từ ô nhớ. Khi có sự sai lệch điện áp, mạch sẽ khuếch đại nhanh chóng để xác định logic ‘0’ hoặc ‘1’ chính xác. Nhờ đó, mạch cảm nhận giúp tăng tốc độ đọc và cải thiện độ tin cậy trong hệ thống SRAM 8T.

2.1.5 Mạch giải mã 3 sang 8

Mạch giải mã 3 sang 8 được sử dụng để chọn một trong tám hàng trong mảng SRAM 8T 8x8 dựa trên ba bit địa chỉ đầu vào. Khi nhận tín hiệu địa chỉ, mạch giải mã sẽ kích hoạt duy nhất một đường hàng (WL) tương ứng, cho phép truy cập đúng ô nhớ trong quá trình đọc hoặc ghi. Mạch này giúp giảm số lượng đường điều khiển và tối ưu hóa diện tích mạch.

2.2 NGUYÊN LÝ HOẠT ĐỘNG Ô NHỚ SRAM 8T

2.2.1 Sơ đồ khái quát quá trình đọc/ghi dữ liệu



Hình 2.1: Quá ghi/đọc dữ liệu

2.2.2 Quá trình đọc dữ liệu (READ)

a) Trường hợp đọc giá trị 0

Khi dòng đọc (RWL) được kích hoạt, transistor M5 sẽ bật. Nếu tại nút Q đang lưu trữ giá trị ‘0’, thì transistor M6 sẽ bật và đường RBL sẽ được nối trực tiếp xuống đất thông qua cặp transistor M5 và M6. Điều này cho thấy giá trị tại Q đang là 0.

b) Trường hợp đọc giá trị 1

Trường hợp Q lưu trữ giá trị ‘1’, transistor M6 sẽ tắt, làm cho không có đường dẫn từ RBL xuống đất. Nhờ đó, RBL giữ nguyên ở mức VDD, cho thấy giá trị tại Q là ‘1’.

So với cấu trúc SRAM 6T, SRAM 8T cải thiện một số điểm yếu, mặc dù sử dụng nhiều transistor hơn và tiêu thụ điện năng cao hơn. Trong chương này, sơ đồ mạch và nguyên lý hoạt động của cả SRAM chuẩn và SRAM 8T sẽ được phân tích chi tiết hơn. Khái niệm về SRAM phi chia sẻ cũng sẽ được đề cập tiếp theo.

2.2.3 Quá trình ghi dữ liệu (WRITE)

a) Trường hợp ghi giá trị 0

Để ghi bit ‘0’, bit dữ liệu cần được kéo xuống mức thấp, đồng thời BLB được kéo lên mức cao (VDD). Hai transistor ghi M3 và M4 sẽ dẫn, kéo giá trị tại nút Q xuống đất. Vì vậy, Q sẽ lưu trữ giá trị 0.

b) Trường hợp ghi giá trị 1

Ngược lại, để ghi bit ‘1’, bit dữ liệu sẽ được đưa lên mức cao. BLB được đưa về 0 và đường WWL sẽ được kích để mở transistor ghi. Dòng điện từ VDD sẽ đi qua các transistor và đẩy giá trị tại Q lên mức cao, lưu trữ giá trị ‘1’ tại đó.

2.3 KHẢO SÁT ĐỘ TRỄ VÀ CÔNG SUẤT TIÊU THỤ

2.3.1 Độ trễ

Trên thực tế, khi tín hiệu đầu vào thay đổi, tín hiệu đầu ra sẽ không thay đổi ngay lập tức mà cần một khoảng thời gian nhất định. Khoảng thời gian này được gọi là độ trễ lan truyền, đây được định nghĩa là khoảng thời gian lớn nhất kể từ khi tín

hiệu đầu vào đạt mức 50% - 70% giá trị ổn định cho đến khi tín hiệu đầu ra cũng đạt được như thế.

Ta có công thức tính độ trễ lan truyền như sau:

$$t_{pd} = \frac{t_{pdf} + t_{pdr}}{2} \quad (2.1)$$

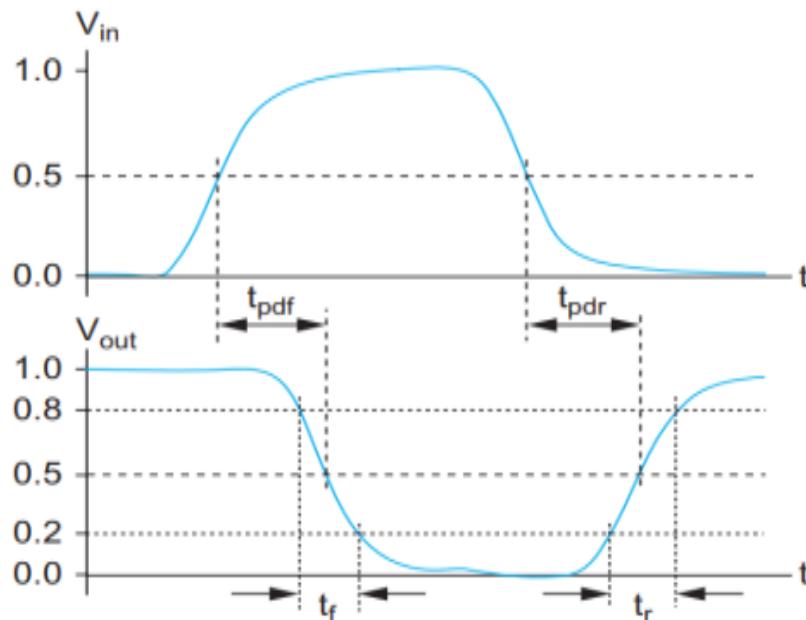
Trong đó:

t_{pdf} : thời gian trễ khi tín hiệu đầu ra chuyển từ mức cao xuống mức thấp.

t_{pdr} : thời gian trễ khi tín hiệu đầu ra chuyển từ mức thấp lên mức cao.

t_f : thời gian đầu ra thay đổi từ cao xuống thấp và ổn định trong khoảng từ 80% xuống 20%.

t_r : thời gian đầu ra thay đổi từ thấp lên cao và ổn định trong khoảng từ 20% lên 80%.



Hình 2.2: Độ trễ lan truyền

2.3.2 Công suất tiêu thụ

Tổng công suất tiêu thụ của một mạch số gồm hai thành phần chính là công suất động (Pdynamic) và công suất tĩnh (Pstatic). Trong đó, công suất tĩnh là lượng điện năng tiêu hao khi mạch không thực hiện bất kỳ chuyển đổi trạng thái nào, trong khi công suất động liên quan đến quá trình hoạt động, chuyển mạch của các transistor trong mạch CMOS. Điều này được tính theo công thức:

$$P_{total} = P_{dynamic} + P_{static} \quad (2.2)$$

a) Công suất động

Công suất động phát sinh khi transistor chuyển trạng thái, bao gồm:

$$P_{dynamic} = P_{switching} + P_{short-circuit} \quad (2.3)$$

Trong đó:

$P_{switching}$: Do bật/tắt liên tục trong quá trình hoạt động.

$P_{short-circuit}$: Do hiện tượng ngắn mạch tạm thời khi cả pMOS và nMOS dẫn đồng thời.

b) Công suất tĩnh

Công suất tĩnh là điện năng tiêu thụ khi mạch không hoạt động, chủ yếu gây ra bởi các dòng rò:

$$P_{static} = (I_{sub} + I_{gate} + I_{junct} + I_{contention}) \cdot VDD \quad (2.4)$$

Trong đó:

I_{sub} : Dòng rò dưới ngưỡng (transistor OFF).

I_{gate} : Dòng rò qua lớp điện môi tại cổng.

I_{junct} : Dòng rò tại các tiếp giáp PN.

$I_{contention}$: Dòng rò do tranh chấp giữa pMOS và nMOS.

2.3.3 Ảnh hưởng của nhiệt độ đến hoạt động và công suất tiêu thụ

Nhiệt độ là yếu tố ảnh hưởng trực tiếp đến hiệu năng, độ ổn định và công suất tiêu thụ của mạch. Chọn 3 mức nhiệt độ để khảo sát là -10°C, 27°C (nhiệt độ phòng), và 80°C cho ta thấy sự thay đổi rõ rệt như sau:

- Ở -10°C (nhiệt độ thấp): Dòng rò giảm mạnh, độ trễ giảm nhẹ do điện động lực của các hạt mang tăng lên. Tuy nhiên, độ trễ không giảm đáng kể do sự tăng điện áp ngưỡng.
- Ở 27°C (nhiệt độ phòng): Mạch hoạt động ổn định nhất, cân bằng giữa tốc độ và độ rò rỉ.

- Ở 80°C (nhiệt độ cao): Độ trễ tăng lên rõ rệt do vận tốc bão hòa của điện tử giảm và dòng rò tăng cao, gây ảnh hưởng đến tốc độ truy xuất dữ liệu.

Công suất tĩnh tăng đáng kể khi nhiệt độ tăng, đặc biệt do dòng rò dưới ngưỡng I_{sub} và dòng rò qua cổng I_{gate} tăng theo cấp số mũ với nhiệt độ.

Công suất động ít chịu ảnh hưởng hơn, tuy nhiên cũng bị ảnh hưởng gián tiếp qua sự thay đổi điện áp ngưỡng và khả năng chuyển mạch.

Vì vậy, việc kiểm soát và thiết kế để giảm thiểu ảnh hưởng của nhiệt độ là rất quan trọng trong các ứng dụng SRAM hoạt động liên tục. Ở nhiệt độ cao, độ tin cậy và tuổi thọ linh kiện bị suy giảm, trong khi ở nhiệt độ thấp, hiệu suất có thể được cải thiện nhưng cần đảm bảo các thông số phù hợp để tránh lỗi logic.

CHƯƠNG 3

THIẾT KẾ HỆ THỐNG

3.1 SƠ ĐỒ KHỐI HỆ THỐNG

Hệ thống bộ nhớ SRAM 8T kích thước 8×8 được thiết kế và mô phỏng trên Cadence với công nghệ CMOS 90nm. Hệ thống bao gồm các khối chức năng chính như sau:

Ô nhớ SRAM 8T: Mỗi ô nhớ trong mảng sử dụng kiến trúc 8 transistor. Sáu transistor đầu tiên (6T) tạo thành cell lưu trữ dữ liệu, trong khi hai transistor còn lại dành riêng cho việc đọc dữ liệu, giúp tách biệt đường đọc và ghi. Thiết kế này giúp nâng cao độ ổn định và giảm nhiễu trong quá trình đọc.

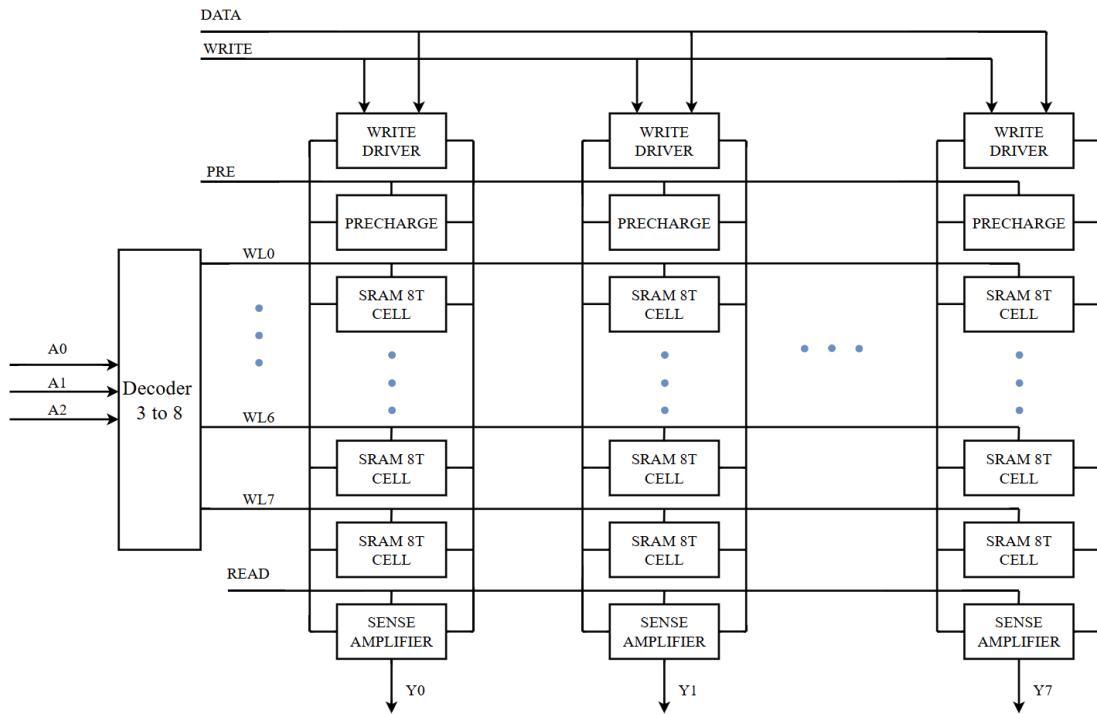
Mạch nạp trước (Precharge): Trước mỗi chu kỳ đọc hoặc ghi, mạch nạp trước sẽ đưa cả hai đường BL và BLB về mức điện áp VDD. Điều này đảm bảo tốc độ đọc nhanh và chính xác bằng cách tạo ra chênh lệch điện áp rõ ràng trong quá trình cảm nhận dữ liệu.

Mạch ghi (Write Driver): Trong chế độ ghi, mạch ghi sẽ điều khiển trạng thái logic của BL và BLB theo dữ liệu đầu vào. Khi WL được kích hoạt, dữ liệu sẽ được ghi vào ô nhớ thông qua hai transistor ghi của ô nhớ.

Mạch khuếch đại cảm nhận (Sense Amplifier): Sau khi ô nhớ được chọn và quá trình đọc bắt đầu, mạch khuếch đại cảm nhận sẽ khuếch đại chênh lệch điện áp rất nhỏ giữa BL và BLB để xác định chính xác giá trị bit đã lưu trong ô nhớ. Điều này rất quan trọng vì sự chênh lệch điện áp sau khi đọc từ ô nhớ thường rất nhỏ (chỉ vài mV).

Decoder 3 to 8 (giải mã hàng và cột): Hệ thống sử dụng bộ giải mã 3-to-8 để chọn dòng WL và cột BL. Mỗi bộ giải mã nhận vào 3 bit địa chỉ và kích hoạt duy nhất một trong tám đầu ra, tương ứng với một dòng WL hoặc một cột BL trong ma trận nhớ.

Mảng ô nhớ 8x8: Bao gồm 64 ô nhớ SRAM 8T được sắp xếp thành 8 hàng và 8 cột. Mỗi hàng tương ứng với một word (8-bit). Dữ liệu được truy xuất theo từng word thông qua hệ thống định tuyến WL và BL tương ứng.



Hình 3.1: Sơ đồ khái niệm mảng SRAM 8T 8x8

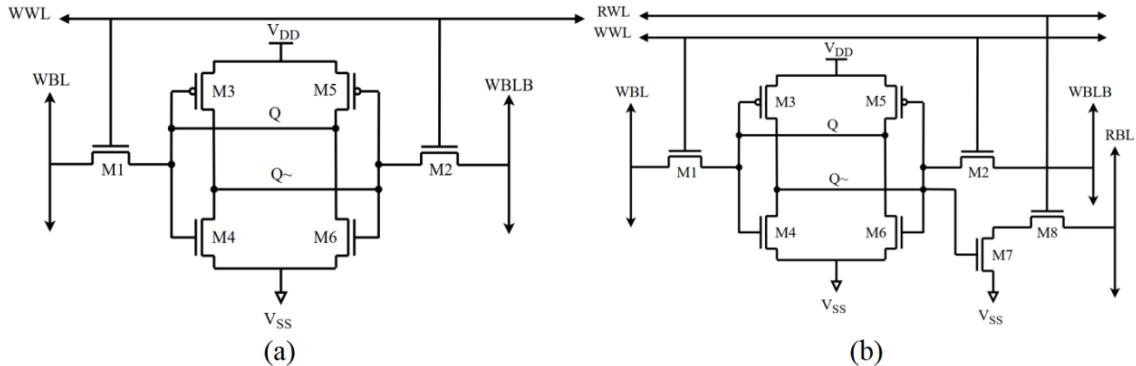
3.2 SO SÁNH SRAM 8T VÀ 6T

Bảng 3.1: Bảng so sánh SRAM 8T và 6T

SRAM 8T	SRAM 6T
<ul style="list-style-type: none"> - Gồm 8 transistor. - Có bóng bán dẫn. - Tiêu thụ điện năng cao hơn. - Hoạt động đọc và ghi chậm hơn, nhưng cải thiện độ ổn định, đáng tin cậy. - Giảm công suất tiêu thụ khi ở mức điện áp thấp nhất. 	<ul style="list-style-type: none"> - Gồm 6 transistor. - Không có bóng bán dẫn. - Tiêu thụ điện năng thấp hơn. - Hoạt động đọc và ghi nhanh hơn.

Điểm khác biệt của SRAM 8T so với các loại SRAM truyền thống chính là khả năng cải thiện độ ổn định khi đọc bằng cách tách biệt hoàn toàn đường đọc và mạch lưu trữ. Trong khi SRAM 6T sử dụng chung các transistor cho cả đọc và ghi, thiết

ké 8T bổ sung một đường đọc riêng với hai transistor đọc độc lập. Điều này cho phép ô nhớ hoạt động ổn định hơn khi điện áp nguồn giảm, đặc biệt trong các ứng dụng tiêu thụ năng lượng thấp.



Hình 3.2: SRAM 6T (a) và SRAM 8T (b)

3.3 THIẾT KẾ Ô NHỚ SRAM 8T

Cấu trúc SRAM 8T gồm tám transistor được chia làm hai phần chính: một mạch lưu trữ dữ liệu gồm sáu transistor (gọi là cell 6T truyền thống) và hai transistor truy xuất bổ sung để tăng cường khả năng đọc/ghi. Thiết kế này được sử dụng phổ biến trong các ứng dụng cần độ ổn định cao và khả năng hoạt động với tốc độ lớn, cụ thể như sau:

Gồm 2 pMOS (M3 và M5) và 2 nMOS (M4 và M6) tạo thành 2 cổng NOT đối nhau để lưu trữ dữ liệu.

Gồm 2 nMOS (M1 và M2) dùng để kết nối ô nhớ với các đường bitline trong quá trình đọc và ghi dữ liệu.

Gồm 2 nMOS bổ sung (M7 và M8) nhằm cải thiện độ ổn định và hiệu suất đọc dữ liệu.

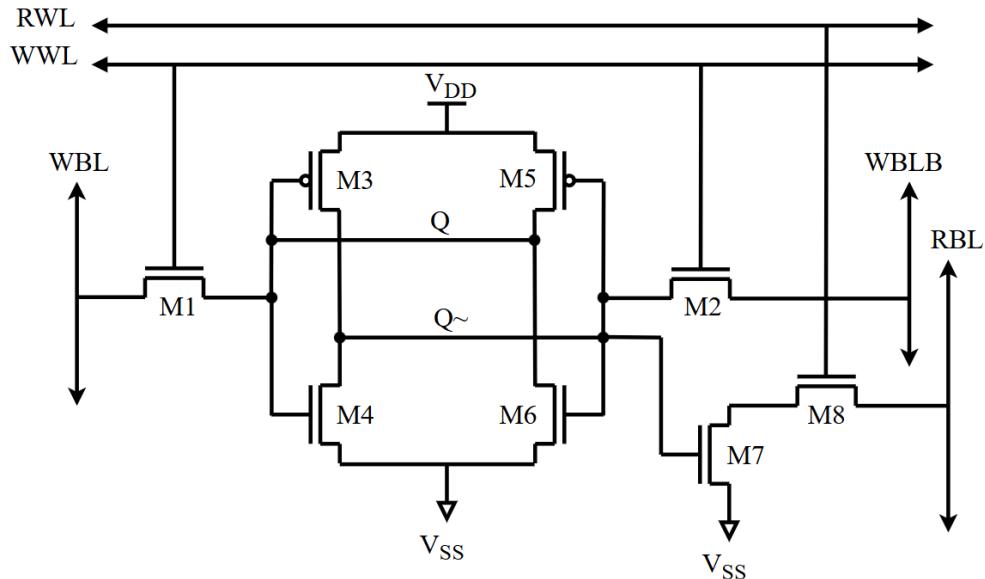
3.3.1 Ưu điểm

- Tính ổn định được cải thiện trong quá trình đo đường dẫn đọc và ghi được tách biệt.
- Có biên độ nhiễu tốt, độ tin cậy cao.
- Dùng được cho các ứng dụng với hiệu suất cao.

3.3.2 Nhược điểm

- Hạn chế không gian do có thêm bóng bán dẫn.
- Khả năng tiêu thụ điện năng cao.
- Quá trình thiết kế và sản xuất phức tạp.

Khi đường điều khiển đọc RWL được kích hoạt, transistor đọc sẽ cho phép dòng điện đi qua nếu dữ liệu lưu trữ là logic ‘1’, kéo đường đọc RBL xuống mức thấp. Nếu dữ liệu là logic ‘0’, không có dòng điện chạy qua, giữ RBL ở mức cao. Nhờ vào sự tách biệt này, dữ liệu trong ô nhớ không bị ảnh hưởng trong quá trình đọc, từ đó tránh gây lật bit do nhiễu.



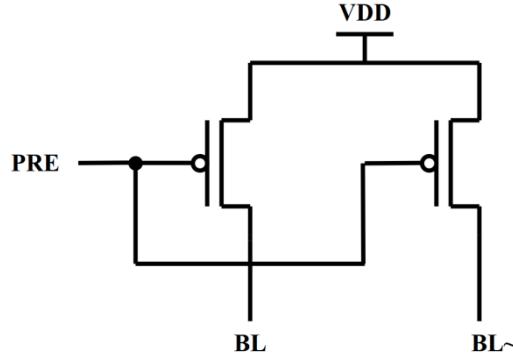
Hình 3.3: Sơ đồ khói ô nhớ SRAM 8T

3.4 THIẾT KẾ MẠCH NẠP TRƯỚC

Mạch nạp trước trong SRAM 8T dùng để đưa hai đường bitline (BL và BLB) về mức điện áp cao trước khi đọc. Cấu trúc gồm hai transistor pMOS (Q8, Q9) nối từ Vcc đến BL và BLB, cùng một transistor nMOS (Q7) điều khiển bởi tín hiệu PRE.

- Khi PRE = 1, Q7 bật, cho phép Q8 và Q9 dẫn dòng, kéo BL và BLB lên Vdd.
- Khi PRE = 0, Q7 tắt, dừng quá trình nạp trước và cho phép ô nhớ bắt đầu quá trình đọc.

Tùy vào dữ liệu lưu, một trong hai đường bit sẽ bị kéo thấp để tạo chênh lệch điện áp phục vụ giải mã. Thiết kế này giúp ổn định tín hiệu, tăng tốc độ đọc và giảm tiêu thụ năng lượng.



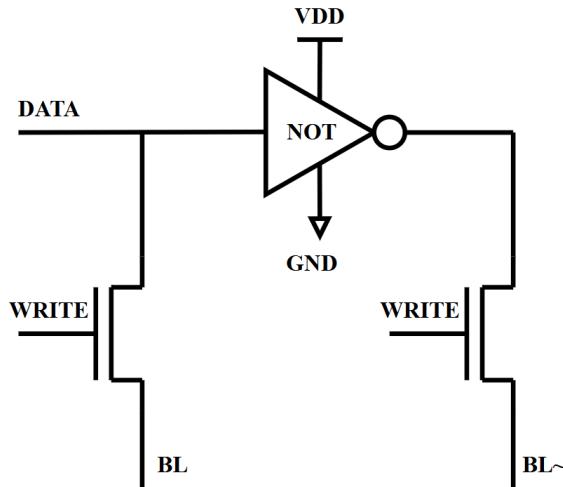
Hình 3.4: Sơ đồ khối mạch nạp trước

3.5 THIẾT KẾ MẠCH GHI

Mạch ghi (Write Driver) trong SRAM 8T được thiết kế để ghi dữ liệu vào cell nhớ thông qua hai đường ghi và một bộ nghịch đảo logic. Dữ liệu đầu vào (DATA) được đưa qua cổng NOT để tạo ra hai mức logic đối nhau tại nút A và B. Khi tín hiệu WRITE được kích hoạt, hai transistor truyền dẫn cùng bật, cho phép dữ liệu được ghi đồng thời vào hai nút lưu trữ của ô nhớ.

Nếu dữ liệu đầu vào là ‘1’, điểm A sẽ có mức ‘0’ và điểm B là ‘1’. Hai transistor truyền dẫn sẽ dẫn điện, ghi dữ liệu này vào cặp nút lưu trữ bên trong mạch SRAM. Cấu trúc này đảm bảo dữ liệu được ghi ổn định và nhanh chóng, tách biệt hoàn toàn với mạch đọc, giúp nâng cao hiệu suất và độ tin cậy của bộ nhớ.

Thiết kế này giúp SRAM 8T cải thiện độ ổn định trong quá trình ghi, đồng thời tránh ảnh hưởng đến đường đọc, vốn hoạt động độc lập thông qua một cặp transistor riêng biệt.



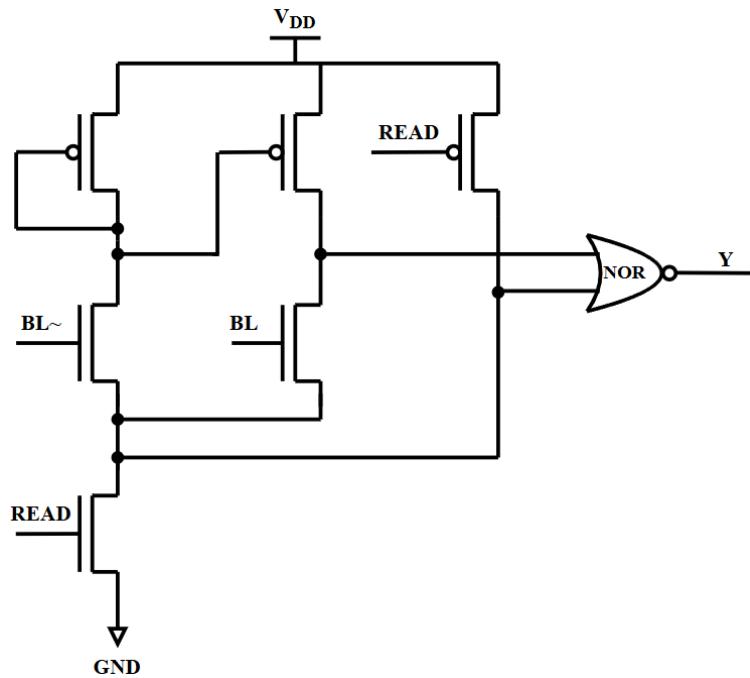
Hình 3.5: Sơ đồ khối mạch ghi

3.6 THIẾT KẾ BỘ KHUẾCH ĐẠI CẢM NHẬN

Mạch khuếch đại cảm nhận (Sense Amplifier) trong SRAM 8T thường sử dụng cấu trúc CMOS có đầu vào vi sai từ hai đường bitline (BL và BL~). Khi hoạt động đọc bắt đầu, tín hiệu READ được kích hoạt, các transistor điều khiển sẽ dẫn điện cho phép khuếch đại sự chênh lệch nhỏ về điện áp giữa BL và BL~.

Mạch NOR kết hợp ở đầu ra giúp đưa ra kết quả đọc logic rõ ràng hơn. Nếu BL và BL~ có sự chênh lệch rõ rệt, mạch sẽ nhanh chóng khuếch đại sự khác biệt này và xuất ra mức logic tại ngõ Y. Nhờ đó, dữ liệu đọc từ ô nhớ được xác định nhanh và chính xác, ngay cả khi điện áp đầu vào rất nhỏ.

Thiết kế này đảm bảo độ nhạy cao, tốc độ đọc nhanh và giám tiêu thụ năng lượng trong các thao tác truy xuất dữ liệu của SRAM.



Hình 3.6: Sơ đồ khói mạch khuếch đại cảm nhận

3.7 THIẾT KẾ MẠCH GIẢI MÃ 3 SANG 8

3.7.1 Mạch giải mã 3 sang 8 đường

Trong bộ nhớ SRAM 8T tổ chức 8×8 , cần giải mã 3 bit địa chỉ để chọn 1 trong 8 hàng WL. Thay vì sử dụng một mạch giải mã 3 sang 8 đường riêng biệt, có thể xây dựng nó từ hai mạch giải mã 2 sang 4 đường có chân E cho phép.

Bit địa chỉ đầu vào: A2, A1, A0.

- A2 dùng làm tín hiệu điều khiển chân E của hai mạch giải mã:

+ Nếu $A2 = 0$: chân E mạch giải mã thứ nhất, vô hiệu mạch giải mã thứ hai.

+ Nếu $A2 = 1$: chân E mạch giải mã thứ hai, vô hiệu mạch giải mã thứ nhất.

- A1, A0 là đầu vào chung cho cả hai mạch giải mã phụ.

Phương pháp này giúp giảm độ phức tạp mạch giải mã, tối ưu diện tích và dễ tích hợp trong thiết kế mạch tích hợp cho SRAM.

Bảng 3.2: Bảng trạng thái mạch giải mã 3 sang 8

A2	A1	A0	Y7	Y6	Y5	Y4	Y3	Y2	Y1	Y0
0	0	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	1	0
0	1	0	0	0	0	0	0	1	0	0
0	1	1	0	0	0	0	1	0	0	0
1	0	0	0	0	0	1	0	0	0	0
1	0	1	0	0	1	0	0	0	0	0
1	1	0	0	1	0	0	0	0	0	0
1	1	1	1	0	0	0	0	0	0	0

- Biểu thức rút gọn các ngõ ra Y:

$$Y_0 = A_2' \cdot A_1' \cdot A_0'$$

$$Y_1 = A_2' \cdot A_1' \cdot A_0$$

$$Y_2 = A_2' \cdot A_1 \cdot A_0'$$

$$Y_3 = A_2' \cdot A_1 \cdot A_0$$

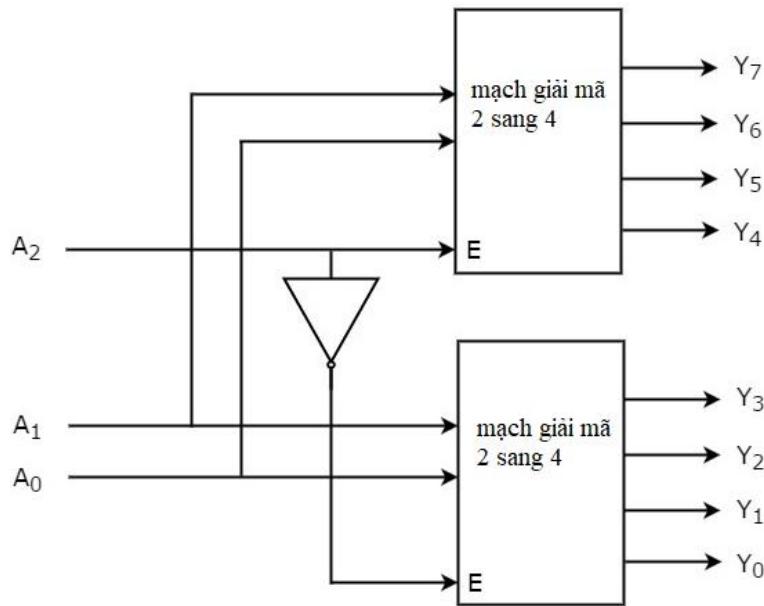
$$Y_4 = A_2 \cdot A_1' \cdot A_0'$$

$$Y_5 = A_2 \cdot A_1' \cdot A_0$$

$$Y_6 = A_2 \cdot A_1 \cdot A_0'$$

$$Y_7 = A_2 \cdot A_1 \cdot A_0$$

- + Khi $A2 = 0$, chỉ D0 được bật (Enable $D0 = 1$). D0 sẽ giải mã 2 bit còn lại A1, A0 để tạo ra một trong các đầu ra từ Y0 đến Y3.
- + Khi $A2 = 1$, chỉ D1 được bật (Enable $D1 = 1$). D1 giải mã A1, A0 và tạo ra đầu ra từ Y4 đến Y7.
- + Tại mỗi trạng thái cụ thể của A2A1A0, chỉ một đầu ra duy nhất trong số Y0–Y7 có giá trị 1 (các đầu còn lại là 0), điều này đảm bảo đúng tính chất "one-hot" cần thiết của mạch giải mã.



Hình 3.7: Sơ đồ khối mạch giải mã 3 sang 8

3.7.2 Mạch giải mã 2 sang 4 có chân E cho phép

Bảng 3.3: Bảng trạng thái mạch giải mã 2 sang 4 có chân E cho phép

E	A1	A0	Y3	Y2	Y1	Y0
0	x	x	0	0	0	0
1	0	0	0	0	0	1
1	0	1	0	0	1	0
1	1	0	0	1	0	0
1	1	1	1	0	0	0

3.7.2.1 Giải thích

- X là trạng thái “don’t care”.
- Chân E (Enable) đóng vai trò như công tắc bật/tắt của mạch giải mã.
 - + Khi E = 0, mạch decoder bị vô hiệu hóa, mọi đầu ra đều ở mức 0, bất kể giá trị A1 và A0.
 - + Khi E = 1, mạch hoạt động bình thường, một trong bốn đầu ra Y0 - Y3 được chọn tùy theo tổ hợp đầu vào.

3.7.2.2 Biểu thức rút gọn

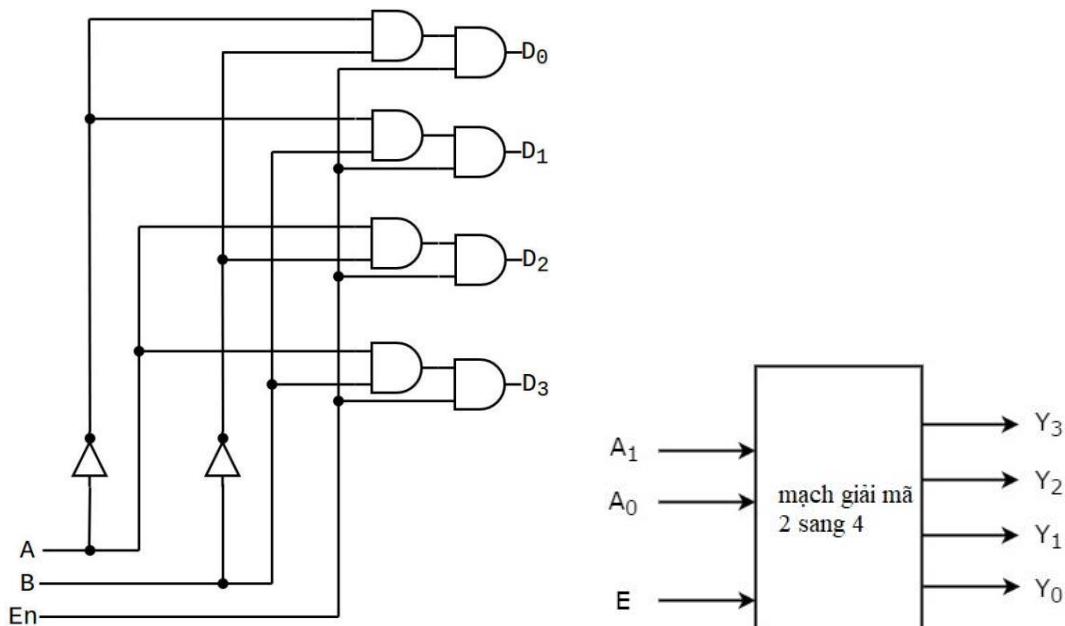
$$A_1 A_0 = 00 \rightarrow Y_0 = 1.$$

$$A_1 A_0 = 01 \rightarrow Y_1 = 1.$$

$$A_1 A_0 = 10 \rightarrow Y_2 = 1.$$

$$A_1 A_0 = 11 \rightarrow Y_3 = 1.$$

Mạch giải mã 2 sang 4 đường có chân E cho phép là phần tử cơ bản quan trọng trong thiết kế mạch logic. Việc thêm chân E cho phép giúp kiểm soát hoạt động của mạch hiệu quả hơn, đặc biệt khi kết hợp nhiều mạch giải mã nhỏ để tạo ra các mạch giải mã lớn hơn như mạch giải mã 3 sang 8 đường trong mảng SRAM 8T 8x8.



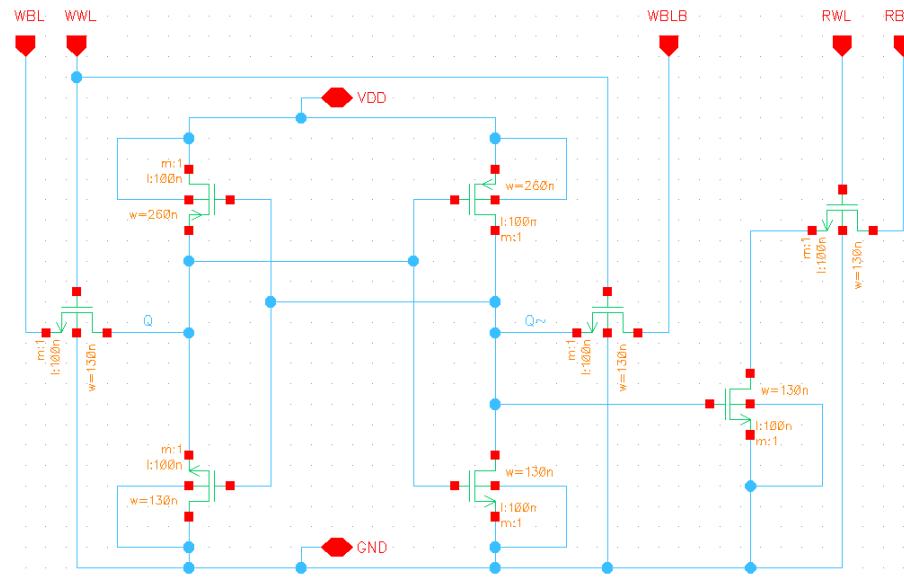
Hình 3.8: Sơ đồ khối mạch giải mã 2 sang 4 có chân E cho phép

CHƯƠNG 4

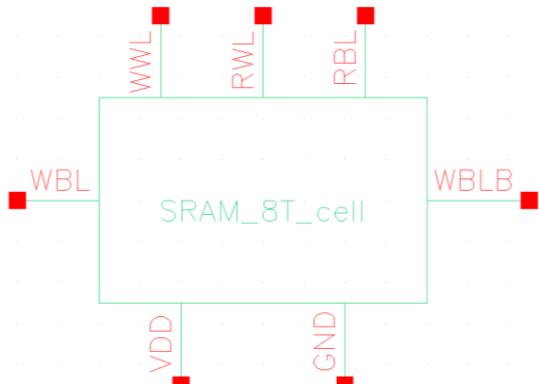
KẾT QUẢ MÔ PHỎNG

4.1 BỘ NHỚ SRAM 8T

Mạch SRAM 8T công nghệ 90nm được thiết kế trên Cadence gồm 8 transistor: 4 transistor tạo cặp chốt lưu trữ dữ liệu, 2 transistor để ghi và 2 transistor để đọc. Đường ghi sử dụng tín hiệu WWL và các đường bit WBL/WBLB, còn đường đọc tách riêng qua RWL và RBL giúp tăng độ ổn định khi đọc.



(4.1.a)

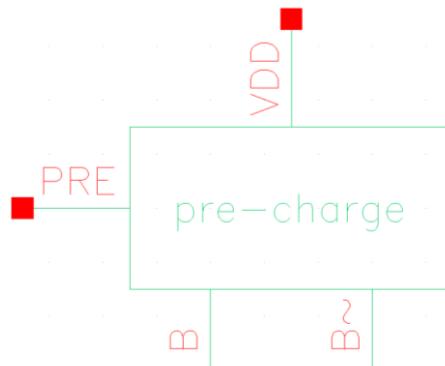
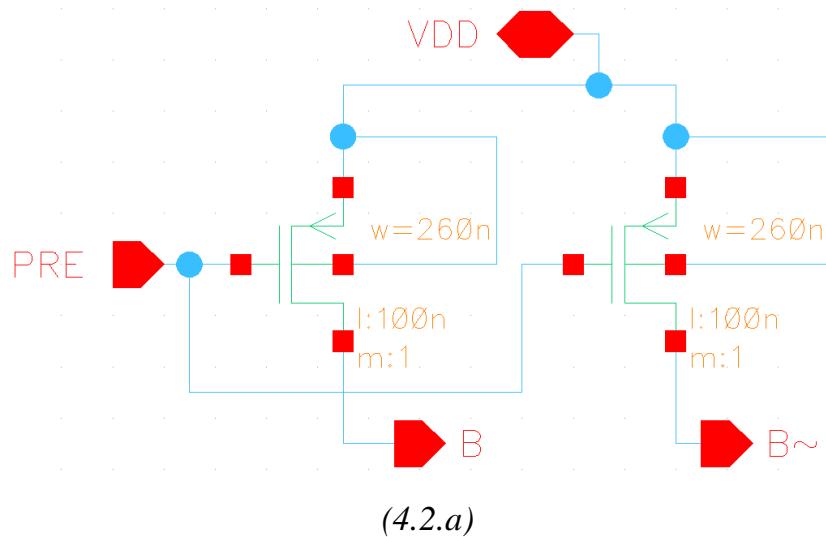


(4.1.b)

Hình 4.1: Mô phỏng mạch SRAM 8T (a) (b) và đóng gói

4.2 MẠCH NẠP TRƯỚC

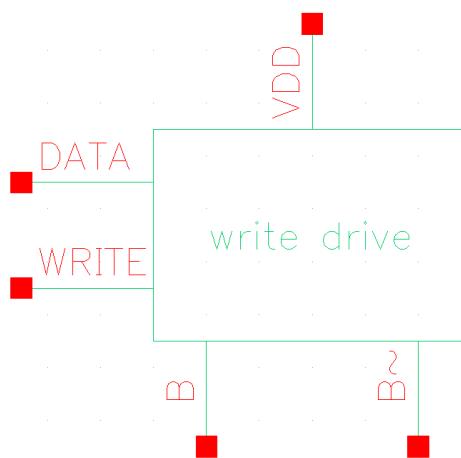
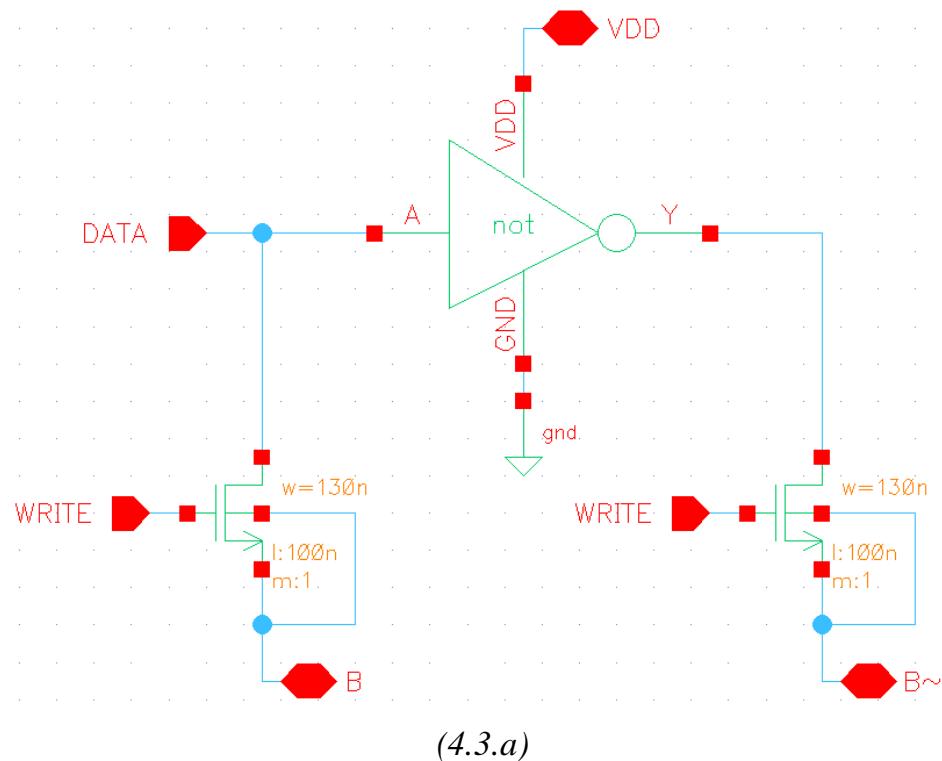
Mạch nạp trước (precharge circuit) dùng trong SRAM để chuẩn bị đường bit cho quá trình đọc. Bao gồm 2 transistor PMOS được điều khiển bằng tín hiệu PRE, kết nối từ VDD đến hai đường bit B và B~. Khi PRE = 0, hai PMOS dẫn và nạp điện lên mức cao cho B và B~, đảm bảo cả hai đường bit được precharge về mức logic cao trước khi truy cập ô nhớ. Transistor được thiết kế với kích thước W/L = 260n/100n để đảm bảo dòng nạp đủ lớn.



Hình 4.2: Mô phỏng mạch nạp trước (a) và (b) đóng gói

4.3 MẠCH GHI

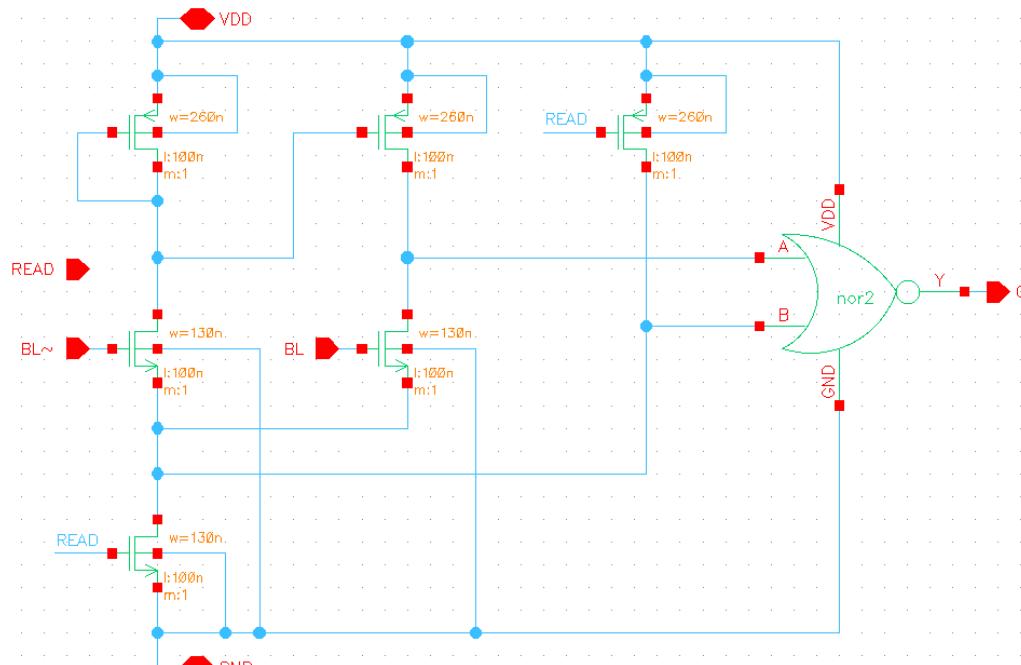
Mạch ghi (write driver) cho SRAM cho phép tín hiệu dữ liệu DATA được đưa vào đầu vào của một công NOT để tạo ra hai tín hiệu phân cực: A và Y (ngược nhau). Hai transistor NMOS ở hai nhánh với kích thước W/L = 130n/100n được điều khiển bởi tín hiệu WRITE, cho phép truyền DATA và DATA~ đến hai đường bit B và B~. Khi WRITE = 1, tín hiệu DATA được ghi vào ô nhớ thông qua các đường bit này.



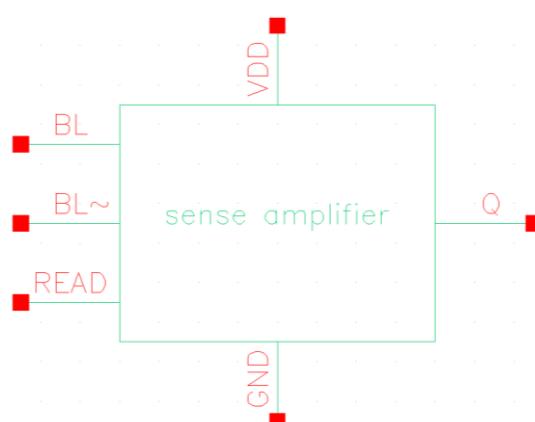
Hình 4.3: Mô phỏng mạch ghi (a) và (b) đóng gói

4.4 MẠCH KHUẾCH ĐẠI CẢM NHẬN

Mạch khuếch đại cảm nhận (sense amplifier) dùng trong SRAM để khuếch đại sự chênh lệch nhỏ giữa hai đường bit BL và BL~ trong quá trình đọc. Khi tín hiệu READ được kích hoạt, các transistor NMOS ở dưới nối đường bit xuống GND, còn các transistor PMOS ở trên được cấp nguồn VDD. Mạch khuếch đại độ lệch điện áp nhỏ giữa BL và BL~, sau đó đưa tín hiệu này qua một công NOR để tạo ra số rõ ràng Y. Transistor PMOS có kích thước lớn hơn để cải thiện khả năng truyền dòng.



(4.4.a)

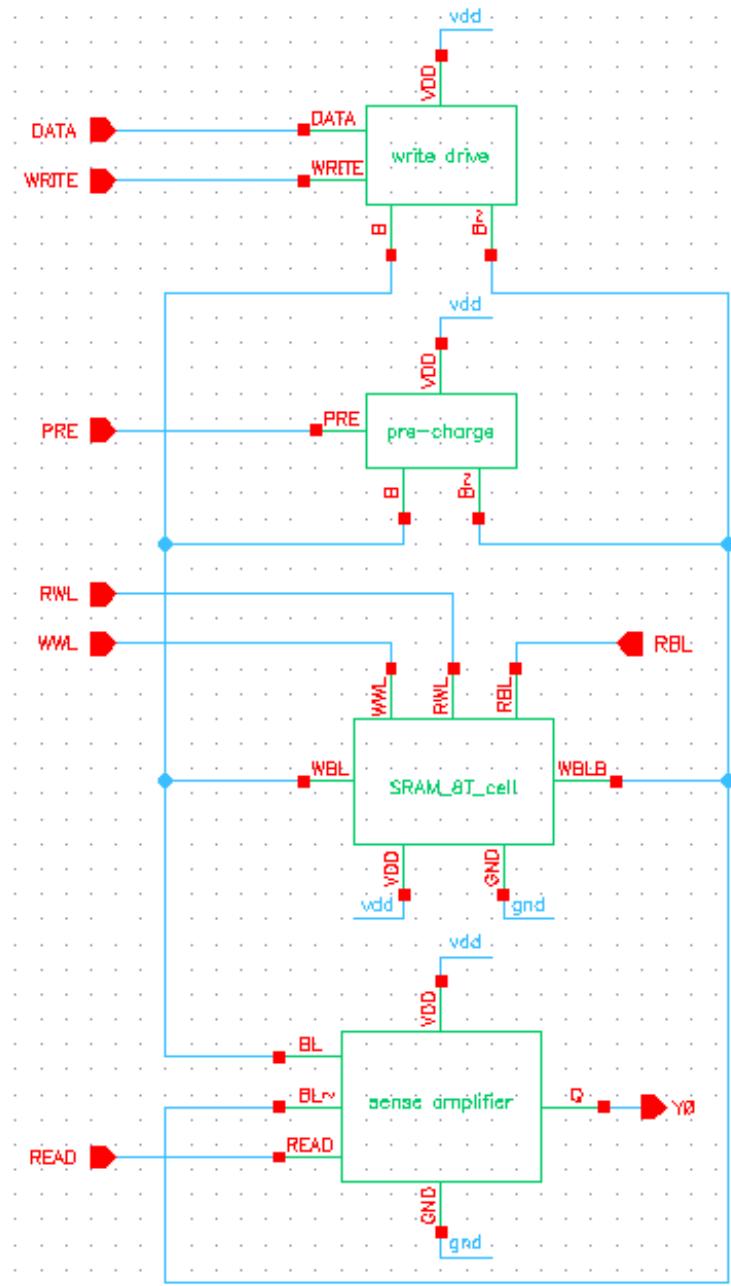


(4.4.b)

Hình 4.4: Mô phỏng mạch khuếch đại cảm nhận (a) và (b) đóng gói

4.5 MẠCH SRAM 8T 1x1

Mảng SRAM 8T 1x1 gồm đầy đủ các khối chức năng: mạch ghi (write driver), mạch pre-charge, ô nhớ SRAM 8T, và mạch sense amplifier. Dữ liệu được ghi vào ô nhớ khi tín hiệu WRITE kích hoạt, sau khi các đường bit đã được nạp trước bằng tín hiệu PRE. Quá trình đọc được thực hiện khi READ và RWL kích hoạt, mạch cảm nhận sẽ khuếch đại tín hiệu từ ô nhớ và xuất ra Y0.

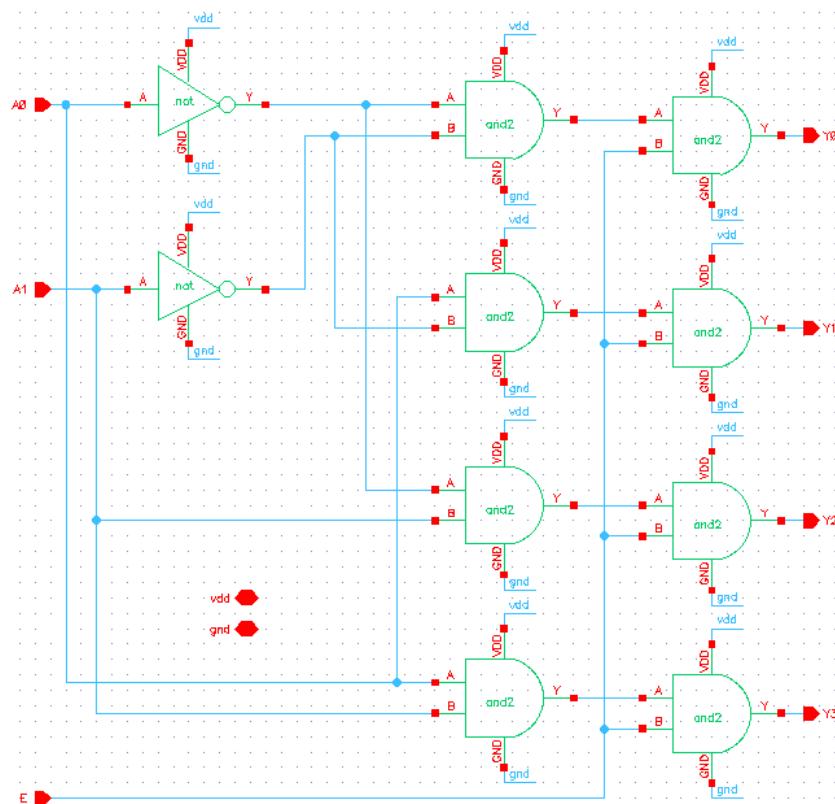


Hình 4.5: Mô phỏng mạch SRAM 8T 1x1

4.6 MẠCH GIẢI MÃ 3 SANG 8

4.6.1 Thiết mạch giải mã 2 sang 4 đường có chân E cho phép

Mạch giải mã 2 sang 4 có chân E cho phép (2-to-4 decoder with enable). Mạch nhận 2 đầu vào địa chỉ A0, A1 và một tín hiệu cho phép E. Các công NOT tạo ra tín hiệu đảo của A0 và A1, sau đó kết hợp với tín hiệu gốc và E qua các công AND để tạo ra 4 đầu ra Y0 đến Y3. Khi E = 0, tất cả đầu ra đều ở mức thấp (vô hiệu); khi E = 1, mạch sẽ giải mã tổ hợp A1A0 để kích hoạt duy nhất một trong các đầu ra.



(4.6.a)

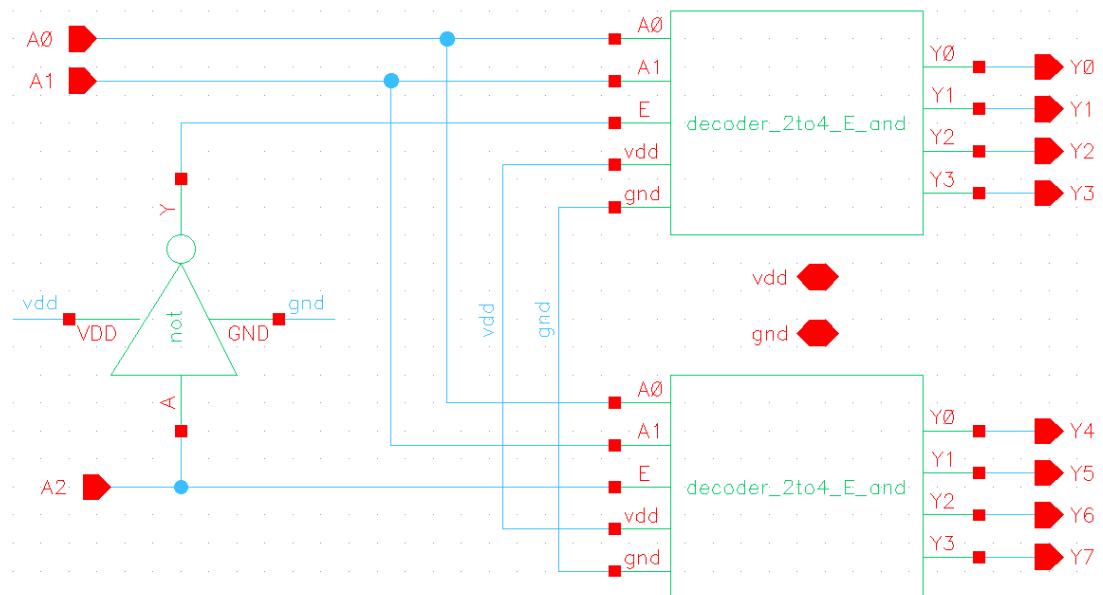


(4.6.b)

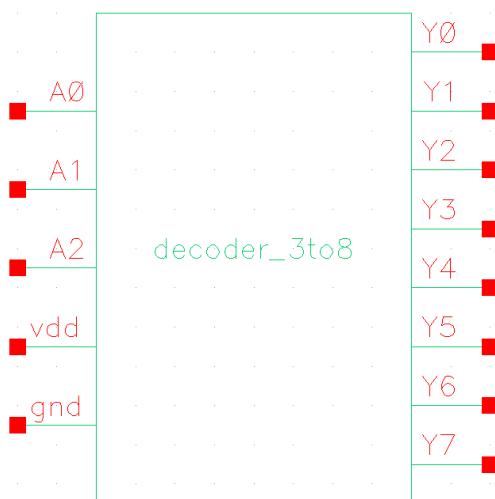
Hình 4.6: Mô phỏng mạch giải mã 2 sang 4 có chân E cho phép (a) và (b) đóng gói

4.6.2 Thiết mạch giải mã 3 sang 8 đường

Mạch giải mã 3 sang 8 (3-to-8 decoder) được xây dựng bằng cách kết hợp hai mạch giải mã 2-to-4 có ngõ cho phép (enable). Ba tín hiệu đầu vào A0, A1, A2 được dùng để chọn một trong tám đầu ra Y0 đến Y7. Tín hiệu A2 điều khiển hai decoder con thông qua một cỗng NOT: khi A2 = 0, decoder trên được kích hoạt, còn khi A2 = 1, decoder dưới được kích hoạt. Mỗi decoder 2-to-4 nhận A0, A1 và tín hiệu cho phép E để tạo ra bốn đầu ra tương ứng.



(4.7.a)

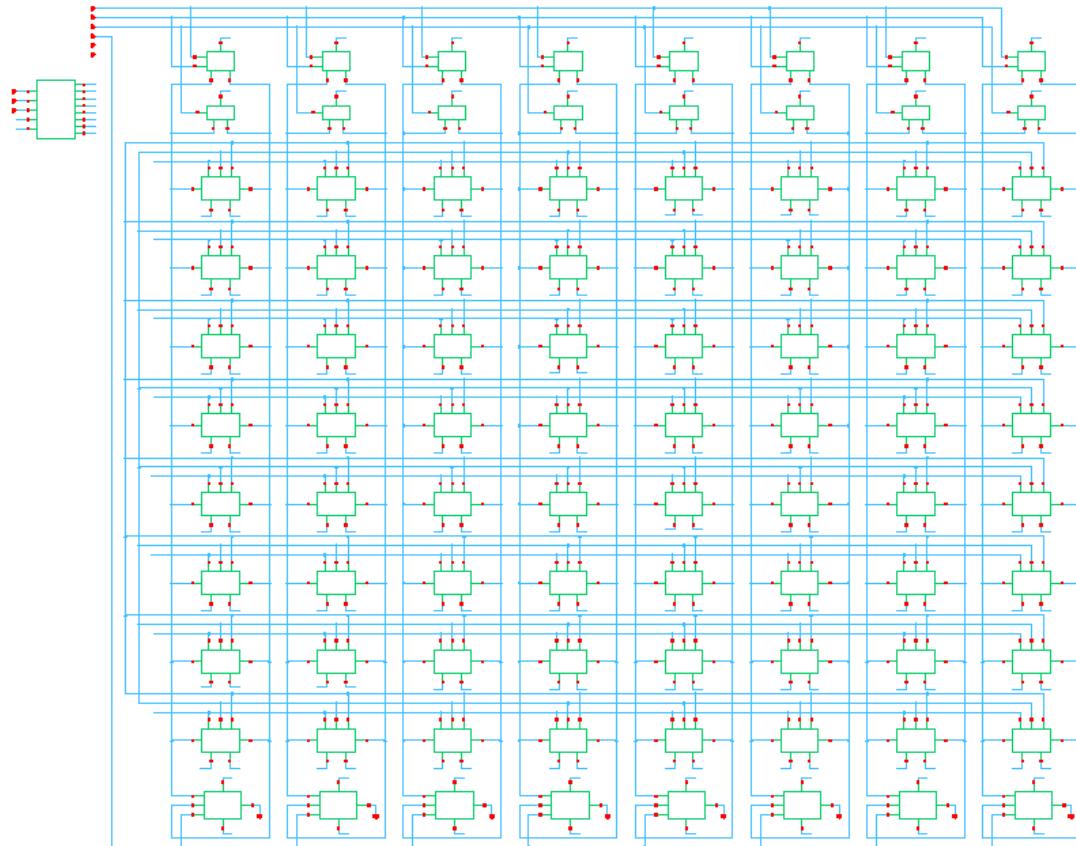


(4.7.b)

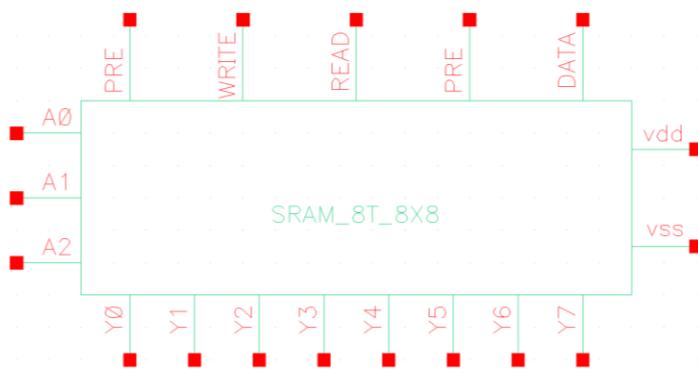
Hình 4.7: Mô phỏng mạch giải mã 3 sang 8 (a) và (b) đóng gói

4.7 MẢNG SRAM 8T 8X8

Mảng SRAM 8T cấu trúc 8x8, gồm 64 bit ô nhớ SRAM 8T được tổ chức thành 8 hàng và 8 cột. Mỗi ô nhớ là một cell SRAM 8T như đã trình bày ở mảnh 1x1, với các đường bit đọc RBL và ghi WBL, WBLB được chia sẻ theo cột, còn các tín hiệu điều khiển hàng như RWL, WWL được chia sẻ theo hàng. Việc truy xuất từng ô nhớ được định địa chỉ nhờ các mạch giải mã hàng và cột decoder.



(4.8.a)



(4.8.b)

Hình 4.8: Mô phỏng mảng SRAM 8T 8x8 (a) và (b) đóng gói

4.8 KẾT QUẢ KIỂM TRA Ô NHỚ SRAM 8T

Bảng thông số thiết kế mô phỏng độ rộng (W), độ dài (L) và tỷ lệ W/L của pMOS so với nMOS gấp 2 lần: Tỷ lệ W/L = 2

Bảng 4.1: Thông số cài đặt pMOS và nMOS của mạch SRAM 8T

Thông số	pMOS	nMOS
L	100nm	100nm
W	260nm	130nm

Thiết kế được mô phỏng tại điều kiện nhiệt độ chuẩn $T = 27^\circ\text{C}$:



Hình 4.9: Cài đặt nhiệt độ 27°C cho thiết kế mô phỏng mạch SRAM 8T

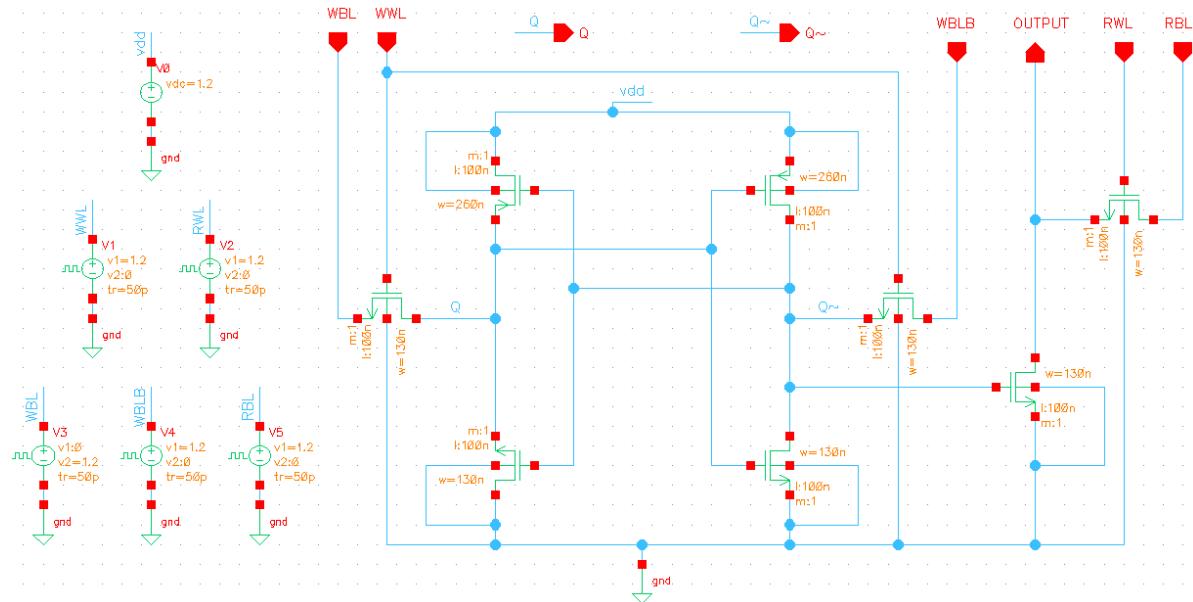
4.8.1 Dạng sóng

4.8.1.1 Cấp nguồn cho mạch SRAM 8T

Thông số cài đặt:

- Chân V_{DD} nối với nguồn $V_{DC} = 1.2\text{V}$.
- Chân GND nối đất.
- Chân WWL, RWL và RBL lần lượt nối với các nguồn V_{pulse1} , V_{pulse2} và V_{pulse5} với các thông số sau:
 - + Mức điện áp 1 (V1): 1.2V .
 - + Mức điện áp 2 (V2): 0V .
 - + Chu kỳ (Period): 200ns .
 - + Thời gian xung cạnh lên (tr): 50ps .
 - + Thời gian xung cạnh xuống (tf): 50ps .
 - + Độ rộng xung (Pulse width): 100ns .
- Chân WBL nối với nguồn V_{pulse3} với các thông số sau:
 - + Mức điện áp 1 (V1): 0V .
 - + Mức điện áp 2 (V2): 1.2V .
 - + Chu kỳ (Period): 20ns .

- + Thời gian xung cạnh lên (tr): 50ps.
 - + Thời gian xung cạnh xuống (tf): 50ps.
 - + Độ rộng xung (Pulse width): 10ns.
- Chân WBLB nối với nguồn V_{pulse4} với các thông số sau:
- + Mức điện áp 1 (V1): 1.2V.
 - + Mức điện áp 2 (V2): 0V.
 - + Chu kỳ (Period): 20ns.
 - + Thời gian xung cạnh lên (tr): 50ps.
 - + Thời gian xung cạnh xuống (tf): 50ps.
 - + Độ rộng xung (Pulse width): 10ns.



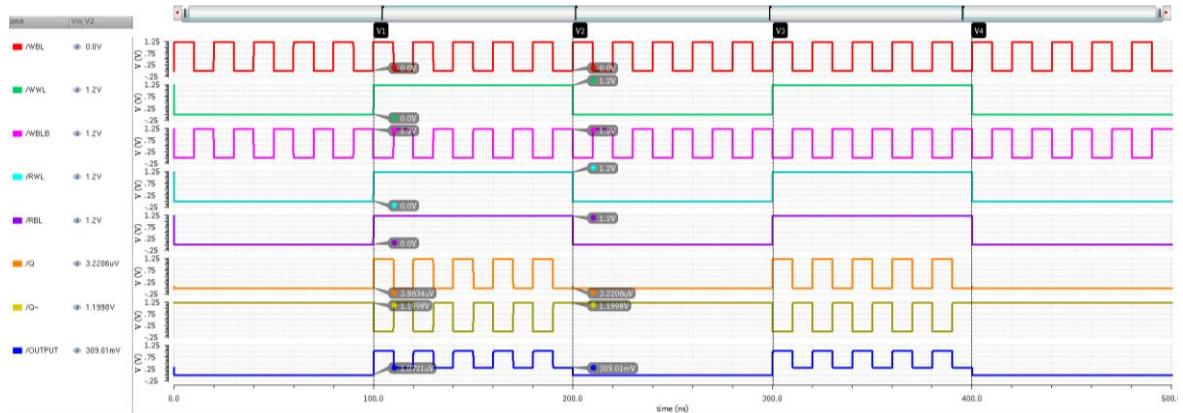
Hình 4.10: Mạch SRAM 8T sau khi đã cấp nguồn

4.8.1.2 Dạng sóng của mạch SRAM 8T

Thực hiện mô phỏng để kiểm tra hoạt động theo bảng trạng thái của mạch SRAM 8T, kết quả thu được dạng sóng như hình bên dưới.

- WBL: tín hiệu đường bit ghi (đường màu đỏ).
- WWL: tín hiệu điều khiển wordline khi ghi (đường màu xanh lá).
- WBLB: bitline phụ khi ghi (đường màu hồng).
- RWL: tín hiệu wordline đọc (đường màu xanh biền nhạt).
- RBL: bitline đọc (đường màu tím).

- Q: nút lưu giữ trạng thái logic (đường màu cam)
- Q~: nút lưu trạng thái nghịch đảo (đường màu vàng)
- OUTPUT: dữ liệu đầu ra đọc được từ ô nhớ (đường màu xanh dương đậm).



Hình 4.11: Dạng sóng mạch SRAM 8T sau khi mô phỏng được

4.8.1.3 Nhận xét mô phỏng SRAM 8T

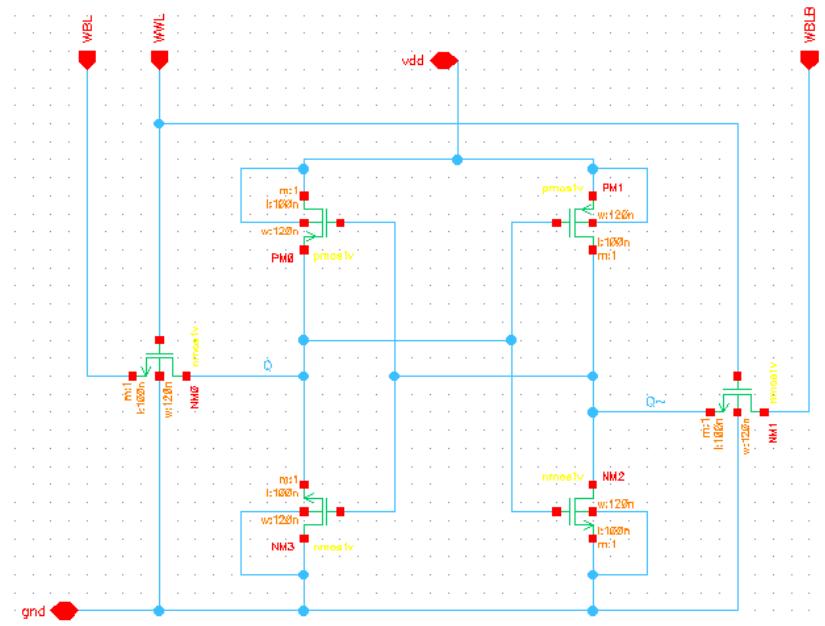
Bảng 4.2: Bảng trạng thái mạch SRAM 8T

Trạng thái	RWL	RBL	WBLB	WWL	WBL	Q	Q~	Mô tả
Ghi bit 1	0	Giữ nguyên	0	1	1	1	0	Ghi vào cell nhớ mức ‘1’
Ghi bit 0	0	Giữ nguyên	1	1	0	0	1	Ghi vào cell nhớ mức ‘0’
Đọc bit 1	1	1	x	0	x	1	0	Q ở mức ‘1’ → RBL không xả dòng
Đọc bit 0	1	0	x	0	x	0	1	Q ở mức ‘0’ → RBL bị kéo xuống

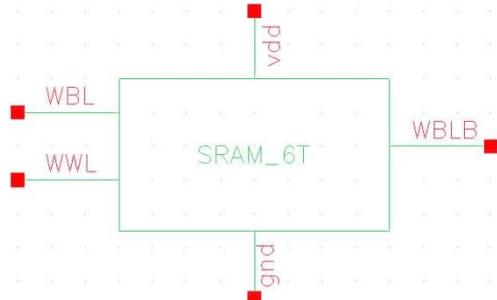
- SRAM 8T tách riêng mạch đọc và mạch ghi nên nhờ đó, ít khi xảy ra nhiễu đọc khi ghi và RBL không ảnh hưởng ngược lại cell. Mạch ghi dùng: WWL, WBL, WBLB. Mạch đọc riêng biệt dùng RWL, RBL.
- Từ kết quả mô phỏng ta cũng thấy được rõ hai quá trình là quá trình ghi và quá trình đọc dữ liệu của SRAM 8T.
- Từ 0 ns - 100 ns là khoảng thời gian mà mạch đang không hoạt động hay còn gọi là trạng thái chờ:
 - + RWL ở mức ‘0’, mạch không kích hoạt đường đọc. Và WWL ở mức ‘0’, mạch không kích hoạt đường ghi. Tuy nhiên ta vẫn thấy WBL và WBLB dao động, nhưng vì WWL cũng ở mức ‘0’ nên tín hiệu không truyền vào được cell và vì vậy cell sẽ không bị ghi. Q và Q~ giữ nguyên giá trị cell không bị thay đổi. RBL ở mức ‘1’ nhưng cũng vì RWL ở mức ‘0’ mạch không hoạt động nên cell cũng không thay đổi.
- Bắt đầu từ 100 ns - 200 ns mạch đi vào quá trình ghi:
 - + WWL ở mức ‘1’ sẽ kích hoạt mạch ghi. Khi này, WBL và WBLB dao động. Nếu WBL mức ‘1’ và WBLB mức ‘0’, thì sẽ ghi được bit ‘1’. Ngược lại nếu, WBL mức ‘0’ và WBLB mức ‘1’, thì sẽ ghi được bit ‘0’.
 - + Lúc này RWL ở mức ‘0’ nên mạch không hoạt động. RBL sẽ giữ nguyên trạng thái không thay đổi.
- Từ 200 ns - 400 ns là quá trình đọc:
 - + WWL ở mức ‘0’, WBL và WBLB sẽ không ảnh hưởng đến quá trình đọc. RWL được kéo lên mức ‘1’ sẽ kích hoạt mạch đọc, lúc này tùy vào trạng thái của cell nếu Q ở mức ‘1’ thì RBL vẫn giữ mức ‘1’ (đọc giá trị bit ‘1’), nếu Q ở mức ‘0’ thì RBL bị sụt sẽ giảm xuống và xả dòng qua transistor đọc (đọc giá trị bit ‘0’).
- Tương tự như vậy, từ 500ns sẽ là chu kì ghi và đọc mới.

4.8.2 Công suất tiêu thụ

4.8.2.1 Mô phỏng sơ đồ nguyên lý SRAM 6T



(4.15.a)



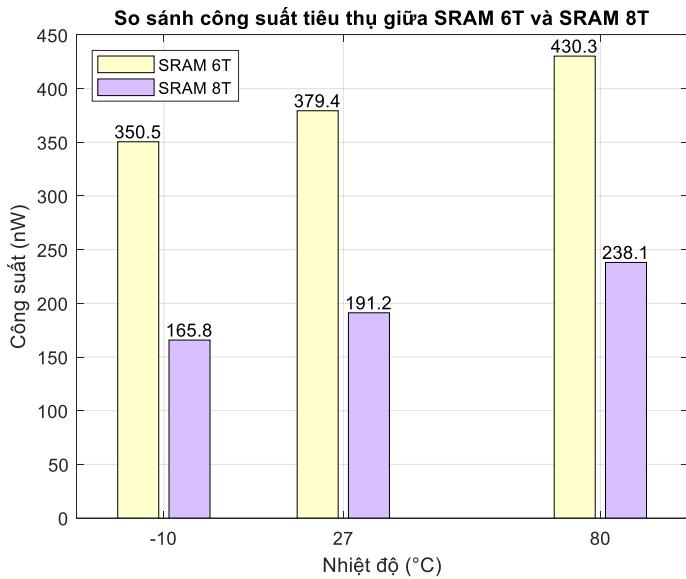
(4.15.b)

Hình 4.12: Mô phỏng mạch SRAM 6T (a) và (b) đóng gói

4.8.2.2 Dùng công cụ Calculator đo được các công suất tiêu thụ của mạch

Bảng 4.3: Bảng so sánh công suất tiêu thụ của SRAM 6T và 8T theo nhiệt độ

Nhiệt độ	Công suất SRAM 6T	Công suất SRAM 8T	So sánh
-10 °C	350.5 nW	165.8 nW	Giảm 52.69%
27 °C	379.4 nW	191.2 nW	Giảm 49.62%
80 °C	430.3 nW	238.1 nW	Giảm 44.68%



Hình 4.13: Đồ thị so sánh công suất trung bình giữa SRAM 6T và 8T

4.8.2.3 Nhận xét mô phỏng so sánh SRAM 6T và 8T

Dựa vào bảng số liệu và biểu đồ so sánh công suất tiêu thụ giữa SRAM 6T và SRAM 8T ở ba mức nhiệt độ -10°C , 27°C và 80°C , SRAM 8T luôn tiêu thụ ít điện năng hơn so với SRAM 6T.

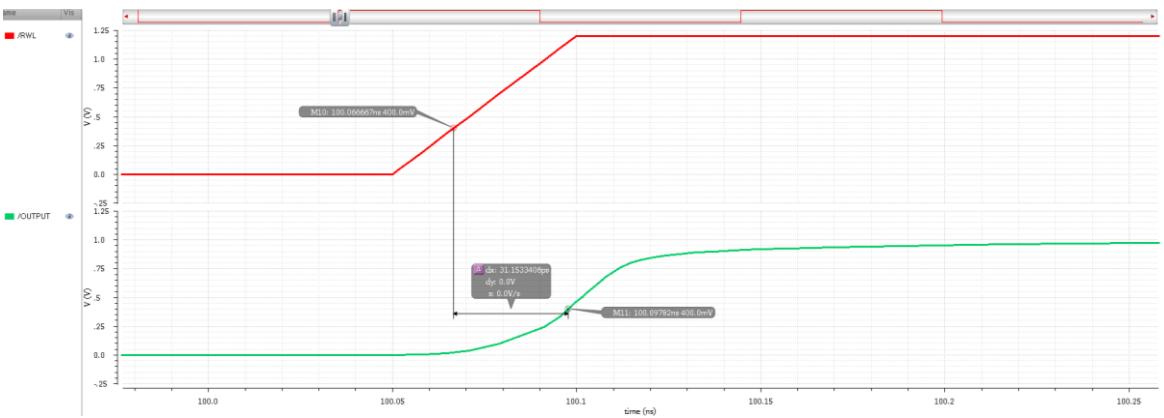
- Tại -10°C , SRAM 8T giảm 52.69% công suất so với SRAM 6T.
- Tại 27°C , SRAM 8T giảm 49.62% công suất so với SRAM 6T.
- Tại 80°C , SRAM 8T giảm 44.68% công suất so với SRAM 6T.

Mặc dù công suất tiêu thụ của cả hai loại SRAM đều tăng theo nhiệt độ, nhưng mức tăng của SRAM 8T chậm hơn. Điều này chứng tỏ SRAM 8T có hiệu quả tiết kiệm năng lượng tốt hơn và ít bị ảnh hưởng bởi sự thay đổi nhiệt độ, phù hợp hơn cho các ứng dụng yêu cầu tiêu thụ năng lượng thấp.

4.8.3 Độ trễ lan truyền

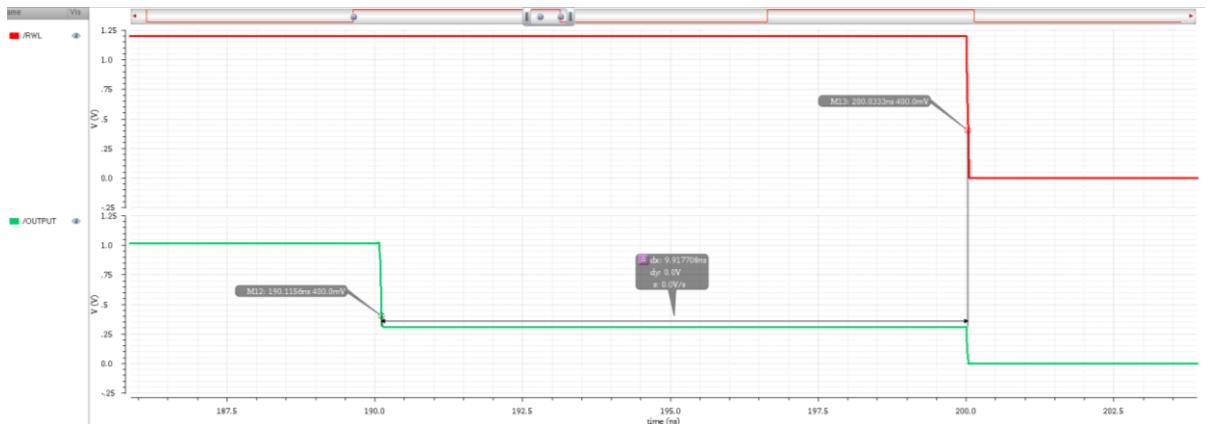
4.8.3.1 Quá trình đọc dữ liệu

- Đo độ chênh lệch điểm tại mức điện áp $\frac{V_{DD}}{2} = 400\text{mV}$ của tín hiệu ngõ vào RWL và tín hiệu ngõ ra OUTPUT tìm được độ trễ lan truyền cạnh lén ($t_{pdR_{RWL}}$) là 31.1533406 ps.



Hình 4.14: Độ trễ lan truyền cạnh lên của quá trình đọc dữ liệu

- Đo độ chênh lệch điểm tại mức điện áp $\frac{V_{DD}}{2} = 400mV$ của tín hiệu ngõ vào RWL và tín hiệu ngõ ra OUTPUT tìm được độ trễ lan truyền cạnh xuống ($t_{pdf_{RWL}}$) là 9.917708 ns (9917.708 ps).



Hình 4.15: Độ trễ lan truyền cạnh xuống của quá trình đọc dữ liệu

- Nhận xét:

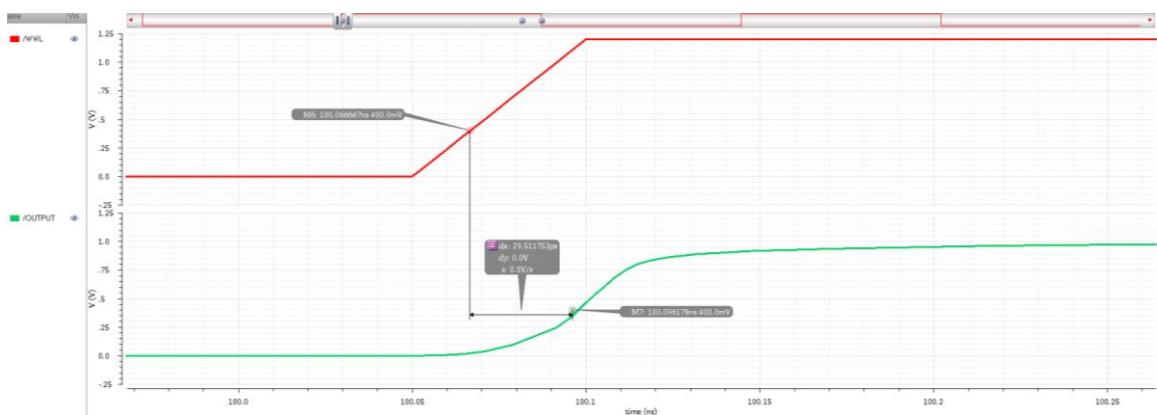
+ Dựa trên hai hình sóng mô phỏng quá trình đọc của SRAM 8T, độ trễ lan truyền cạnh lên (t_{pdr}) và cạnh xuống (t_{pdf}) được xác định lần lượt là 0.047 ns và 0.046 ns. Cụ thể, cạnh lên bắt đầu khi tín hiệu WL chuyển mức tại 100.063 ns, và đầu ra OUTPUT đạt mức 50% (0.6 V) tại 100.110 ns, cho thấy $t_{pdr} = 0.047$ ns. Tương tự, ở cạnh xuống, WL thay đổi tại 200.100 ns và OUTPUT đạt mức 50% tại 200.146 ns, tương ứng $t_{pdf} = 0.046$ ns. Vì vậy SRAM 8T có khả năng đọc nhanh và ổn định với độ trễ rất nhỏ và gần như cân xứng giữa hai cạnh chuyển mức.

+ Qua đó, ta tính được độ trễ lan truyền trung bình của quá trình đọc dữ liệu:

$$t_{pdr_{RWL}} = \frac{t_{pdr_{RWL}} + t_{pdf_{RWL}}}{2} = \frac{31.1533406 + 9917.708}{2} = 4974.43 \text{ ps.} \quad (4.1)$$

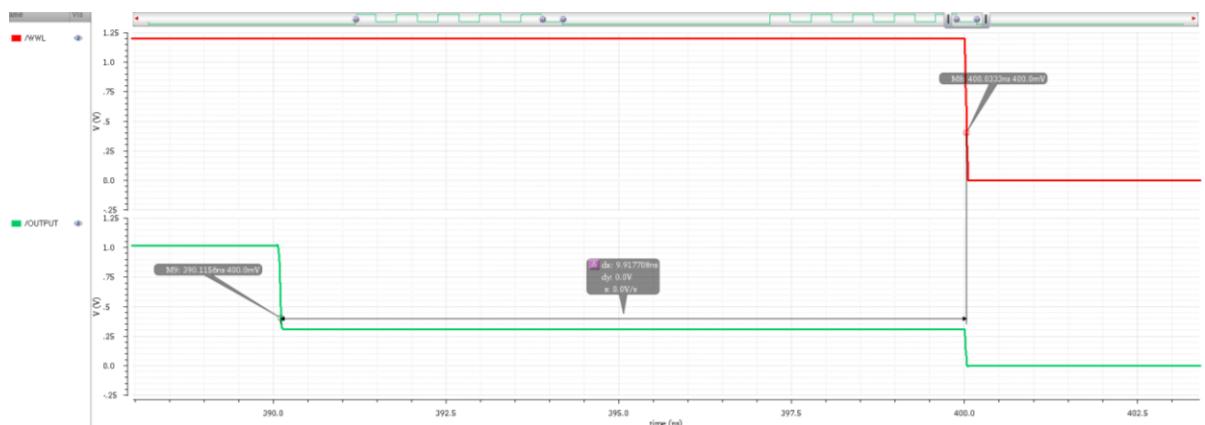
4.8.3.2 Quá trình ghi dữ liệu

- Đo độ chênh lệch điểm tại mức điện áp $\frac{V_{DD}}{2} = 400mV$ của tín hiệu ngõ vào WWL và tín hiệu ngõ ra OUTPUT tìm được độ trễ lan truyền cạnh lên ($t_{pdr_{WWL}}$) là 29.511753 ps.



Hình 4.16: Độ trễ lan truyền cạnh lên của quá trình ghi dữ liệu

- Đo độ chênh lệch điểm tại mức điện áp $\frac{V_{DD}}{2} = 400mV$ của tín hiệu ngõ vào WWL và tín hiệu ngõ ra OUTPUT tìm được độ trễ lan truyền cạnh xuống ($t_{pdf_{WWL}}$) là 9.917708 ns (9917.708 ps).



Hình 4.17: Độ trễ lan truyền cạnh xuống của quá trình ghi dữ liệu

- Nhận xét:

+ Dựa trên hai hình mô phỏng quá trình ghi dữ liệu của SRAM 8T, cho thấy

độ trễ lan truyền khi ghi giá trị ‘1’ là khoảng 0.03 ns khi tín hiệu WL tăng tại 108.10 ns và OUTPUT bắt đầu tăng tại 108.13 ns. Tương tự, khi ghi giá trị ‘0’, tín hiệu WL giảm tại 408.10 ns và OUTPUT bắt đầu giảm tại 408.14 ns, cho thấy độ trễ khoảng 0.04 ns. Vì thế, quá trình ghi dữ liệu của SRAM 8T diễn ra rất nhanh, với độ trễ cực thấp và ổn định ở cả hai cạnh tín hiệu.

+ Qua đó, ta tính được độ trễ lan truyền trung bình của quá trình ghi dữ liệu:

$$t_{pd_{WWL}} = \frac{t_{pd_{WWL}} + t_{pd_{WWL}}}{2} = \frac{29.511753 + 9917.708}{2} = 4973.61 ps. \quad (4.2)$$

4.9 KẾT QUẢ KIỂM TRA MẢNG SRAM 8T

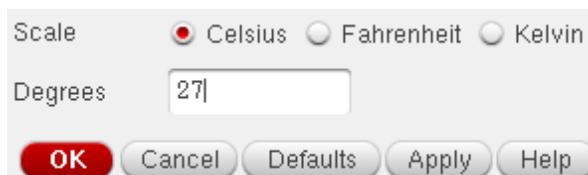
4.9.1 Mảng SRAM 1x1

Bảng thông số thiết kế mô phỏng độ rộng (W), độ dài (L) và tỷ lệ W/L của pMOS so với nMOS gấp 2 lần: Tỷ lệ W/L = 2

Bảng 4.4: Thông số cài đặt pMOS và nMOS của mảng SRAM 8T 1x1

Thông số	pMOS	nMOS
L	100nm	100nm
W	260nm	130nm

Thiết kế được mô phỏng tại điều kiện nhiệt độ chuẩn $T = 27^\circ C$:



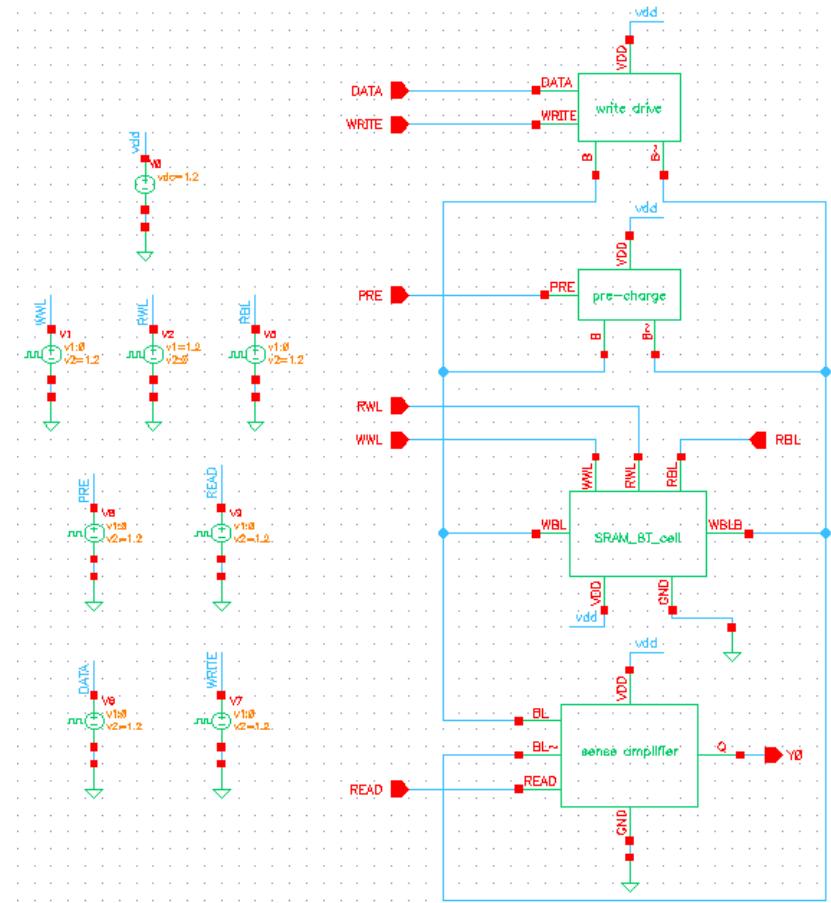
Hình 4.18: Cài đặt nhiệt độ 27 độ C cho thiết kế mô phỏng mảng SRAM 8T 1x1

4.9.1.1 Cáp nguồn cho mảng SRAM 8T 1x1

Thông số cài đặt:

- Chân V_{DD} nối với nguồn $V_{DC} = 1.2V$.
- Chân GND nối đất.
- Chân WWL và WRITE nối với các nguồn V_{pulse1} và V_{pulse7} với các thông số sau:
 - + Mức điện áp 1 (V1): 0V.
 - + Mức điện áp 2 (V2): 1.2V.

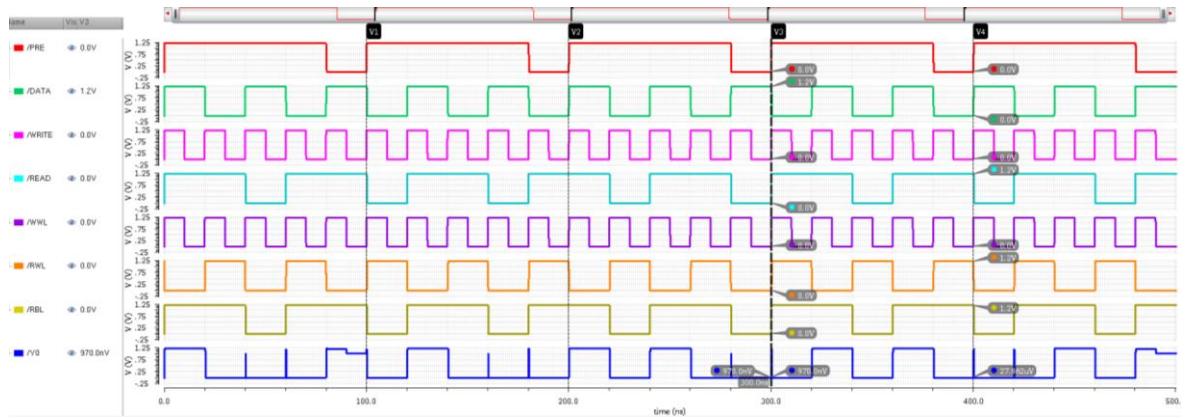
- + Chu kỳ (Period): 20ns.
- + Độ rộng xung (Pulse width): 10ns.
- Chân RWL nối với nguồn V_{pulse2} với các thông số sau:
 - + Mức điện áp 1 (V1): 1.2V.
 - + Mức điện áp 2 (V2): 0V.
 - + Chu kỳ (Period): 40ns.
 - + Độ rộng xung (Pulse width): 20ns.
- Chân RBL và READ nối với các nguồn V_{pulse5} và V_{pulse9} với các thông số sau:
 - + Mức điện áp 1 (V1): 0V.
 - + Mức điện áp 2 (V2): 1.2V.
 - + Chu kỳ (Period): 60ns.
 - + Độ rộng xung (Pulse width): 40ns.
- Chân PRE nối với nguồn V_{pulse5} với các thông số sau:
 - + Mức điện áp 1 (V1): 0V.
 - + Mức điện áp 2 (V2): 1.2V.
 - + Chu kỳ (Period): 100ns.
 - + Độ rộng xung (Pulse width): 80ns.
- Chân DATA nối với nguồn V_{pulse6} với các thông số sau:
 - + Mức điện áp 1 (V1): 0V.
 - + Mức điện áp 2 (V2): 1.2V.
 - + Chu kỳ (Period): 40ns.
 - + Độ rộng xung (Pulse width): 20ns.



Hình 4.19: Mảng SRAM 8T 1x1 sau khi đã cấp nguồn

4.9.1.2 Dạng sóng của mảng SRAM 8T 1x1

- Thực hiện mô phỏng để kiểm tra hoạt động theo bảng trạng thái của mảng SRAM 8T 1x1, kết quả thu được dạng sóng như hình bên dưới.
 - + PRE: Kích hoạt mạch tiền nạp (pre-charge) để đưa BL, BLB về mức cao trước khi đọc (đường màu đỏ).
 - + DATA: Dữ liệu đầu vào để ghi (đường màu xanh lá).
 - + WRITE: Tín hiệu điều khiển ghi (đường màu hồng).
 - + READ: Tín hiệu điều khiển đọc (đường màu xanh biển nhạt).
 - + WWL: Wordline cho ghi enable (đường màu tím).
 - + RWL: Wordline cho đọc enable (đường màu cam).
 - + RBL: Bitline đọc (đường màu vàng).
 - + Y0: Giá trị đọc hoặc ghi từ đầu ra của mạch cảm nhận (đường màu xanh dương đậm).



Hình 4.20: Dạng sóng mảng SRAM 8T 1x1 sau khi mô phỏng được

4.9.1.3 Nhận xét mô phỏng mảng SRAM 1x1

Bảng 4.5: Bảng trạng thái mảng SRAM 8T 1x1

Trạng thái	PRE	WRITE	DATA	WWL	RWL	READ	RBL	Y0
Ghi bit 1	1	1	1	1	0	0	x	1
Ghi bit 0	1	1	0	1	0	0	x	0
Đọc bit 1	1	0	x	0	1	1	0	1
Đọc bit 0	1	0	x	0	1	1	1	0

- Giải thích về quá trình ghi của SRAM 8T 1x1:

+ Đầu tiên, mạch sẽ được tiền nạp (PRE) ở mức cao (mức 1), tín hiệu điều khiển ghi (WRITE) và wordline cho phép ghi (WWL) cũng ở mức cao (mức 1). Lúc này PRE sẽ cho phép đường bit hoạt động. WRITE mức cao để kích hoạt mạch ghi, còn WWL mức cao thực hiện việc chọn hàng để ghi, tùy theo DATA là mức cao hay mức thấp để đưa dữ liệu vào cell nhớ. Và đường bit RBL sẽ thay đổi theo tín hiệu ghi.

- Giải thích về quá trình đọc của SRAM T 1x1:

- + Sau khi mạch đã ghi được dữ liệu vào cell nhớ, công việc tiếp theo là đọc dữ liệu từ ô nhớ đó. Vậy khi PRE vẫn còn ở mức cao, WRITE và WWL kéo xuống mức thấp mạch sẽ dừng ghi. Ngay lúc đó, READ kéo lên mức cao để kích hoạt mạch khuếch đại cảm nhận sense amplifier, RWL kéo lên mức cao để kết nối ô nhớ tới đường bit. Nếu ô nhớ chứa bit 1 thì sẽ giữ đường bit cao và đầu ra dữ liệu đọc Q từ mạch khuếch đại cảm nhận sẽ nhận giá trị mức 1. Ngược lại, nếu ô nhớ chứa bit 0 thì sẽ kéo đường bit xuống và đầu ra dữ liệu đọc Q từ mạch khuếch đại cảm nhận sẽ nhận giá trị mức 0.
- Theo như kết quả mô phỏng dạng sóng của mạch ghép SRAM 8T 1x1:
 - + Từ 0 ns - 10 ns: PRE được nạp lên mức 1 cho phép đường bit hoạt động. WRITE ở mức 1 nên mạch bắt đầu vào chế độ ghi. WWL cũng mức 1 làm nhiệm vụ chọn hàng để ghi. Dữ liệu DATA truyền vào là mức 1 vì vậy ô nhớ SRAM 8T sẽ lưu lại giá trị bit 1 và RBL cũng sẽ thay đổi theo bit ghi là ở bit 1. Đầu ra dữ liệu đọc Y0 từ mạch khuếch đại cảm nhận trả về bit 1, như vậy là mạch đã thực hiện ghi bit 1.
 - + Từ 10 ns - 20 ns: PRE ở mức 1 mạch tiếp tục hoạt động. Nhưng cả WRITE, WWL, READ, RWL đều ở mức 0, khi này mạch không đọc cũng không ghi, đang ở trạng thái chờ. Y0 mức 1 do lưu trữ dữ liệu từ DATA đã ghi trước đó.
 - + Từ 20ns - 30 ns: PRE vẫn mức 1 vẫn tiếp tục hoạt động. Lúc này WRITE và WWL mức 1. DATA ở mức 0, mạch thực hiện ghi bit 0. RBL mức 1 cho phép đường bit truyền vào ô nhớ. Y0 ở mức 0 cho thấy ô nhớ đã lưu thành công bit 0.
 - + Từ 30 ns - 40 ns: Mạch đang ở trạng thái chờ. Y0 bằng 0 do đã lưu thành công bit 0 trước đó.

4.9.1.4 Công suất tiêu thụ

- Dùng công cụ Calculator tính được công suất trung bình: $P = 47.20 \mu W$.

average(IT("/V0/MINUS")*v("/vdd" ...)	
Expression	Value
1 average(IT("/V...)	47.20u

Hình 4.21: Công suất trung bình mảng SRAM 8T 1x1

4.9.2 Mảng SRAM 8x8

Bảng thông số thiết kế mô phỏng độ rộng (W), độ dài (L) và tỷ lệ W/L của pMOS so với nMOS gấp 2 lần: Tỷ lệ W/L = 2

Bảng 4.6: Thông số cài đặt pMOS và nMOS của mảng SRAM 8T 8x8

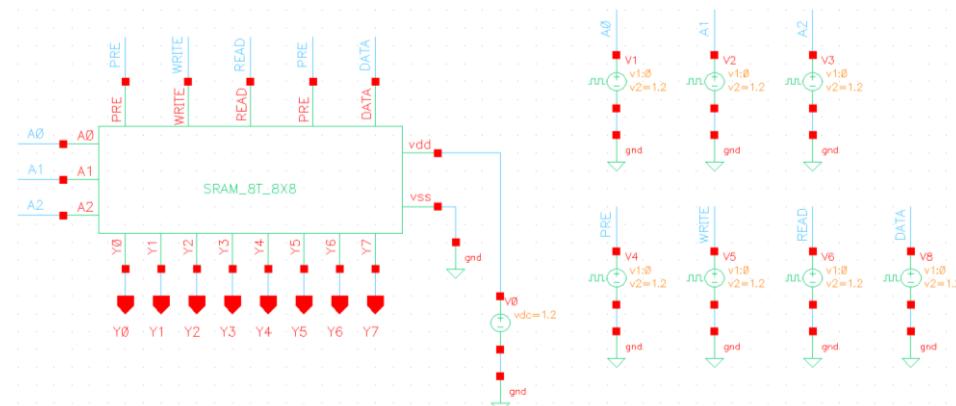
Thông số	pMOS	nMOS
L	100nm	100nm
W	260nm	130nm

4.9.2.1 Chọn Vdc = 1.2V

Thông số cài đặt:

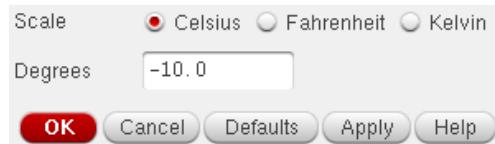
- Chân V_{DD} nối với nguồn $V_{DC} = 1.2V$.
- Chân GND nối đất.
- Chân A0 nối với nguồn V_{pulse1} với các thông số sau:
 - + Mức điện áp 1 (V1): 0V.
 - + Mức điện áp 2 (V2): 1.2V.
 - + Chu kỳ (Period): 10ns.
 - + Độ rộng xung (Pulse width): 5ns.
- Chân A1 và DATA lần lượt nối với các nguồn V_{pulse2} và V_{pulse8} với các thông số sau:
 - + Mức điện áp 1 (V1): 0V.
 - + Mức điện áp 2 (V2): 1.2V.
 - + Chu kỳ (Period): 20ns.
 - + Độ rộng xung (Pulse width): 10ns.
- Chân A2 nối với nguồn V_{pulse3} với các thông số sau:
 - + Mức điện áp 1 (V1): 0V.
 - + Mức điện áp 2 (V2): 1.2V.

- + Chu kỳ (Period): 30ns.
 - + Độ rộng xung (Pulse width): 15ns.
- Chân A2 nối với nguồn V_{pulse3} với các thông số sau:
- + Mức điện áp 1 (V1): 0V.
 - + Mức điện áp 2 (V2): 1.2V.
 - + Chu kỳ (Period): 30ns.
 - + Độ rộng xung (Pulse width): 15ns.
- Chân PRE nối với nguồn V_{pulse4} với các thông số sau:
- + Mức điện áp 1 (V1): 0V.
 - + Mức điện áp 2 (V2): 1.2V.
 - + Chu kỳ (Period): 200ns.
 - + Độ rộng xung (Pulse width): 100ns.
- Chân WRITE nối với nguồn V_{pulse5} với các thông số sau:
- + Mức điện áp 1 (V1): 0V.
 - + Mức điện áp 2 (V2): 1.2V.
 - + Chu kỳ (Period): 40ns.
 - + Độ rộng xung (Pulse width): 20ns.
- Chân READ nối với nguồn V_{pulse6} với các thông số sau:
- + Mức điện áp 1 (V1): 0V.
 - + Mức điện áp 2 (V2): 1.2V.
 - + Chu kỳ (Period): 60ns.
 - + Độ rộng xung (Pulse width): 40ns.



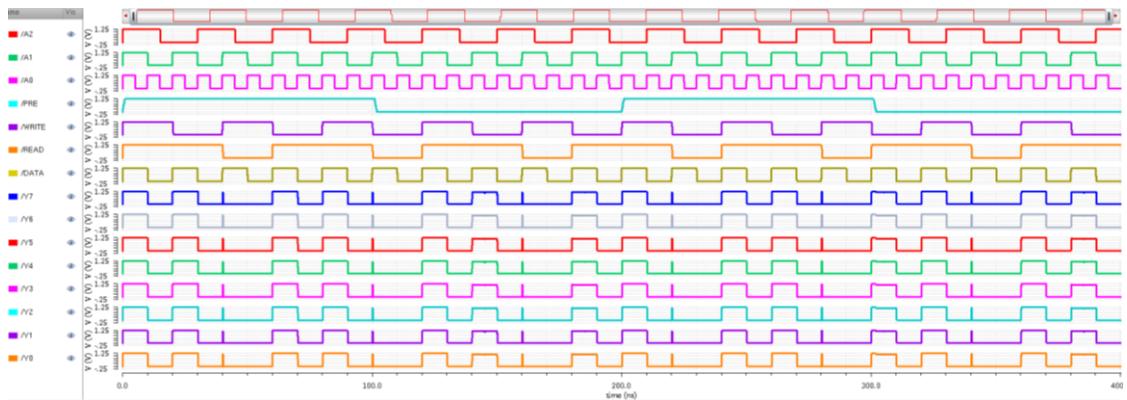
Hình 4.22: Mảng SRAM 8T 8x8 sau khi đã cấp nguồn tại $V_{dc} = 1.2V$

a) Thiết kế được mô phỏng tại điều kiện nhiệt độ $T = -10^{\circ}\text{C}$:



Hình 4.23: Cài đặt -10 độ C cho thiết kế mô phỏng mảng SRAM 8T 8x8 tại $V_{dc} = 1.2V$

- Dạng sóng mô phỏng được:



Hình 4.24: Dạng sóng mảng SRAM 8T 8x8 tại $V_{dc} = 1.2V$ và -10 độ C

- Công suất tiêu thụ:

Dùng công cụ Calculator tính được công suất trung bình: $P = 268.3 \mu\text{W}$.

E average(IT("/V0/MINUS")*v("/net18..."))	
Expression	Value
1 average(IT("/V..."))	268.3u

Hình 4.25: Công suất trung bình mảng SRAM 8T 8x8 tại $V_{dc} = 1.2V$ và -10 độ C

- Thời gian trễ cạnh lên và thời gian trễ cạnh xuống: $t_r = t_f = 16.6676 \text{ ps}$.

Outputs					
	Name/Signal/Expr	Value	Plot	Save	Save Options
1	tr Y0	16.6676p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
2	tr Y1	16.6676p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
3	tr Y2	16.6676p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
4	tr Y3	16.6676p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
5	tr Y4	16.6676p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
6	tr Y5	16.6676p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
7	tr Y6	16.6676p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
8	tr Y7	16.6676p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
9	tf Y0	16.6676p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
10	tf Y1	16.6676p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
11	tf Y2	16.6676p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
12	tf Y3	16.6676p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
13	tf Y4	16.6676p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
14	tf Y5	16.6676p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
15	tf Y6	16.6676p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
16	tf Y7	16.6676p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	

Hình 4.26: Thời gian trễ đo được từ mảng SRAM 8T 8x8

tại $V_{dc} = 1.2V$ và $-10^{\circ}C$

- Đo độ chênh lệch điểm tại mức điện áp $\frac{V_{DD}}{2} = 350mV$ của 3 tín hiệu ngõ vào A0, A1, A2 và các tín hiệu ngõ ra từ Y0 đến Y7, ta tìm được các độ trễ lan truyền cạnh lên:

- + Độ trễ lan truyền cạnh lên từ Y0 đến Y7 so với tín hiệu ngõ vào A0 ($t_{pdr_{A0}}$) là 237.6792 ps.
- + Độ trễ lan truyền cạnh lên từ Y0 đến Y7 so với tín hiệu ngõ vào A1 ($t_{pdr_{A1}}$) là 97.719908 ps.
- + Độ trễ lan truyền cạnh lên từ Y0 đến Y7 so với tín hiệu ngõ vào A2 ($t_{pdr_{A2}}$) là 267.5174 ps.

- Đo độ chênh lệch điểm tại mức điện áp $\frac{V_{DD}}{2} = 350mV$ của 3 tín hiệu ngõ vào A0, A1, A2 và các tín hiệu ngõ ra từ Y0 đến Y7, ta tìm được các độ trễ lan truyền cạnh xuống:

- + Không có độ trễ lan truyền cạnh xuống từ Y0 đến Y7 so với tín hiệu ngõ vào A0 ($t_{pdf_{A0}}$).
- + Độ trễ lan truyền cạnh xuống từ Y0 đến Y7 so với tín hiệu ngõ vào A1 ($t_{pdf_{A1}}$) là 81.429204 ps.

- + Không có độ trễ lan truyền cạnh xuống từ Y0 đến Y7 so với tín hiệu ngõ vào A2 ($t_{pdf_{A2}}$).

- Nhận xét:

Ở kết quả dạng sóng mô phỏng SRAM 8x8 ô nhớ, ta thấy được:

- + Các tín hiệu như đều hiển thị dạng sóng vuông rõ ràng, với biên độ đầy đủ và không bị nhiễu. Cho thấy mạch điều khiển hoạt động ổn định ở nhiệt độ thấp và điện áp cung cấp 1.2V. Không có dấu hiệu nhiễu, sai lệch trạng thái logic hoặc lỗi "không khớp" giữa đầu vào ghi và đầu ra đọc sau một chu kỳ truy cập. Tốc độ chuyển trạng thái nhanh, chứng tỏ transistor vẫn hoạt động tốt ở -10°C.

Hoạt động của Cell SRAM:

- + Các bit lưu trữ được giữ ổn định giữa các chu kỳ, nghĩa là SRAM giữ trạng thái tốt. Tín hiệu đọc không làm ảnh hưởng đến trạng thái bên trong cell (đặc điểm chính của SRAM 8T nhờ sử dụng thêm transistor để cách ly đường đọc).
- + Ở mức nhiệt độ $T = -10^\circ\text{C}$, mức hiệt độ thấp làm tăng điện động lực học của MOSFET (tăng mobility), dẫn đến tốc độ chuyển mạch nhanh hơn, rò rỉ dòng giảm → giữ dữ liệu tốt hơn, tuy nhiên, nếu không được thiết kế tốt, có thể gây overdrive trên gate, nhưng ở đây không thấy dấu hiệu sai lệch.
- + Mức điện áp 1.2V này là phổ biến cho các mạch CMOS công nghệ hiện đại (~65nm hoặc thấp hơn).
- + Biên độ các tín hiệu dữ liệu và điều khiển đầy đủ ($0 \leftrightarrow 1.2\text{V}$), cho thấy các transistor hoạt động trong vùng khuếch đại đầy đủ.
- + Công suất trung bình đo được là $P = 268.3 \mu\text{W}$, điều này cho thấy mạch hoạt động với mức tiêu thụ năng lượng thấp, phù hợp với các ứng dụng cần tiết kiệm điện như các hệ thống nhúng, thiết bị IoT, hoặc bộ nhớ cache trong vi xử lý.
- + Thời gian trễ cạnh lên và xuống (rise/fall time) là $t_r = t_f = 16.6676 \text{ ps}$, cho thấy tốc độ chuyển trạng thái của tín hiệu là rất nhanh

và đồng đều, phản ánh mạch được thiết kế cân bằng và ổn định về mặt tốc độ.

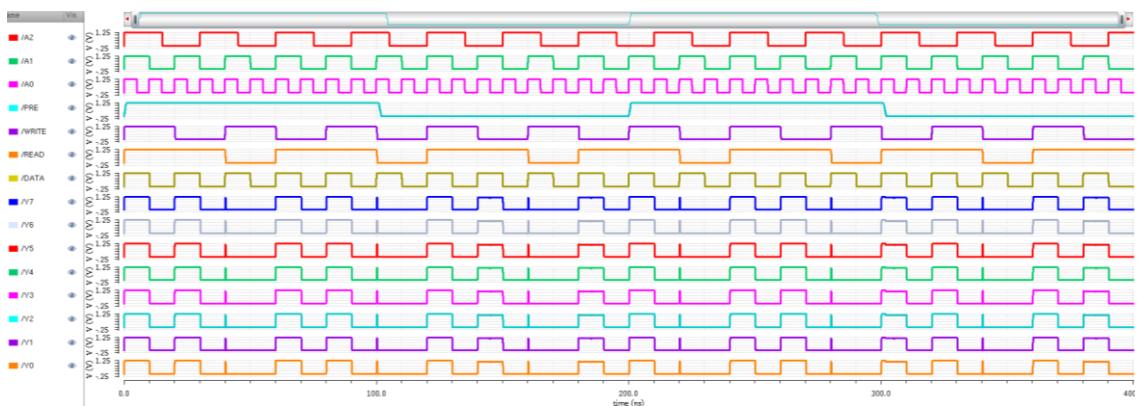
+ Độ trễ lan truyền từ ngõ vào A0 đến các ngõ ra Y0–Y7 là khoảng 105.798 ps, là một mức độ trễ tương đối thấp cho một mạch nhớ, cho thấy rằng việc đọc dữ liệu từ mạch nhớ này diễn ra nhanh, góp phần tăng hiệu năng hệ thống tổng thể.

b) Thiết kế được mô phỏng tại điều kiện nhiệt độ $T = 27^\circ\text{C}$:



Hình 4.27: Cài đặt 27 độ C cho thiết kế mô phỏng mảng SRAM 8T 8x8 tại $Vdc = 1.2V$

- Dạng sóng mô phỏng được:



Hình 4.28: Dạng sóng mảng SRAM 8T 8x8 tại $Vdc = 1.2V$ và 27 độ C

- Công suất tiêu thụ:

Dùng công cụ Calculator tính được công suất trung bình: $P = 237.4 \mu\text{W}$.



Hình 4.29: Công suất trung bình mảng SRAM 8T 8x8 tại $Vdc = 1.2V$ và 27 độ C

- Thời gian trễ cạnh lên và thời gian trễ cạnh xuống: $t_r = t_f = 19.8893 \text{ ps}$.

Outputs					
	Name/Signal/Expr	Value	Plot	Save	Save Options
1	tr Y0	19.8893p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
2	tr Y1	19.8893p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
3	tr Y2	19.8893p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
4	tr Y3	19.8893p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
5	tr Y4	19.8893p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
6	tr Y5	19.8893p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
7	tr Y6	19.8893p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
8	tr Y7	19.8893p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
9	tf Y0	19.8893p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
10	tf Y1	19.8893p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
11	tf Y2	19.8893p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
12	tf Y3	19.8893p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
13	tf Y4	19.8893p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
14	tf Y5	19.8893p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
15	tf Y6	19.8893p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
16	tf Y7	19.8893p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	

Hình 4.30: Thời gian trễ đo được từ mảng SRAM 8T 8x8 tại $V_{dc} = 1.2V$ và 27 độ C

- Đo độ chênh lệch điểm tại mức điện áp $\frac{V_{DD}}{2} = 350mV$ của 3 tín hiệu ngõ vào A0, A1, A2 và các tín hiệu ngõ ra từ Y0 đến Y7, ta tìm được các độ trễ lan truyền cạnh lên:

- + Độ trễ lan truyền cạnh lên từ Y0 đến Y7 so với tín hiệu ngõ vào A0 ($t_{pdr_{A_0}}$) là 248.5259 ps.
- + Độ trễ lan truyền cạnh lên từ Y0 đến Y7 so với tín hiệu ngõ vào A1 ($t_{pdr_{A_1}}$) là 111.366 ps.
- + Độ trễ lan truyền cạnh lên từ Y0 đến Y7 so với tín hiệu ngõ vào A2 ($t_{pdr_{A_2}}$) là 294.8464 ps.

- Đo độ chênh lệch điểm tại mức điện áp $\frac{V_{DD}}{2} = 350mV$ của 3 tín hiệu ngõ vào A0, A1, A2 và các tín hiệu ngõ ra từ Y0 đến Y7, ta tìm được các độ trễ lan truyền cạnh xuống:

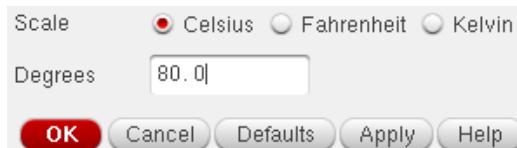
- + Không có độ trễ lan truyền cạnh xuống từ Y0 đến Y7 so với tín hiệu ngõ vào A0 ($t_{pdf_{A_0}}$).
- + Độ trễ lan truyền cạnh xuống từ Y0 đến Y7 so với tín hiệu ngõ vào A1 ($t_{pdf_{A_1}}$) là 161.7877 ps.

- + Độ trễ lan truyền cạnh xuống từ Y0 đến Y7 so với tín hiệu ngõ vào A2 ($t_{pdf_{A2}}$) là 4.993141 ns (4993.141 ps).

- Nhận xét:

- + Kết quả ở lần mô phỏng này so với trường hợp -10°C, không có sai khác đáng kể về hình dạng sóng – cho thấy mạch điều khiển ổn định ở cả nhiệt độ phòng. Dữ liệu vào A2 A1 A0 và dữ liệu ra Y0 đến Y7 thay đổi rõ ràng và chính xác theo từng chu kỳ ghi/đọc.
- + So với trường hợp $T = -10^\circ\text{C}$ ($P = 268.3 \mu\text{W}$) thì ở 27°C , công suất giảm, điều này hoàn toàn phù hợp về mặt vật lý. Ở nhiệt độ cao hơn, transistor rò nhiều hơn nhưng đồng thời switching activity (tần suất chuyển mạch) có thể ít hơn tùy vào điều kiện mô phỏng, dẫn đến tổng công suất thấp hơn. Như vậy, hiệu quả công suất cải thiện nhẹ so với môi trường lạnh và thiết kế phù hợp với hoạt động ở nhiệt độ phòng.
- + $\text{Tr} = \text{Tf} = 19.8893 \text{ ps}$, cao hơn một chút so với 16.6676 ps tại -10°C . Điều này là bình thường, vì tại nhiệt độ cao hơn, độ linh động của điện tử trong MOSFET giảm nên tốc độ switching chậm lại một chút.

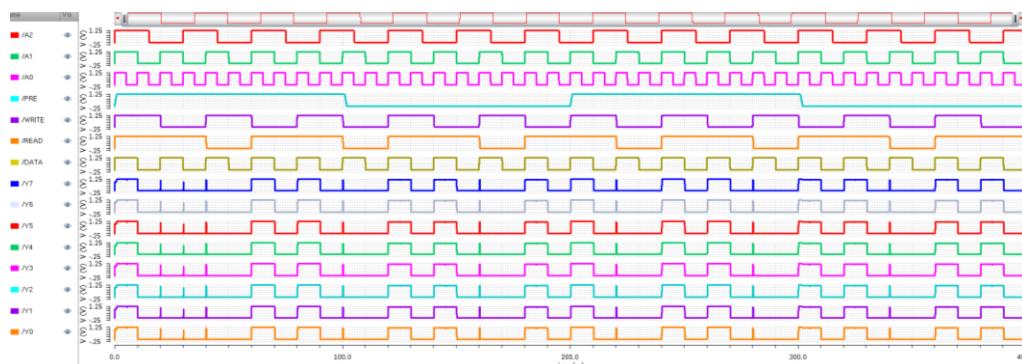
c) Thiết kế được mô phỏng tại điều kiện nhiệt độ $T = 80^\circ\text{C}$:



Hình 4.31: Cài đặt 80 độ C cho thiết kế mô phỏng mảng SRAM 8T 8x8

tại $Vdc = 1.2V$

- Dạng sóng mô phỏng được:



Hình 4.32: Dạng sóng mảng SRAM 8T 8x8 tại $Vdc = 1.2V$ và 80 độ C

- Công suất tiêu thụ:

Dùng công cụ Calculator tính được công suất trung bình: $P = 296.2 \text{ uW}$.

average(IT("/V0/MINUS")*v("/net18..."))	
Expression	Value
1 average(IT("/V...))	296.2u

Hình 4.33: Công suất trung bình mảng SRAM 8T 8x8 tại $Vdc = 1.2V$ và 80 độ C

- Thời gian trễ cạnh lên và thời gian trễ cạnh xuống: $t_r = t_f = 34.8923 \text{ ps}$.

Outputs				
Name/Signal/Expr	Value	Plot	Save	Save Options
1 tr Y0	34.8923p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
2 tr Y1	34.8923p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
3 tr Y2	34.8923p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
4 tr Y3	34.8923p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
5 tr Y4	34.8923p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
6 tr Y5	34.8923p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
7 tr Y6	34.8923p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
8 tr Y7	34.8923p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
9 tf Y0	34.8923p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
10 tf Y1	34.8923p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
11 tf Y2	34.8923p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
12 tf Y3	34.8923p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
13 tf Y4	34.8923p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
14 tf Y5	34.8923p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
15 tf Y6	34.8923p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
16 tf Y7	34.8923p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	

Hình 4.34: Thời gian trễ đo được từ mảng SRAM 8T 8x8 tại $Vdc = 1.2V$ và 80 độ C

- Đo độ chênh lệch điểm tại mức điện áp $\frac{V_{DD}}{2} = 350mV$ của 3 tín hiệu ngõ vào A0, A1, A2 và các tín hiệu ngõ ra từ Y0 đến Y7, ta tìm được các độ trễ lan truyền cạnh lên:

- + Độ trễ lan truyền cạnh lên từ Y0 đến Y7 so với tín hiệu ngõ vào A0 ($t_{pdr_{A_0}}$) là 266.0048 ps.
- + Độ trễ lan truyền cạnh lên từ Y0 đến Y7 so với tín hiệu ngõ vào A1 ($t_{pdr_{A_1}}$) là 135.4679 ps.
- + Độ trễ lan truyền cạnh lên từ Y0 đến Y7 so với tín hiệu ngõ vào A2 ($t_{pdr_{A_2}}$) là 199.3663 ps.

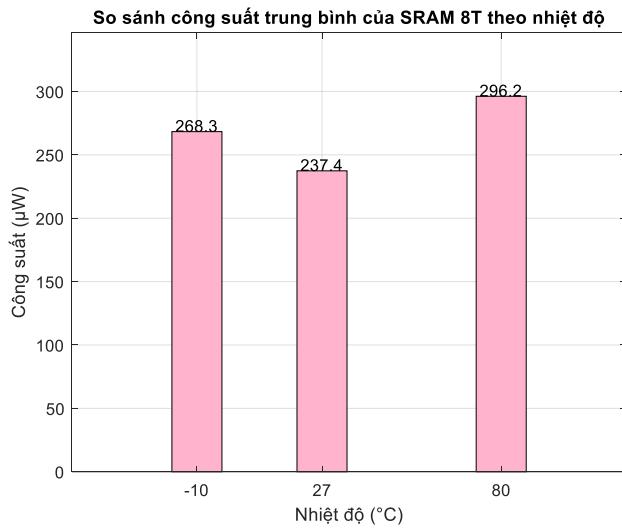
- Đo độ chênh lệch điểm tại mức điện áp $\frac{V_{DD}}{2} = 350mV$ của 3 tín hiệu ngõ vào A0, A1, A2 và các tín hiệu ngõ ra từ Y0 đến Y7, ta tìm được các độ trễ lan truyền cạnh xuông:

- + Không có độ trễ lan truyền cạnh xuông từ Y0 đến Y7 so với tín hiệu ngõ vào A0 ($t_{pdf_{A0}}$).
- + Độ trễ lan truyền cạnh xuông từ Y0 đến Y7 so với tín hiệu ngõ vào A1 ($t_{pdf_{A1}}$) là 109.7548 ps.
- + Độ trễ lan truyền cạnh xuông từ Y0 đến Y7 so với tín hiệu ngõ vào A2 ($t_{pdf_{A2}}$) là 4.975662 ns (4975.662 ps).

- Nhận xét:

- + Ở nhiệt độ $T = 80^{\circ}\text{C}$, Tín hiệu vẫn có biên rõ ràng, không bị bo tròn quá mức hoặc méo dạng, cho thấy mạch duy trì được độ ổn định mặc dù nhiệt độ tăng cao.
- + Tại $P = 296.2 \mu\text{W}$ cao hơn các trường hợp trước. Vì ở nhiệt độ cao, dòng rò (leakage current) trong các transistor CMOS tăng đáng kể, làm tăng tiêu thụ năng lượng, đặc biệt trong các trạng thái chờ. Một phần nhỏ do sự tăng switching activity vì tốc độ đáp ứng thấp hơn, khiến các xung không lý tưởng.
- + Thời gian trễ cạnh lên và trễ cạnh xuống = 34.8923 ps, tăng cao hơn các trường hợp khác. Do ở nhiệt độ cao, tính linh động của electron và hole giảm, thời gian chuyển mạch dài hơn nên ảnh hưởng hiệu năng tổng thể.

- Biểu đồ so sánh công suất trung bình theo nhiệt độ:



Hình 4.35: Đồ thị so sánh công suất tiêu thụ của mảng SRAM 8T 8x8

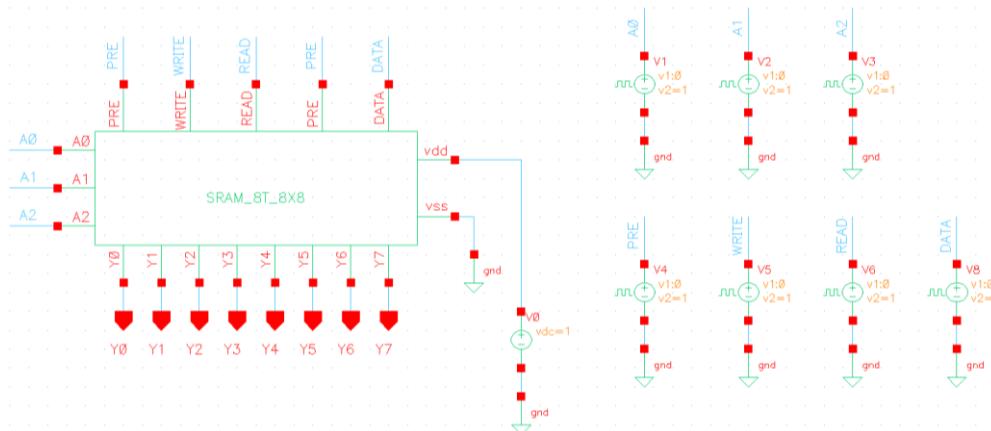
tại $V_{dc} = 1.2V$

4.9.2.2 Chọn $V_{dc} = 1.0V$

Thông số cài đặt:

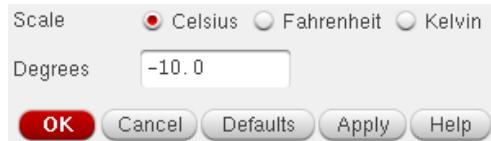
- Chân V_{DD} nối với nguồn $V_{DC} = 1.0V$.
- Chân GND nối đất.
- Chân A0 nối với nguồn V_{pulse1} với các thông số sau:
 - + Mức điện áp 1 (V1): 0V.
 - + Mức điện áp 2 (V2): 1.0V.
 - + Chu kỳ (Period): 10ns.
 - + Độ rộng xung (Pulse width): 5ns.
- Chân A1 và DATA lần lượt nối với các nguồn V_{pulse2} và V_{pulse8} với các thông số sau:
 - + Mức điện áp 1 (V1): 0V.
 - + Mức điện áp 2 (V2): 1.0V.
 - + Chu kỳ (Period): 20ns.
 - + Độ rộng xung (Pulse width): 10ns.
- Chân A2 nối với nguồn V_{pulse3} với các thông số sau:
 - + Mức điện áp 1 (V1): 0V.
 - + Mức điện áp 2 (V2): 1.0V.

- + Chu kỳ (Period): 30ns.
- + Độ rộng xung (Pulse width): 15ns.
- Chân A2 nối với nguồn V_{pulse3} với các thông số sau:
 - + Mức điện áp 1 (V1): 0V.
 - + Mức điện áp 2 (V2): 1.0V.
 - + Chu kỳ (Period): 30ns.
 - + Độ rộng xung (Pulse width): 15ns.
- Chân PRE nối với nguồn V_{pulse4} với các thông số sau:
 - + Mức điện áp 1 (V1): 0V.
 - + Mức điện áp 2 (V2): 1.0V.
 - + Chu kỳ (Period): 200ns.
 - + Độ rộng xung (Pulse width): 100ns.
- Chân WRITE nối với nguồn V_{pulse5} với các thông số sau:
 - + Mức điện áp 1 (V1): 0V.
 - + Mức điện áp 2 (V2): 1.0V.
 - + Chu kỳ (Period): 40ns.
 - + Độ rộng xung (Pulse width): 20ns.
- Chân READ nối với nguồn V_{pulse6} với các thông số sau:
 - + Mức điện áp 1 (V1): 0V.
 - + Mức điện áp 2 (V2): 1.0V.
 - + Chu kỳ (Period): 60ns.
 - + Độ rộng xung (Pulse width): 40ns.



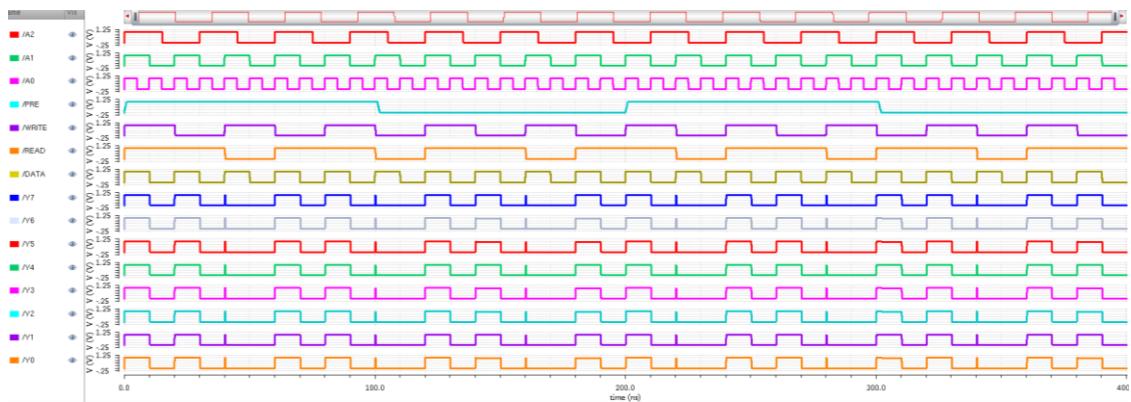
Hình 4.36: Mảng SRAM 8T 8x8 sau khi đã cấp nguồn tại $Vdc = 1.0V$

a) Thiết kế được mô phỏng tại điều kiện nhiệt độ $T = -10^{\circ}C$:



Hình 4.37: Cài đặt $-10^{\circ}C$ cho thiết kế mô phỏng mảng SRAM 8T 8x8 tại $Vdc = 1.0V$

- Dạng sóng mô phỏng được:



Hình 4.38: Dạng sóng mảng SRAM 8T 8x8 tại $Vdc = 1.0V$ và $-10^{\circ}C$

- Công suất tiêu thụ:

Dùng công cụ Calculator tính được công suất trung bình: $P = 150.0 \mu W$.



Hình 4.39: Công suất trung bình mảng SRAM 8T 8x8 tại $Vdc = 1.0V$ và $-10^{\circ}C$

- Thời gian trễ cạnh lên và thời gian trễ cạnh xuống: $t_r = t_f = 19.1216 ps$.

	Name/Signal/Expr	Value	Plot	Save	Save Options
1	tr Y0	19.1216p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
2	tr Y1	19.1216p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
3	tr Y2	19.1216p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
4	tr Y3	19.1216p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
5	tr Y4	19.1216p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
6	tr Y5	19.1216p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
7	tr Y6	19.1216p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
8	tr Y7	19.1216p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
9	tf Y0	19.1216p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
10	tf Y1	19.1216p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
11	tf Y2	19.1216p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
12	tf Y3	19.1216p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
13	tf Y4	19.1216p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
14	tf Y5	19.1216p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
15	tf Y6	19.1216p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
16	tf Y7	19.1216p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	

Hình 4.40: Thời gian trễ đo được từ mảng SRAM 8T 8x8

tại $V_{dc} = 1.0V$ và -10 độ C

- Đo độ chênh lệch điểm tại mức điện áp $\frac{V_{DD}}{2} = 350mV$ của 3 tín hiệu ngõ vào A0, A1, A2 và các tín hiệu ngõ ra từ Y0 đến Y7, ta tìm được các độ trễ lan truyền cạnh lên:

- + Độ trễ lan truyền cạnh lên từ Y0 đến Y7 so với tín hiệu ngõ vào A0 ($t_{pdr_{A_0}}$) là 261.8174 ps.
- + Độ trễ lan truyền cạnh lên từ Y0 đến Y7 so với tín hiệu ngõ vào A1 ($t_{pdr_{A_1}}$) là 115.2 ps.
- + Độ trễ lan truyền cạnh lên từ Y0 đến Y7 so với tín hiệu ngõ vào A2 ($t_{pdr_{A_2}}$) là 299.315 ps.

- Đo độ chênh lệch điểm tại mức điện áp $\frac{V_{DD}}{2} = 350mV$ của 3 tín hiệu ngõ vào A0, A1, A2 và các tín hiệu ngõ ra từ Y0 đến Y7, ta tìm được các độ trễ lan truyền cạnh xuống:

- + Không có độ trễ lan truyền cạnh xuống từ Y0 đến Y7 so với tín hiệu ngõ vào A0 ($t_{pdf_{A_0}}$).
- + Độ trễ lan truyền cạnh xuống từ Y0 đến Y7 so với tín hiệu ngõ vào A1 ($t_{pdf_{A_1}}$) là 114.3174 ps.

- + Độ trễ lan truyền cạnh xuống từ Y0 đến Y7 so với tín hiệu ngõ vào A2 ($t_{pdf_{A2}}$) là 4.968183 ns (4968.183 ps).

- Nhận xét:

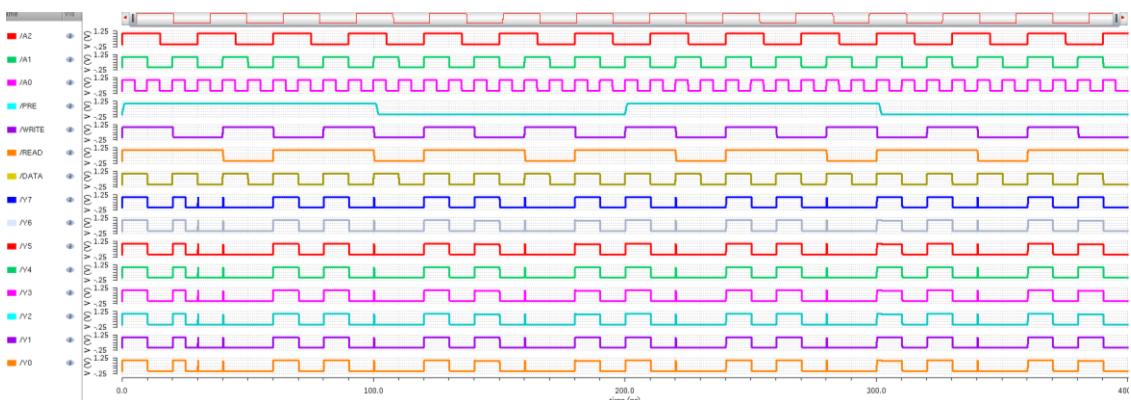
- + Ở điện áp $V = 1V$, nhiệt độ $T = -10^{\circ}C$ tín hiệu vẫn có biên rõ ràng, không bị bo tròn quá mức hoặc méo dạng, cho thấy mạch vẫn duy trì được độ ổn định tốt ngay cả khi hoạt động ở môi trường nhiệt độ thấp.
- + $P = 150.0 \mu W$, là mức công suất thấp so với nhiều trường hợp khác. Ở nhiệt độ thấp, dòng rò (leakage current) trong các transistor CMOS giảm mạnh do sự giảm nhiệt động học của các hạt mang điện, từ đó giảm thiểu tiêu hao năng lượng trong trạng thái nghỉ. Ngoài ra, điện áp 1.2V cũng đủ lớn để giữ hoạt động ổn định mà không làm tăng đáng kể công suất.
- + Thời gian trễ cạnh lên và cạnh xuống = 19.1216 ps, thấp hơn so với các trường hợp trước. Do nhiệt độ thấp làm giảm nhiễu và tăng tốc độ chuyển mạch (do độ linh động của electron và hole tăng), mạch đạt được tốc độ đáp ứng tốt hơn, cải thiện hiệu năng tổng thể.

b) Thiết kế được mô phỏng tại điều kiện nhiệt độ $T = 27^{\circ}C$:



Hình 4.41: Cài đặt 27 độ C cho thiết kế mô phỏng mảng SRAM 8T 8x8
tại $Vdc = 1.0V$

- Dạng sóng mô phỏng được:



Hình 4.42: Dạng sóng mảng SRAM 8T 8x8 tại $Vdc = 1.0V$ và 27 độ C

- Công suất tiêu thụ:

Dùng công cụ Calculator tính được công suất trung bình: $P = 155.7 \text{ uW}$.

average(1T("/V0/MINUS")*v("/net18...")	
Expression	Value
1 average(1T("/V...")	155.7u

Hình 4.43: Công suất trung bình mảng SRAM 8T 8x8 tại $Vdc = 1.0V$ và 27 độ C

- Thời gian trễ cạnh lên và thời gian trễ cạnh xuống: $t_r = t_f = 22.8067 \text{ ps}$.

Outputs		?	X	
Name/Signal/Expr	Value	Plot	Save	Save Options
1 tr Y0	22.8067p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
2 tr Y1	22.8067p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
3 tr Y2	22.8067p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
4 tr Y3	22.8067p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
5 tr Y4	22.8067p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
6 tr Y5	22.8067p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
7 tr Y6	22.8067p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
8 tr Y7	22.8067p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
9 tf Y0	22.8067p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
10 tf Y1	22.8067p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
11 tf Y2	22.8067p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
12 tf Y3	22.8067p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
13 tf Y4	22.8067p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
14 tf Y5	22.8067p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
15 tf Y6	22.8067p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
16 tf Y7	22.8067p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	

Hình 4.44: Thời gian trễ đo được từ mảng SRAM 8T 8x8 tại $Vdc = 1.0V$ và 27 độ C

- Đo độ chênh lệch điểm tại mức điện áp $\frac{V_{DD}}{2} = 350mV$ của 3 tín hiệu ngõ vào A0, A1, A2 và các tín hiệu ngõ ra từ Y0 đến Y7, ta tìm được các độ trễ lan truyền cạnh lên:

- + Độ trễ lan truyền cạnh lên từ Y0 đến Y7 so với tín hiệu ngõ vào A0 ($t_{pdr_{A0}}$) là 276.2569 ps.
- + Độ trễ lan truyền cạnh lên từ Y0 đến Y7 so với tín hiệu ngõ vào A1 ($t_{pdr_{A1}}$) là 133.7343 ps.
- + Độ trễ lan truyền cạnh lên từ Y0 đến Y7 so với tín hiệu ngõ vào A2 ($t_{pdr_{A2}}$) là 179.7511 ps.

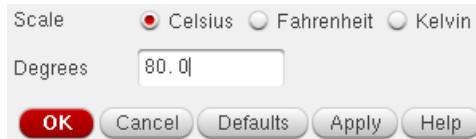
- Đo độ chênh lệch điểm tại mức điện áp $\frac{V_{DD}}{2} = 350mV$ của 3 tín hiệu ngõ vào A0, A1, A2 và các tín hiệu ngõ ra từ Y0 đến Y7, ta tìm được các độ trễ lan truyền cạnh xuống:

- + Không có độ trễ lan truyền cạnh xuống từ Y0 đến Y7 so với tín hiệu ngõ vào A0 ($t_{pdf_{A0}}$).
- + Độ trễ lan truyền cạnh xuống từ Y0 đến Y7 so với tín hiệu ngõ vào A1 ($t_{pdf_{A1}}$) là 128.7569 ps.
- + Độ trễ lan truyền cạnh xuống từ Y0 đến Y7 so với tín hiệu ngõ vào A2 ($t_{pdf_{A2}}$) là 4.95374 ns (4953.74 ps).

- Nhận xét:

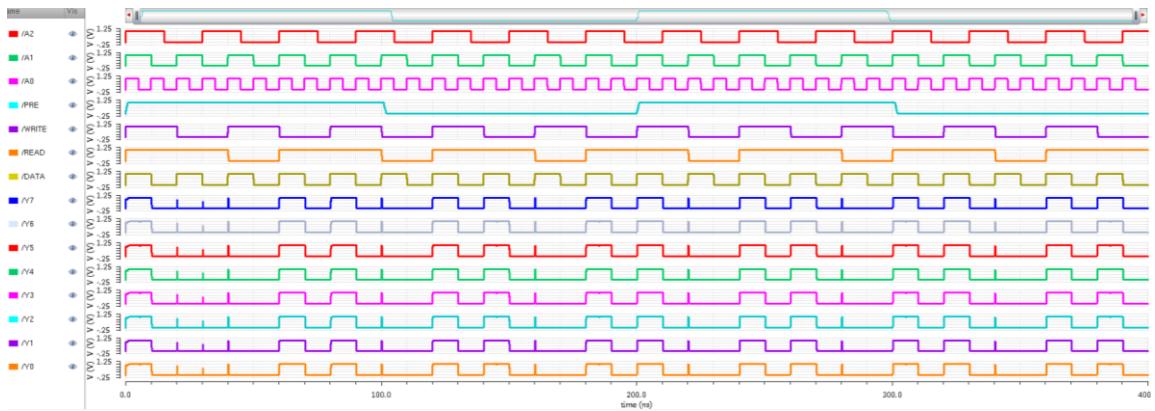
- + Ở điều kiện nhiệt độ $T = 27^\circ C$, so với $T = -10^\circ C$, mạch SRAM 8T vẫn giữ được khả năng hoạt động ổn định với dạng sóng rõ ràng, không bị méo dạng hoặc suy giảm chất lượng tín hiệu. Tuy nhiên, công suất tiêu thụ ở $27^\circ C$ cao hơn một chút ($155.7 \mu W$ so với $150.0 \mu W$), do dòng rò trong các transistor CMOS tăng lên khi nhiệt độ tăng. Điều này là đặc trưng của công nghệ bán dẫn CMOS khi hoạt động trong môi trường ấm hơn.
- + Bên cạnh đó, thời gian trễ cạnh lên và cạnh xuống tại $27^\circ C$ cũng dài hơn (22.8067 ps so với 19.1216 ps ở $-10^\circ C$). Nguyên nhân là do độ linh động của hạt mang (electron và hole) giảm nhẹ ở nhiệt độ cao hơn, khiến tốc độ chuyển mạch bị ảnh hưởng.
- + Tuy vậy, nhiệt độ $27^\circ C$ đại diện cho điều kiện làm việc thực tế phổ biến nhất, và mạch vẫn đạt hiệu năng tốt, đảm bảo tính ổn định, độ tin cậy và tiêu thụ năng lượng hợp lý. So với nhiệt độ thấp, dù không tối ưu bằng về tốc độ và công suất, nhưng $27^\circ C$ là mức phù hợp để đánh giá mạch trong môi trường ứng dụng thực tế.

c) Thiết kế được mô phỏng tại điều kiện nhiệt độ $T = 80^\circ C$:



Hình 4.45: Cài đặt 80 độ C cho thiết kế mô phỏng mảng SRAM 8T 8x8
tại $Vdc = 1.0V$

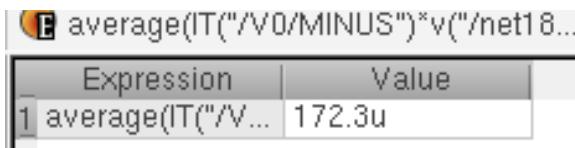
- Dạng sóng mô phỏng được:



Hình 4.46: Dạng sóng mảng SRAM 8T 8x8 tại $Vdc = 1.0V$ và 80 độ C

- Công suất tiêu thụ:

Dùng công cụ Calculator tính được công suất trung bình: $P = 172.3 \mu W$.



Hình 4.47: Công suất trung bình mảng SRAM 8T 8x8 tại $Vdc = 1.0V$ và 80 độ C

- Thời gian trễ cạnh lên và thời gian trễ cạnh xuống: $t_r = t_f = 30.4177 ps$.

Outputs		?	Plot	Save	Save Options
Name/Signal/Expr	Value				
1 tr Y0	30.4177p	<input checked="" type="checkbox"/>	<input type="checkbox"/>		
2 tr Y1	30.4177p	<input checked="" type="checkbox"/>	<input type="checkbox"/>		
3 tr Y2	30.4177p	<input checked="" type="checkbox"/>	<input type="checkbox"/>		
4 tr Y3	30.4177p	<input checked="" type="checkbox"/>	<input type="checkbox"/>		
5 tr Y4	30.4177p	<input checked="" type="checkbox"/>	<input type="checkbox"/>		
6 tr Y5	30.4177p	<input checked="" type="checkbox"/>	<input type="checkbox"/>		
7 tr Y6	30.4177p	<input checked="" type="checkbox"/>	<input type="checkbox"/>		
8 tr Y7	30.4177p	<input checked="" type="checkbox"/>	<input type="checkbox"/>		
9 tf Y0	30.4177p	<input checked="" type="checkbox"/>	<input type="checkbox"/>		
10 tf Y1	30.4177p	<input checked="" type="checkbox"/>	<input type="checkbox"/>		
11 tf Y2	30.4177p	<input checked="" type="checkbox"/>	<input type="checkbox"/>		
12 tf Y3	30.4177p	<input checked="" type="checkbox"/>	<input type="checkbox"/>		
13 tf Y4	30.4177p	<input checked="" type="checkbox"/>	<input type="checkbox"/>		
14 tf Y5	30.4177p	<input checked="" type="checkbox"/>	<input type="checkbox"/>		
15 tf Y6	30.4177p	<input checked="" type="checkbox"/>	<input type="checkbox"/>		
16 tf Y7	30.4177p	<input checked="" type="checkbox"/>	<input type="checkbox"/>		

Hình 4.48: Thời gian trễ đo được từ mảng SRAM 8T 8x8 tại Vdc = 1.0V và 80 độ C

- Đo độ chênh lệch điểm tại mức điện áp $\frac{V_{DD}}{2} = 350mV$ của 3 tín hiệu ngõ vào A0, A1, A2 và các tín hiệu ngõ ra từ Y0 đến Y7, ta tìm được các độ trễ lan truyền cạnh lên:

- + Độ trễ lan truyền cạnh lên từ Y0 đến Y7 so với tín hiệu ngõ vào A0 ($t_{pdr_{A_0}}$) là 298.25494 ps.
- + Độ trễ lan truyền cạnh lên từ Y0 đến Y7 so với tín hiệu ngõ vào A1 ($t_{pdr_{A_1}}$) là 163.1094 ps.
- + Độ trễ lan truyền cạnh lên từ Y0 đến Y7 so với tín hiệu ngõ vào A2 ($t_{pdr_{A_2}}$) là 246.9566 ps.

- Đo độ chênh lệch điểm tại mức điện áp $\frac{V_{DD}}{2} = 350mV$ của 3 tín hiệu ngõ vào A0, A1, A2 và các tín hiệu ngõ ra từ Y0 đến Y7, ta tìm được các độ trễ lan truyền cạnh xuống:

- + Không có độ trễ lan truyền cạnh xuống từ Y0 đến Y7 so với tín hiệu ngõ vào A0 ($t_{pdf_{A_0}}$)
- + Độ trễ lan truyền cạnh xuống từ Y0 đến Y7 so với tín hiệu ngõ vào A1 ($t_{pdf_{A_1}}$) là 150.7548 ps.
- + Không có độ trễ lan truyền cạnh xuống từ Y0 đến Y7 so với tín hiệu ngõ vào A2 ($t_{pdf_{A_2}}$).

- Nhận xét:

- + Ở cùng mức điện áp V = 1V, mạch SRAM 8T được đánh giá tại ba mức nhiệt độ: -10 °C, 27 °C và 80 °C. Kết quả cho thấy mạch vẫn duy trì hoạt động ổn định trong toàn bộ dải nhiệt độ này, với dạng sóng rõ ràng, không bị méo dạng hoặc suy giảm nghiêm trọng về chất lượng tín hiệu.
- + Sự gia tăng này là do dòng rò trong các transistor CMOS tăng lên khi nhiệt độ tăng – một đặc trưng của công nghệ bán dẫn CMOS. Điều này dẫn đến tiêu thụ năng lượng cao hơn ở môi trường nóng.

- Biểu đồ so sánh công suất trung bình theo nhiệt độ:



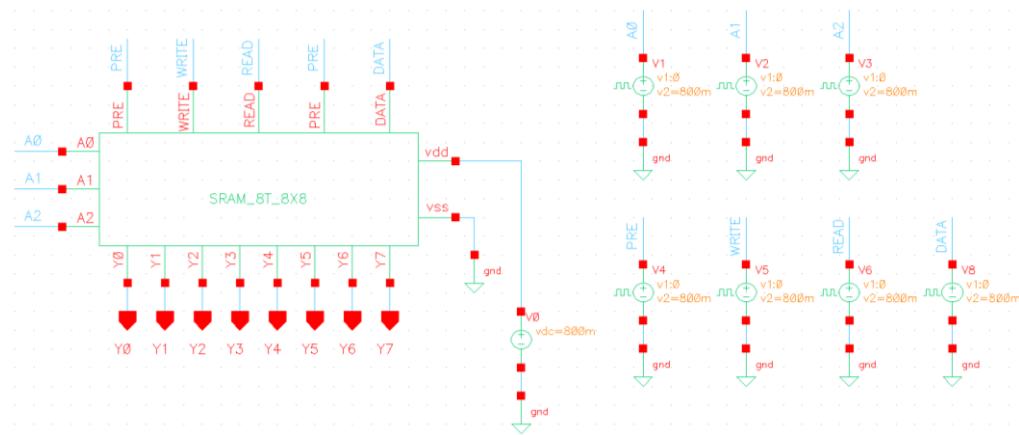
Hình 4.49: Đồ thị so sánh công suất tiêu thụ của mảng SRAM 8T 8x8 tại $V_{dc} = 1.0V$

4.9.2.3 Chọn $V_{dc} = 0.8V$

Thông số cài đặt:

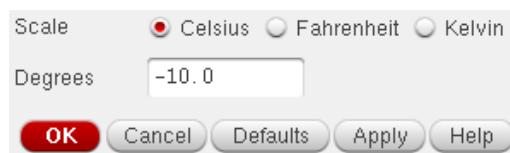
- Chân V_{DD} nối với nguồn $V_{DC} = 0.8V$.
- Chân GND nối đất.
- Chân A0 nối với nguồn V_{pulse1} với các thông số sau:
 - + Mức điện áp 1 (V1): 0V.
 - + Mức điện áp 2 (V2): 0.8V.
 - + Chu kỳ (Period): 10ns.
 - + Độ rộng xung (Pulse width): 5ns.
- Chân A1 và DATA lần lượt nối với các nguồn V_{pulse2} và V_{pulse8} với các thông số sau:
 - + Mức điện áp 1 (V1): 0V.
 - + Mức điện áp 2 (V2): 0.8V.
 - + Chu kỳ (Period): 20ns.
 - + Độ rộng xung (Pulse width): 10ns.
- Chân A2 nối với nguồn V_{pulse3} với các thông số sau:
 - + Mức điện áp 1 (V1): 0V.

- + Mức điện áp 2 (V2): 0.8V.
 - + Chu kỳ (Period): 30ns.
 - + Độ rộng xung (Pulse width): 15ns.
- Chân A2 nối với nguồn V_{pulse3} với các thông số sau:
- + Mức điện áp 1 (V1): 0V.
 - + Mức điện áp 2 (V2): 0.8V.
 - + Chu kỳ (Period): 30ns.
 - + Độ rộng xung (Pulse width): 15ns.
- Chân PRE nối với nguồn V_{pulse4} với các thông số sau:
- + Mức điện áp 1 (V1): 0V.
 - + Mức điện áp 2 (V2): 0.8V.
 - + Chu kỳ (Period): 200ns.
 - + Độ rộng xung (Pulse width): 100ns.
- Chân WRITE nối với nguồn V_{pulse5} với các thông số sau:
- + Mức điện áp 1 (V1): 0V.
 - + Mức điện áp 2 (V2): 0.8V.
 - + Chu kỳ (Period): 40ns.
 - + Độ rộng xung (Pulse width): 20ns.
- Chân READ nối với nguồn V_{pulse6} với các thông số sau:
- + Mức điện áp 1 (V1): 0V.
 - + Mức điện áp 2 (V2): 0.8V.
 - + Chu kỳ (Period): 60ns.
 - + Độ rộng xung (Pulse width): 40ns.



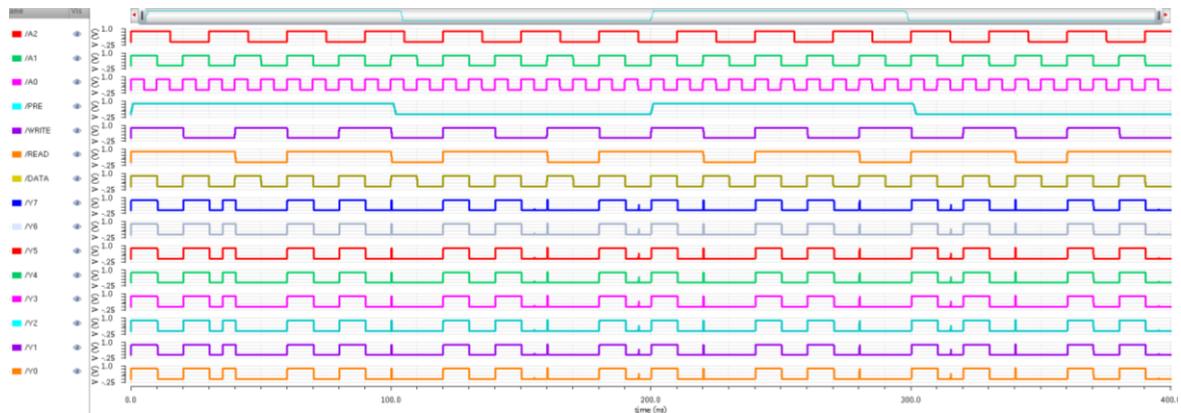
Hình 4.50: Mảng SRAM 8T 8x8 sau khi đã cấp nguồn tại $V_{dc} = 0.8V$

a) Thiết kế được mô phỏng tại điều kiện nhiệt độ $T = -10^{\circ}\text{C}$:



Hình 4.51: Cài đặt -10°C cho thiết kế mô phỏng mảng SRAM 8T 8x8 tại $V_{dc} = 0.8V$

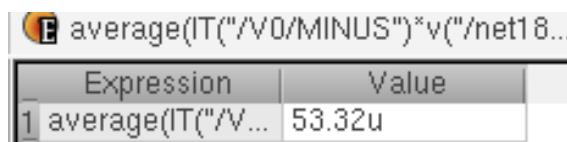
- Dạng sóng mô phỏng được:



Hình 4.52: Dạng sóng mảng SRAM 8T 8x8 tại $V_{dc} = 0.8V$ và -10°C

- Công suất tiêu thụ:

Dùng công cụ Calculator tính được công suất trung bình: $P = 53.32 \mu\text{W}$.



Hình 4.53: Công suất trung bình mảng SRAM 8T 8x8 tại $V_{dc} = 0.8V$ và -10°C

- Thời gian trễ cạnh lên và thời gian trễ cạnh xuống: $t_r = t_f = 23.1436 \text{ ps}$.

Outputs					
	Name/Signal/Expr	Value	Plot	Save	Save Options
1	tr Y0	23.1436p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
2	tr Y1	23.1436p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
3	tr Y2	23.1436p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
4	tr Y3	23.1436p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
5	tr Y4	23.1436p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
6	tr Y5	23.1436p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
7	tr Y6	23.1436p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
8	tr Y7	23.1436p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
9	tf Y0	23.1436p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
10	tf Y1	23.1436p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
11	tf Y2	23.1436p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
12	tf Y3	23.1436p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
13	tf Y4	23.1436p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
14	tf Y5	23.1436p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
15	tf Y6	23.1436p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
16	tf Y7	23.1436p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	

Hình 4.54: Thời gian trễ đo được từ mảng SRAM 8T 8x8

tại $Vdc = 0.8V$ và -10 độ C

- Đo độ chênh lệch điểm tại mức điện áp $\frac{V_{DD}}{2} = 350mV$ của 3 tín hiệu ngõ vào A0, A1, A2 và các tín hiệu ngõ ra từ Y0 đến Y7, ta tìm được các độ trễ lan truyền lên:

- + Độ trễ lan truyền cạnh lên từ Y0 đến Y7 so với tín hiệu ngõ vào A0 ($t_{pdr_{A_0}}$) là 316.9 ps.
- + Độ trễ lan truyền cạnh lên từ Y0 đến Y7 so với tín hiệu ngõ vào A1 ($t_{pdr_{A_1}}$) là 161.76 ps.
- + Độ trễ lan truyền cạnh lên từ Y0 đến Y7 so với tín hiệu ngõ vào A2 ($t_{pdr_{A_2}}$) là 377.454 ps.

- Đo độ chênh lệch điểm tại mức điện áp $\frac{V_{DD}}{2} = 350mV$ của 3 tín hiệu ngõ vào A0, A1, A2 và các tín hiệu ngõ ra từ Y0 đến Y7, ta tìm được các độ trễ lan truyền xuống:

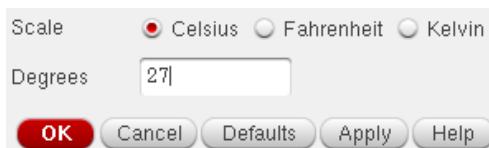
- + Không có độ trễ lan truyền cạnh xuống từ Y0 đến Y7 so với tín hiệu ngõ vào A0 ($t_{pdf_{A_0}}$).

- + Độ trễ lan truyền cạnh xuống từ Y0 đến Y7 so với tín hiệu ngõ vào A1 ($t_{pdf_{A1}}$) là 182.53 ps.
- + Không có độ trễ lan truyền cạnh xuống từ Y0 đến Y7 so với tín hiệu ngõ vào A2 ($t_{pdf_{A2}}$).

- Nhận xét:

- + Khi giảm điện áp nguồn xuống 0.8 V công suất tiêu thụ giảm đáng kể còn 53.32 μ W, phù hợp với mục tiêu tiết kiệm năng lượng trong các thiết kế tiết kiệm điện.
- + Thời gian trễ tăng nhẹ lên 23.1436 ps so với 22.8067 ps tại 1V, điều này là do điện áp thấp hơn làm giảm tốc độ chuyển trạng thái của transistor.

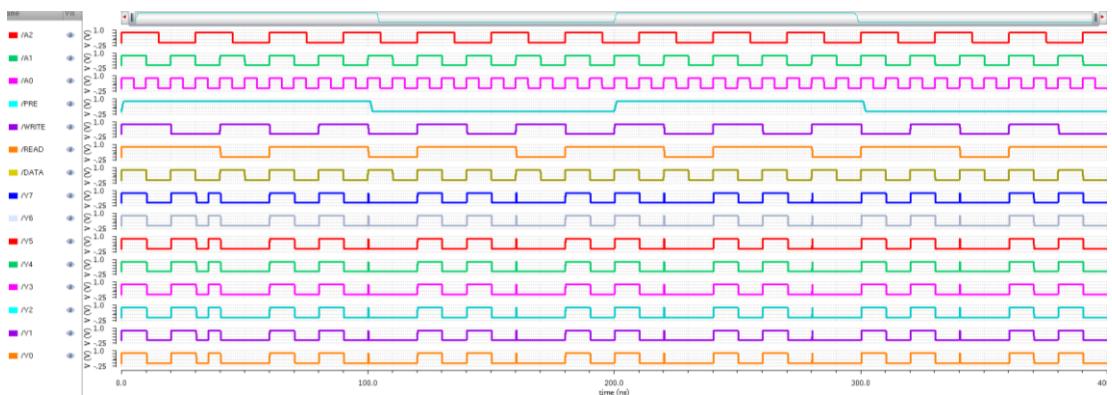
b) Thiết kế được mô phỏng tại điều kiện nhiệt độ $T = 27^\circ\text{C}$:



Hình 4.55: Cài đặt 27 độ C cho thiết kế mô phỏng mảng SRAM 8T 8x8

tại $Vdc = 0.8V$

- Dạng sóng mô phỏng được:



Hình 4.56: Dạng sóng mảng SRAM 8T 8x8 tại $Vdc = 0.8V$ và 27 độ C

- Công suất tiêu thụ:

Dùng công cụ Calculator tính được công suất trung bình: $P = 47.81 \mu\text{W}$.

average(IT("/V0/MINUS")*v("/net18...")	
Expression	Value
1 average(IT("/V...")	47.81u

Hình 4.57: Công suất trung bình mảng SRAM 8T 8x8 tại $V_{dc} = 0.8V$ và 27 độ C

- Thời gian trễ cạnh lên và thời gian trễ cạnh xuống: $t_r = t_f = 24.9262 ps$.

Outputs				
Name/Signal/Expr	Value	Plot	Save	Save Options
1 tr Y0	24.9262p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
2 tr Y1	24.9262p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
3 tr Y2	24.9262p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
4 tr Y3	24.9262p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
5 tr Y4	24.9262p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
6 tr Y5	24.9262p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
7 tr Y6	24.9262p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
8 tr Y7	24.9262p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
9 tf Y0	24.9262p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
10 tf Y1	24.9262p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
11 tf Y2	24.9262p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
12 tf Y3	24.9262p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
13 tf Y4	24.9262p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
14 tf Y5	24.9262p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
15 tf Y6	24.9262p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
16 tf Y7	24.9262p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	

Hình 4.58: Thời gian trễ đo được từ mảng SRAM 8T 8x8 tại $V_{dc} = 0.8V$ và 27 độ C

- Đo độ chênh lệch điểm tại mức điện áp $\frac{V_{DD}}{2} = 350mV$ của 3 tín hiệu ngõ vào A0, A1, A2 và các tín hiệu ngõ ra từ Y0 đến Y7, ta tìm được các độ trễ lan truyền cạnh lên:

- + Độ trễ lan truyền cạnh lên từ Y0 đến Y7 so với tín hiệu ngõ vào A0 ($t_{pdr_{A0}}$) là 340.47 ps.
- + Độ trễ lan truyền cạnh lên từ Y0 đến Y7 so với tín hiệu ngõ vào A1 ($t_{pdr_{A1}}$) là 186.22711 ps.
- + Độ trễ lan truyền cạnh lên từ Y0 đến Y7 so với tín hiệu ngõ vào A2 ($t_{pdr_{A2}}$) là 416.5728 ps.

- Đo độ chênh lệch điểm tại mức điện áp $\frac{V_{DD}}{2} = 350mV$ của 3 tín hiệu ngõ vào A0, A1, A2 và các tín hiệu ngõ ra từ Y0 đến Y7, ta tìm được các độ trễ lan truyền cạnh xuống:

- + Không có độ trễ lan truyền cạnh xuống từ Y0 đến Y7 so với tín hiệu ngõ vào A0 ($t_{pdf_{A0}}$).

+ Độ trễ lan truyền cạnh xuống từ Y0 đến Y7 so với tín hiệu ngõ vào A1 ($t_{pdf_{A1}}$) là 206.09ps.

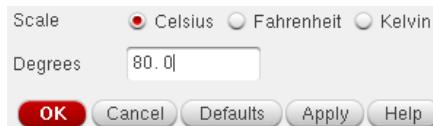
+ Không có độ trễ lan truyền cạnh xuống từ Y0 đến Y7 so với tín hiệu ngõ vào A2 ($t_{pdf_{A2}}$).

- Nhận xét:

+ Ở mức điện áp thấp $V = 0.8V$ và nhiệt độ môi trường tiêu chuẩn $T = 27^{\circ}C$, mạch SRAM 8T vẫn hoạt động ổn định với dạng sóng rõ ràng và không xuất hiện lỗi chức năng. Điều này cho thấy thiết kế mạch có khả năng thích ứng tốt với điều kiện điện áp thấp – rất phù hợp cho các hệ thống tiết kiệm năng lượng.

+ Tuy nhiên, thời gian trễ cạnh lên và xuống đều tăng lên 24.9262 ps. Điều này phản ánh đúng bản chất vật lý khi điện áp thấp hơn dẫn đến dòng dẫn yếu hơn và tốc độ chuyển trạng thái chậm hơn trong các transistor.

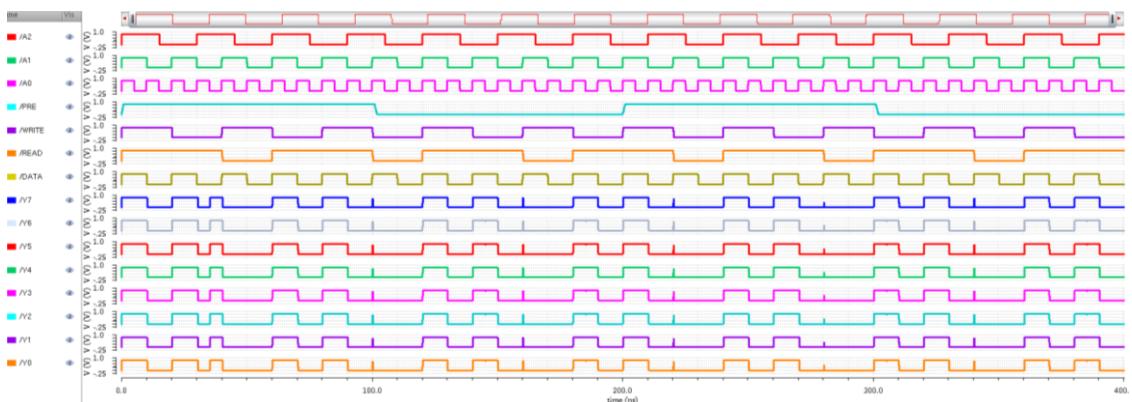
c) Thiết kế được mô phỏng tại điều kiện nhiệt độ $T = 80^{\circ}C$:



Hình 4.59: Cài đặt 80 độ C cho thiết kế mô phỏng mảng SRAM 8T 8x8

tại $Vdc = 0.8V$

- Dạng sóng mô phỏng được:



Hình 4.60: Dạng sóng mảng SRAM 8T 8x8 tại $Vdc = 0.8V$ và 80 độ C

- Công suất tiêu thụ:

Dùng công cụ Calculator tính được công suất trung bình: $P = 43.56 \mu W$.

average(IT("/V0/MINUS")*v("/net18..."))	
Expression	Value
1 average(IT("/V...))	43.56u

Hình 4.61: Công suất trung bình mảng SRAM 8T 8x8 tại $Vdc = 0.8V$ và 80 độ C

- Thời gian trễ cạnh lên và thời gian trễ cạnh xuống: $t_r = t_f = 29.296 ps$.

Outputs				
Name/Signal/Expr	Value	Plot	Save	Save Options
1 tr Y0	29.296p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
2 tr Y1	29.296p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
3 tr Y2	29.296p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
4 tr Y3	29.296p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
5 tr Y4	29.296p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
6 tr Y5	29.296p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
7 tr Y6	29.296p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
8 tr Y7	29.296p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
9 tf Y0	29.296p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
10 tf Y1	29.296p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
11 tf Y2	29.296p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
12 tf Y3	29.296p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
13 tf Y4	29.296p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
14 tf Y5	29.296p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
15 tf Y6	29.296p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
16 tf Y7	29.296p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	

Hình 4.62: Thời gian trễ đo được từ mảng SRAM 8T 8x8 tại $Vdc = 0.8V$ và 80 độ C

- Đo độ chênh lệch điểm tại mức điện áp $\frac{V_{DD}}{2} = 350mV$ của 3 tín hiệu ngõ vào A0, A1, A2 và các tín hiệu ngõ ra từ Y0 đến Y7, ta tìm được các độ trễ lan truyền cạnh lên:

- + Độ trễ lan truyền cạnh lên từ Y0 đến Y7 so với tín hiệu ngõ vào A0 ($t_{pdr_{A_0}}$) là 365.8367 ps.
- + Độ trễ lan truyền cạnh lên từ Y0 đến Y7 so với tín hiệu ngõ vào A1 ($t_{pdr_{A_1}}$) là 228.8346 ps.
- + Không có độ trễ lan truyền cạnh lên từ Y0 đến Y7 so với tín hiệu ngõ vào A2 ($t_{pdr_{A_2}}$).

- Đo độ chênh lệch điểm tại mức điện áp $\frac{V_{DD}}{2} = 350mV$ của 3 tín hiệu ngõ vào A0, A1, A2 và các tín hiệu ngõ ra từ Y0 đến Y7, ta tìm được các độ trễ lan truyền cạnh xuống:

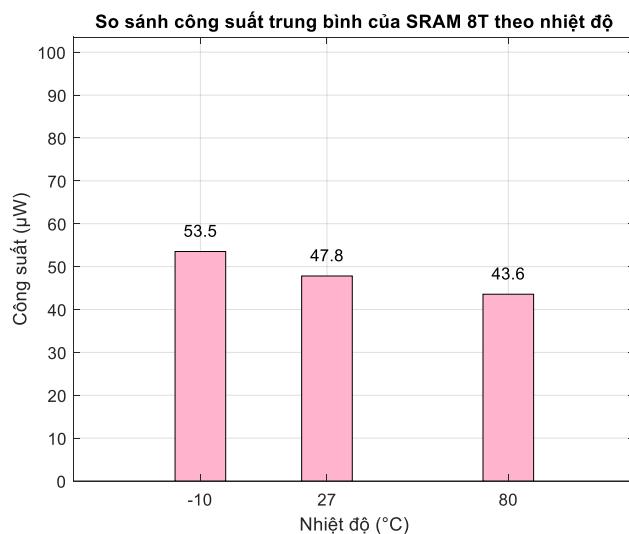
- + Độ trễ lan truyền cạnh xuống từ Y0 đến Y7 so với tín hiệu ngõ vào A0 ($t_{pdf_{A_0}}$) là 480.5766 ps.

- + Độ trễ lan truyền cạnh xuống từ Y0 đến Y7 so với tín hiệu ngõ vào A1 ($t_{pdf_{A1}}$) là 234.5867 ps.
- + Không có độ trễ lan truyền cạnh xuống từ Y0 đến Y7 so với tín hiệu ngõ vào A2 ($t_{pdf_{A2}}$).

- Nhận xét:

- + Tại mức điện áp thấp $V = 0.8$ V và nhiệt độ cao $T = 80^\circ\text{C}$, mạch SRAM 8T vẫn hoạt động ổn định, không xuất hiện lỗi logic hay suy giảm chức năng. Tuy nhiên, các chỉ số hiệu suất cho thấy ảnh hưởng rõ rệt của điều kiện môi trường khắc nghiệt.
- + Công suất tiêu thụ trung bình là $43.56 \mu\text{W}$, giảm nhẹ so với tại 27°C ($47.81 \mu\text{W}$). Ở mức điện áp thấp 0.8 V, dòng hoạt động chính suy giảm rõ rệt, chiếm ưu thế hơn so với dòng rò, dẫn đến tổng công suất giảm.
- + Thời gian trễ cạnh lên và xuống tăng lên đáng kể, đạt 29.296 ps, cao hơn nhiều so với 24.9262 ps ở 27°C . Sự suy giảm tốc độ chuyển mạch này là do điện áp thấp kết hợp với nhiệt độ cao đã làm giảm mạnh độ linh động của hạt mang, khiến transistor bật/tắt chậm hơn rõ rệt.

- Biểu đồ so sánh công suất trung bình theo nhiệt độ



Hình 4.63: Đồ thị so sánh công suất tiêu thụ của mảng SRAM 8T 8x8

tại $Vdc = 0.8V$

4.10 LAYOUT Ô NHỚ SRAM 8T

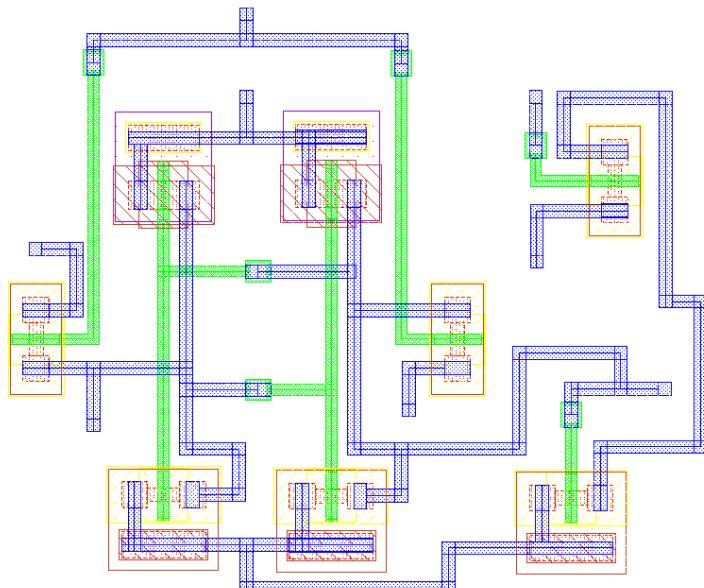
- Đo kích thước toàn layout, ta có:

- + Chiều rộng: $W = 6,5 \mu\text{m}$.
- + Chiều dài: $L = 5.46 \mu\text{m}$.
- + Tổng diện tích: $35.49 \mu\text{m}^2$.

4.10.1 Layout clean

- Kiểm tra DRC: đảm bảo layout tuân thủ các quy tắc vật lý của công nghệ sản xuất.
- Kiểm tra LVS: kiểm tra sự tương đồng giữa sơ đồ nguyên lý và layout thực tế.
- Tạo GDSII file: cho phép xuất file gửi tới nhà máy chế tạo chip.
- Đặc điểm:

- + Không hiển thị tên MOSFET hoặc giá trị W/L.
- + Chỉ thể hiện các lớp vật lý cơ bản như:
 - + Active (diffusion): lớp vật liệu bán dẫn khuếch tán dùng để tạo vùng hoạt động của transistor .
 - + Poly: lớp điều khiển cổng của MOSFET, tạo ra cực gate của transistor.
 - + Metal1: kết nối các nút trong mạch.
 - + Via/contact: các điểm nối giữa các lớp kim loại và lớp diffusion hoặc polysilicon, cho phép truyền điện giữa các tầng khác nhau..



Hình 4.64: Layout dùng để kiểm tra DRC và LVS

4.10.1.1 Kiểm tra DRC

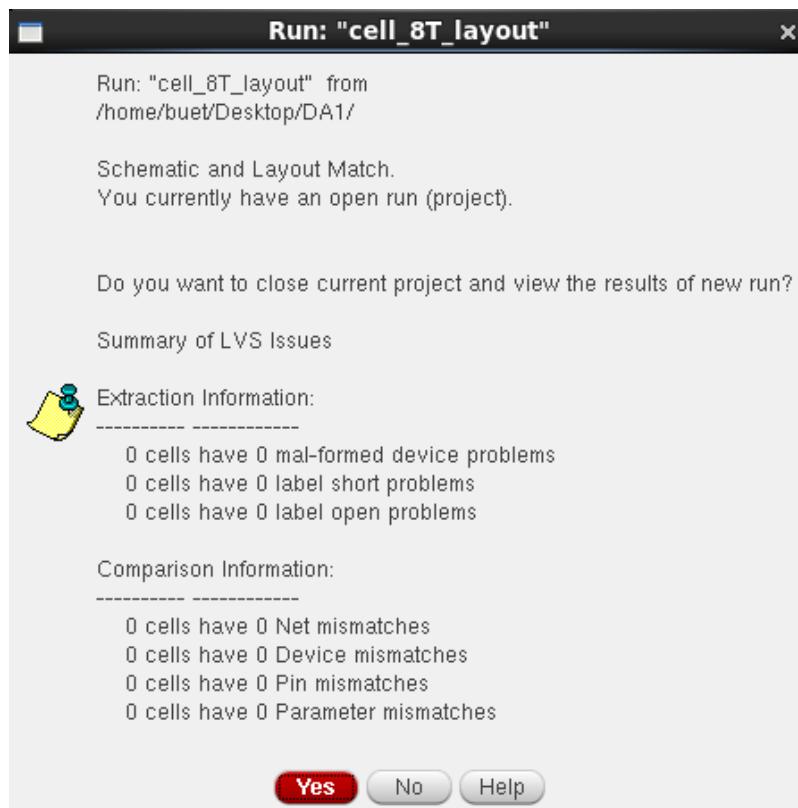


Hình 4.65: Kết quả kiểm tra DRC của layout clean

- Nhận xét:

- + Không có lỗi DRC.
- + Quy tắc thiết kế layout đúng trên công nghệ CMOS 90nm.
- + Khoảng cách giữa các lớp vật liệu chính xác.
- + Các điểm nối được đặt chuẩn kỹ thuật, đảm bảo độ tin cậy trong sản xuất.

4.10.1.2 Kiểm tra LVS



Hình 4.66: Kết quả kiểm tra LVS của layout clean

- Nhân xét:

- + Thiết kế layout giống với sơ đồ nguyên lý đã mô phỏng.
- + Đảm bảo không thiếu hoặc dư linh kiện, đúng chức năng và logic mạch.
- + Các transistor, điểm kết nối và nút đều trùng khớp với mạch nguyên lý.

4.10.2 Layout annotation

4.10.2.1 Các thành phần chính

- Transistor pMOS:

- + Ký hiệu: PMx (ví dụ: PM1, PM2, PM3...).
- + Đặt trong vùng n-well.
- + Cổng gate là đường mà poly đi ngang.
- + Kích thước thể hiện bằng chiều rộng (W) và chiều dài (L).

- Transistor nMOS:

- + Ký hiệu: NMx (ví dụ: NM1, NM2...)
- + Đặt trực tiếp trên nền silicon không cần well.
- + Cũng có lớp poly băng qua.
- + Đặc trưng với chiều rộng và chiều dài tương tự pMOS.

- Poly (Cổng điều khiển transistor):

- + Chạy dọc qua các vùng diffusion.
- + Kết nối với tín hiệu điều khiển như WL, RWL.

- Diffusion (Nguồn và máng - Source/Drain):

- + Vùng hoạt động của transistor.
- + Chia làm hai vùng: ndiff cho NMOS và pdiff cho pMOS.

- Metal1 (Lớp kim loại 1):

- + Dẫn tín hiệu, nguồn VDD và đất GND.
- + Kết nối các nút giữa transistor.

- Via/Contact:

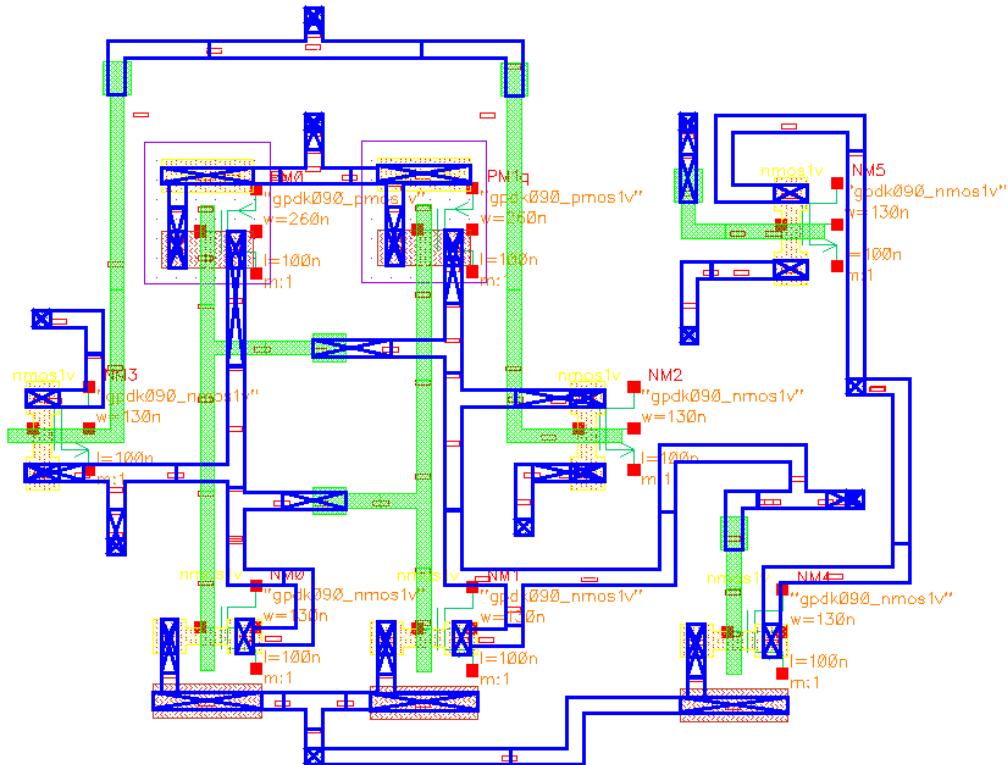
- + Các ô vuông nhỏ nối giữa diffusion và metal1, poly và metal1.
- + Có thể nhìn thấy tại các điểm giao.

- Nhân linh kiện:

- + Tên transistor (PM1, NM2, ...) hiển thị rõ.
- + Kèm công nghệ (VD: gpdkt039_pmos1v), thông số W/L.

4.10.2.2 Đặc điểm:

- Dễ đọc, dễ hiểu nhờ có đầy đủ tên transistor và thông số.
- Thích hợp để trình bày trong báo cáo, giải thích nguyên lý hoạt động.



Hình 4.67: Layout có ghi chú chi tiết

CHƯƠNG 5

KẾT LUẬN

5.1 KẾT LUẬN CHUNG

Đề tài đã thực hiện thiết kế bộ nhớ SRAM 8T 8x8 hoàn chỉnh sử dụng công nghệ CMOS 90nm trên phần mềm Cadence. Mục tiêu của đề tài là xây dựng một cấu trúc bộ nhớ có khả năng lưu trữ ổn định, tốc độ truy xuất cao và tiêu thụ năng lượng thấp, phù hợp với các ứng dụng nhúng và vi mạch tích hợp có mật độ cao.

Qua quá trình thiết kế, mô phỏng hoạt động và đánh giá kết quả, bộ nhớ SRAM 8T cho thấy hiệu năng vượt trội so với kiến trúc SRAM 6T truyền thống về độ ổn định và khả năng chống nhiễu khi làm việc trong các điều kiện điện áp thấp hoặc khi có sự biến thiên nhiệt độ. Cấu trúc SRAM 8T có thể duy trì dữ liệu ổn định hơn trong quá trình đọc và ghi, đặc biệt là khi hoạt động ở tần số cao.

Kết quả đánh giá thông số hiệu năng cho thấy điện năng tiêu thụ trung bình trên mỗi bit và độ trễ lan truyền đều chính xác. Khi mô phỏng chức năng mạch hoạt động đúng các chế độ đọc/ghi và giữ dữ liệu.

Công nghệ CMOS 90nm được sử dụng trong thiết kế cho phép tối ưu diện tích và tiêu thụ năng lượng, đồng thời đảm bảo độ tin cậy của bộ nhớ trong các ứng dụng thực tế.

5.2 HƯỚNG PHÁT TRIỂN

Nhóm tác giả dự định trong tương lai sẽ mở rộng nghiên cứu bằng cách thiết kế layout hoàn chỉnh cho bộ nhớ SRAM 8T 8x8 để đánh giá tốt hơn về diện tích chiếm dụng và hiệu suất thật của mạch sau khi chế tạo.

Khi mô phỏng layout sẽ thực hiện trên công cụ vật lý trong môi trường Cadence, qua đó đánh giá cụ thể hơn các ảnh hưởng của parasitic đến tốc độ và điện năng tiêu thụ của mạch.

Ngoài ra, dự kiến hướng phát triển tiếp theo sẽ so sánh hiệu quả giữa các cấu trúc SRAM tiên tiến hơn như 10T, 12T với cùng mô hình công nghệ sử dụng và đưa ra kết quả lựa chọn tối ưu trong ứng dụng thực tế. Từ đó, có thể mở rộng sang các công nghệ tối ưu hơn như 65nm hoặc FinFET để nâng cao khả năng tích hợp và giảm điện năng trong thiết kế vi mạch.

TÀI LIỆU THAM KHẢO

- [1] <https://vdodata.vn/bo-nho-truy-cap-ngau-nhien-tinh-sram-hay-ram-tinh-la-gi/>
- [2] https://sg.docworkspace.com/d/sIHuosa2_AYLcxcEG
- [3] https://sg.docworkspace.com/d/sIDAosa2_Ab3cxcEG
- [4] [https://jestec.taylors.edu.my/Vol%209%20Issue%206%20December%2014/Volume%20\(9\)%20Issue%20\(6\)%20670-677.pdf](https://jestec.taylors.edu.my/Vol%209%20Issue%206%20December%2014/Volume%20(9)%20Issue%20(6)%20670-677.pdf)
- [5] <https://fr.scribd.com/document/636054265/Doan1-SRAM-nhomQuocLuc>
- [6] <https://inria.hal.science/hal-01383730v1/document>
- [7] <https://scispace.com/pdf/design-and-verification-of-low-power-sram-using-8t-sram-cell-32nma2e1s6.pdf>
- [8] https://www.researchgate.net/figure/T-two-port-SRAM-cell-a-schematic-and-b-operation-waveforms-in-read-cycles_fig1_3338167
- [9] <https://www.neliti.com/publications/453607/performance-analysis-of-sram-designs-using-tsmc-90nm-cmos-technology>
- [10] <https://youtu.be/ziaogk9Lfzs?si=CPnkvkAePMQmWEAI>

PHỤ LỤC

Link video kết quả của SRAM 8T:

Link github cá nhân: