

TRƯỜNG ĐẠI HỌC SƯ PHẠM KỸ THUẬT
KHOA ĐIỆN-ĐIỆN TỬ
BỘ MÔN KT MÁY TÍNH – VIỄN THÔNG

BÁO CÁO THỰC TẬP

MÔN HỌC:

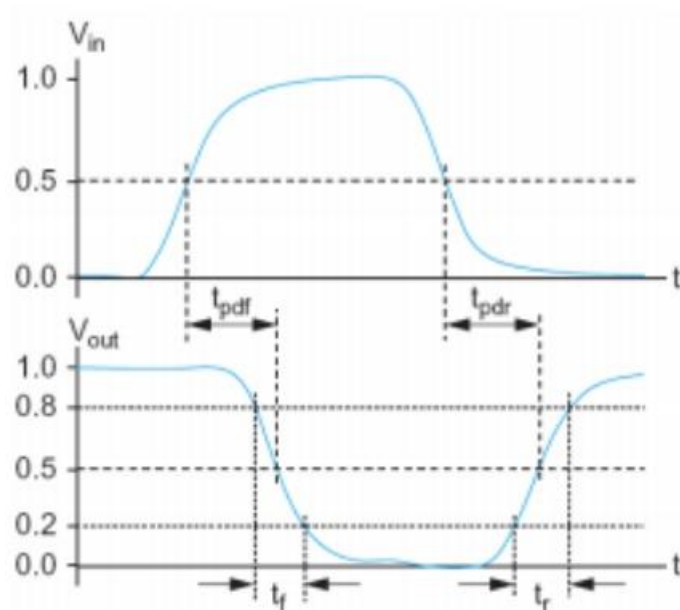
TUẦN: 3,4

| | | |
|-----------------------------|----------------|---------------------------------|
| Họ tên: Nguyễn Tài Anh Tuấn | MSSV: 22161203 | Nhóm: (Chiều thứ 6, tuần 1 – 8) |
|-----------------------------|----------------|---------------------------------|

1. Delay

a. Lý thuyết: Định nghĩa delay truyền của mạch số

– **Delay truyền:** Là thời gian cần thiết để tín hiệu truyền từ đầu vào đến đầu ra của một phần tử logic hoặc mạch số, là thời gian giữa thời điểm tín hiệu đầu vào đạt mức logic 50% và thời điểm tín hiệu đầu ra đạt mức logic 50%. Nó biểu thị độ trễ của tín hiệu khi truyền qua các cổng logic hoặc các thành phần trong mạch tích hợp.



– Delay truyền được xác định bởi mối quan hệ RC:

+ R là điện trở của các linh kiện. (transistor)

+ C là điện dung tải mà mạch cần nạp và xả.

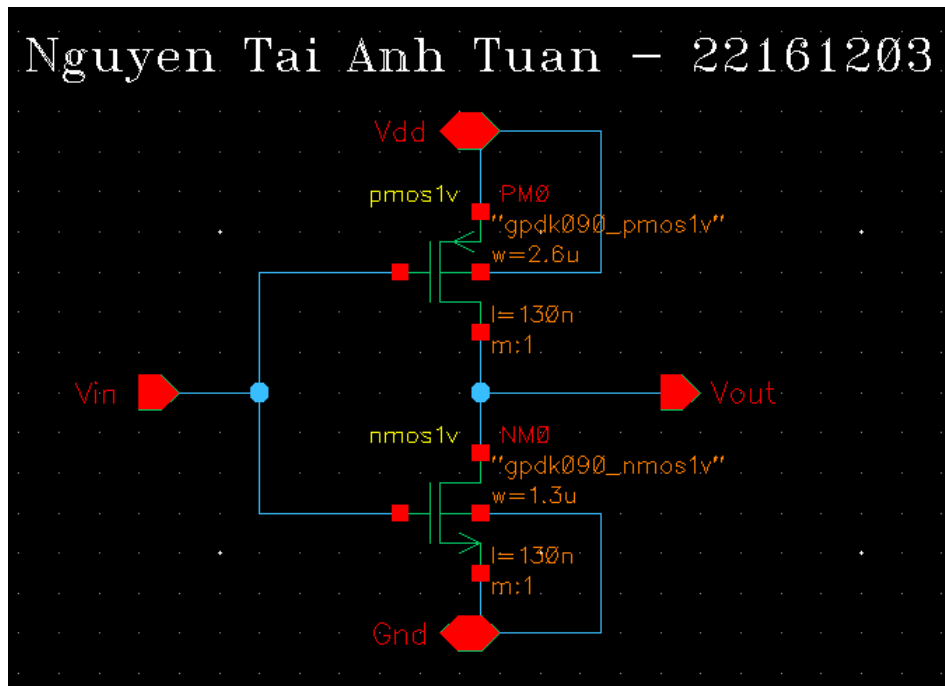
– Delay truyền được chia làm 2 loại:

+ Độ trễ giảm dần: t_{pdf} : Là thời gian từ khi tín hiệu chuyển từ mức cao xuống mức thấp đến khi ổn định.

+ Độ trễ tăng dần: t_{pd} : Là thời gian từ khi tín hiệu bắt đầu chuyển từ mức thấp sang mức cao đến khi đạt đến mức ổn định.

b. Thực hành: Phân tích delay truyền của một bộ inverter

* Sơ đồ mạch



Hình 1. Sơ đồ nguyên lý mạch inverter

* Các thông số

– Kích thước của transistor:

+ Điện áp nguồn Vdd: 1.2V.

+ Điện dung: $C = 1f$.

– Bảng thông số thiết kế mô phỏng độ rộng (W), độ dài (L) và tỷ lệ W/L của pMOS so với nMOS gấp 2 lần: Tỷ lệ $W/L = 2$

| Thông số | pMOS | nMOS |
|----------|-----------|-----------|
| L | 130 μ | 130 μ |
| W | 2.6 μ | 1.3 μ |

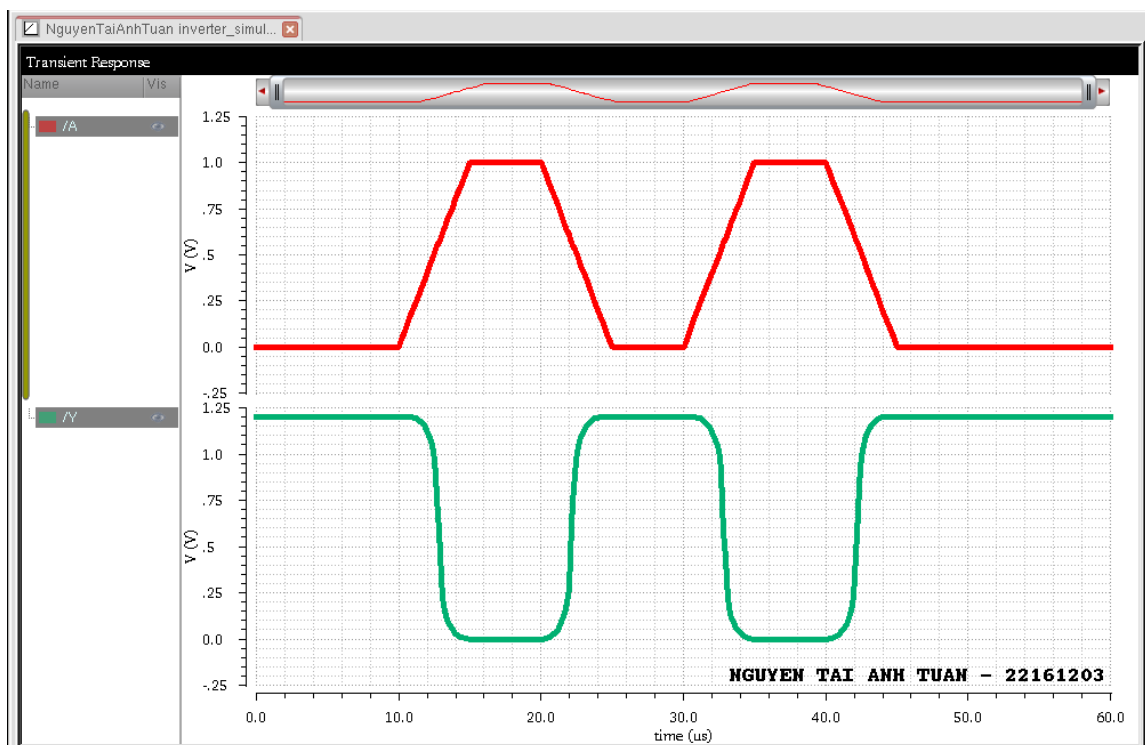
– Thông số nguồn Vpwl:

| | | |
|-----------------------------|-------|-----|
| Frequency name for 1/period | | off |
| Number of pairs of points | 10 | off |
| Time 1 | 5u s | off |
| Voltage 1 | 0 V | off |
| Time 2 | 10u s | off |
| Voltage 2 | 0 V | off |
| Time 3 | 15u s | off |
| Voltage 3 | 1 V | off |
| Time 4 | 20u s | off |
| Voltage 4 | 1 V | off |
| Time 5 | 25u s | off |
| Voltage 5 | 0 V | off |
| Time 6 | 30u s | off |
| Voltage 6 | 0 V | off |
| Time 7 | 35u s | off |
| Voltage 7 | 1 V | off |
| Time 8 | 40u s | off |
| Voltage 8 | 1 V | off |
| Time 9 | 45u s | off |
| Voltage 9 | 0 V | off |
| Time 10 | 50u s | off |
| Voltage 10 | 0 V | off |
| Noise file name | | off |
| Number of noise/freq pairs | 0 | off |
| DC voltage | 1 V | off |
| AC magnitude | | off |

OK Cancel Apply Defaults Previous Next Help

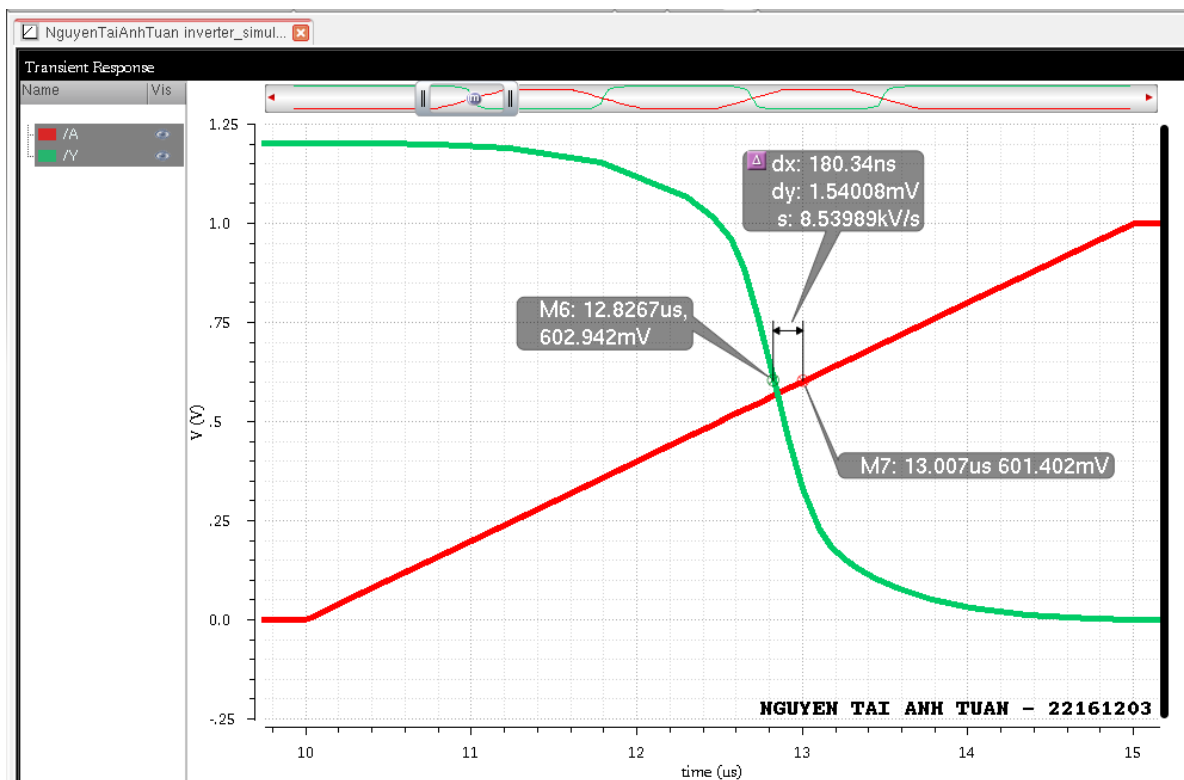
Hình 2. Thông số của Vpwl

* Kết quả mô phỏng



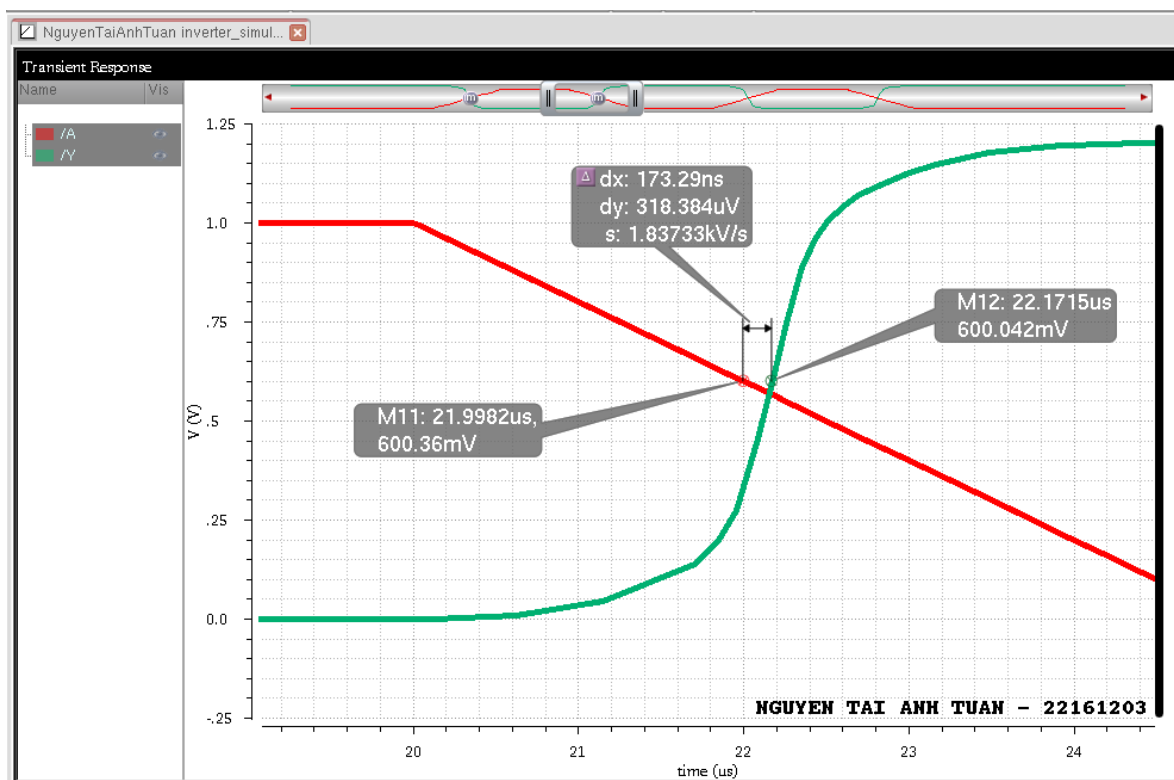
Hình 3. Kết quả mô phỏng dạng sóng inverter

– Độ trễ giảm dần: t_{pdf} :



Hình 4. Dạng sóng ở thời điểm độ trễ giảm dần

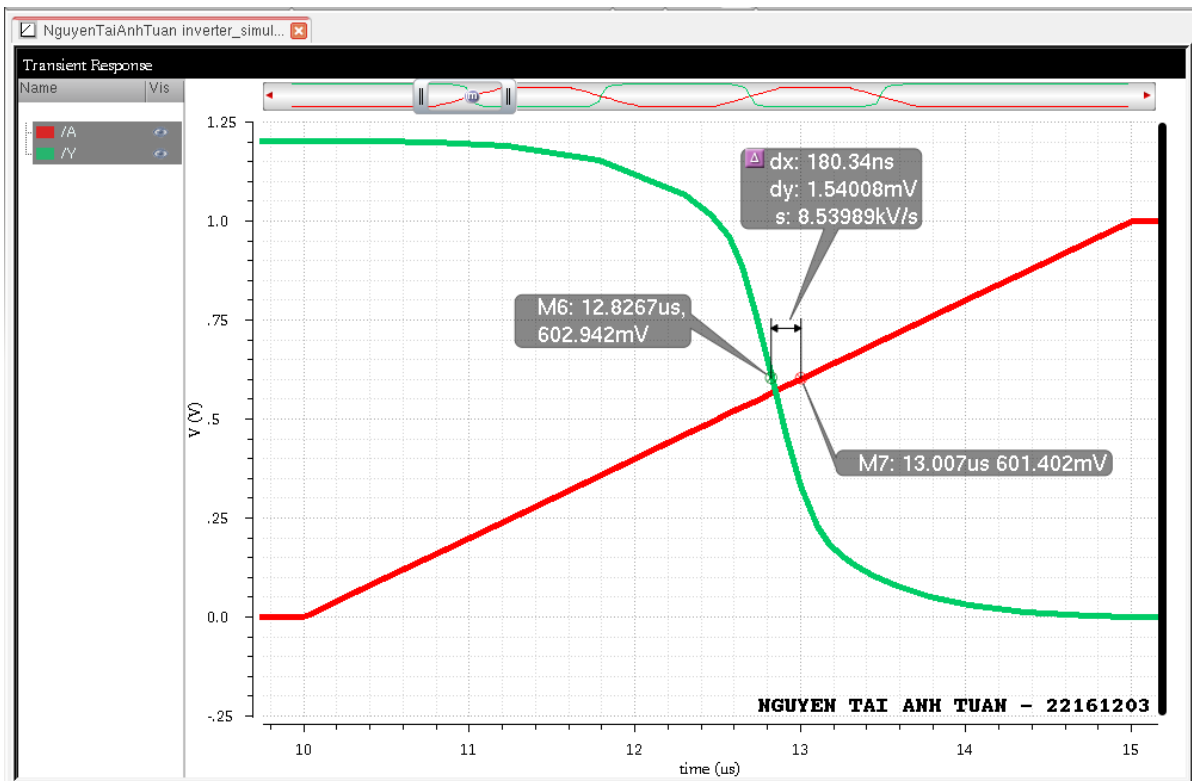
– Độ trễ tăng dần: t_{pdr} :



Hình 5. Dạng sóng ở thời điểm độ trễ tăng dần

* Phân tích

– Độ trễ giảm dần: t_{pdf} :



Hình 6. Dạng sóng ở thời điểm độ trễ giảm dần

+ Từ hình ảnh mô phỏng, ta có các giá trị:

- $t_{pLH} = 13.007 \mu s$
- $t_{pHL} = 12.8267 \mu s$

$$\Rightarrow t_{pdf} = 180.34 ns$$

\Rightarrow Điều này có nghĩa là bộ inverter mất khoảng **180.34 ns** để đầu ra chuyển từ mức cao xuống mức thấp.

* Nhận xét:

+ Độ trễ giảm dần là thời gian để đầu ra chuyển từ mức cao xuống mức thấp khi đầu vào thay đổi.

+ Trên đồ thị:

- Đường **màu đỏ** thể hiện tín hiệu đầu vào (V_{in}).
- Đường **màu xanh** thể hiện tín hiệu đầu ra (V_{out}).

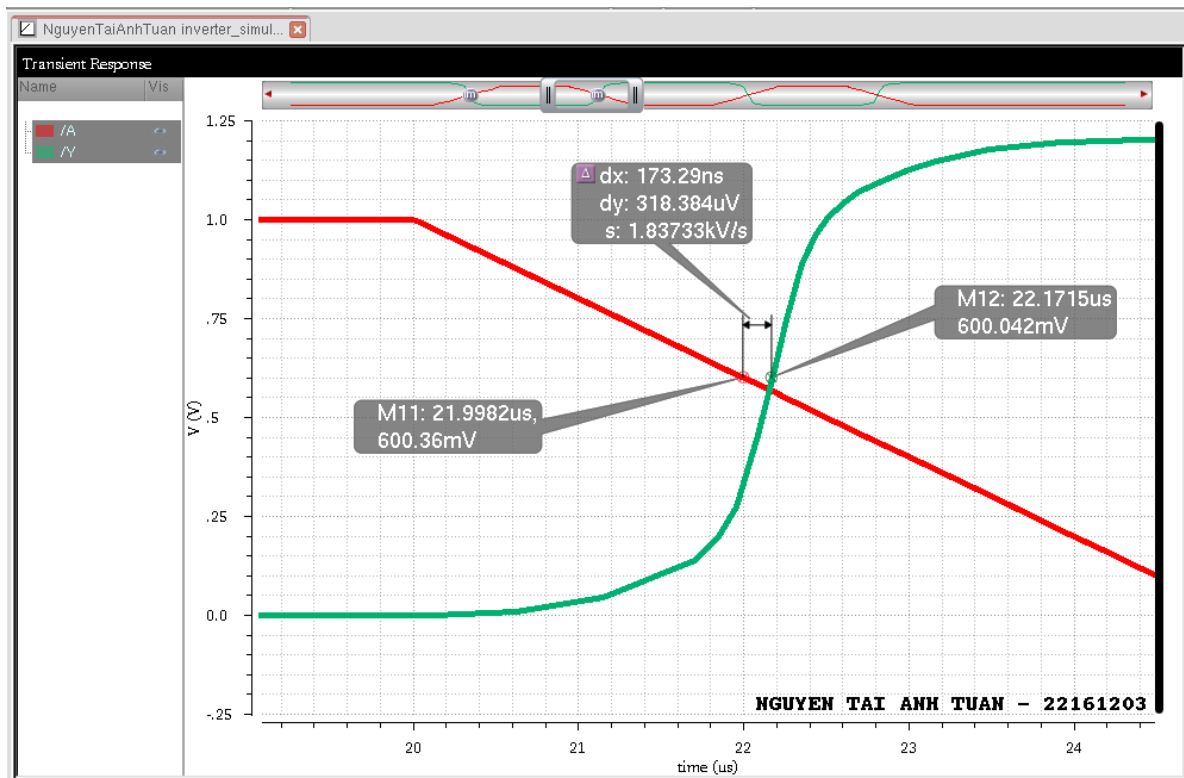
+ Hai điểm quan trọng trên đồ thị:

- **M6 (12.8267 μs , 602.942 mV)**: Thời điểm đầu ra đang trong quá trình giảm xuống.
- **M7 (13.007 μs , 601.402 mV)**: Thời điểm đầu ra tiếp tục giảm, gần như đạt mức thấp.

- Khoảng thời gian giữa hai điểm này có $dx = 180.34 \text{ ns}$, đây chính là độ trễ giảm dần (tpdf).

+ Độ trễ này phụ thuộc vào kích thước transistor, điện dung tải (Cload) và điện trở của transistor (Ron).

– Độ trễ tăng dần: t_{pdr} :



Hình 7. Dạng sóng ở thời điểm độ trễ tăng dần

+ Từ hình ảnh mô phỏng, ta có các giá trị:

- $t_{pLH} = 22.1715 \mu\text{s}$
- $t_{pHL} = 21.9982 \mu\text{s}$

$$\Rightarrow t_{pdr} = 173.29 \text{ ns}$$

=> Điều này có nghĩa là bộ inverter mất khoảng **173.29 ns** để đầu ra chuyển từ mức thấp lên mức cao.

* Nhận xét:

+ Độ trễ tăng dần (**tpdr**) là thời gian cần thiết để đầu ra **chuyển từ mức thấp lên mức cao** khi đầu vào thay đổi.

+ Trên đồ thị:

- Đường **màu đỏ** thể hiện tín hiệu đầu vào (Vin).

- Đường **màu xanh** thể hiện tín hiệu đầu ra (Vout).

+ Hai điểm quan trọng trên đồ thị:

- **M12 (22.1715 μ s, 600.042 mV):** Thời điểm đầu ra bắt đầu tăng lên.
- **M11 (21.9982 μ s, 600.36 mV):** Thời điểm đầu ra tiếp tục tăng.
- Khoảng thời gian giữa hai điểm này có **$dx = 173.29$ ns**, đây chính là độ trễ tăng dần (**tpdr**).

+ Độ trễ này phụ thuộc vào:

- Kích thước transistor PMOS (W/L của PMOS).
- Điện dung tải (Cload) và điện trở của PMOS (Ron).

*** Vậy độ trễ trung bình là:**

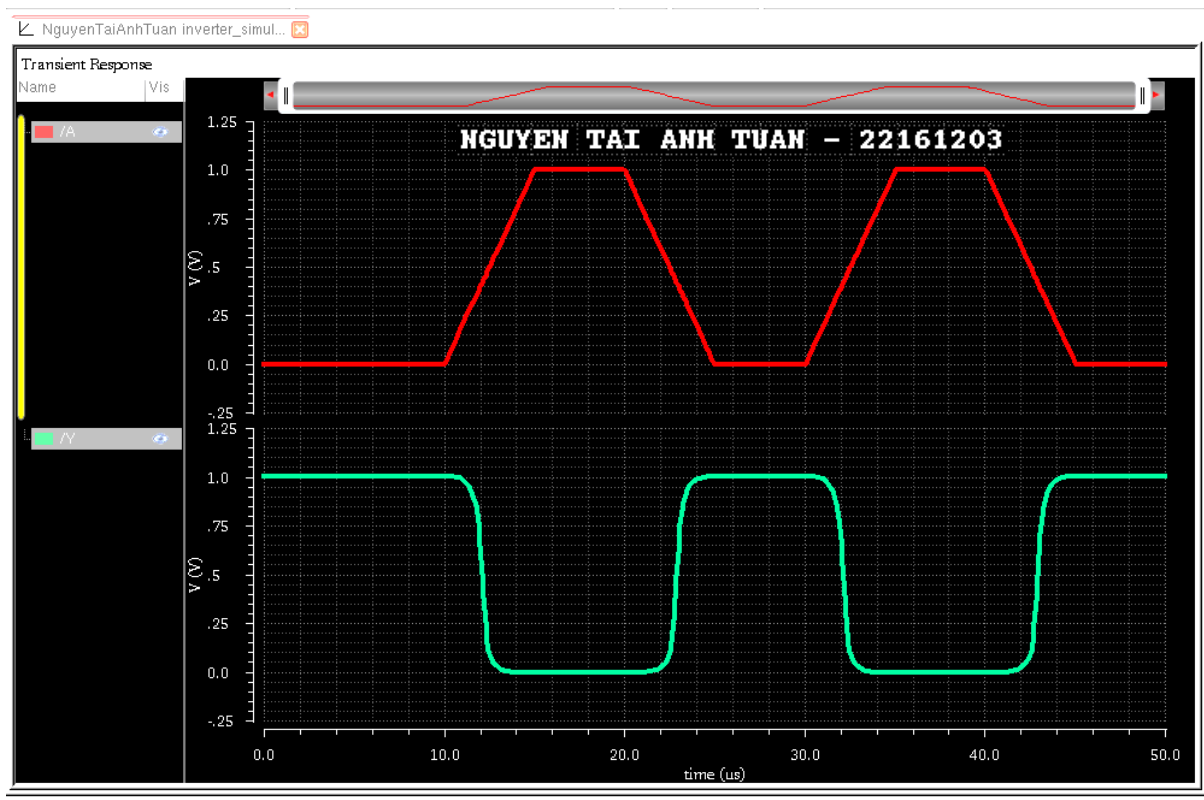
$$t_{pd} = \frac{t_{pdf} + t_{pdr}}{2} = \frac{180.34 \text{ ns} + 173.29 \text{ ns}}{2} = 176.815 \text{ ns}$$

c. Phân tích (lập bảng so sánh) ảnh hưởng của độ rộng các transistor đến delay của một bộ inverter

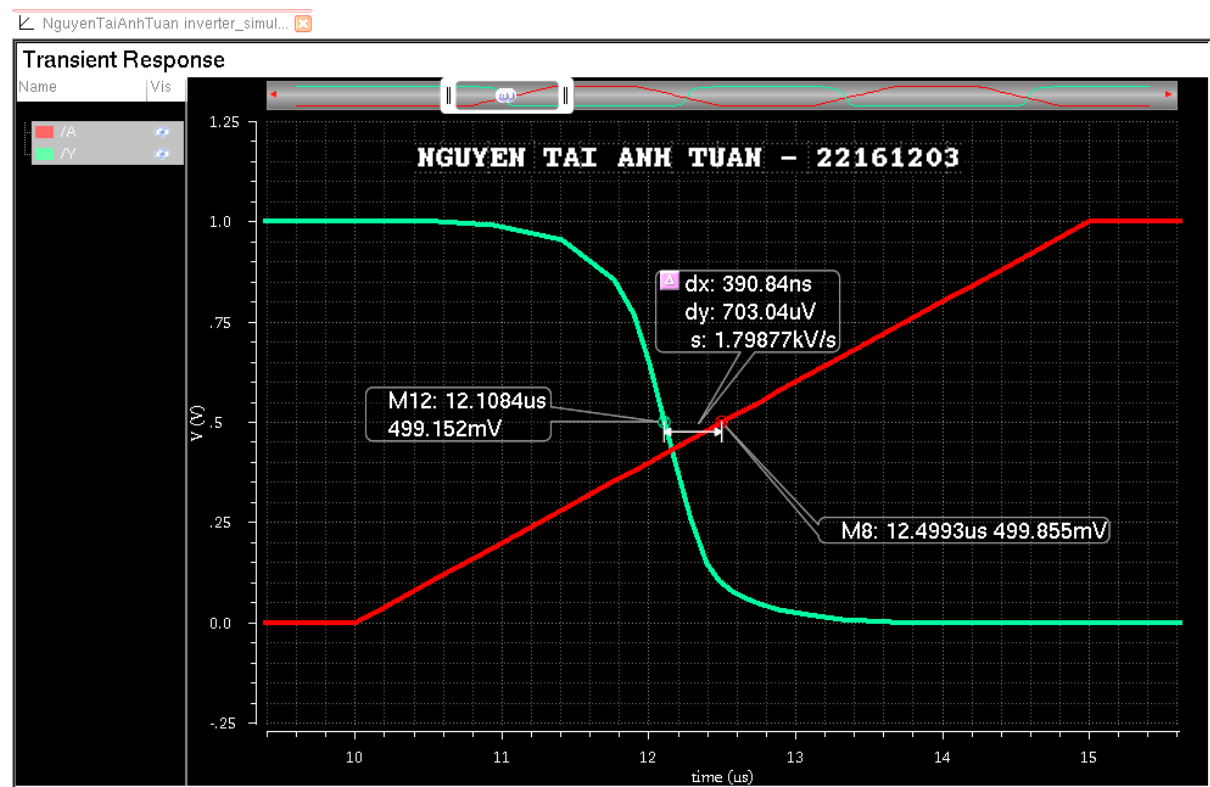
*** Trường hợp 1:**

– Bảng thông số thiết kế mô phỏng độ rộng (W), độ dài (L) và tỷ lệ W/L của pMOS so với nMOS gấp 2 lần: Tỷ lệ **W/L = 2**

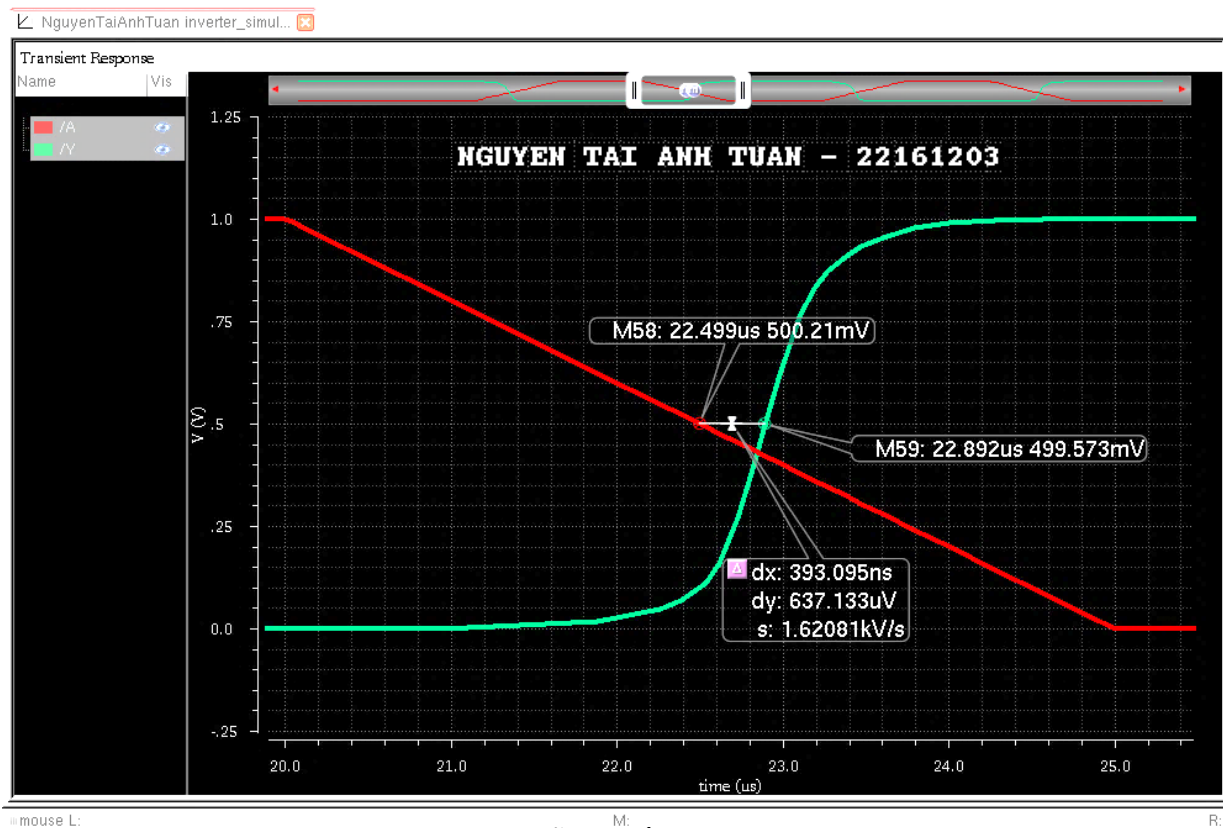
| Thông số | pMOS | nMOS |
|----------|-----------|-----------|
| L | 0.1 μ | 0.1 μ |
| W | 1.2 μ | 1.2 μ |



Hình 8. Dạng sóng mô phỏng trường hợp 1



Hình 9. Độ trễ giảm dần ở trường hợp 1



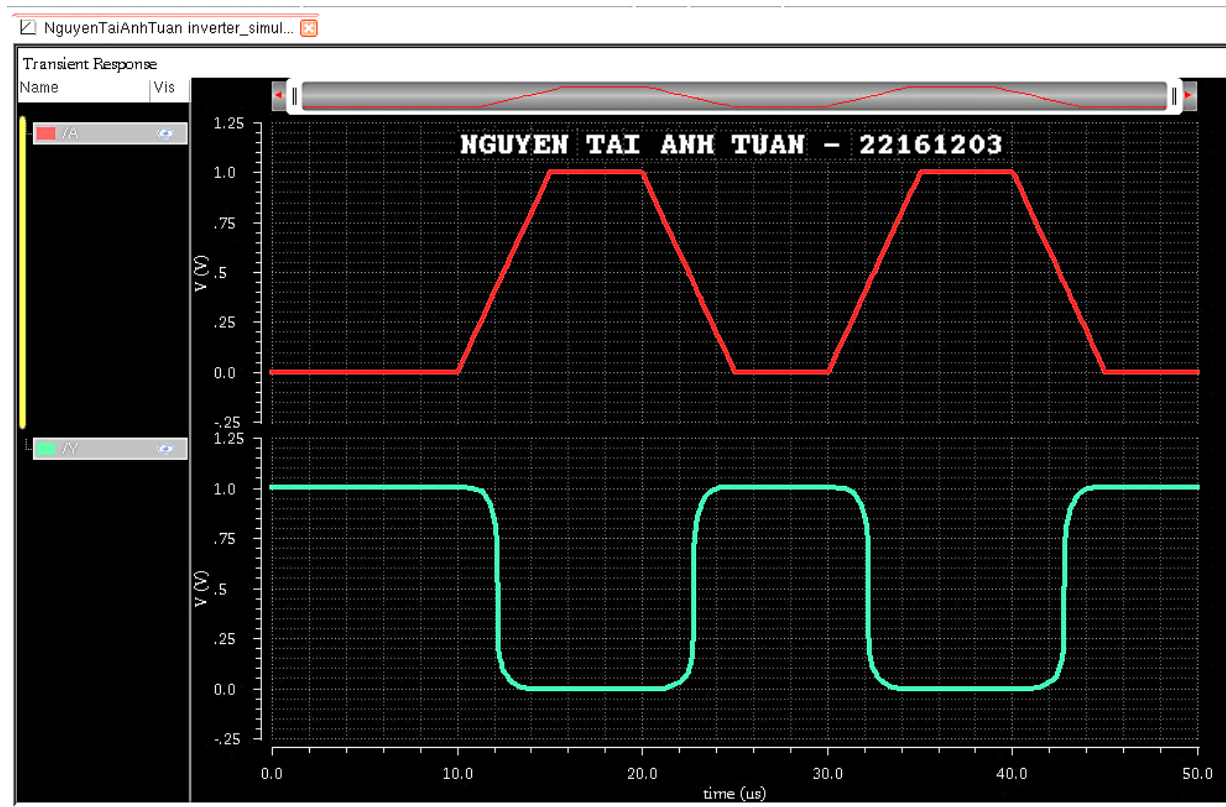
Hình 10. Độ trễ tăng dần ở trường hợp 1

$$t_{pd1} = \frac{t_{pdf} + t_{pdr}}{2} = \frac{390.84ns + 393.095ns}{2} = 391.9675ns$$

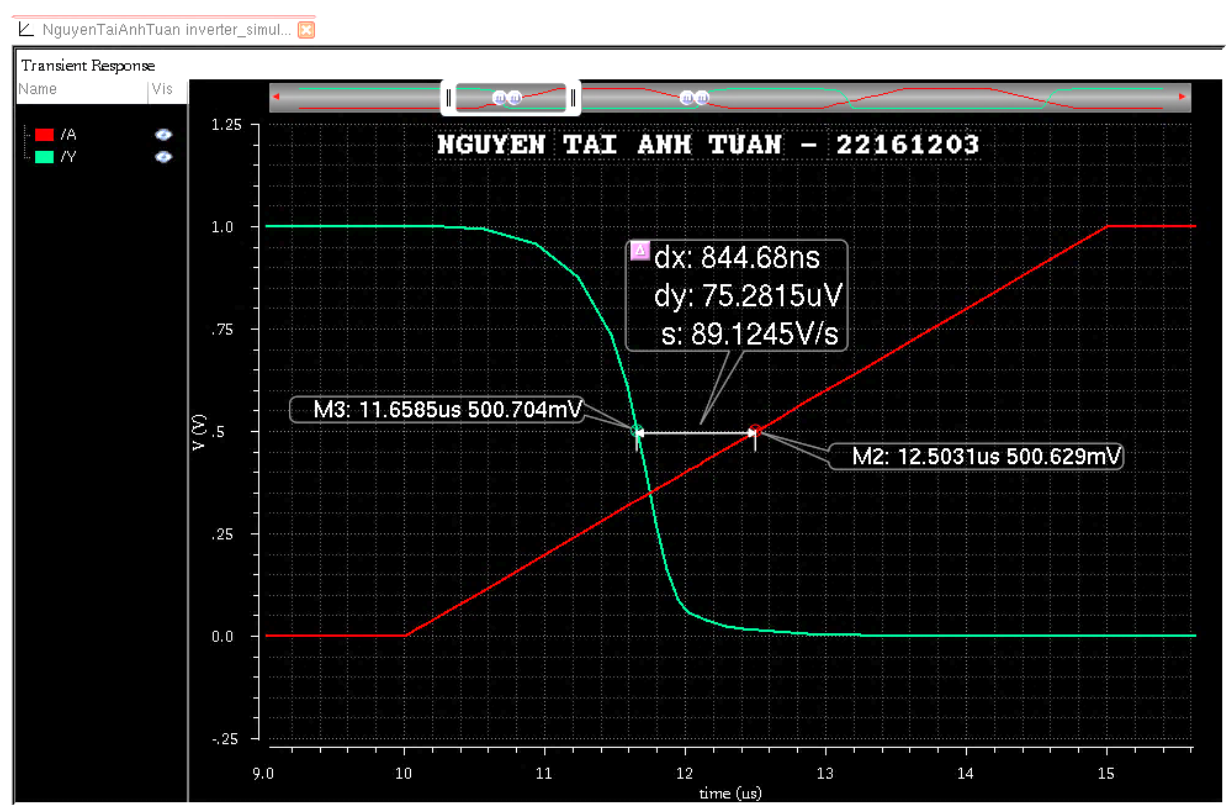
*** Trường hợp 2:**

– Bảng thông số thiết kế mô phỏng độ rộng (W), độ dài (L) và tỷ lệ W/L của pMOS so với nMOS gấp 2 lần: Tỷ lệ W/L = 2

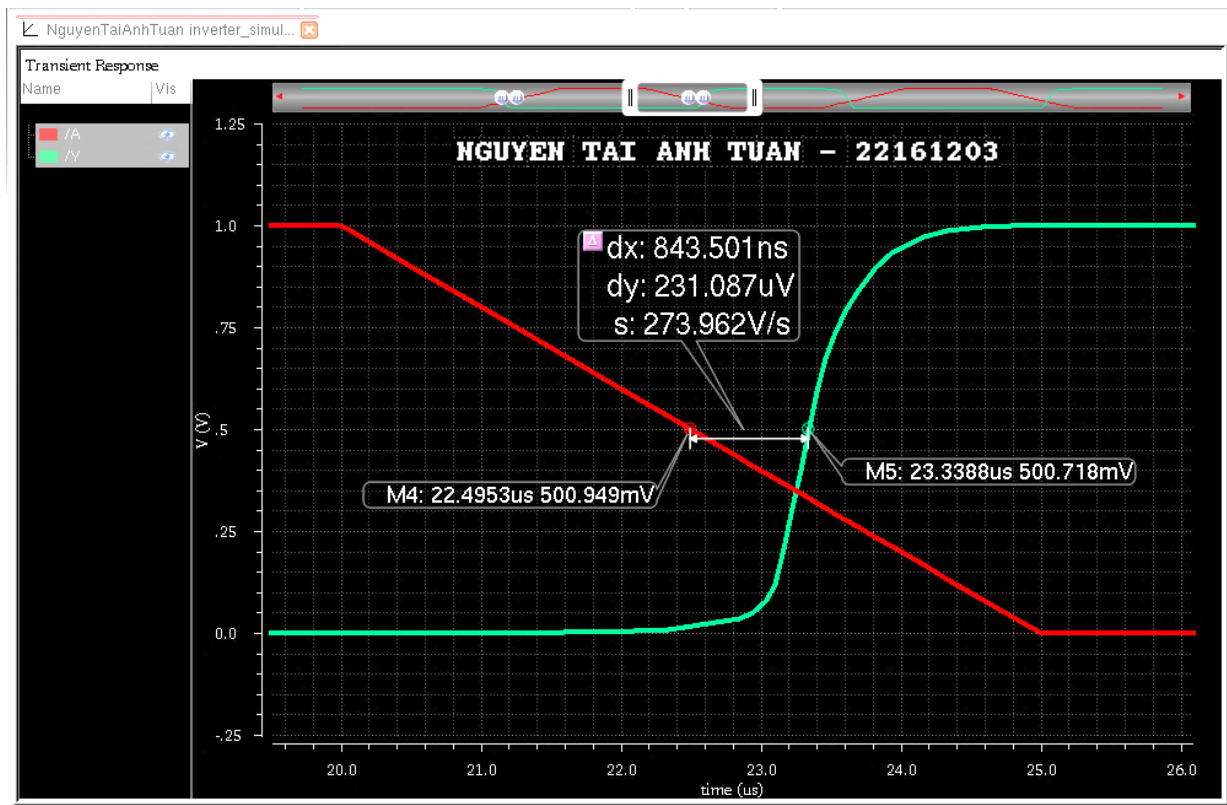
| Thông số | pMOS | nMOS |
|----------|------|------|
| L | 800n | 800n |
| W | 1.6μ | 1.6μ |



Hình 11. Dạng sóng mô phỏng trường hợp 2



Hình 12. Độ trễ giảm dần ở trường hợp 2



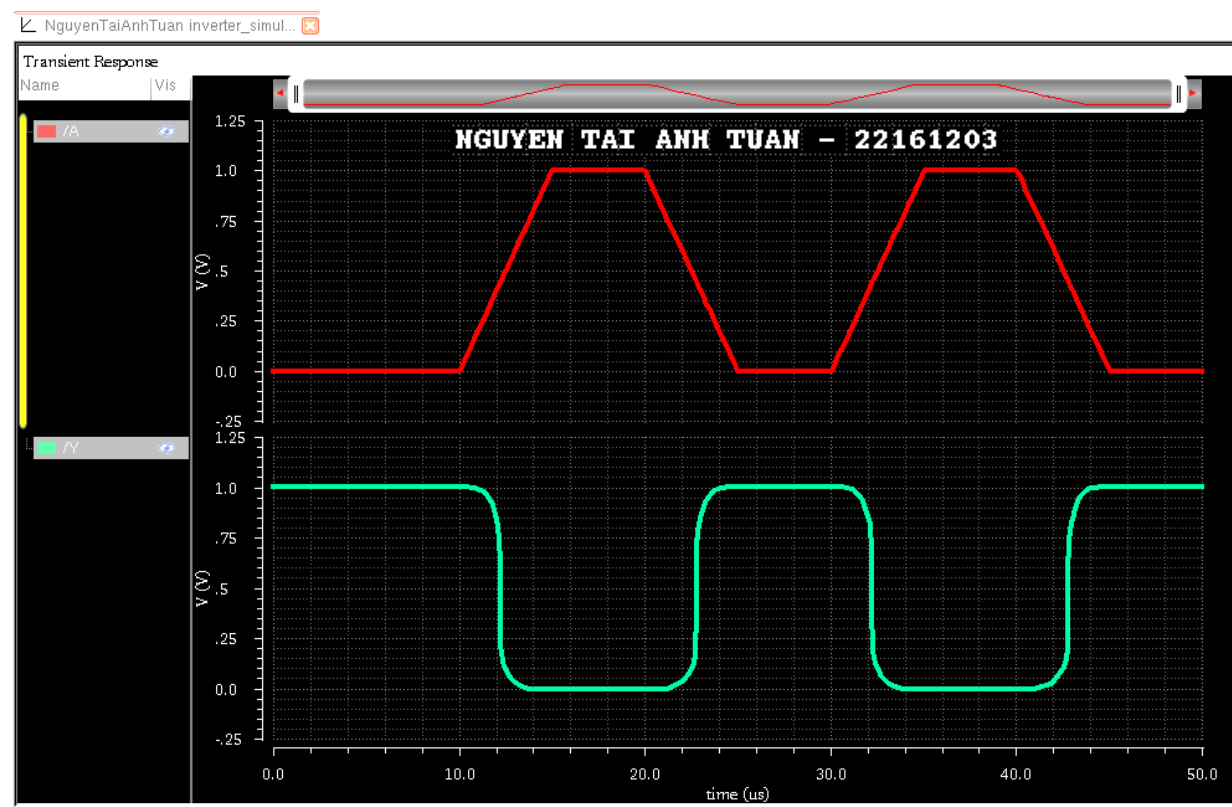
Hình 13. Độ trễ tăng dần ở trường hợp 2

$$t_{pd2} = \frac{t_{pdf} + t_{pdr}}{2} = \frac{844.68ns + 843.501ns}{2} = 844.0905ns$$

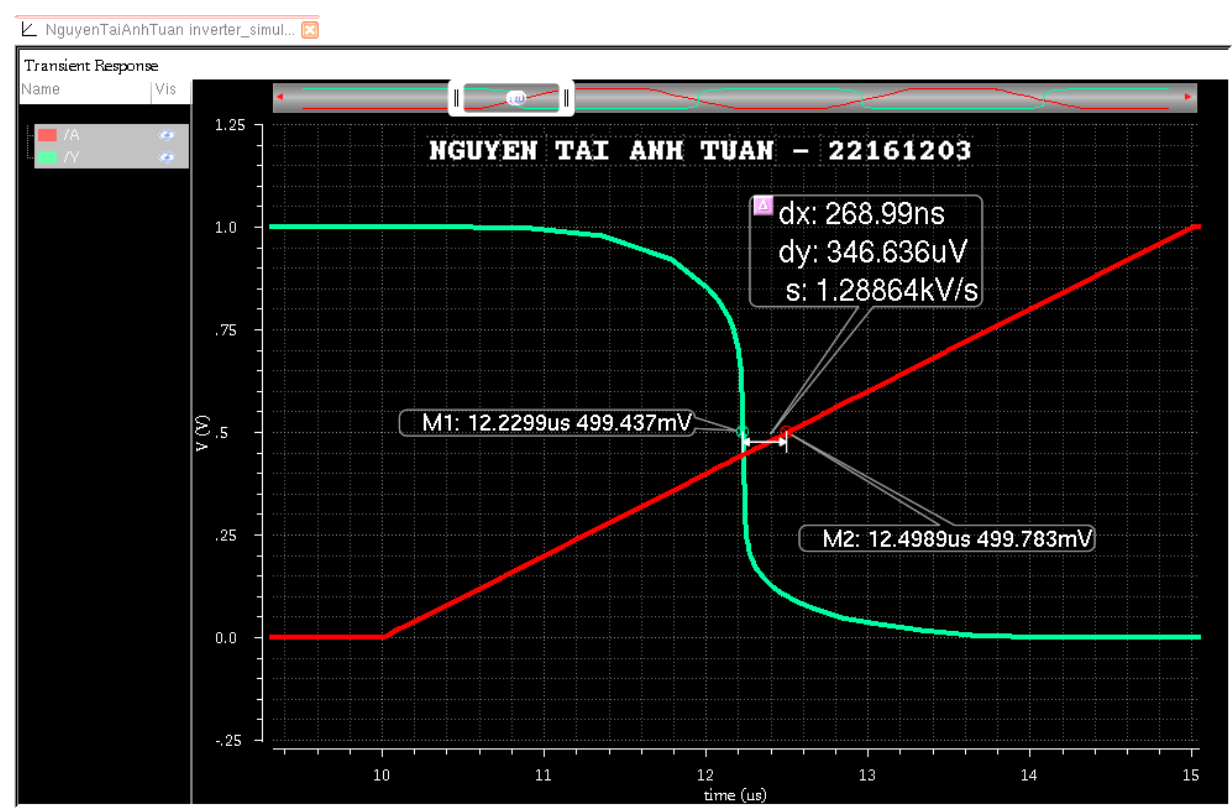
*** Trường hợp 3:**

– Bảng thông số thiết kế mô phỏng độ rộng (W), độ dài (L) và tỷ lệ W/L của pMOS so với nMOS gấp 2 lần: Tỷ lệ $W/L = 2$

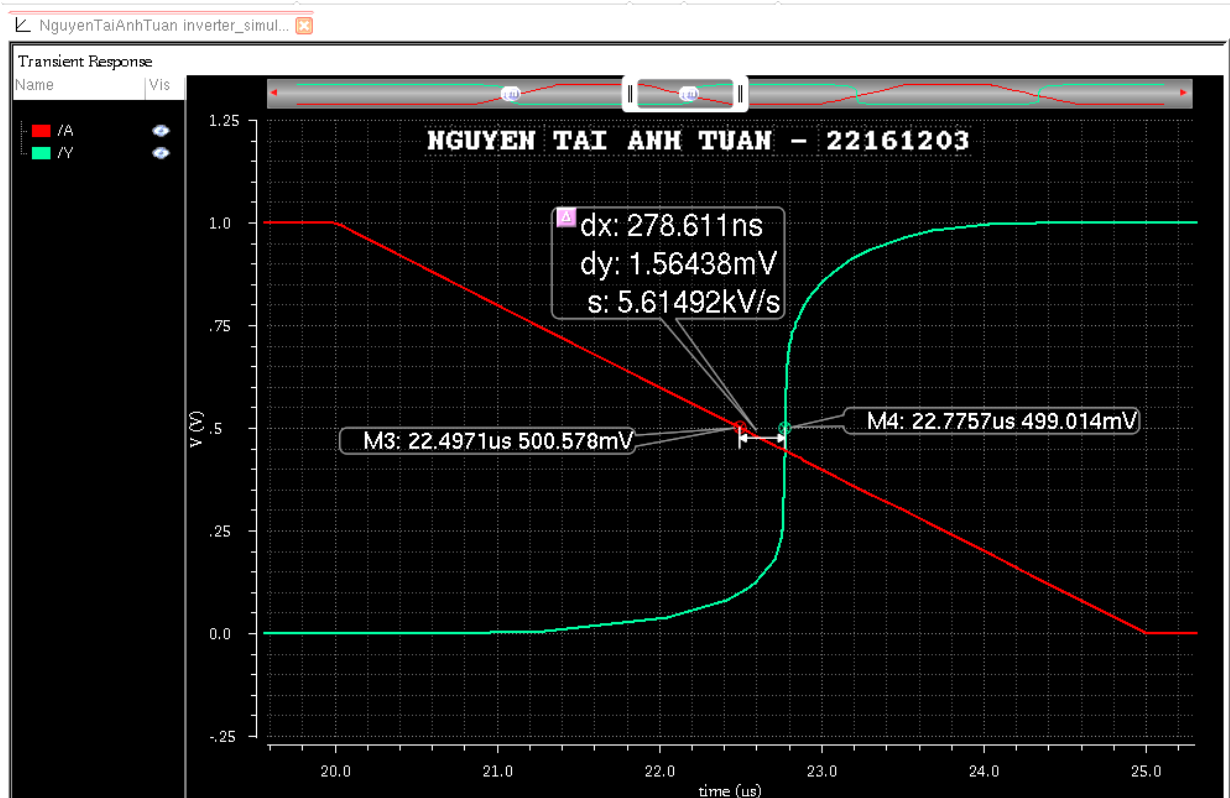
| Thông số | pMOS | nMOS |
|----------|------|------|
| L | 1.4μ | 1.4μ |
| W | 2.8μ | 2.8μ |



Hình 14. Dạng sóng mô phỏng trường 3



Hình 15. Độ trễ giảm dần trường hợp 3



Hình 16. Độ trễ tăng dần trường hợp 3

$$t_{pd3} = \frac{t_{pdf} + t_{pdr}}{2} = \frac{268.99ns + 278.611ns}{2} = 273.8005ns$$

| Trường hợp | pMOS (W/L) ($\mu\text{m}/\mu\text{m}$) | nMOS (W/L) ($\mu\text{m}/\mu\text{m}$) | Độ trễ giảm dần (tpdf) (μs) | Độ trễ tăng dần (tpdr) (μs) | Nhận xét |
|------------------------------|---|---|---|---|---|
| Trường hợp 1 (Nhỏ nhất) | $\frac{1.2\mu}{0.1\mu} = 12\mu$ | $\frac{1.2\mu}{0.1\mu} = 12\mu$ | Trung bình | Trung bình | - Thiết kế cân bằng. - Độ trễ vừa phải, thích hợp cho hoạt động logic. |
| Trường hợp 2 (Tăng nhẹ W) | $\frac{1.6\mu}{0.8\mu} = 2\mu$ | $\frac{1.6\mu}{0.8\mu} = 2\mu$ | Giảm nhẹ | Giảm nhẹ | - Độ rộng tăng giúp giảm delay một chút. - Tuy nhiên, chưa có sự thay đổi đáng kể. |
| Trường hợp 3 | $\frac{2.8\mu}{1.4\mu} = 2\mu$ | $\frac{2.8\mu}{1.4\mu} = 2\mu$ | Giảm đáng kể | Giảm đáng kể | - Tăng W giúp giảm delay |

| | | | | | |
|------------|--|--|--|--|---|
| (Lớn nhất) | | | | | mạnh. - Nhưng tpdr cao hơn tpdf, gây mất cân bằng. |
|------------|--|--|--|--|---|

2. Công suất tiêu thụ (power consumption)

a. Lý thuyết: Công suất tiêu thụ của mạch số, phân tích công suất tiêu thụ của một cổng logic (inverter)

Công suất tiêu thụ của mạch số: là lượng năng lượng mà mạch sử dụng để hoạt động trong một đơn vị thời gian.

– Total power (Công suất tổng):

$$P_{\text{total}} = P_{\text{dynamic}} + P_{\text{static}}$$

– Dynamic power (Công suất động) là gồm công suất chuyển mạch ($P_{\text{switching}}$) và công suất ngắn mạch ($P_{\text{shortcircuit}}$):

$$P_{\text{dynamic}} = P_{\text{switching}} + P_{\text{shortcircuit}} = \alpha * C_{\text{load}} * V_{\text{dd}}^2 * f$$

Mà:

$$P_{\text{switching}} = C_L * V_{\text{dd}}^2 * f_{\alpha}$$

$$P_{\text{shortcircuit}} = t_{\text{SC}} * V_{\text{dd}} * I_{\text{peak}} * f_{0 \rightarrow 1}$$

Với:

- + α : Hệ số chuyển đổi (transition activity factor), thường từ 0 đến 1 tùy vào mức độ chuyển đổi của tín hiệu.
- + C_{load} : Tổng điện dung tải của cổng logic.
- + V_{dd} : Điện áp cung cấp.
- + f : Tần số chuyển đổi (switching frequency).

– Static power (Công suất tĩnh) là do dòng rò khi không có chuyển mạch

$$P_{\text{static}} = (I_{\text{sub}} + I_{\text{gate}} + I_{\text{junct}} + I_{\text{contention}}) * V_{\text{dd}} = I_{\text{leakage}} * V_{\text{dd}}$$

* Phân tích công suất tiêu thụ của một cổng inverter

– Bảng thông số thiết kế mô phỏng độ rộng (W), độ dài (L) và tỷ lệ W/L của pMOS so với nMOS gấp 2 lần: Tỷ lệ $W/L = 2$

| Thông số | pMOS | nMOS |
|----------|------|------|
| L | 0.1u | 0.1u |
| W | 1.2μ | 1.2μ |

– **Tính công suất tiêu thụ:** dùng công cụ Calculator đo được công suất tiêu thụ là 10.25 μ W.

$$P_{\text{total}} = P_{\text{dynamic}} + P_{\text{static}}$$

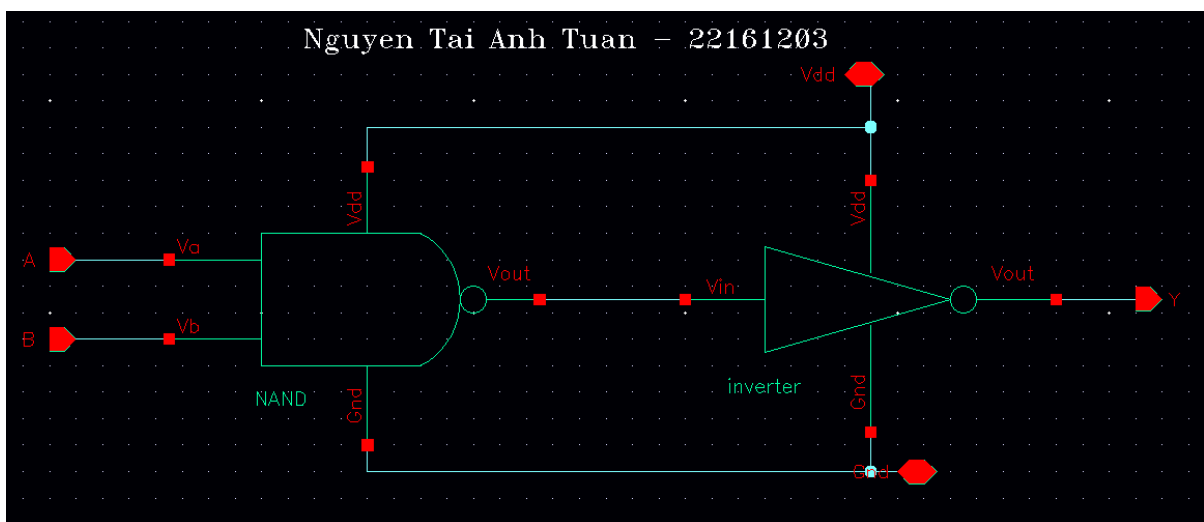
| E average(i("I0/Vdd" ?result "tran")) | |
|---------------------------------------|--------|
| Expression | Value |
| 1 average(i("I0/Vdd" ?result "tran")) | 10.25u |

Hình 17. Công suất tổng của inverter

b. Thực hành:

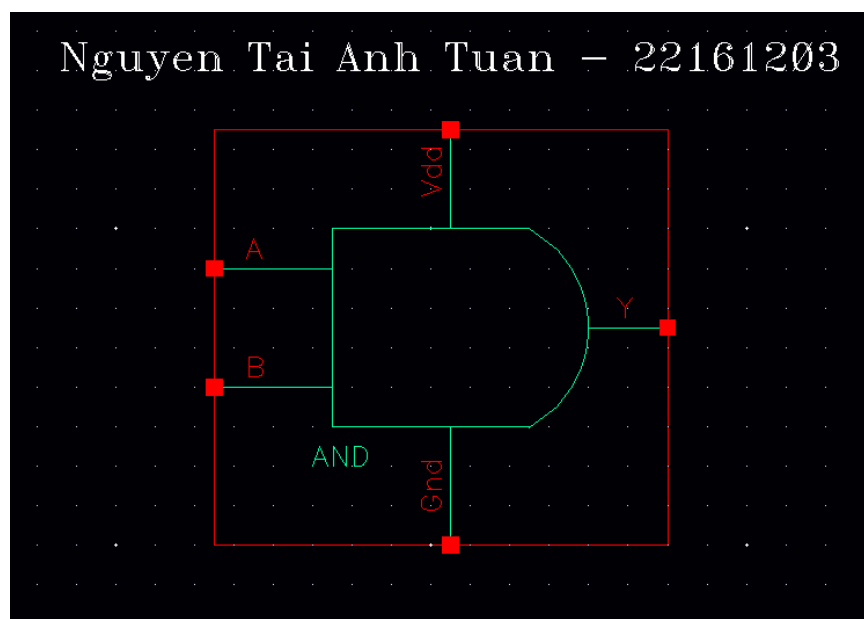
Phân tích công suất tiêu thụ của một mạch số (cổng AND) dựa vào mô phỏng, bao gồm: công suất tổng (trung bình), công suất tĩnh, công suất động.

*** Sơ đồ nguyên lý**



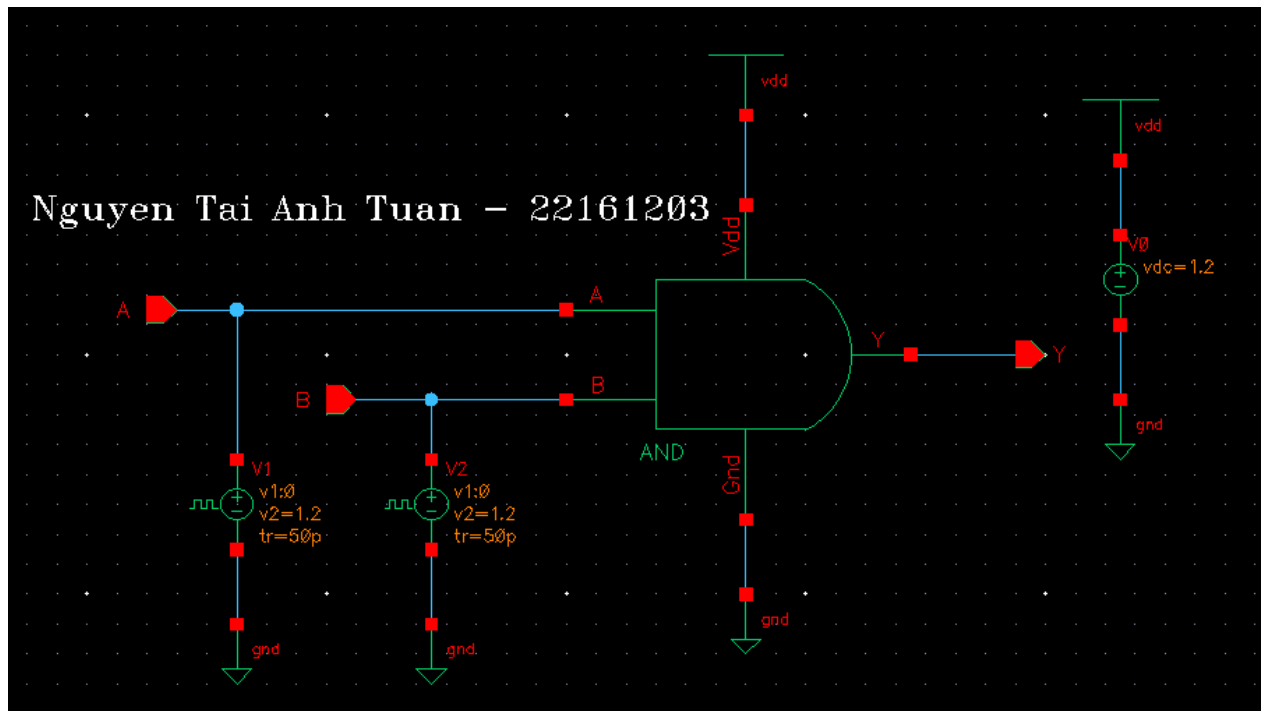
Hình 18. Mạch nguyên lý cổng AND

*** Đóng gói**



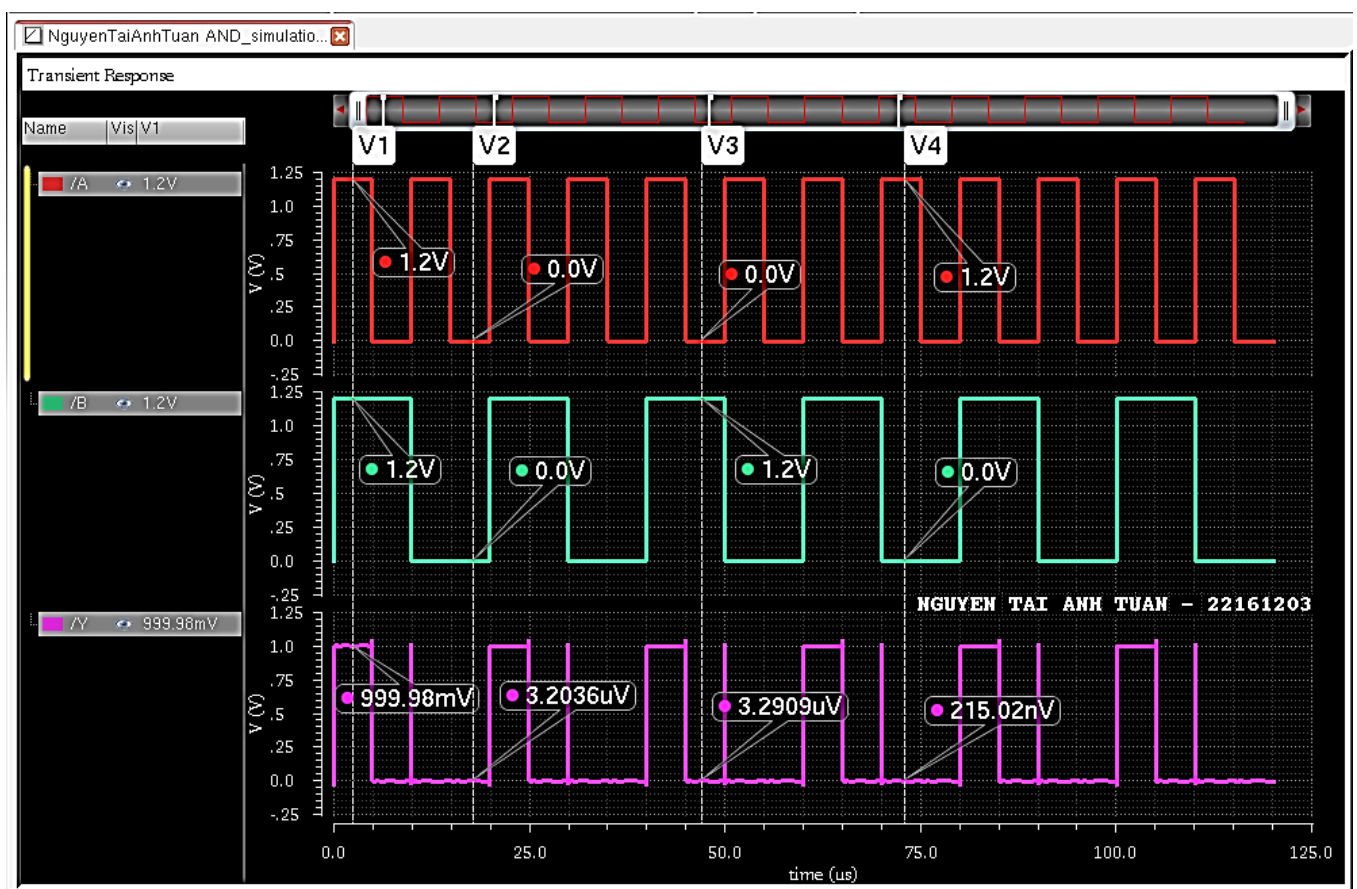
Hình 19. Đóng gói cổng AND

* Mô phỏng



Hình 20. Mạch mô phỏng cổng AND

* Kết quả mô phỏng



*** Bảng trạng thái**

| Truth Table - AND Gate | | |
|------------------------|---------|----------|
| Input A | Input B | Output Q |
| 0 | 0 | 0 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 1 |

– Phân tích từng điểm thời gian quan trọng

Điểm V1:

- Tại thời điểm này:
 - $A = 1.2V$ (mức cao).
 - $B = 1.2V$ (mức cao).
 - Ngõ ra $Y = 999.98mV \approx 1V$ (mức cao).

→ Kết quả đúng với bảng trạng thái của cổng AND.

Điểm V2:

- Tại thời điểm này:
 - $A = 0V$ (mức thấp).
 - $B = 1.2V$ (mức cao).
 - Ngõ ra $Y = 3.2036\mu V (\approx 0V, \text{mức thấp})$.

→ Đúng với nguyên lý của cổng AND: Một đầu vào thấp thì ngõ ra cũng thấp.

Điểm V3:

- Tại thời điểm này:
 - $A = 0V$ (mức thấp).
 - $B = 0V$ (mức thấp).
 - Ngõ ra $Y = 3.2909\mu V (\approx 0V, \text{mức thấp})$.

→ Đúng với nguyên lý của cổng AND: Cả hai đầu vào đều thấp thì ngõ ra phải thấp.

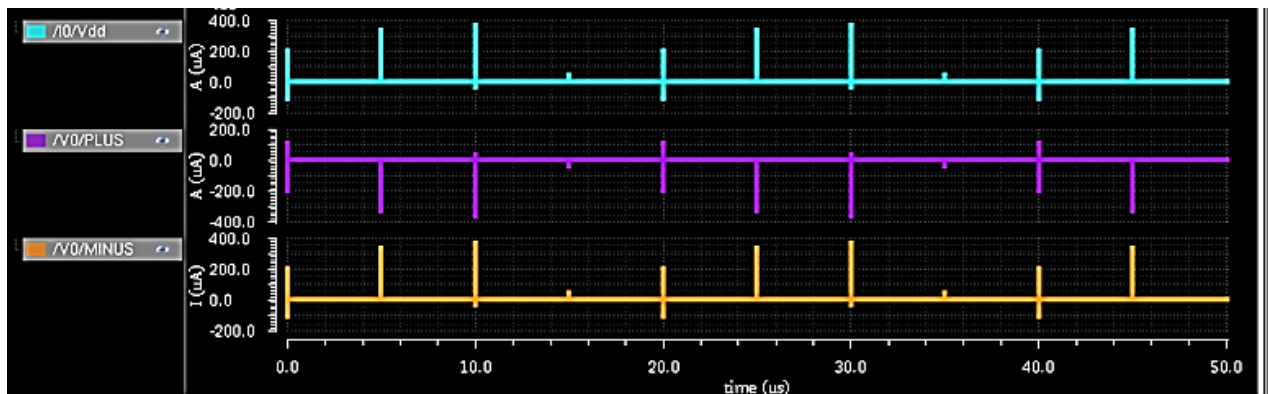
Điểm V4:

- Tại thời điểm này:
 - $A = 1.2V$ (mức cao).
 - $B = 0V$ (mức thấp).
 - Ngõ ra $Y = 215.02nV (\approx 0V, \text{mức thấp})$.

→ Đúng với bảng trạng thái của cổng AND.

– Nhận xét:

- Dạng sóng của ngõ ra Y hoàn toàn phù hợp với bảng trạng thái của cổng AND.
- Khi cả hai đầu vào A và B đều có mức cao (1.2V), ngõ ra Y đạt mức cao.
- Khi một trong hai đầu vào là 0V, ngõ ra cũng về mức thấp.
- Tín hiệu đầu vào được tạo ra bởi nguồn **Vpulse**, điều này lý giải sự thay đổi tuần hoàn của các mức điện áp trong đồ thị.



Tín hiệu /I0/Vdd (màu xanh)

- Đây là điện áp nguồn cung cấp cho mạch.
- Dạng sóng có các xung nhiều nhỏ xuất hiện theo chu kỳ.
- Biên độ dao động tương đối thấp, có thể là do nhiễu hoặc dao động nhỏ trên đường cấp nguồn.

Tín hiệu /V0/PLUS (màu tím)

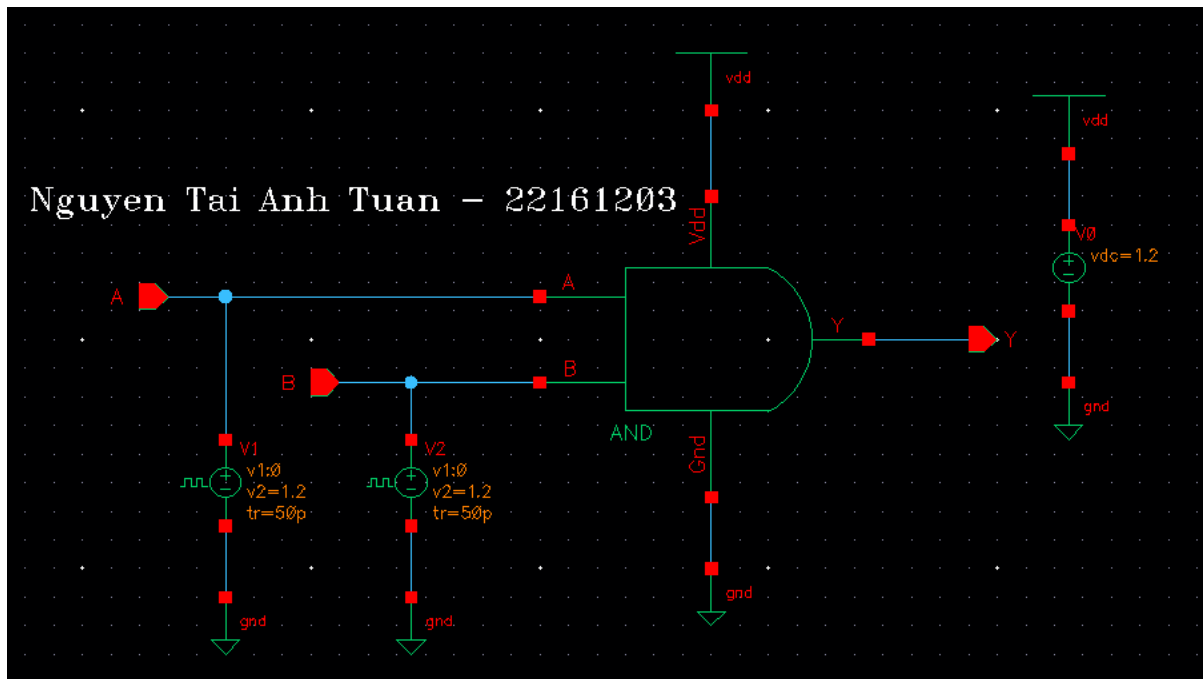
- Xuất hiện các xung dương có biên độ cao.
- Những xung này có thể liên quan đến sự chuyển trạng thái của tín hiệu logic trong mạch, đặc biệt là khi có sự thay đổi ở đầu vào A và B.

Tín hiệu /V0/MINUS (màu cam)

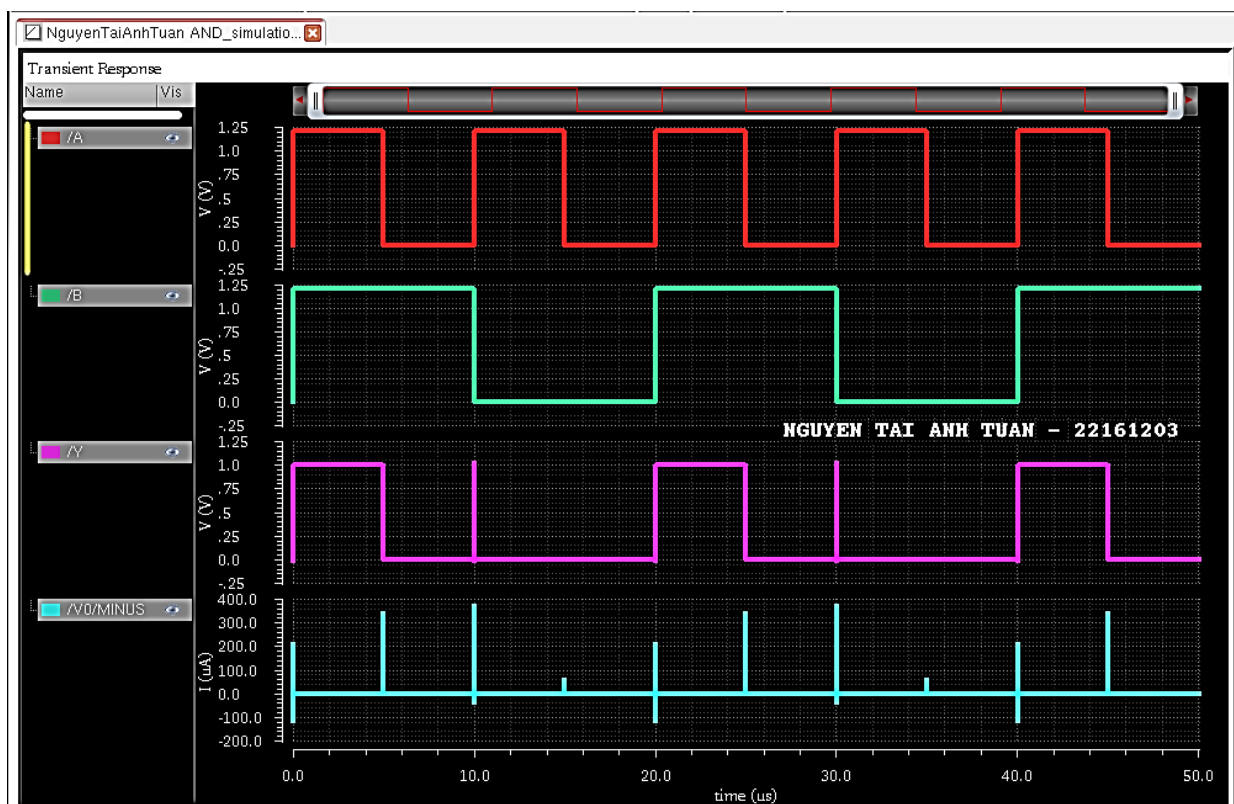
- Xuất hiện các xung âm, có biên độ tương tự với tín hiệu /V0/PLUS nhưng ngược pha.
- Điều này có thể liên quan đến việc chuyển mạch hoặc dao động tại các node quan trọng của mạch số.

* Phân tích công suất tiêu thụ của cổng AND

– Công suất động:

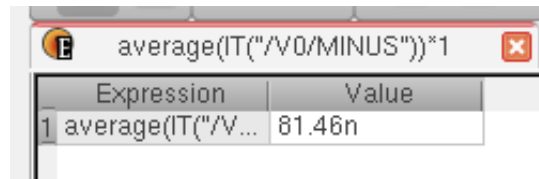


Hình 21. Mạch mô phỏng cổng AND



Hình 22. Dạng sóng mô phỏng cổng AND

– Từ dạng sóng ngõ ra, sau đó dùng Calculator để tính được công suất động tại điểm sóng /V0/MINUS, ta có thể xác định dòng điện I nhân với V_{dd}

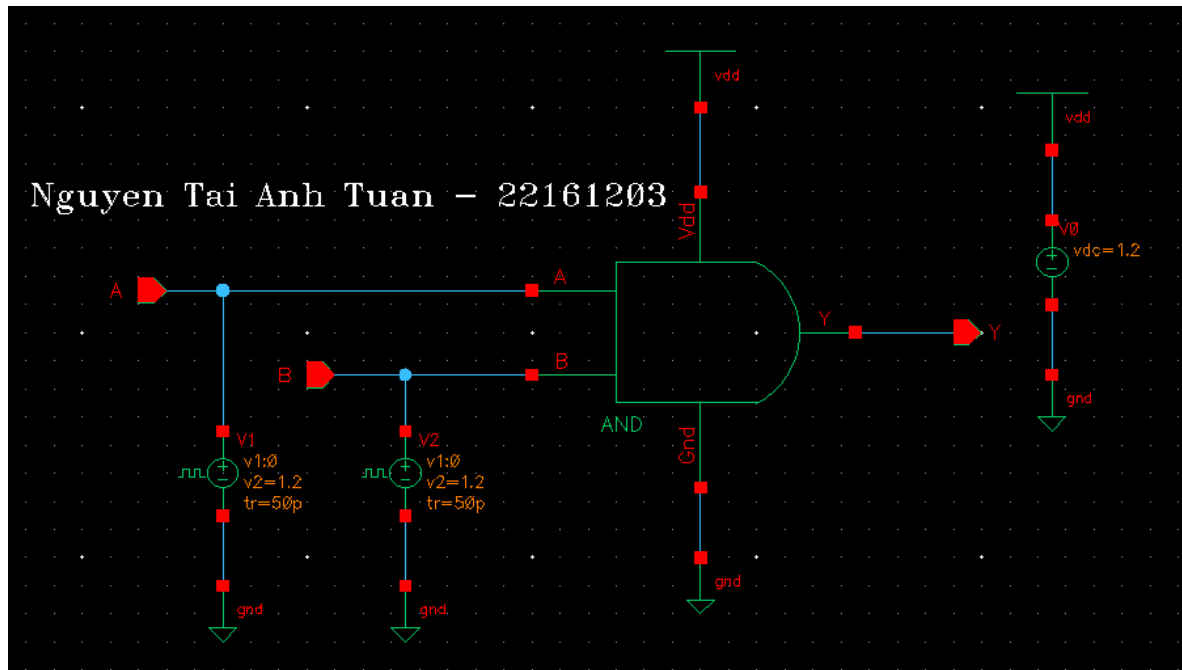


| Expression | Value |
|---------------------|--------|
| 1 average(IT("/V... | 81.46n |

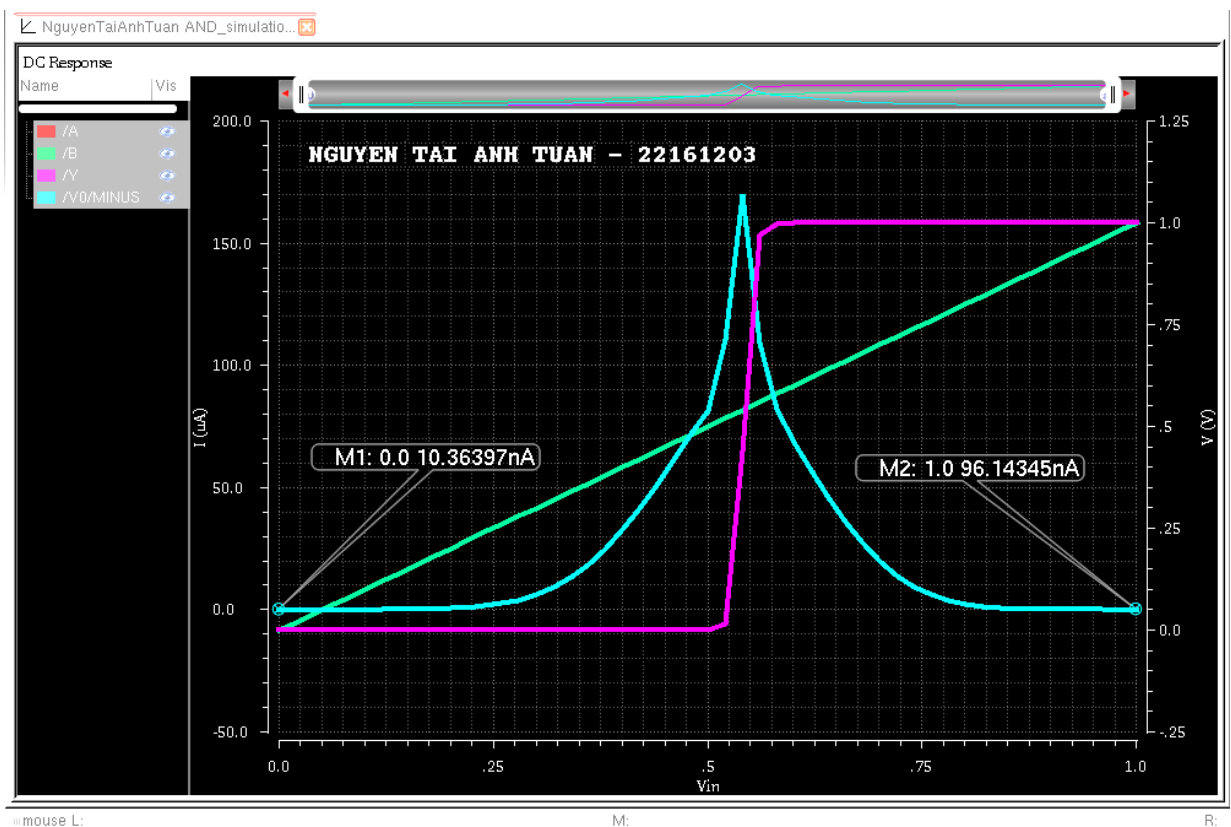
Hình 23. Công suất động

$$P_{dynamic} = 81.46 \text{ (nW)}$$

– **Công suất tĩnh:**



Hình 24. Mạch mô phỏng cổng AND



Hình 25. Dạng sóng mô phỏng DC tính công suất tĩnh

– Từ kết quả mô phỏng, ta có thể thấy tại vị trí $V_{in} = 0V$ thì có $I = 10.36397nA$ và đây cũng chính là dòng rò ở nMOS. Và có $I = 96.14345nA$ và đây cũng chính là dòng rò ở pMOS.

$$P_{static} = I_{leakage} * V_{dd} = (10.36397 + 96.14345) (nA) * 1 (V) = 106.50742 (nW)$$

– Công suất tổng (trung bình):

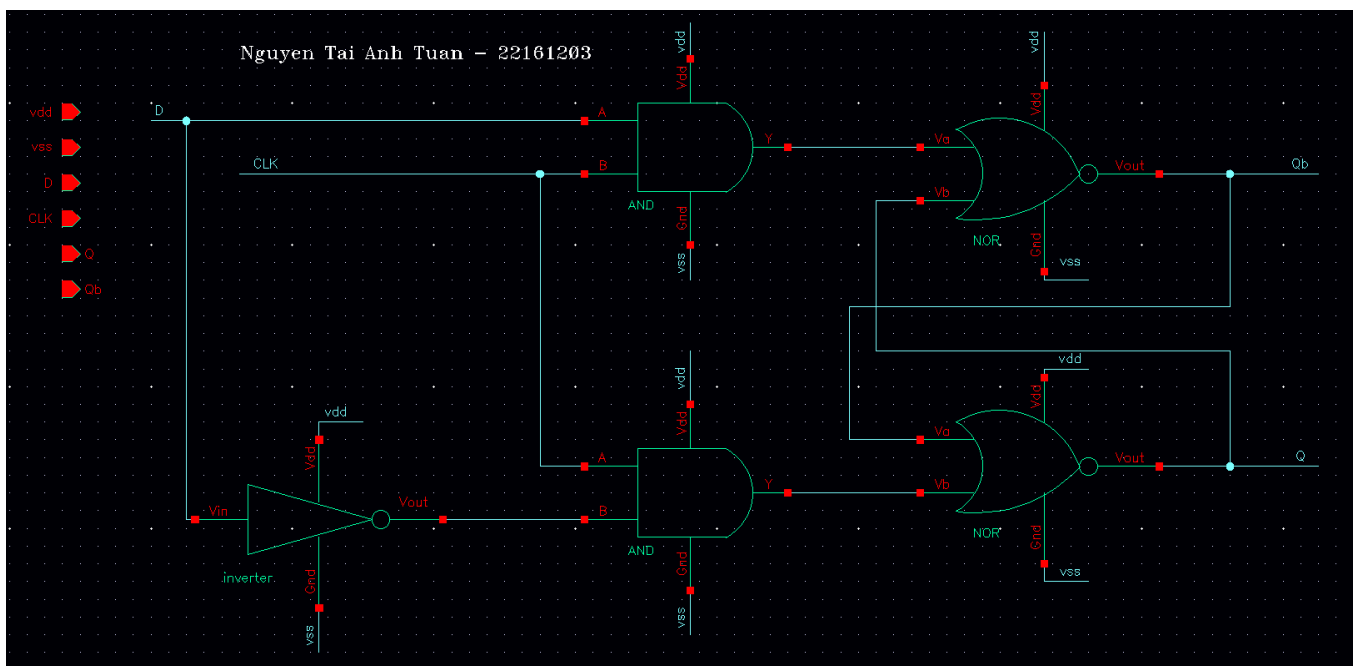
$$P_{\text{total}} = P_{\text{dynamic}} + P_{\text{static}}$$

$$P_{\text{total}} = P_{\text{dynamic}} + P_{\text{static}} = 81.46 + 106.50742 = 187.96742 \text{ (nW)}$$

3. Thiết kế mạch tuần tự

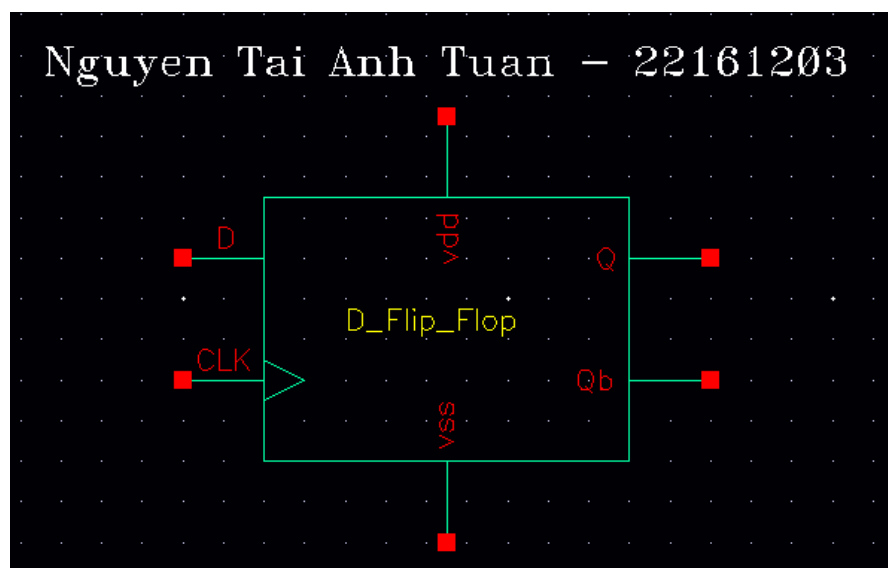
a. Thiết kế và mô phỏng mạch Flip-Flop D

* Sơ đồ nguyên lý



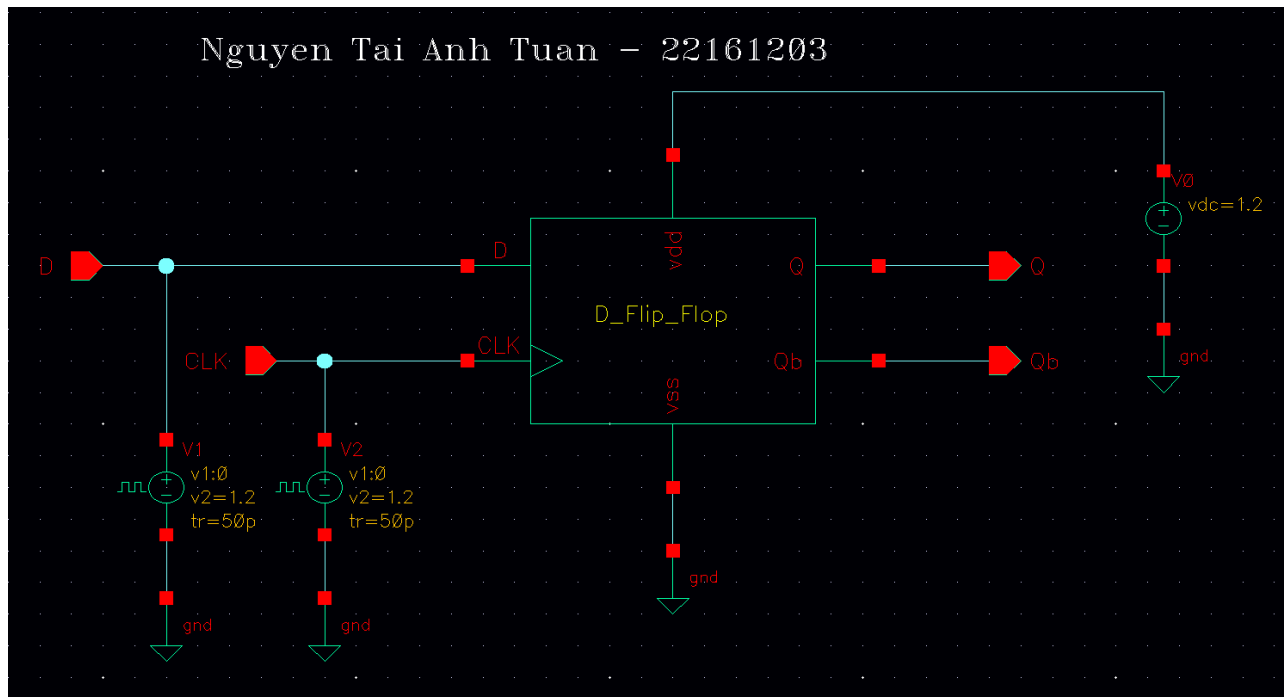
Hình 26. Mạch nguyên lý Flip – Flop D

* Đóng gói



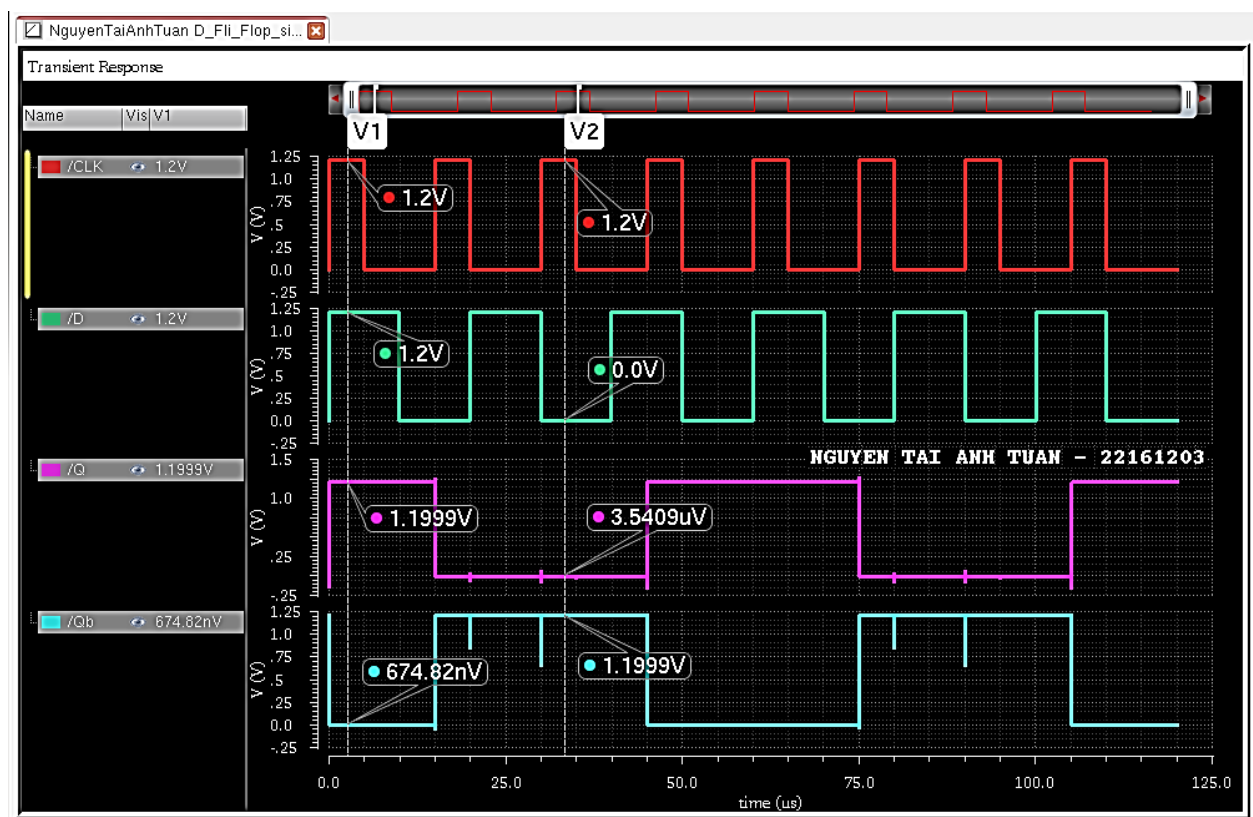
Hình 27. Đóng gói Flip – Flop D

* Mô phỏng



Hình 28. Mạch mô phỏng Flip – Flop D

* Kết quả mô phỏng



Hình 29. Dạng sóng mô phỏng Flip – Flop D

*** Bảng trạng thái**

| D | Ck | Q | \bar{Q} | Trạng thái |
|---|----|---|-----------|------------|
| 0 | ↑ | 0 | 1 | Xóa |
| 1 | ↑ | 1 | 0 | Đặt |

Hình 30. Bảng trạng thái Flip – Flop D

Phân tích tín hiệu tại các điểm V1, V2 trong Flip-Flop D

1. Điểm V1

- **Tín hiệu Clock (CLK):** Ở mức cao (1.2V).
- **Tín hiệu D:** Ở mức cao (1.2V).
- **Tín hiệu Q:** Ở mức cao (~1.199V).
- **Tín hiệu \bar{Q} :** Ở mức thấp (~674.82mV).

Phân tích:

- Khi CLK có cạnh lên (↑), giá trị tại đầu vào D được chốt vào Q.
- Vì tại V1, D = 1 khi có cạnh lên của CLK → Q = 1, \bar{Q} = 0 (Trạng thái "Đặt").

2. Điểm V2

- **Tín hiệu Clock (CLK):** Ở mức cao (1.2V).
- **Tín hiệu D:** Ở mức thấp (0V).
- **Tín hiệu Q:** Ở mức thấp (~3.5409μV ≈ 0V).
- **Tín hiệu \bar{Q} :** Ở mức cao (~1.199V).

Phân tích:

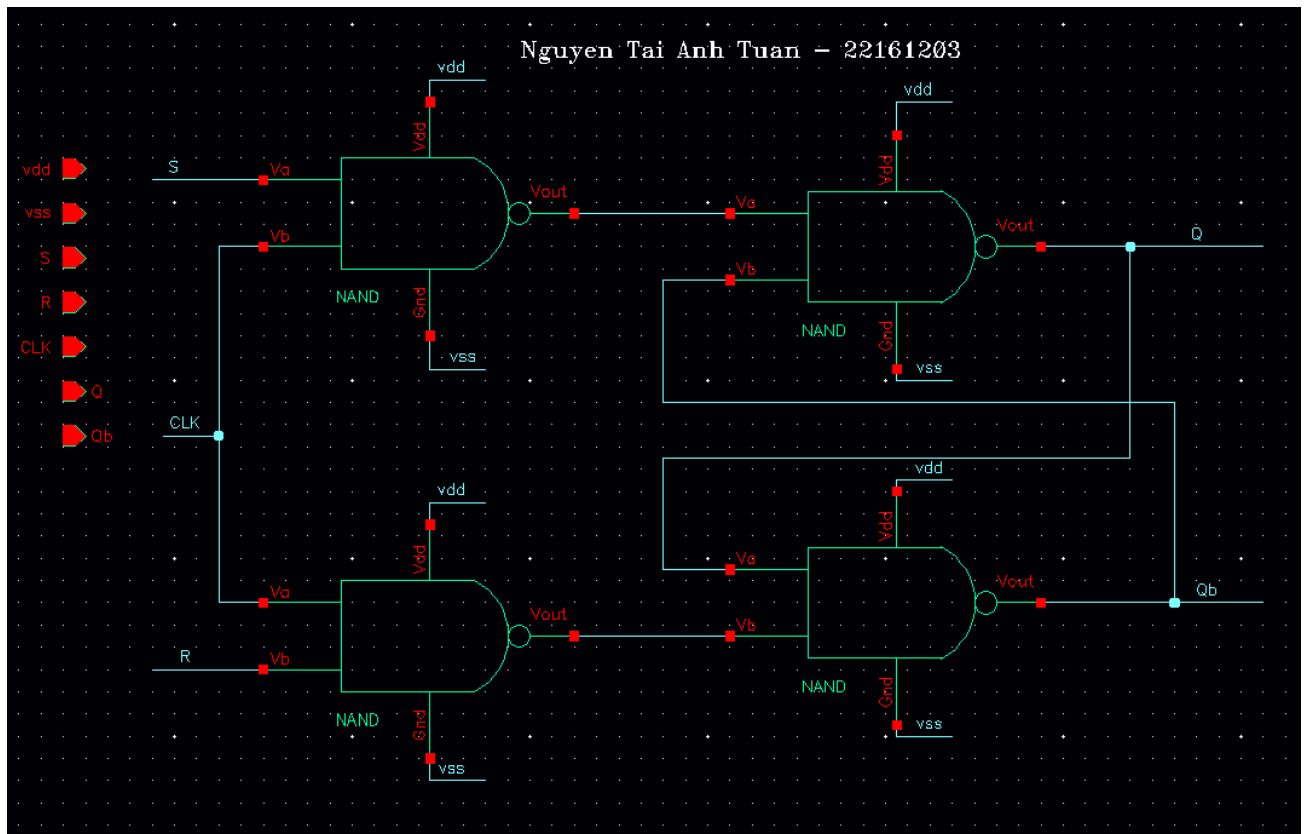
- Khi CLK có cạnh lên (↑), giá trị tại đầu vào D được chốt vào Q.
- Vì tại V2, D = 0 khi có cạnh lên của CLK → Q = 0, \bar{Q} = 1 (Trạng thái "Xóa").

Kết luận:

- **Tại V1:** Flip-Flop D ghi nhận giá trị "1" từ D và truyền vào Q (Q = 1, \bar{Q} = 0).
- **Tại V2:** Flip-Flop D ghi nhận giá trị "0" từ D và truyền vào Q (Q = 0, \bar{Q} = 1).

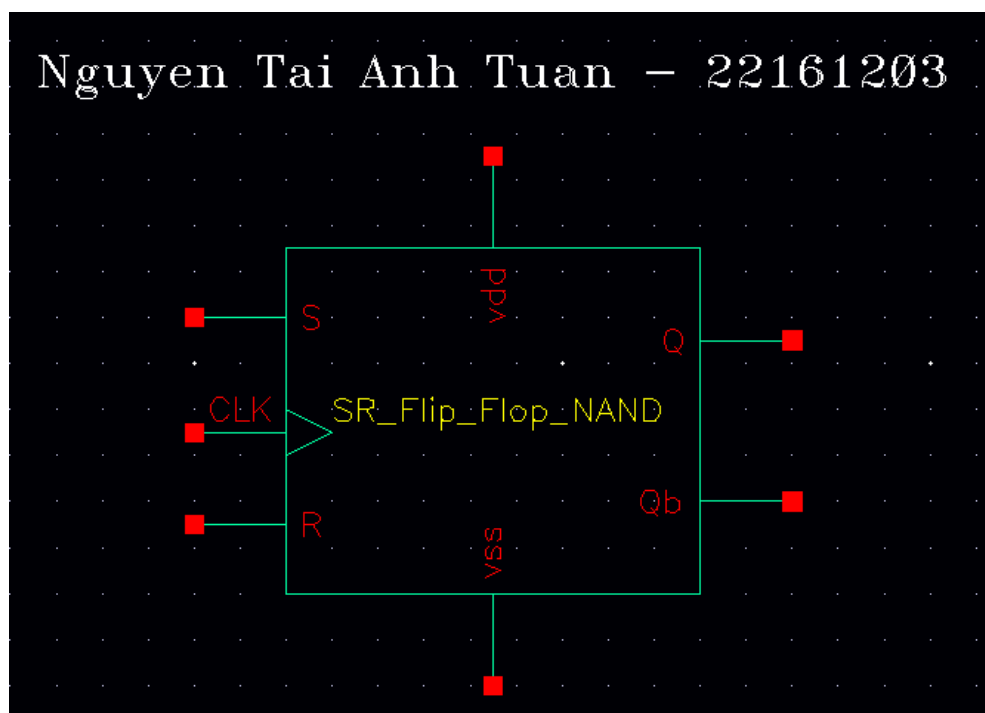
b. Thiết kế và mô phỏng Flip-Flop RS

* Sơ đồ nguyên lý



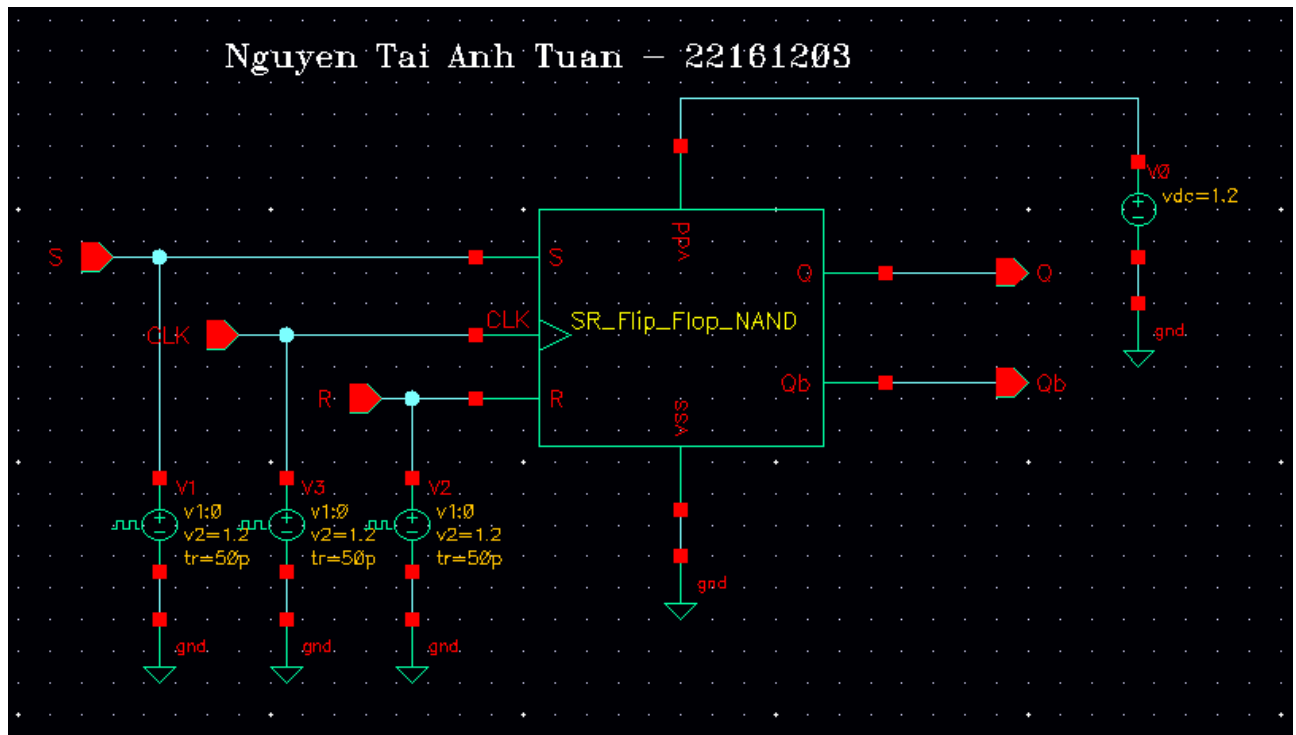
Hình 31. Mạch nguyên lý Flip – Flop SR

* Đóng gói



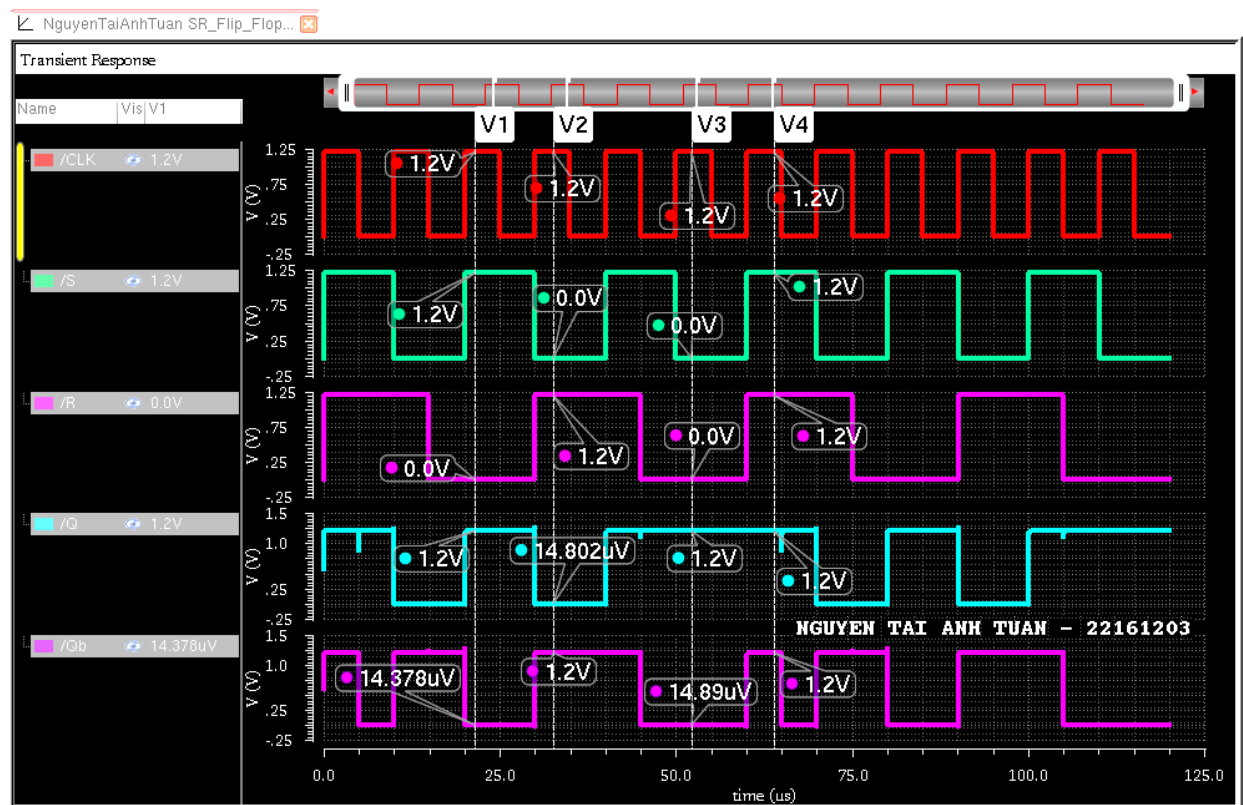
Hình 32. Đóng gói Flip – Flop SR

* Mô phỏng



Hình 33. Mạch mô phỏng Flip – Flop SR

* Kết quả mô phỏng



Hình 34. Dạng sóng mô phỏng Flip – Flop SR

*** Bảng trạng thái**

| E | S | R | Q | Q_{next} | Q_{next}' |
|-----|-----|-----|-----|------------|-------------|
| 0 | × | × | 0 | 0 | 1 |
| 0 | × | × | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 1 | 0 |
| 1 | 0 | 1 | × | 0 | 1 |
| 1 | 1 | 0 | × | 1 | 0 |
| 1 | 1 | 1 | × | 1 | 1 |

Hình 35. Bảng trạng thái Flip – Flop SR

Phân tích dạng sóng tại các điểm V1, V2, V3, V4

– Từ dạng sóng ta có:

- + CLK (Clock - màu đỏ): Xung nhịp điều khiển trạng thái Flip-Flop.
- + S (Set - màu xanh lục): Điều khiển việc đặt Q lên mức 1.
- + R (Reset - màu xanh dương nhạt): Điều khiển việc đặt Q xuống mức 0.
- + Q (màu tím): Đầu ra chính của Flip-Flop.
- + Q' (màu xanh dương đậm): Đầu ra đảo của Flip-Flop.

– Tại V1:

- CLK = 1.2V (đang có xung lên).
- S = 1.2V (được kích hoạt - Set)
- R = 0V (không Reset)
- Q thay đổi từ 0V → 1.2V (Được Set lên 1)
- Q' thay đổi ngược lại (1.2V → 0V).

– Tại V2:

- CLK = 1.2V (xung lên tiếp theo).
- S = 0V (không Set).
- R = 1.2V (được kích hoạt - Reset).
- Q thay đổi từ 1.2V → 0V (Bị Reset về 0)
- Q' thay đổi từ 0V → 1.2V.

– Tại V3

- CLK = 1.2V (xung lên tiếp theo).
- S = 0V, R = 0V (không Set, không Reset).
- Q giữ nguyên trạng thái trước đó (Q = 0 hoặc 1 tùy vào trạng thái trước đó).

- Q' cũng giữ nguyên theo nguyên tắc đảo.

– **Tại V4:**

- CLK = 1.2V (xung lên tiếp theo).
- S = 1.2V, R = 1.2V (trạng thái không xác định).
- Q và Q' trạng thái không hợp lệ.

– **Nhận xét:**

- Mạch Flip-Flop SR hoạt động đúng theo bảng trạng thái.
- **V1** và **V2** là các điểm Set và Reset điển hình.
- **V3** là trạng thái không đổi.
- **V4** là trạng thái cấm khi cả **S** và **R** đồng thời ở mức cao.