



## DA2 SRAM Final - báo cáo đồ án 2 thiết kế SRAM

Senior project 2 computer engineering (Trường Đại học Sư phạm Kỹ Thuật Thành phố Hồ Chí Minh)



Scan to open on Studocu

TRƯỜNG ĐẠI HỌC SƯ PHẠM KỸ THUẬT THÀNH PHỐ HỒ CHÍ MINH  
KHOA ĐIỆN ĐIỆN TỬ  
BỘ MÔN KỸ THUẬT MÁY TÍNH – VIỄN THÔNG



ĐỒ ÁN 2

## THIẾT KẾ BỘ NHỚ SRAM CƠ BẢN 64X64

NGÀNH CÔNG NGHỆ KỸ THUẬT ĐIỆN TỬ - VIỄN THÔNG

Sinh viên: **NGUYỄN THỊ BÍCH**  
MSSV: 20161293  
**LÊ THANH HẢI**  
MSSV: 20161310

TP. HỒ CHÍ MINH - 5/2023

TRƯỜNG ĐẠI HỌC SƯ PHẠM KỸ THUẬT THÀNH PHỐ HỒ CHÍ MINH  
KHOA ĐIỆN ĐIỆN TỬ  
BỘ MÔN KỸ THUẬT MÁY TÍNH – VIỄN THÔNG



ĐỒ ÁN 2

## **THIẾT KẾ BỘ NHỚ SRAM CƠ BẢN 64X64**

**NGÀNH CÔNG NGHỆ KỸ THUẬT ĐIỆN TỬ - VIỄN THÔNG**

Sinh viên: **NGUYỄN THỊ BÍCH**  
MSSV: 20161293  
**LÊ THANH HẢI**  
MSSV: 20161310

TP. HỒ CHÍ MINH - 5/2023

# PHÊ DUYỆT CỦA GIẢNG VIÊN HƯỚNG DẪN

# LỜI CẢM ƠN

Để hoàn thành đề tài nghiên cứu này, lời đầu tiên nhóm thực hiện đề tài xin gửi lời cảm ơn chân thành đến TS. PHAN VĂN CA, giảng viên Bộ môn Kỹ thuật Máy tính – Viễn thông trường Đại học Sư phạm Kỹ thuật Thành phố Hồ Chí Minh, người đã theo sát và tận tình hướng dẫn nhóm thực hiện đề tài trong suốt quá trình thực hiện đồ án.

Đồng thời, nhóm thực hiện đề tài xin gửi lời cảm ơn đến các quý thầy cô trường Đại học Sư phạm Kỹ thuật Thành phố Hồ Chí Minh nói chung, cũng như các thầy cô trong khoa Điện – Điện tử nói riêng đã giảng dạy, hướng dẫn những kiến thức đại cương và chuyên ngành giúp nhóm thực hiện đề tài có những kiến thức cơ bản để vận dụng lý thuyết vào thực tiễn, dễ dàng hơn khi thực hiện đồ án này.

Trong quá trình nghiên cứu đề tài, do kiến thức về chuyên ngành còn hạn chế nên nhóm thực hiện đề tài không thể tránh khỏi những sai sót khi tìm hiểu, phân tích và trình bày đồ án. Nhóm thực hiện đề tài rất mong nhận được sự cảm thông và quan tâm, góp ý từ Thầy để đề tài được đầy đủ, hoàn chỉnh hơn.

Xin chân thành cảm ơn!

# MỤC LỤC

<b>DANH MỤC HÌNH</b> .....	7
<b>DANH MỤC BẢNG</b> .....	9
<b>CÁC TỪ VIẾT TẮT</b> .....	10
<b>CHƯƠNG 1: TỔNG QUAN</b> .....	1
1.1 GIỚI THIỆU .....	1
1.2 MỤC TIÊU NGHIÊN CỨU.....	1
1.3 ĐỐI TƯỢNG VÀ PHẠM VI NGHIÊN CỨU .....	1
1.4 PHƯƠNG PHÁP NGHIÊN CỨU.....	2
1.5 BỐ CỤC ĐỀ TÀI.....	2
<b>CHƯƠNG 2: CƠ SỞ LÝ THUYẾT</b> .....	4
2.1 TỔNG QUAN VỀ BỘ NHỚ SRAM .....	4
2.1.1 Khái niệm .....	4
2.1.2 Đặc điểm .....	5
2.1.3 Ứng dụng.....	5
2.2 Ô NHỚ SRAM.....	5
2.2.1 Ô nhớ SRAM 4T .....	5
2.2.2 Ô nhớ SRAM 6T .....	8
2.2.3 Ô nhớ SRAM 7T .....	11
2.2.4 Lựa chọn ô nhớ.....	15
2.3 MẠCH NẠP TRƯỚC .....	20
2.3.1 Cấu tạo .....	20
2.3.2 Nguyên lý hoạt động .....	20
2.3.3 Mô phỏng .....	21
2.4 MẠCH GHI.....	22
2.4.1 Cấu tạo .....	22
2.4.2 Nguyên lý hoạt động .....	23

2.4.3 Mô phỏng .....	24
2.5 MẠCH ĐỌC .....	25
2.5.1 Cấu tạo .....	25
2.5.2 Nguyên lý hoạt động .....	26
2.5.3 Mô phỏng .....	27
2.6 MẠCH GIẢI MÃ .....	28
2.6.1 Cấu tạo .....	28
2.6.2 Nguyên lý hoạt động .....	29
2.6.3 Mô phỏng .....	31
<b>CHƯƠNG 3: XÂY DỰNG VÀ THIẾT KẾ MÔ HÌNH SRAM .....</b>	<b>34</b>
3.1 YÊU CẦU THIẾT KẾ .....	34
3.2 THIẾT KẾ SƠ ĐỒ KHỐI CỦA BỘ NHỚ.....	34
3.3 SƠ ĐỒ CHI TIẾT TOÀN MẠCH .....	35
<b>CHƯƠNG 4: KẾT QUẢ.....</b>	<b>36</b>
4.1 MÔ PHỎNG MẠCH TRÊN CADENCE .....	<b>36</b>
<b>CHƯƠNG 5: KẾT LUẬN VÀ HƯỚNG PHÁT TRIỂN.....</b>	<b>39</b>
5.1 KẾT LUẬN.....	39
5.2 HƯỚNG PHÁT TRIỂN .....	39
<b>TÀI LIỆU THAM KHẢO .....</b>	<b>40</b>

# DANH MỤC HÌNH

Hình 2.1: Hình ảnh hiển vi của mạch SRAM .....	4
Hình 2.2: Ô nhớ SRAM 4T .....	5
Hình 2.3: Dạng sóng mô tả chế độ đọc và ghi của ô nhớ SRAM 4T .....	6
Hình 2.4: Sơ đồ nguyên lý của ô nhớ SRAM 4T .....	7
Hình 2.5: Đóng gói ô nhớ SRAM 4T .....	7
Hình 2. 6: Dạng sóng mô phỏng của ô nhớ SRAM 4T .....	8
Hình 2.7: Ô nhớ SRAM 6T .....	8
Hình 2.8: Dạng sóng mô tả chế độ đọc và ghi của ô nhớ SRAM 6T .....	9
Hình 2. 9: Sơ đồ nguyên lý của ô nhớ SRAM 6T .....	10
Hình 2.10: Đóng gói ô nhớ SRAM 6T .....	10
Hình 2.11: Mô phỏng dạng sóng của ô nhớ SRAM 6T .....	11
Hình 2.12: Ô nhớ SRAM 7T .....	11
Hình 2.13: Sơ đồ nguyên lý của ô nhớ SRAM 7T .....	13
Hình 2.14: Đóng gói ô nhớ SRAM 7T .....	13
Hình 2.15: Dạng sóng mô phỏng của ô nhớ SRAM 7T .....	14
Hình 2.16: Độ trễ lan truyền low to high của ô nhớ SRAM 4T .....	15
Hình 2.17: Đo độ trễ lan truyền high to low của ô nhớ SRAM 4T .....	15
Hình 2.18: Mô phỏng công suất của ô nhớ 4T .....	16
Hình 2.19: Độ trễ lan truyền low to high của ô nhớ SRAM 6T .....	16
Hình 2.20: Đo độ trễ lan truyền high to low của ô nhớ SRAM 6T .....	17
Hình 2.21: Mô phỏng công suất của ô nhớ SRAM 6T .....	17
Hình 2.22: Đo độ trễ lan truyền low to high của ô nhớ SRAM 7T .....	18
Hình 2.23: Đo độ trễ lan truyền high to low của ô nhớ SRAM 7T .....	18
Hình 2.24: Mô phỏng công suất ô nhớ SRAM 7T .....	19
Hình 2.25: Cấu tạo mạch nạp trước .....	20
Hình 2.26: Sơ đồ nguyên lý của mạch nạp trước .....	21



Hình 2.27: Đóng gói mạch nạp trước.....	21
Hình 2.28: Dạng sóng mô phỏng của mạch nạp trước.....	22
Hình 2.29: Cấu tạo của mạch ghi.....	22
Hình 2.30: Sơ đồ nguyên lý của mạch ghi.....	24
Hình 2.31: Đóng gói mạch ghi.....	24
Hình 2.32: Dạng sóng mô phỏng mạch ghi .....	25
Hình 2.33: Cấu tạo mạch đọc.....	26
Hình 2.34: Sơ đồ nguyên lý của mạch đọc .....	27
Hình 2.35: Đóng gói mạch đọc .....	27
Hình 2.36: Dạng sóng mô phỏng mạch đọc.....	28
Hình 2.37: Mạch giải mã 6 sang 64 .....	29
Hình 2.38: Sơ đồ nguyên lý mạch giải mã 64x64.....	31
Hình 2.39: Đóng gói mạch giải mã 64x64 .....	31
Hình 2.40: Mô phỏng dạng sóng ngõ vào của mạch giải mã 64x64.....	32
Hình 2. 41: Mô phỏng dạng sóng ngõ ra của mạch giải mã 64x64 .....	32
 Hình 3.1: Sơ đồ khối của bộ nhớ.....	 34
Hình 3.2: Sơ đồ kết nối các thành phần của bộ nhớ .....	35
 Hình 4.1: Sơ đồ nguyên lý bộ nhớ SRAM 64x64.....	 36
Hình 4.2: Đóng gói bộ nhớ SRAM 64x64 .....	36
Hình 4.3: Mô phỏng dạng sóng vào của bộ nhớ SRAM 64x64.....	37
Hình 4.4: Mô phỏng dạng sóng ra của bộ nhớ SRAM 64x64 .....	37

## DANH MỤC BẢNG

Bảng 2.1: So sánh độ trễ lan truyền và công suất của ô nhớ SRAM 4T, 6T, 7T.....	19
Bảng 2.2: Bảng trạng thái của mạch ghi SRAM.....	23
Bảng 2.3: Bảng sự thật mạch giải mã 6 sang 64 có ngõ vào cho phép tích cực cao	29

# CÁC TỪ VIẾT TẮT

RAM: Random Access Memory

CPU: Central Processing Unit

FPGA : Field-Programmable Gate Array

# CHƯƠNG 1: TỔNG QUAN

## 1.1 GIỚI THIỆU

Bộ nhớ đệm là một bộ nhớ tạm thời có tốc độ rất cao, thường được chế tạo bằng SRAM. SRAM là một loại bộ nhớ tĩnh được sử dụng để lưu trữ các dữ liệu mà bộ xử lý trung tâm sử dụng thường xuyên. Một máy tính có thể truy xuất dữ liệu thường xuyên sử dụng nhanh chóng sẽ thể làm tăng tốc độ hoạt động của máy tính. Do đó, SRAM có vai trò quan trọng trong bộ nhớ đệm của máy tính.

Nhằm tìm hiểu kiến trúc của bộ nhớ SRAM cũng như các phương pháp cải thiện tốc độ, bằng những kiến thức đã học, tham khảo và tìm hiểu nhu cầu thực tế, nhóm thực hiện đề tài quyết định chọn đề tài: “Thiết kế mạch SRAM cơ bản 64x64”.

## 1.2 MỤC TIÊU NGHIÊN CỨU

Tìm hiểu và thiết kế một bộ nhớ SRAM 64x64 với khả năng lưu trữ 4096 bit, mô phỏng được hoạt động đọc – ghi của bộ nhớ. Đánh giá công suất để lựa chọn phương án thiết kế tối ưu cho bộ nhớ.

## 1.3 ĐỐI TƯỢNG VÀ PHẠM VI NGHIÊN CỨU

**Đối tượng nghiên cứu:** Nghiên cứu các thành phần cấu tạo nên bộ nhớ SRAM 64x64, bao gồm: Ô nhớ SRAM (Cell 4T, 6T, 7T), mạch nạp trước (Pre-charge), mạch đọc (Sense amplifier), mạch ghi (Write – driver) và mạch giải mã 6 sang 64 (Decoder 6 to 64).

**Phạm vi nghiên cứu:** Mô phỏng, đánh giá công suất bộ nhớ SRAM cơ bản 64x64 sử dụng phần mềm Cadence với công nghệ Samsung 130nm.

## **1.4 PHƯƠNG PHÁP NGHIÊN CỨU**

Phân tích, đánh giá ưu điểm, nhược điểm các kiến trúc ô nhớ SRAM 4T, 6T, 7T. Từ đó lựa chọn ra kiến trúc phù hợp cho ô nhớ của bộ nhớ.

Nghiên cứu, lựa chọn phương án thiết kế tối ưu cho mạch nạp trước, mạch đọc, mạch ghi và mạch giải mã, từ đó mô phỏng các khối này.

Xây dựng, lắp ráp bộ nhớ SRAM từ các khối đã được mô phỏng, đảm bảo tốc độ, độ chính xác tối ưu nhất.

## **1.5 BỐ CỤC ĐỀ TÀI**

### **Chương 1: Giới thiệu**

Tìm hiểu tổng quan về bộ nhớ SRAM trong bộ nhớ đệm, kèm theo mục tiêu và giới hạn đề tài

### **Chương 2: Cơ sở lý thuyết**

Trình bày cơ sở lý thuyết về bộ nhớ SRAM, ô nhớ SRAM (Cell 4T, 6T, 7T), mạch nạp trước (Pre-charge), mạch đọc (Sense amplifier), mạch ghi (Write – driver) và mạch giải mã 6 sang 64 (Decoder 6 to 64).

### **Chương 3: Thiết kế và xây dựng mô hình SRAM**

Nghiên cứu các yêu cầu, trình tự thiết kế, lựa chọn kiến trúc tối ưu để xây dựng sơ đồ khối, phân tích các khối, đưa ra mạch chi tiết của bộ nhớ SRAM 64x64.

### **Chương 4: Kết quả**

Hình ảnh mô phỏng kết quả hoàn thiện bộ nhớ SRAM 64x64. Từ đó đánh giá công suất toàn mạch.

### **Chương 5: Kết luận và hướng phát triển**

Tổng kết lại những vấn đề đạt được và chưa đạt được của đề tài trong quá trình thực hiện và hướng phát triển, cải thiện đề tài.

## CHƯƠNG 2: CƠ SỞ LÝ THUYẾT

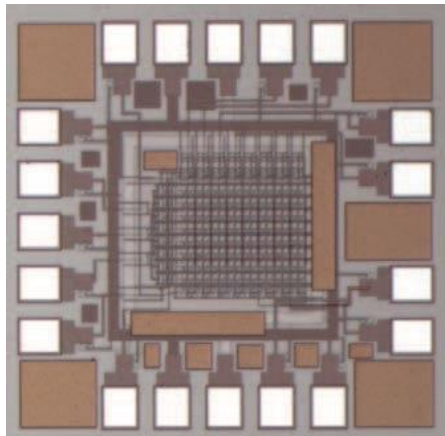
### 2.1 Tổng quan về bộ nhớ SRAM

#### 2.1.1 Khái niệm

RAM là bộ nhớ truy cập ngẫu nhiên, tốc độ truy cập nhanh, có khả năng lưu trữ, truy xuất các dữ liệu ngẫu nhiên và không bị mất khi nguồn điện đang được cấp.

Dựa theo cấu tạo, RAM được chia thành 2 loại, SRAM và DRAM. DRAM lưu trữ dữ liệu trong tụ điện, vì tụ điện bị rò điện nên DRAM cần được làm tươi theo chu kỳ để tránh bị mất dần các bit dữ liệu. Trong khi đó, SRAM có thể lưu giữ các bit dữ liệu trong bộ nhớ khi nguồn điện không bị mất đi nên SRAM không cần làm tươi theo chu kỳ như DRAM.

Cấu trúc của một mạch SRAM cơ bản gồm Mạch nạp trước (Pre – charge), ô nhớ SRAM, mạch ghi (Write – driver), mạch đọc (Sense amplifier), cuối cùng là bộ giải mã hàng và cột. Trong đó bộ giải mã cột có thể có hoặc không tùy theo nhu cầu sử dụng. Hình ảnh hiển vi của mạch SRAM thực tế được mô tả ở hình 2.1.



Hình 2.1: Hình ảnh hiển vi của mạch SRAM

### 2.1.2 Đặc điểm

SRAM chỉ có transistor và biến tần, không có tụ điện nên không cần làm tươi định kỳ.

Các transistor khiến SRAM khá cồng kềnh và đòi hỏi nhiều không gian hơn DRAM.

SRAM có tốc độ truy cập cao hơn đồng thời đòi hỏi điện năng thấp hơn DRAM.

### 2.1.3 Ứng dụng

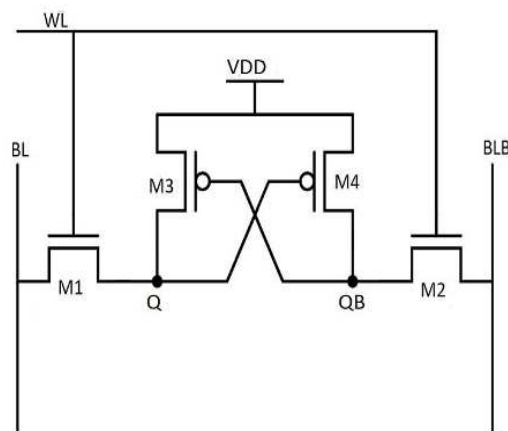
SRAM được sử dụng làm bộ nhớ đệm trong bên trong các CPU. Trong các máy chủ, SRAM có thể được sử dụng làm bộ nhớ đệm và bộ nhớ chính để có hiệu năng tốt nhất

SRAM được sử dụng trong các ứng dụng FPGA để lưu trữ chương trình và dữ liệu tạm thời

## 2.2 Ô nhớ SRAM

### 2.2.1 Ô nhớ SRAM 4T

#### 2.2.1.1 Cấu tạo



Hình 2.2: Ô nhớ SRAM 4T

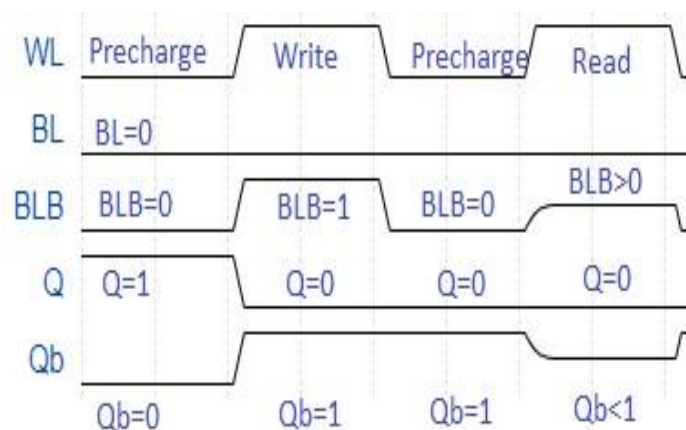
Ô nhớ SRAM 4T được cấu tạo từ 4 transistor CMOS: cặp transistor M3, M4 để lưu trữ trạng thái ô nhớ, cặp transistor M1 và M2 để truy xuất dữ liệu trong ô



nhớ được điều khiển bởi tín hiệu WL. BL và BLB dùng để đọc – ghi giá trị của ô nhớ.

### 2.2.1.2 Nguyên lý hoạt động

#### a) Chế độ đọc



Hình 2.3: Dạng sóng mô tả chế độ đọc và ghi của ô nhớ SRAM 4T

Để đọc tín hiệu từ ô nhớ, các đường bit phải được sạc xuống đất ( $BL = BLB = 0$ ). Khi tín hiệu WL được tích cực  $WL = 1$ , thông qua nMOS mức điện áp 1 được nạp vào nút lưu trữ, nút này sẽ kéo đường bit tương ứng lên mức cao, đường bit còn lại được kéo xuống đất. Mạch đọc có nhiệm vụ kiểm tra mức điện áp của 2 đường bit. Nếu mức điện áp của BL thấp hơn BLB thì ô nhớ đang lưu trữ bit “0”, ngược lại nếu mức điện áp của BL cao hơn BLB thì ô nhớ đang lưu trữ bit “1”.

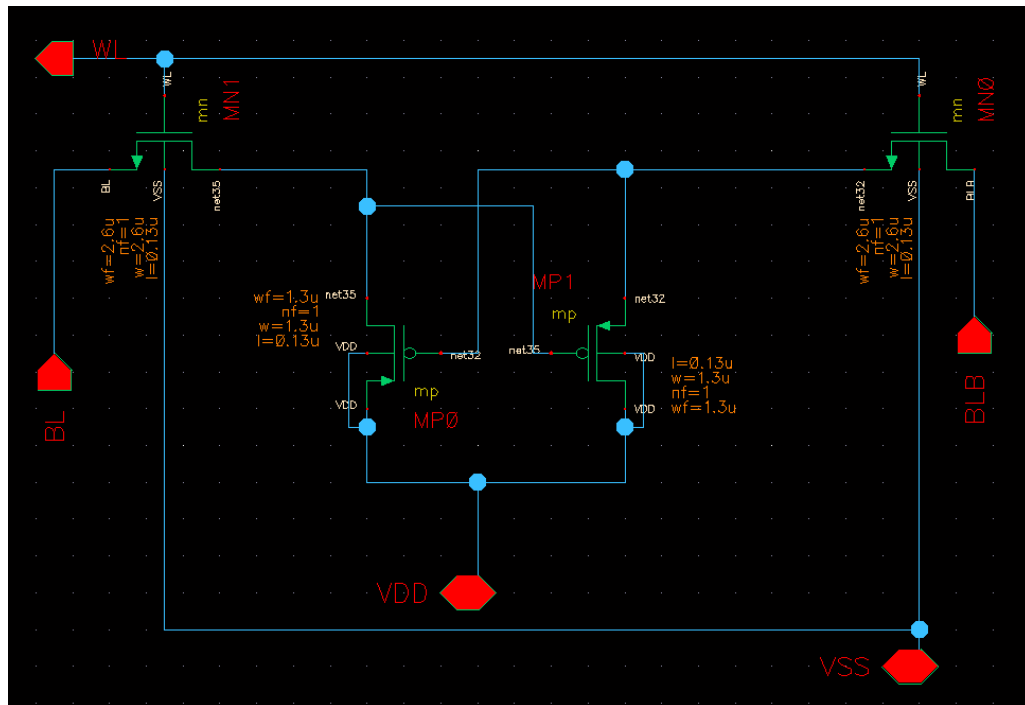
#### b) Chế độ ghi

Để thực hiện chế độ ghi, 2 đường bit phải được nạp mức điện áp ngược nhau. Sau đó WL được tích cực cao  $WL = 1$ , các nMOS M1 và M2 được bật, giá trị của các đường bit sẽ được ghi vào nút lưu trữ Q và QB. Nút đang lưu trữ mức “1” sẽ không hoàn toàn đạt Vdd do sự sụt áp trên nMOS. Sau thao tác ghi, WL lại được

đưa xuống đất để tắt các nMOS, lúc này nút được lưu mức “1” sẽ được kéo lên Vdd đầy đủ thông qua pMOS.

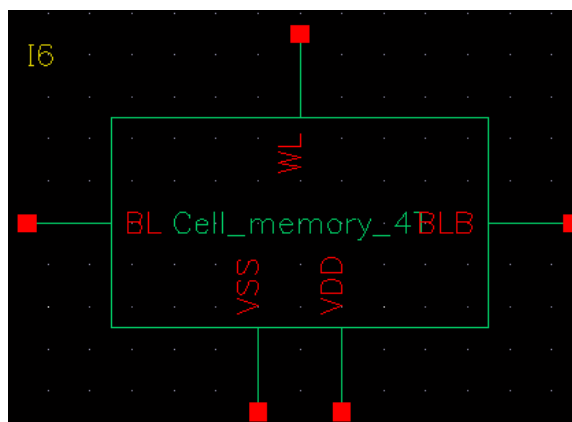
### 2.2.1.3 Mô phỏng

#### a) Sơ đồ nguyên lý



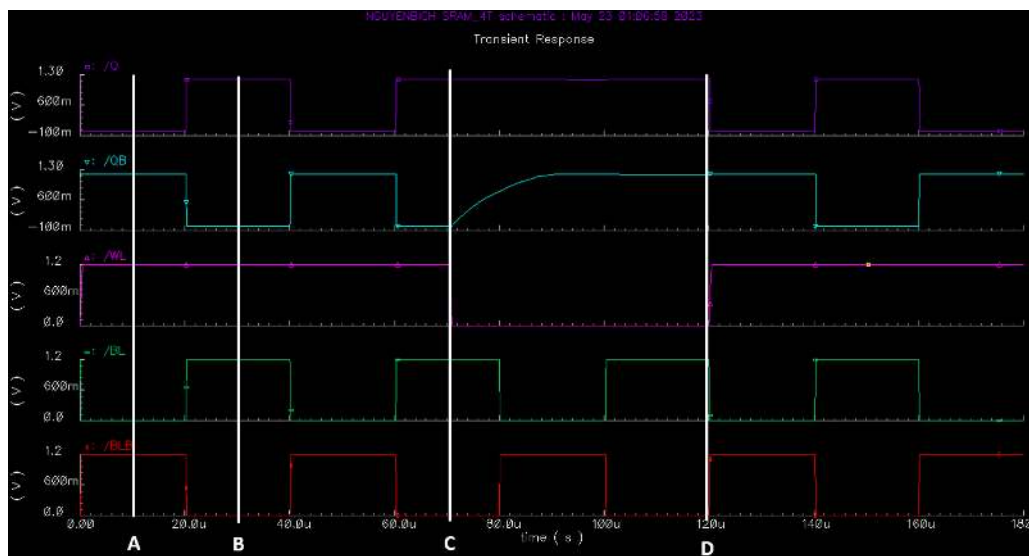
Hình 2.4: Sơ đồ nguyên lý của ô nhớ SRAM 4T

#### b) Đóng gói



Hình 2.5: Đóng gói ô nhớ SRAM 4T

c) *Dạng sóng*

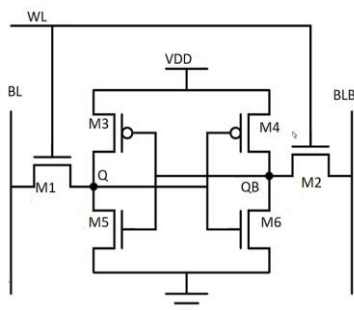


Hình 2. 6: Dạng sóng mô phỏng của ô nhớ SRAM 4T

Theo hình 2.6, khi có tín hiệu  $WL = 1$ , tại A ô nhớ lưu trữ giá trị “0” tương ứng với  $BL = 0$ ,  $BLB = 1$ , tại B ô nhớ lưu trữ giá trị “1” tương ứng với  $BL = 1$ ,  $BLB = 0$ . Từ C đến D, khi tín hiệu  $WL$  tắt, không quan tâm đến  $BL$  và  $BLB$ , nút có mức điện áp cao hơn lưu trữ trạng thái trước đó, nút có mức điện áp thấp có xu hướng tăng lên do có dòng điện nạp từ nguồn nạp vào nhưng không có nMOS giữ lại. Dạng sóng mô phỏng đúng với phân tích lý thuyết.

### 2.2.2 Ô nhớ SRAM 6T

#### 2.2.2.1 Cấu tạo

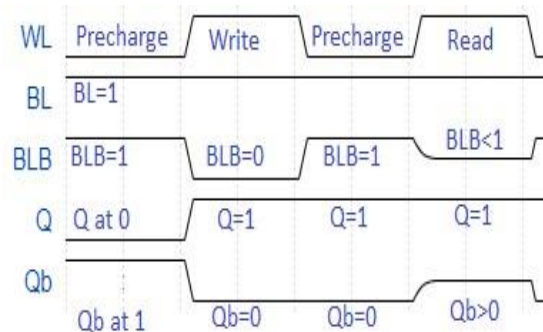


### Hình 2.7: Ô nhớ SRAM 6T

Ô nhớ SRAM 6T được cấu tạo từ 6 transistor CMOS: 4 transistor M3 và M5, M4 và M6 tạo thành cặp inverter dùng để lưu trữ trạng thái ô nhớ, 2 transistor ở hai bên dùng để truy xuất dữ liệu trong ô nhớ được điều khiển bởi tín hiệu WL. BL và BLB dùng để đọc – ghi giá trị của ô nhớ.

#### 2.2.2.2 Nguyên lý hoạt động

##### a) Chế độ đọc



Hình 2.8: Dạng sóng mô tả chế độ đọc và ghi của ô nhớ SRAM 6T

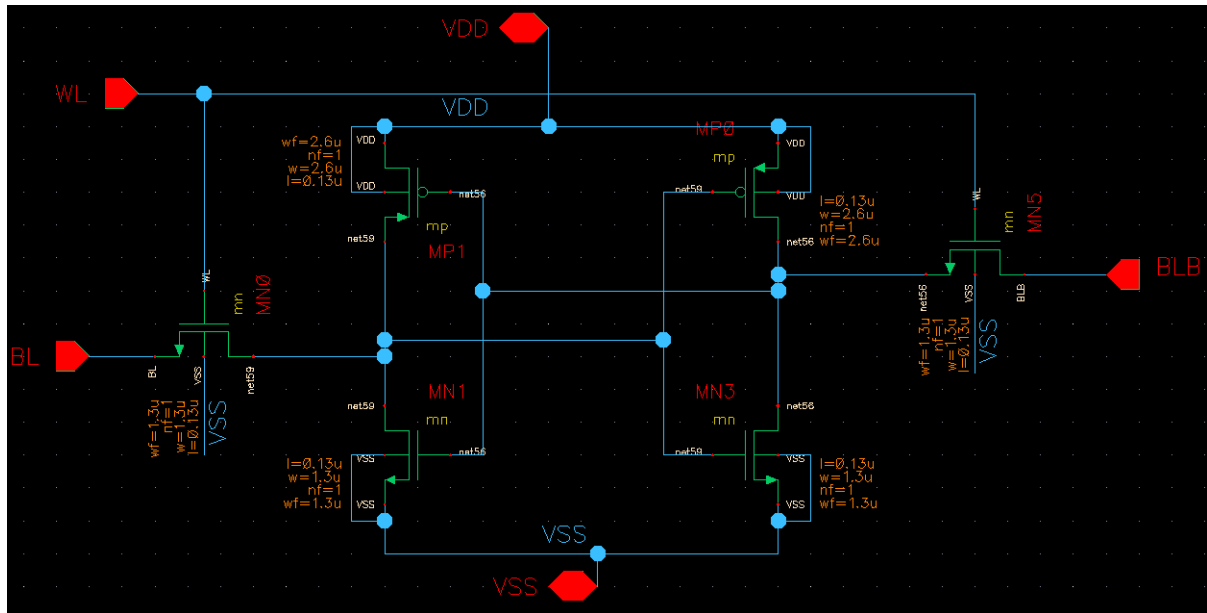
Để thực hiện chế độ đọc, các đường bit phải được sạc trước thả nổi ở mức cao. Mức điện áp tại 2 nút lưu trữ là đối lập nhau, nút có mức điện áp “0” sẽ kéo đường bit tương ứng xuống đất. Khi đó, BL và BLB có mức logic đối lập nhau. Mạch đọc đọc mức logic lưu trữ tại ô nhớ bằng cách kiểm tra trạng thái của 2 đường bit. Nếu BL = 0 và BLB = 1 thì ô nhớ lưu trữ bit “0”, ngược lại nếu BL = 1, BLB = 0 thì ô nhớ lưu trữ bit “1”.

##### b) Chế độ ghi

Để thực hiện chế độ ghi, mạch ghi sẽ phân cực ngược 2 đường bit. Khi có tín hiệu WL = 1, mức logic được nạp từ đường bit vào nút lưu trữ thông qua transistor truy cập M1, M2. Nếu BL = 0 và BLB = 1 thì Q được xả bởi BL xuống 0 và QB được nạp lên 1 bởi BLB, ngược lại nếu BL = 1, BLB = 0 thì Q được nạp lên 1 và QB được xả xuống 0.

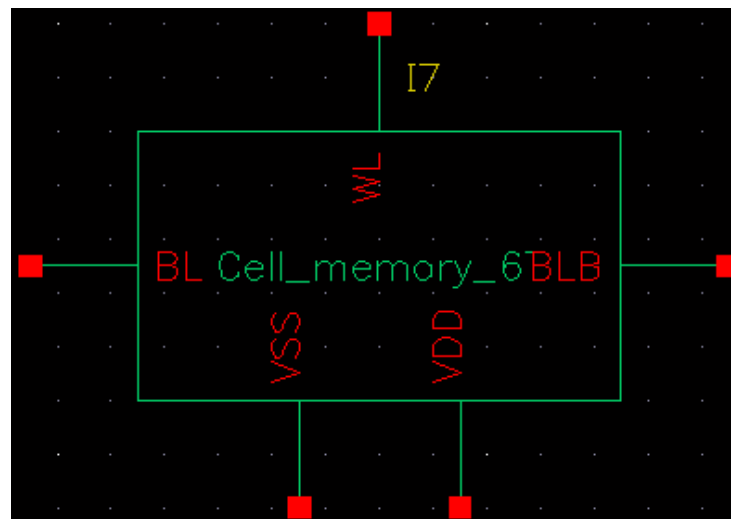
### 2.2.2.3 Mô phỏng

#### a) Sơ đồ nguyên lý



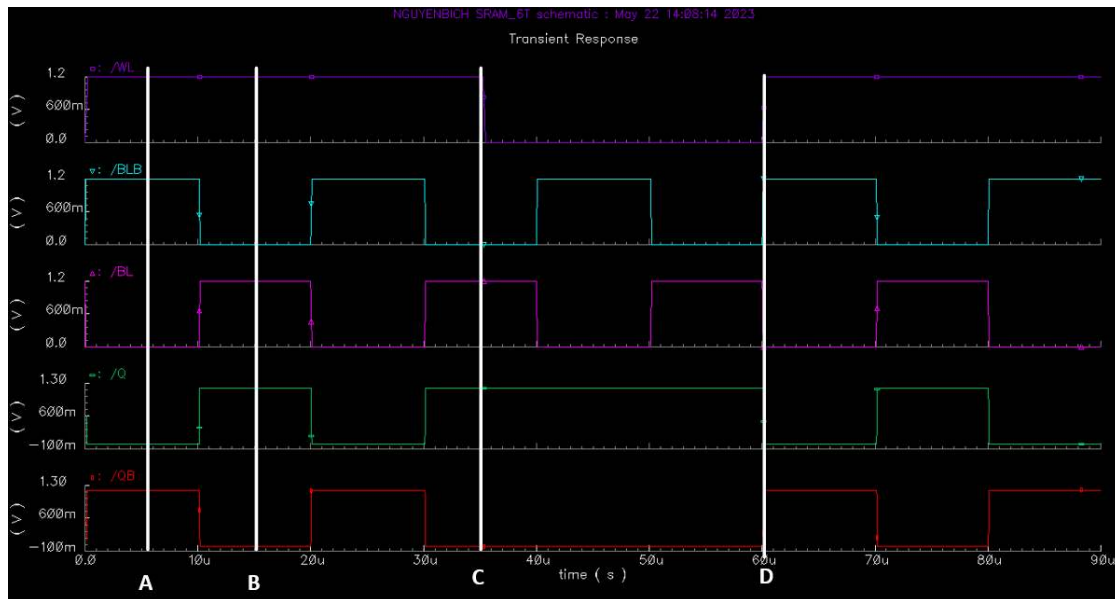
Hình 2. 9: Sơ đồ nguyên lý của ô nhớ SRAM 6T

#### b) Đóng gói



Hình 2.10: Đóng gói ô nhớ SRAM 6T

### c) Dạng sóng

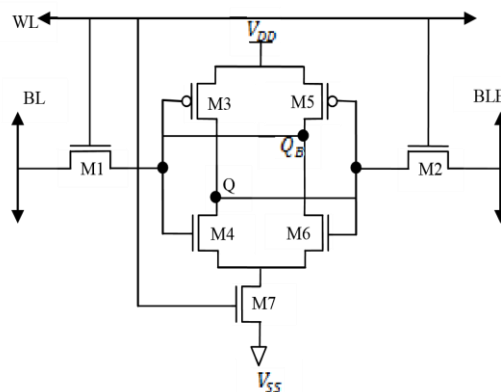


Hình 2.11: Mô phỏng dạng sóng của ô nhớ SRAM 6T

Theo hình 2.15: Khi có tín  $WL = 1$ , tại A ô nhớ lưu trữ giá trị “0” tương ứng với  $BL = 0$ ,  $BLB = 1$ , tại B ô nhớ lưu trữ giá trị “1” tương ứng với  $BL = 1$ ,  $BLB = 0$ . Từ C đến D, Khi tín hiệu  $WL$  tắt, ô nhớ lưu trữ giá trị trước đó mà không quan tâm đến giá trị của  $BL$  và  $BLB$ . Dạng sóng mô phỏng đúng với phân tích lý thuyết.

## 2.2.3 Ô nhớ SRAM 7T

### 2.2.3.1 Cấu tạo



Hình 2.12: Ô nhớ SRAM 7T

Cấu tạo của ô nhớ SRAM 7T tương tự như ô nhớ SRAM 6T, tuy nhiên được bổ sung nMOS ở dưới cùng giúp cách ly với đất, giảm rò rỉ khi ô nhớ hoạt động ở chế độ chờ ( $WL = 0$ ).

### 2.2.3.2 Nguyên lý hoạt động

#### a) Chế độ đọc

Để thực hiện chế độ đọc, 2 đường bit đều được sạc trước thả nổi ở mức cao. Tùy thuộc vào giá trị được lưu trữ trong ô, các dòng bit được sạc hoặc xả, nút có mức logic “0” sẽ kéo đường bit tương ứng xuống đất. Mạch đọc mức logic lưu trữ tại ô nhớ bằng cách kiểm tra trạng thái của 2 đường bit. Nếu  $BL = 0$  và  $BLB = 1$  thì ô nhớ lưu trữ bit “0”, ngược lại nếu  $BL = 1$ ,  $BLB = 0$  thì ô nhớ lưu trữ bit “1”.

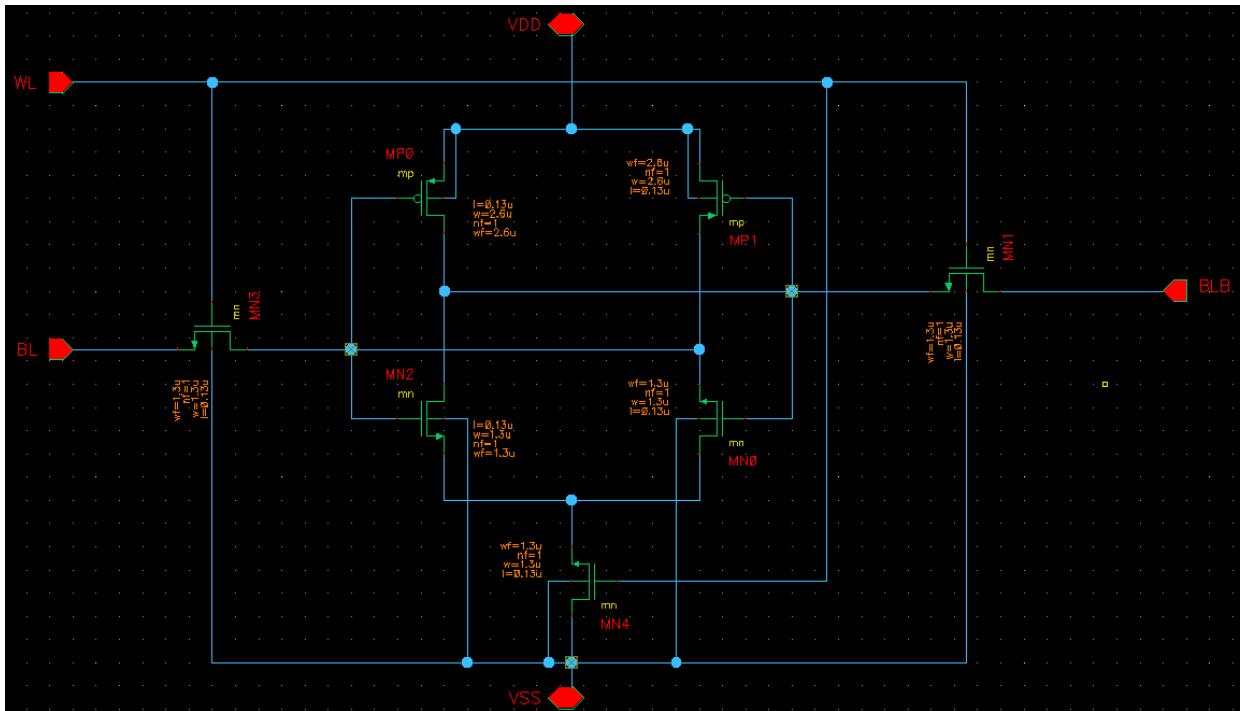
#### b) Chế độ ghi

Để thực hiện chế độ ghi, WL được kết nối với VDD. Sau đó, dữ liệu được ghi được nạp vào các đường bit BL và BLB. Nếu “1” được ghi thì BL được đặt ở mức cao, BLB ở mức thấp. Tương tự, để ghi “0” thì BL được kéo xuống và BLB được kéo lên VDD.

Hoạt động đọc và ghi của SRAM 6T và 7T là tương tự nhau, SRAM 7T là một phương pháp cải tiến giúp giảm lượng dòng rò.

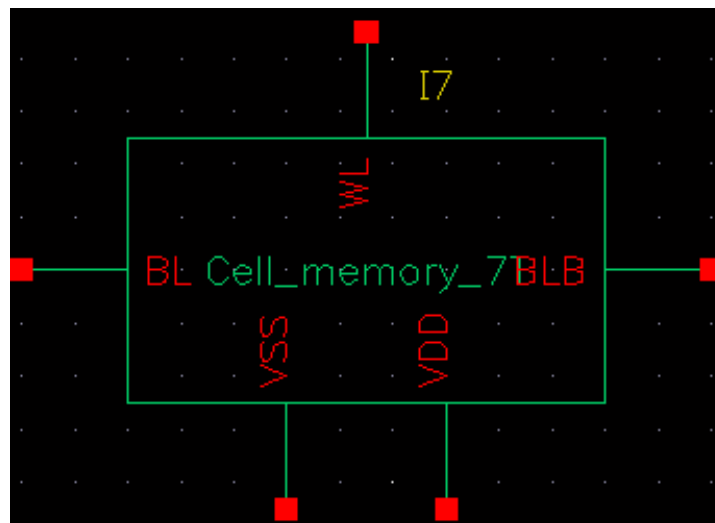
### 2.2.3.3 Mô phỏng

#### a) Sơ đồ nguyên lý



Hình 2.13: Sơ đồ nguyên lý của ô nhớ SRAM 7T

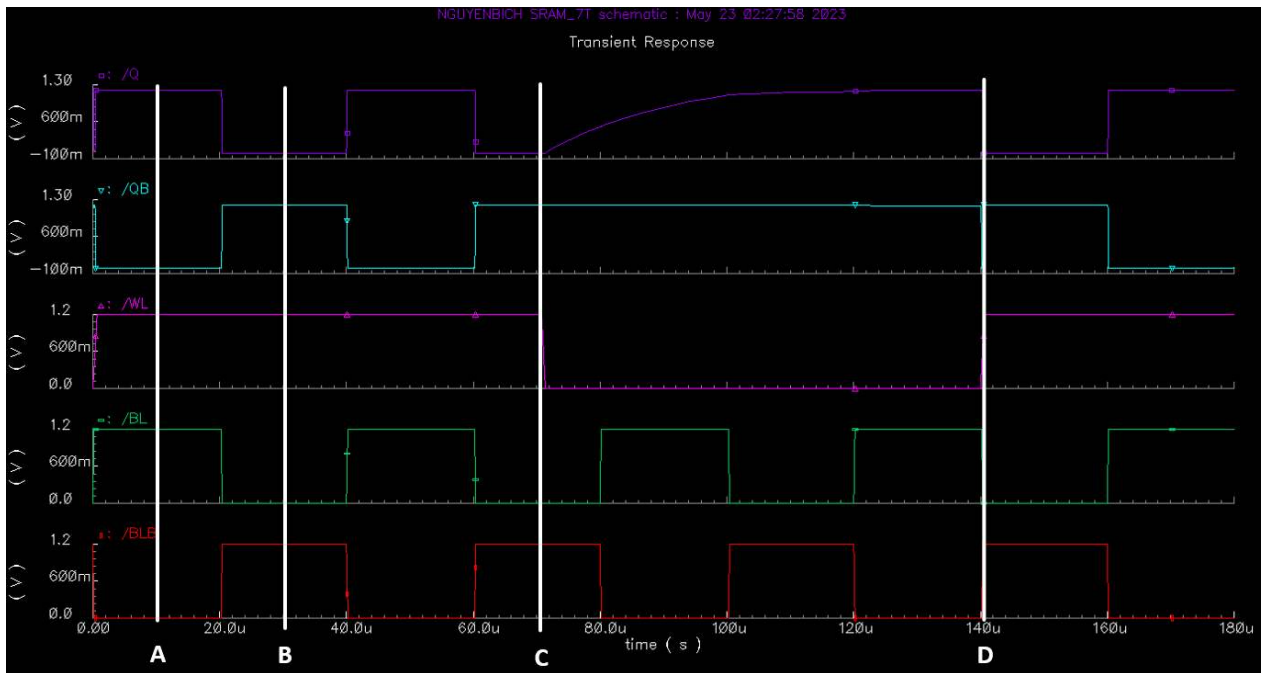
#### b) Đóng gói



Hình 2.14: Đóng gói ô nhớ SRAM 7T



c) *Dạng sóng*

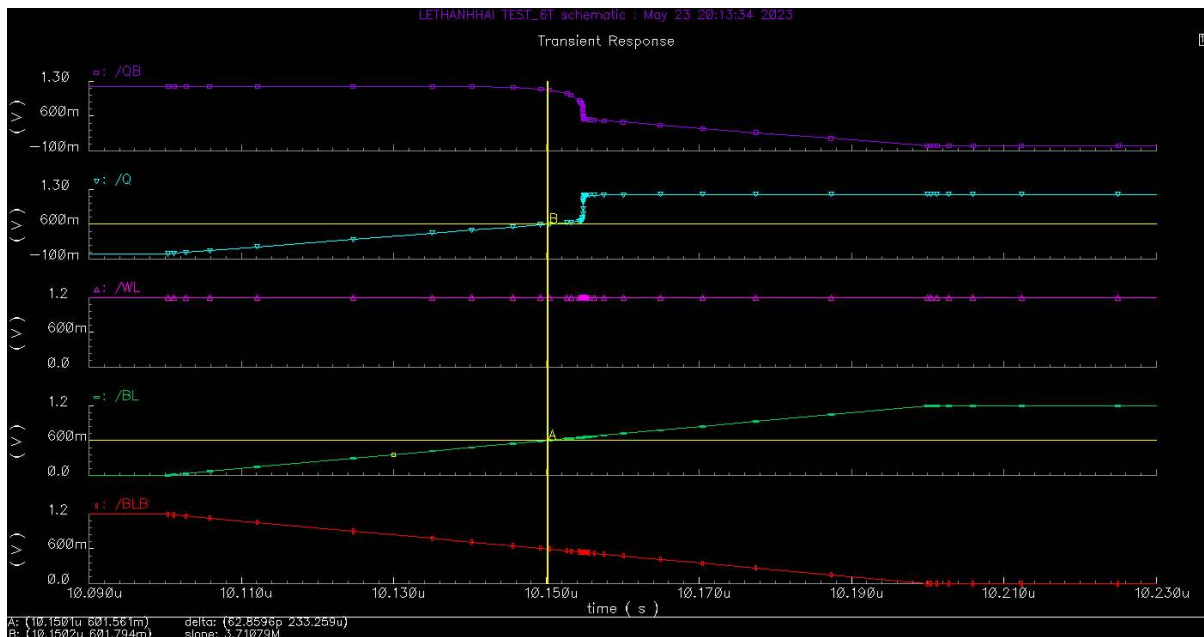


Hình 2.15: Dạng sóng mô phỏng của ô nhớ SRAM 7T

Theo hình 2.15, khi có tín hiệu  $WL = 1$ , tại A ô nhớ lưu trữ giá trị “1” tương ứng với  $BL = 1$ ,  $BLB = 0$ , tại B ô nhớ lưu trữ giá trị “0” tương ứng với  $BL = 0$ ,  $BLB = 1$ . Từ C đến D, Khi tín hiệu  $WL$  tắt, không quan tâm đến  $BL$  và  $BLB$ , nút có mức điện áp cao hơn lưu trữ trạng thái trước đó, nút có mức điện áp thấp có xu hướng tăng lên do có dòng điện nạp từ nguồn nạp vào. Không giống như SRAM 6T, M4 lúc này bị vô hiệu hóa do  $WL$  tắt dẫn đến M7 không hoạt động (hình 2.12). Dạng sóng phân tích đúng với lý thuyết phân tích.

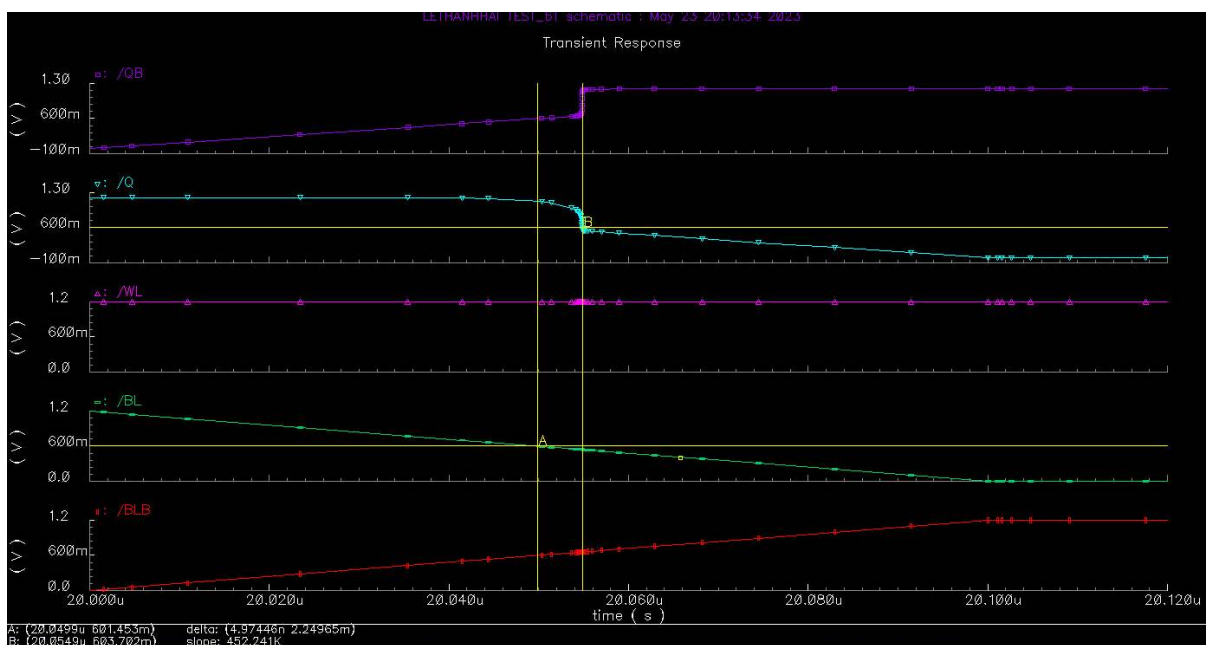
## 2.2.4 Lựa chọn ô nhớ

### a) Công suất, độ trễ lan truyền của ô nhớ SRAM 4T



Hình 2.16: Độ trễ lan truyền low to high của ô nhớ SRAM 4T

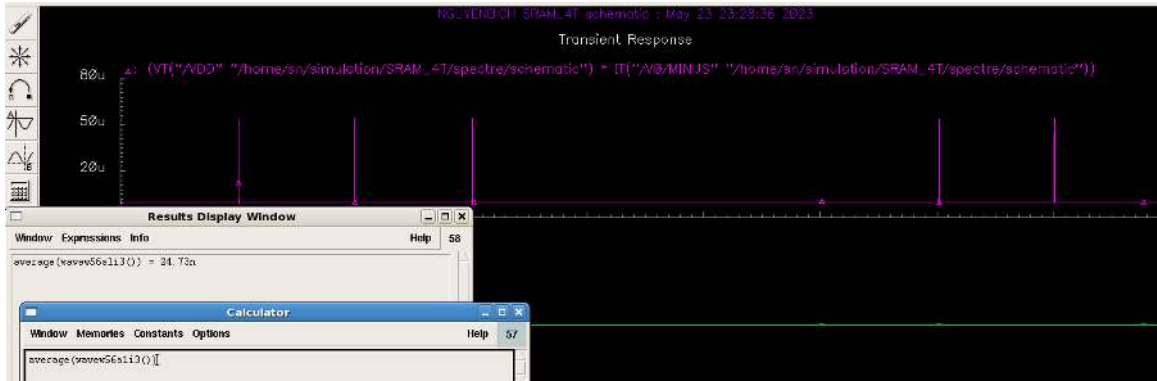
$$T_{pLH_{4T}} = 62.8596\text{ps (hình 2.16)}$$



Hình 2.17: Đo độ trễ lan truyền high to low của ô nhớ SRAM 4T

$$T_{pHL_{4T}} = 4.97446\text{ns (hình 2.17)}$$

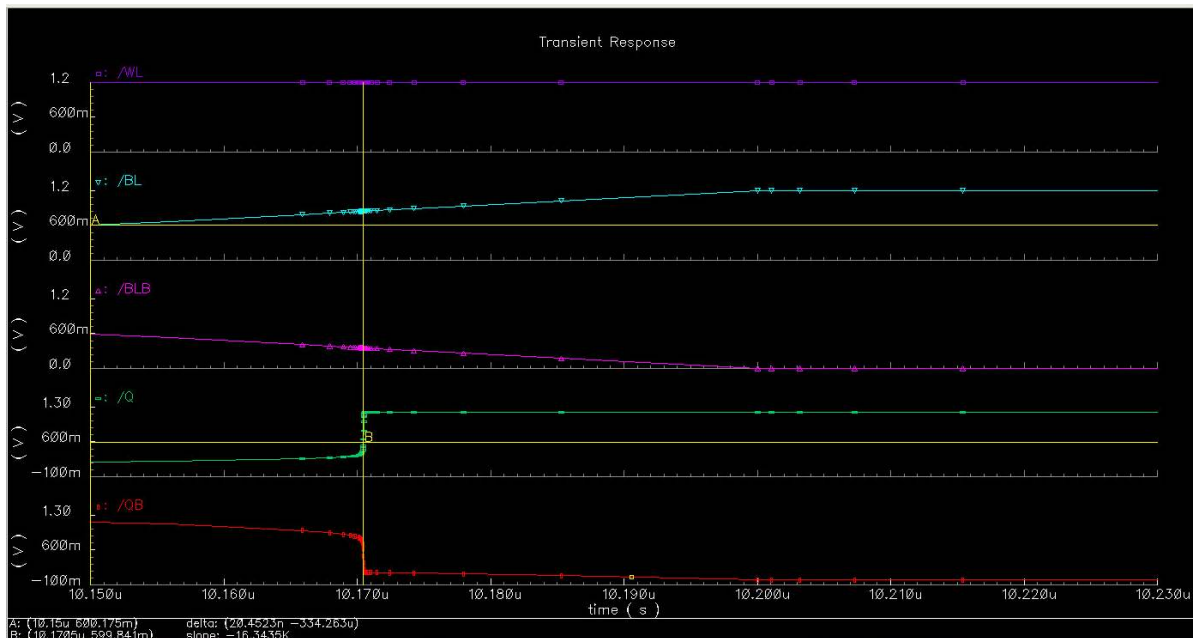
$$T_{p_{4T}} = \frac{T_{pLH_{4T}} + T_{pHL_{4T}}}{2} = \frac{62.8596 \cdot 10^{-3} + 4.97446}{2} = 2.5186598\text{ns}$$



Hình 2.18: Mô phỏng công suất của ô nhớ 4T

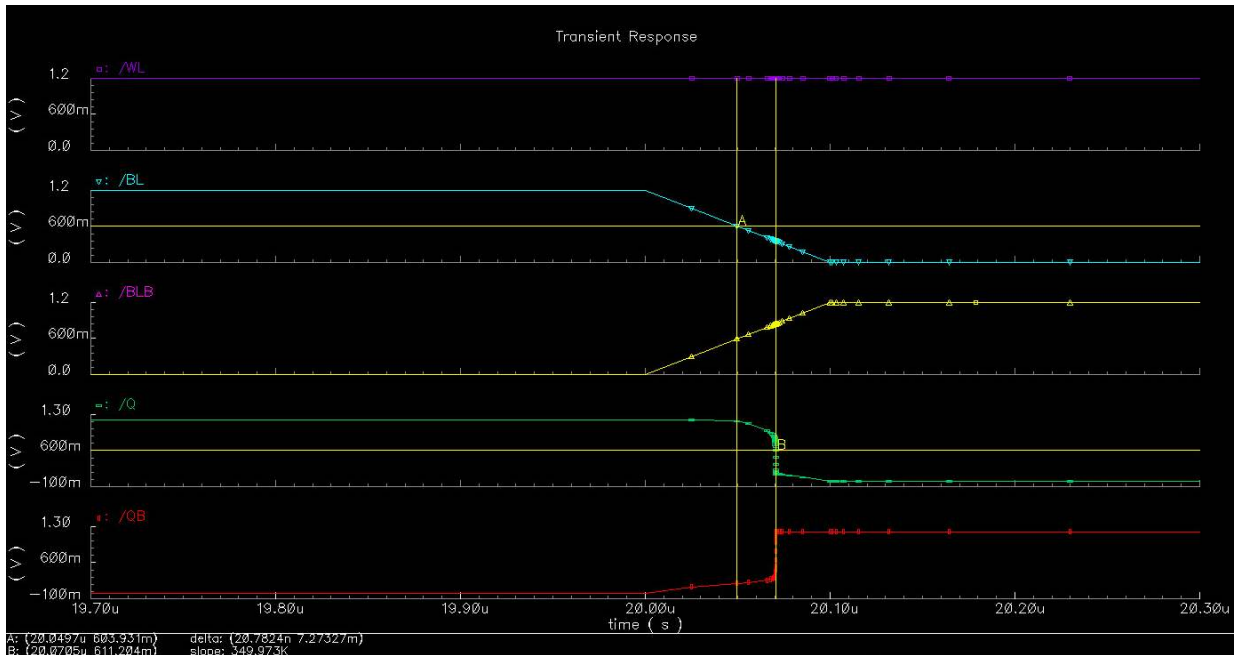
Công suất:  $P_{4T} = 24.73 \text{ nW}$  (hình 2.18)

b) Công suất, độ trễ lan truyền của ô nhớ SRAM 6T



Hình 2.19: Độ trễ lan truyền low to high của ô nhớ SRAM 6T

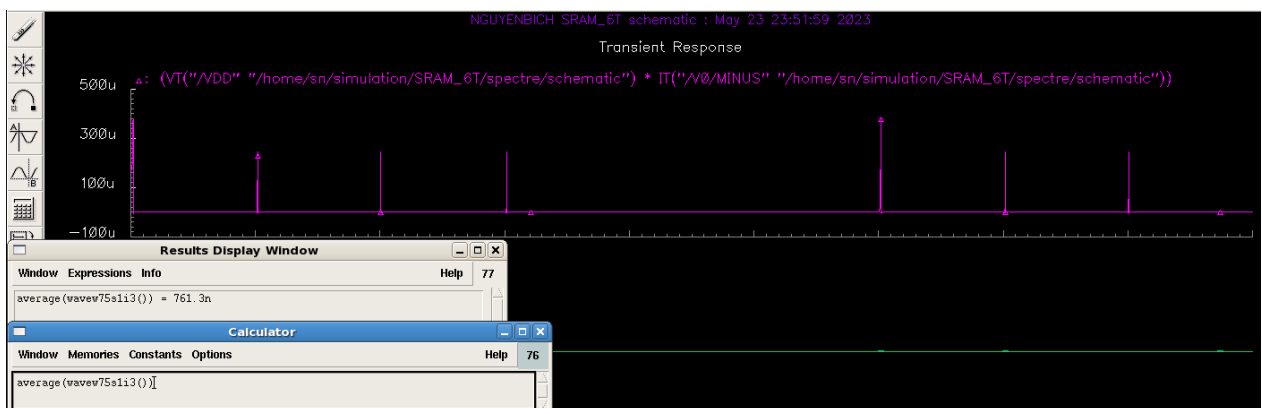
$$T_{pLH_{6T}} = 20,4523\text{ns (hình 2.19)}$$



Hình 2.20: Đo độ trễ lan truyền high to low của ô nhớ SRAM 6T

$$T_{pHL_{6T}} = 20,7824\text{ns (hình 2.20)}$$

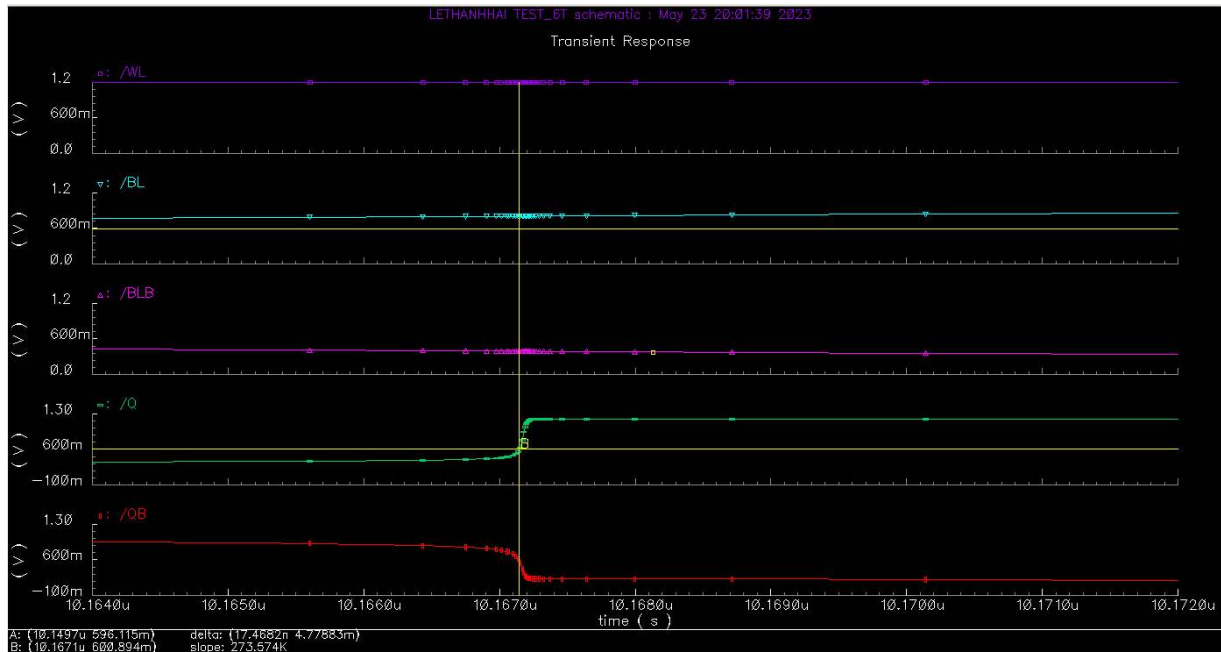
$$T_{p_{6T}} = \frac{T_{pLH_{6T}} + T_{pHL_{6T}}}{2} = \frac{20,4523 + 20,7824}{2} = 20.61735\text{ns}$$



Hình 2.21: Mô phỏng công suất của ô nhớ SRAM 6T

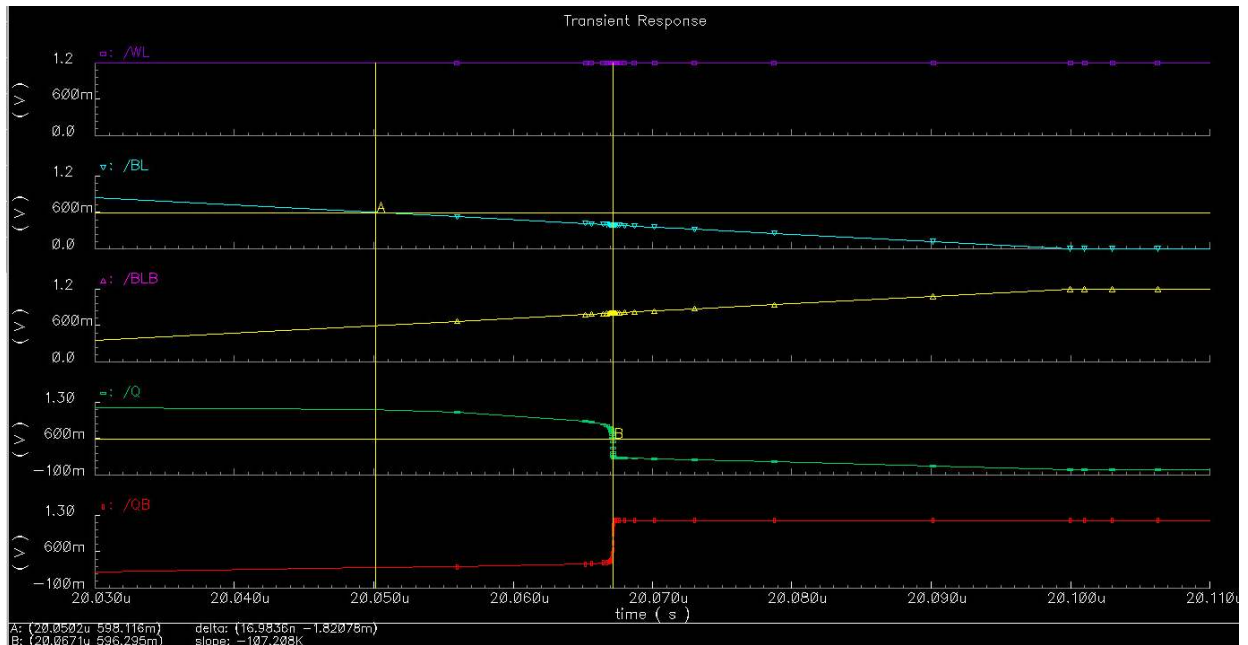
$$\text{Công suất: } P_{6T} = 761.3 \text{ nW (hình 2.21)}$$

c) Công suất, độ trễ lan truyền của ô nhớ SRAM 7T



Hình 2.22: Đo độ trễ lan truyền low to high của ô nhớ SRAM 7T

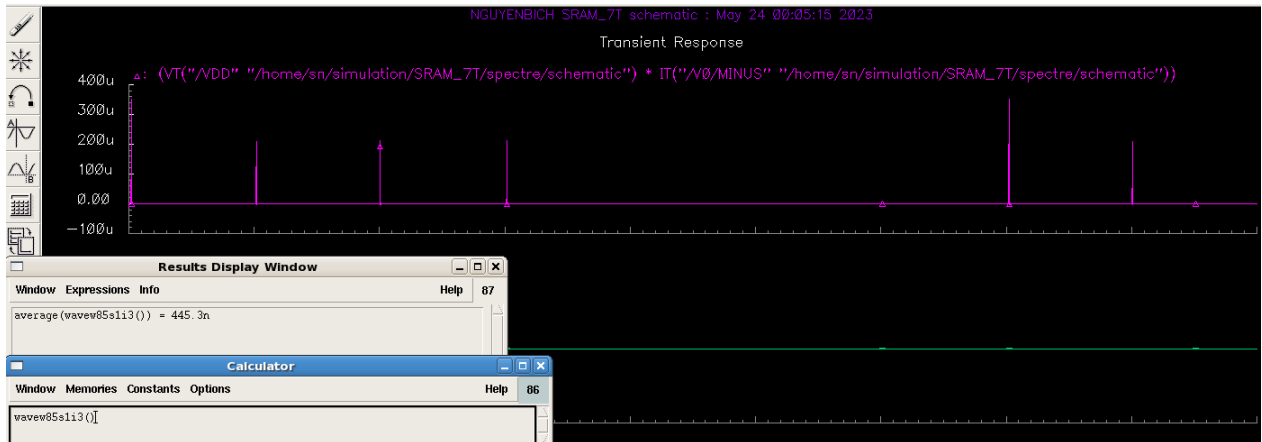
$$T_{pLH_{7T}} = 17,4682\text{ns (hình 2.22)}$$



Hình 2.23: Đo độ trễ lan truyền high to low của ô nhớ SRAM 7T

$$T_{pHL_{7T}} = 16.9836\text{ns (hình 2.23)}$$

$$T_{p_{7T}} = \frac{T_{pLH_{7T}} + T_{pHL_{7T}}}{2} = \frac{17,4682 + 16.9836}{2} = 17.2259\text{ns}$$



Hình 2.24: Mô phỏng công suất ô nhớ SRAM 7T

Công suất:  $P_{7T} = 445.3 \text{ nW}$  (hình 2.24)

d) Đánh giá công suất, độ trễ lan truyền

Bảng 2.1: So sánh độ trễ lan truyền và công suất của ô nhớ SRAM 4T, 6T, 7T

	4T	6T	7T
Độ trễ lan truyền	2.5186598ns	20.61735ns	17.2259ns
Công suất	24.73nW	761.3nW	445.3nW

Theo bảng 2.1, 4T có độ trễ lan truyền, công suất thấp nhất cũng như sử dụng ít transistor nhất nên tối ưu nhất về diện tích. Tuy nhiên SRAM 4T, chỉ hoạt động ở mức điện áp thấp và dễ xảy ra nhiễu, ảnh hưởng tới việc đọc – ghi ô nhớ.

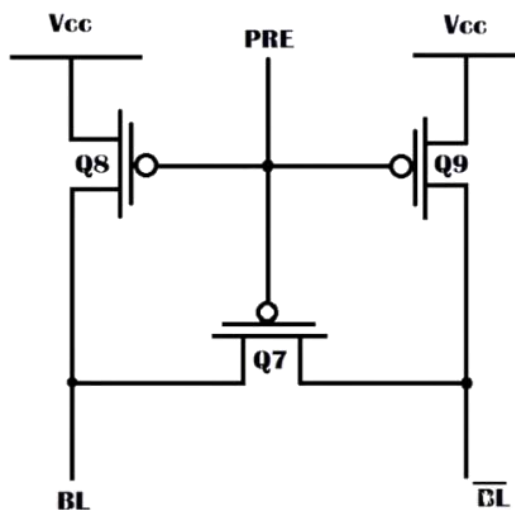
Ô nhớ SRAM 7T là phương pháp tối ưu về công suất của ô nhớ SRAM 6T nên có công suất thấp hơn SRAM 6T, độ trễ của ô nhớ SRAM 7T cũng thấp hơn. Tuy nhiên SRAM 7T sử dụng nhiều transistor hơn nên tiêu tốn diện tích hơn.

Thực tế, người ta thường sử dụng ô nhớ SRAM 6T đảm bảo sự cân bằng về diện tích và hiệu suất.

Vì vậy, ở đồ án môn học này, nhóm thực hiện đề tài thực hiện mô phỏng bộ nhớ SRAM 64x64 sử dụng ô nhớ SRAM 6T.

## 2.3 Mạch nạp trước

### 2.3.1 Cấu tạo



Hình 2.25: Cấu tạo mạch nạp trước

Mạch nạp trước hay còn gọi là mạch pre-charge có chức năng sạc hai đường bit có cùng mức điện áp trước khi chốt địa chỉ. Mạch nạp trước cấu tạo gồm 3 transistor CMOS: Q8, Q9 có nhiệm vụ sạc, Q7 có nhiệm vụ cân bằng điện áp 2 đường bit (hình 2.25).

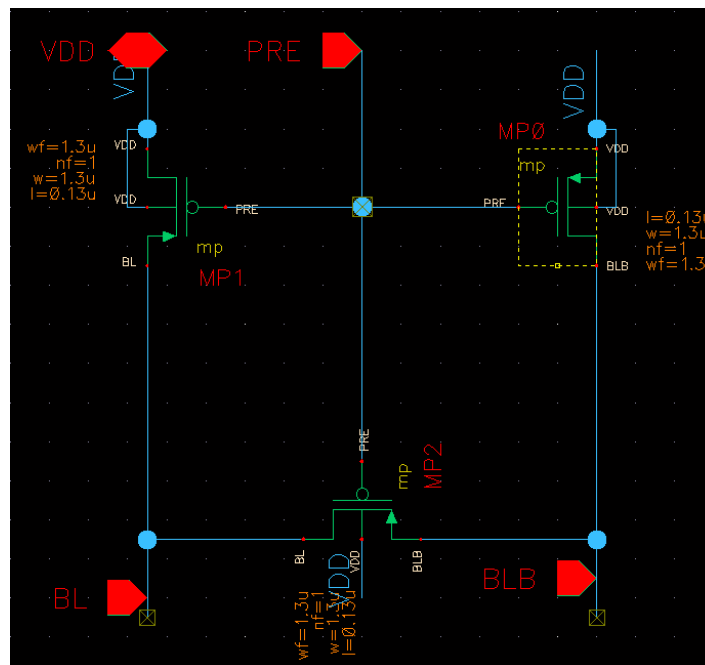
### 2.3.2 Nguyên lý hoạt động

Mạch nạp trước hoạt động khi có tín hiệu  $PRE = 0$ . Khi  $PRE = 0$ , nếu điện áp giữa hai dòng bit chênh lệch nhau thì Q7 sẽ thực hiện việc phóng điện đối với bên có điện áp cao hơn và nạp điện cho bên có điện áp thấp hơn cho đến khi mức điện áp được cân bằng (có giá trị gần bằng nhau). Khoảng thời gian thực hiện việc

phóng và nạp điện này được gọi là giai đoạn sạc trước. Việc truy xuất bộ nhớ chỉ được thực hiện khi kết thúc giai đoạn này.

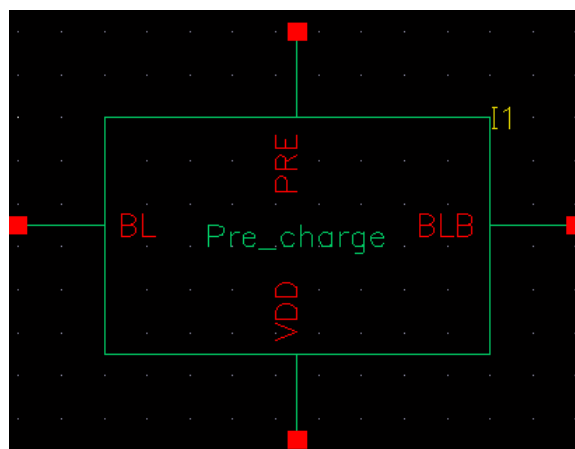
### 2.3.3 Mô phỏng

#### a) Sơ đồ nguyên lý



Hình 2.26: Sơ đồ nguyên lý của mạch nạp trước

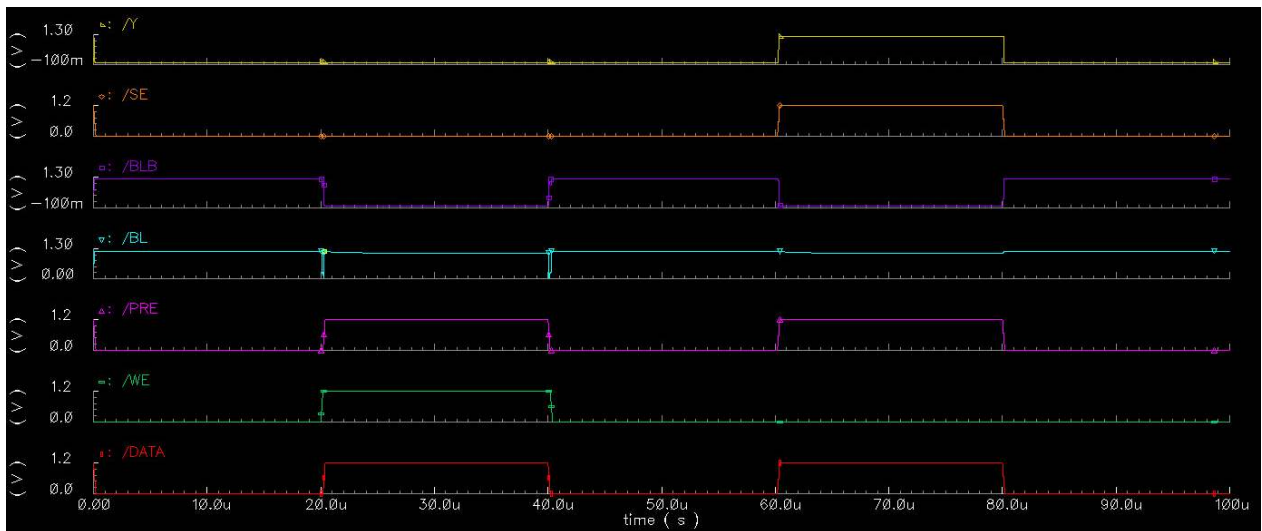
#### b) Đóng gói



Hình 2. 27: Đóng gói mạch nạp trước



### c) Dạng sóng

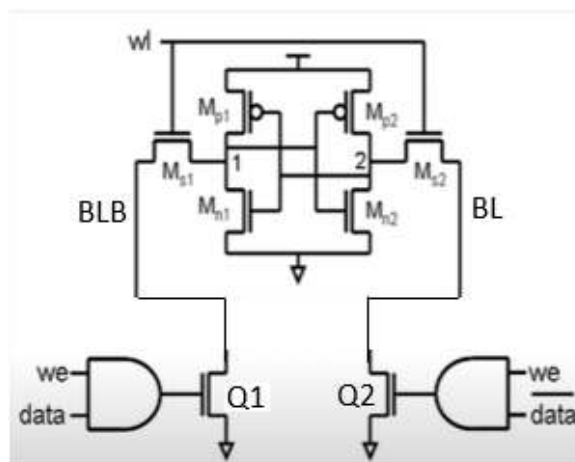


Hình 2.28: Dạng sóng mô phỏng của mạch nạp trước

Theo hình 2.28, tại V1 khi  $PRE = 0$ , hai đường bit được sạc nên lên mức 1. Khi  $PRE = 1$  và  $WE = 1$  (cho phép ghi) hai đường bit BL và BLB có trạng thái đối lập nhau. Khi  $PRE = 1$  và  $SE = 1$  (cho phép đọc) mạch đọc trạng thái trước đó được ghi vào nút nhờ mạch ghi. Dạng sóng mô phỏng ra đúng với lý thuyết phân tích.

## 2.4 Mạch ghi

### 2.4.1 Cấu tạo



Hình 2.29: Cấu tạo của mạch ghi

Mạch ghi hay còn gọi là write driver, gồm 2 tín hiệu vào WE và DATA\_IN, tín hiệu ra là BL và BLB.

#### 2.4.2 Nguyên lý hoạt động

Bảng 2.2: Bảng trạng thái của mạch ghi SRAM

WE	DATA_IN	BL	BLB
0	X	Q	QB
1	0	0	1
1	1	1	0

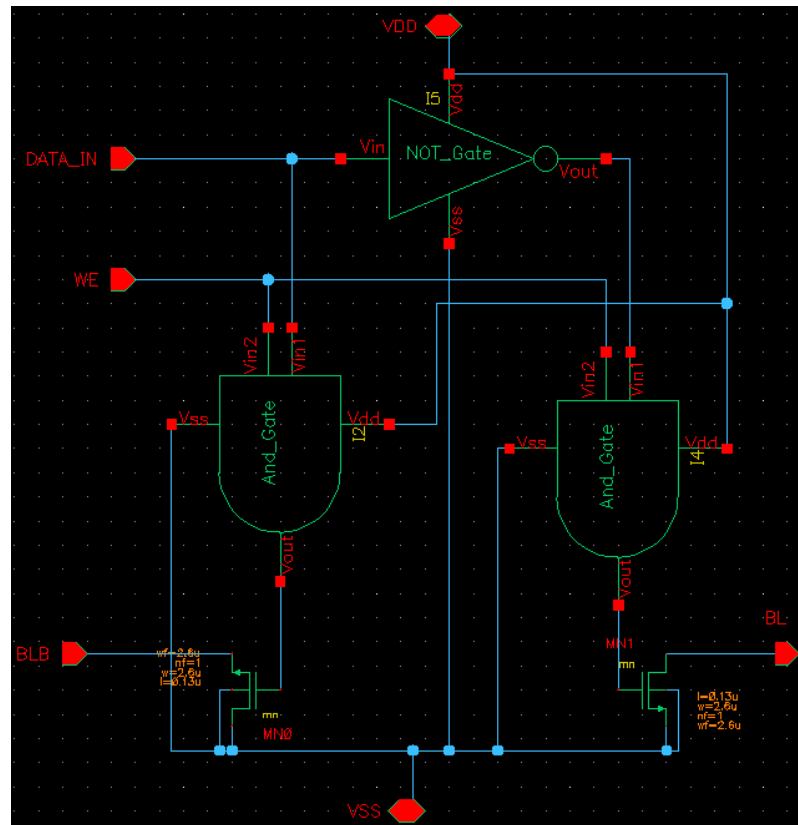
Theo bảng 2.2, tín hiệu WE và DATA\_IN được nối vào cổng AND, tính chất của cổng AND sẽ dẫn tới khi tín hiệu WE = 0 bất chấp tín hiệu DATA\_IN ở ngõ vào, ngõ ra cổng AND sẽ là “0”, lúc này các tín hiệu ngõ ra BL và BLB không thay đổi.

Nếu tín hiệu WE = 1, DATA\_IN = 0, ngõ ra cổng AND thứ nhất Q1 = 0, ngõ ra cổng AND thứ hai Q2 = 1 và BL được kéo xuống mức 0. Ô nhớ lưu trữ trạng thái Q = 0, QB = 1.

Nếu tín hiệu WE = DATA\_IN = 1, ngõ ra cổng AND thứ nhất Q1 = 1 đồng thời kéo BLB xuống “0”, ngõ ra cổng AND thứ Q2 = 0. Ô nhớ lưu trữ trạng thái Q = 1, QB = 0.

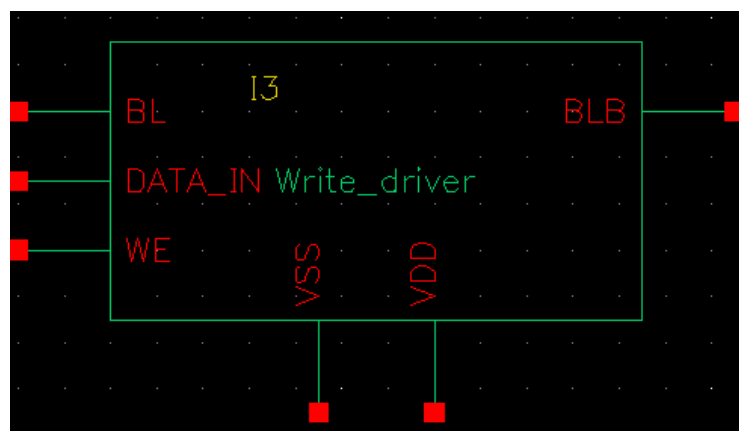
### 2.4.3 Mô phỏng

#### a) Sơ đồ nguyên lý



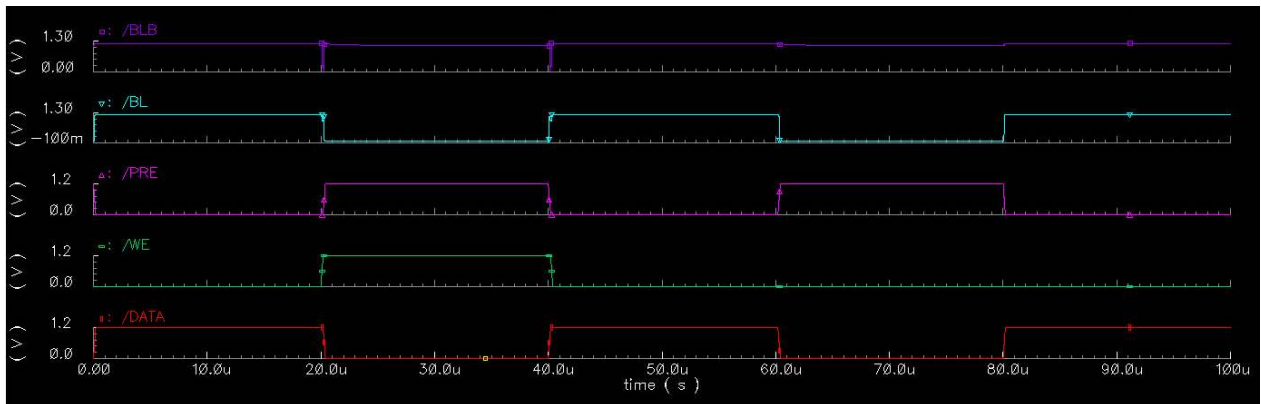
Hình 2.30: Sơ đồ nguyên lý của mạch ghi

#### b) Đóng gói



Hình 2.31: Đóng gói mạch ghi

### c) Dạng sóng



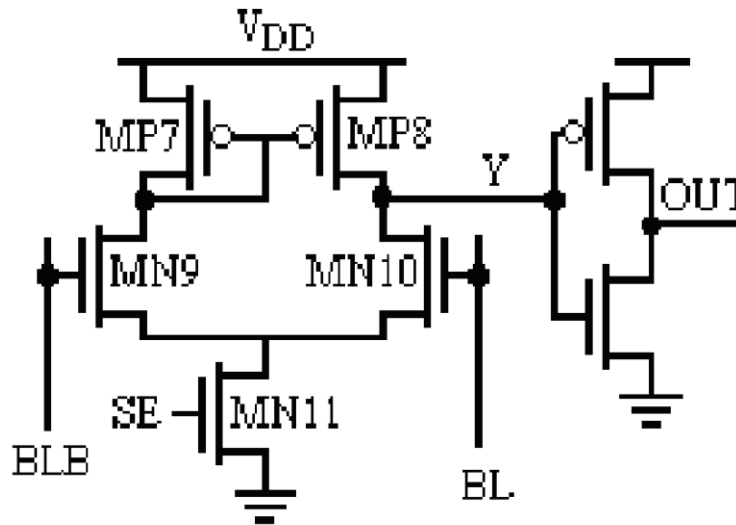
Hình 2.32: Dạng sóng mô phỏng mạch ghi

Theo hình 2.32, khi  $\text{WE} = 0$  (chưa cho phép ghi) thì không tác động đến BL và BLB và không quan tâm đến  $\text{DATA\_IN}$ .  $\text{BL} = \text{BLB} = 1$  là do  $\text{PRE} = 0$ . Khi  $\text{WE} = 1$  (cho phép ghi), BL và BLB có trạng thái đối lập nhau. Khi đó BL có cùng trạng thái với  $\text{DATA\_IN}$  đúng theo bảng trạng thái 2.2.

## 2.5 Mạch đọc

### 2.5.1 Cấu tạo

Mạch đọc hay còn gọi là mạch khuếch đại cảm nhận (sense amplifier) được sử dụng để đọc giá trị bên trong ô nhớ. Cấu tạo mạch đọc gồm một cặp vi sai MN9 và MN10 được kết nối với các đường bit của ô nhớ cùng với tải phản chiếu dòng điện MP7 và MP8. NM2 được sử dụng để duy trì dòng điện không đổi trong mạch. Ngõ ra được lấy từ cổng của MP8 sau đó thông qua một bộ inverter. Hình 2.33 mô tả cấu tạo mạch đọc SRAM.



Hình 2.33: Cấu tạo mạch đọc

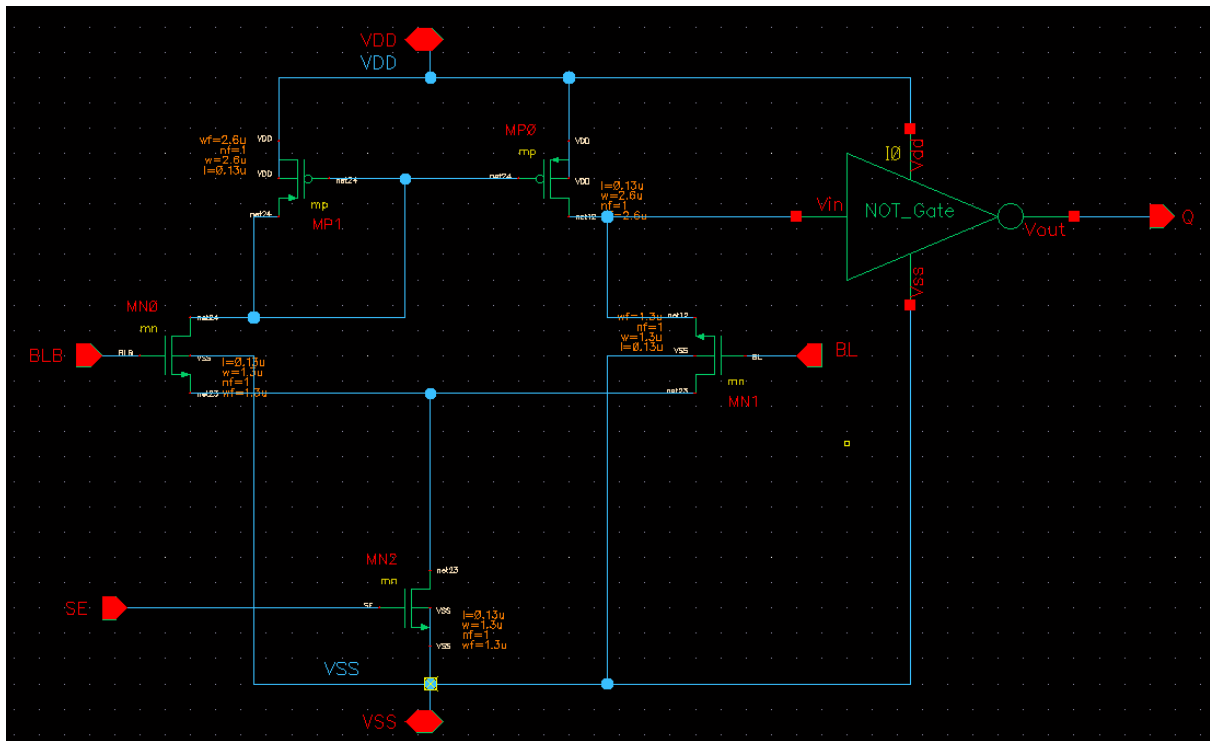
Tín hiệu được đưa vào mạch đọc là tín hiệu từ các đường bit của một cột ô nhớ SRAM. Trong mỗi lần đọc chỉ có một hàng dữ liệu được truy xuất nên chỉ đọc được một ô nhớ trong mỗi cột của bộ nhớ SRAM. Vì vậy, trong mỗi cột ô nhớ SRAM ta chỉ cần một mạch đọc để khuếch đại tín hiệu.

### 2.5.2 Nguyên lý hoạt động

Mạch đọc được phép hoạt động khi  $SE = 1$ . Giả sử  $BL = 1$  và  $BLB = 0$ , khi đó, theo hình 2.33 MN10 bật và MN9 tắt dẫn đến ngõ vào inverter kéo xuống “0” và ngõ ra inverter lên 1, lúc này mạch đọc đọc ô nhớ lưu trữ mức “1”. Ngược lại  $BL = 0$ ,  $BLB = 1$  thì MN10 tắt, MN9 bật, ngõ vào inverter kéo lên “1” và ngõ ra xuống “0”, mạch đọc đọc ô nhớ lưu trữ mức “0”.

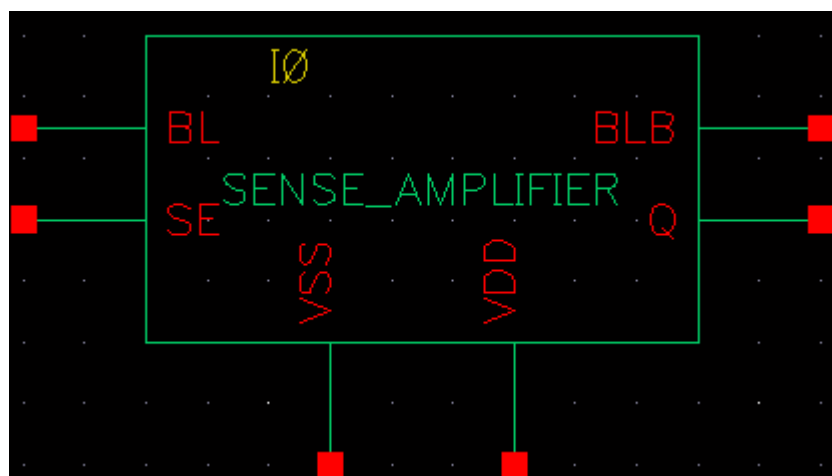
## 2.5.3 Mô phỏng

### a) Sơ đồ nguyên lý



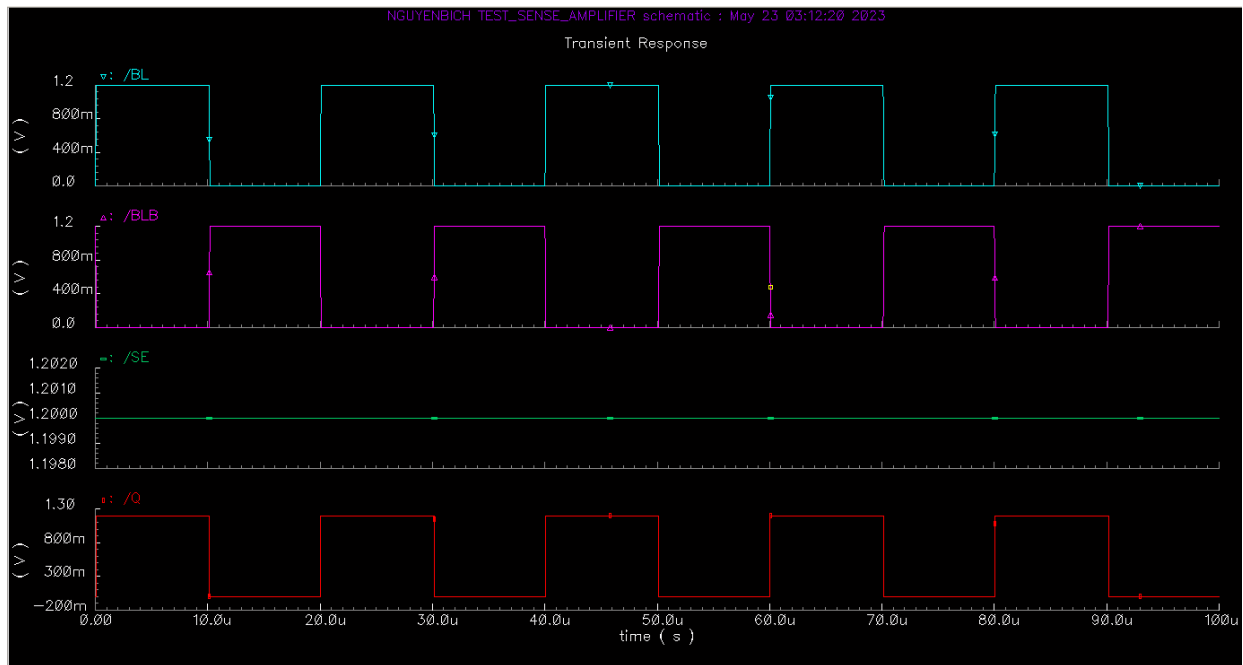
Hình 2.34: Sơ đồ nguyên lý của mạch đọc

### b) Đóng gói



Hình 2.35: Đóng gói mạch đọc

### c) Dạng sóng



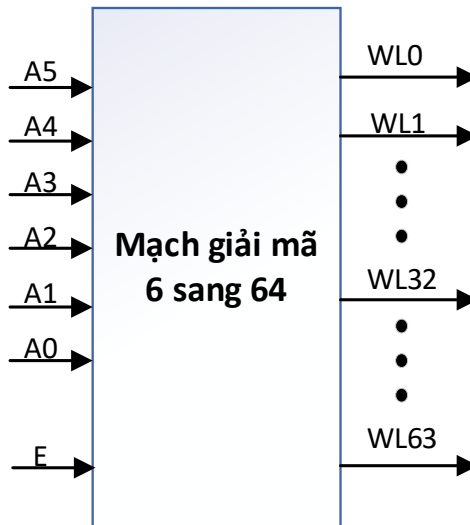
Hình 2. 36: Dạng sóng mô phỏng mạch đọc

Theo hình 2.36, khi  $SE = 1$  (cho phép đọc),  $Q$  sẽ có ngõ ra tương ứng với  $BL$  và  $BLB$ . Khi  $BL = 1$  và  $BLB = 0$  thì  $Q = 1$ , ngược lại  $BL = 0$  và  $BLB = 1$  thì  $Q = 1$ .

## 2.6 Mạch giải mã

### 2.6.1 Cấu tạo

Theo hình 2.36, mạch giải mã 6 sang 64 cấu tạo gồm 64 ngõ ra, 7 đường ngõ vào trong đó có một ngõ vào ( $E$ ) cho phép và 6 ngõ vào ( $A5 \rightarrow A0$ ) định địa chỉ, ngõ ra tích cực mức cao.



Hình 2. 37: Mạch giải mã 6 sang 64

### 2.6.2 Nguyên lý hoạt động

Bảng 2.3: Bảng sự thật mạch giải mã 6 sang 64 có ngõ vào cho phép tích cực cao

EN	A5	A4	A3	A2	A1	A0	WL63	WL62- WL33	WL32	WL31- WL2	WL1	WL0
0	X	X	X	X	X	X	0	0	0	0	0	0
1	0	0	0	0	0	0	0	0	0	0	0	1
1	0	0	0	0	0	1	0	0	0	0	1	
1	.						.					
1	1	0	0	0	0	0	0	0	1	0	0	0
1	.						.					
1	1	1	1	1	1	1	1	0	0	0	0	0



Khi tín hiệu ngõ vào cho phép E không tích cực ( $E=0$ ) thì tất cả các ngõ ra đều ở mức thấp. Khi tín hiệu ngõ vào cho phép E tích cực ( $E=1$ ) thì với mỗi tổ hợp giá trị ngõ vào ( $A_5, A_4, A_3, A_2, A_1$ ) sẽ có một ngõ ra tương ứng lên mức cao.

Hàm ngõ ra:

$$WL0 = E.A_5!.A_4!.A_3!.A_2!.A_1!.A_0!$$

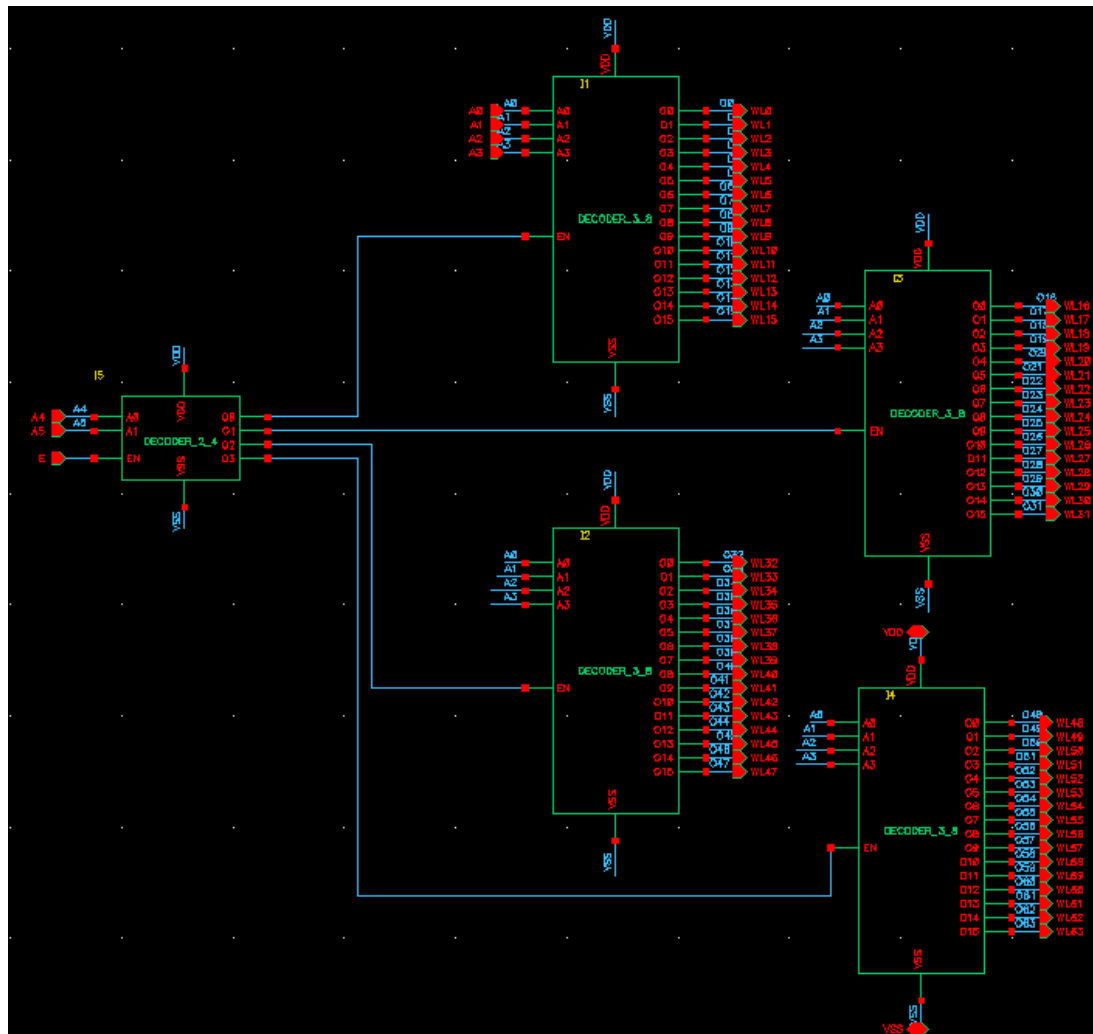
$$WL1 = E.A_5!.A_4!.A_3!.A_2!.A_1!.A_0$$

$$WL32 = E.A_5.A_4!.A_3!.A_2!.A_1!.A_0!$$

$$WL63 = E.A_5.A_4.A_3.A_2.A_1.A_0$$

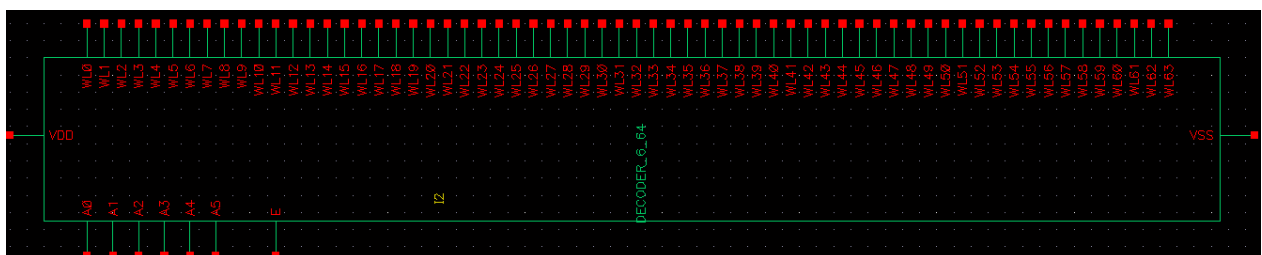
## 2.6.3 Mô phỏng

### a) Sơ đồ nguyên lý



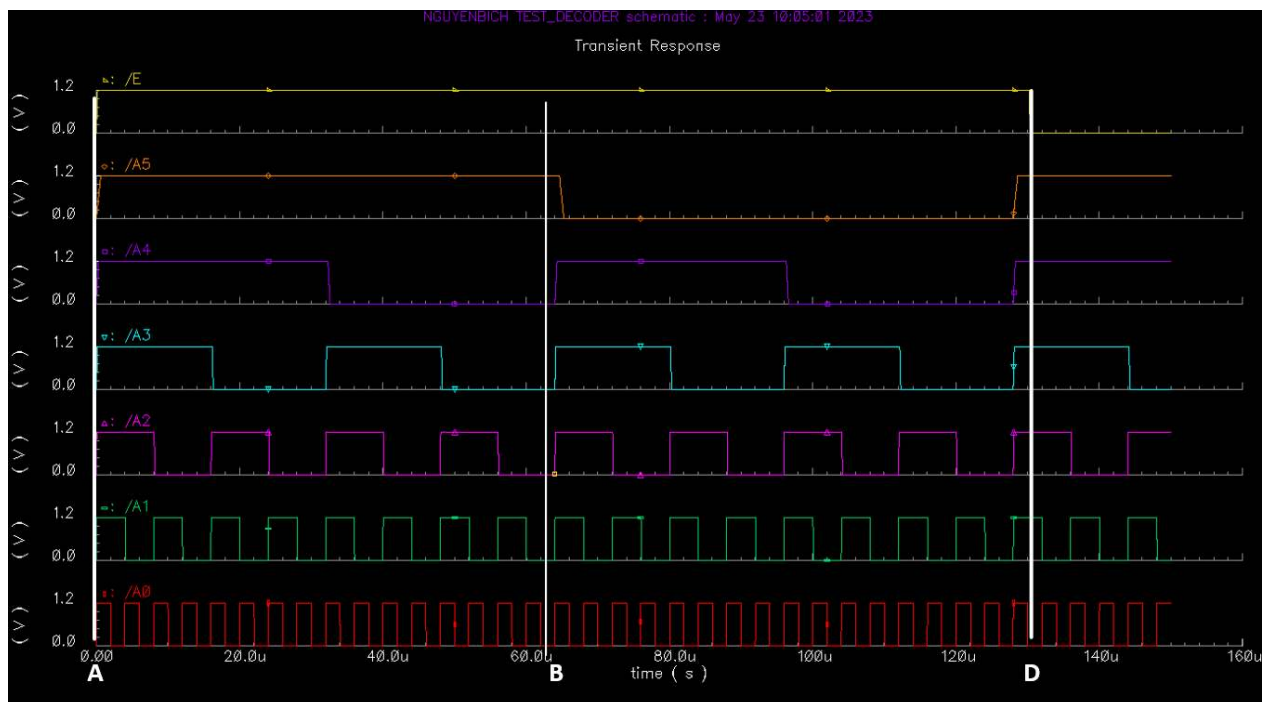
Hình 2.38: Sơ đồ nguyên lý mạch giải mã 64x64

### b) Đóng gói

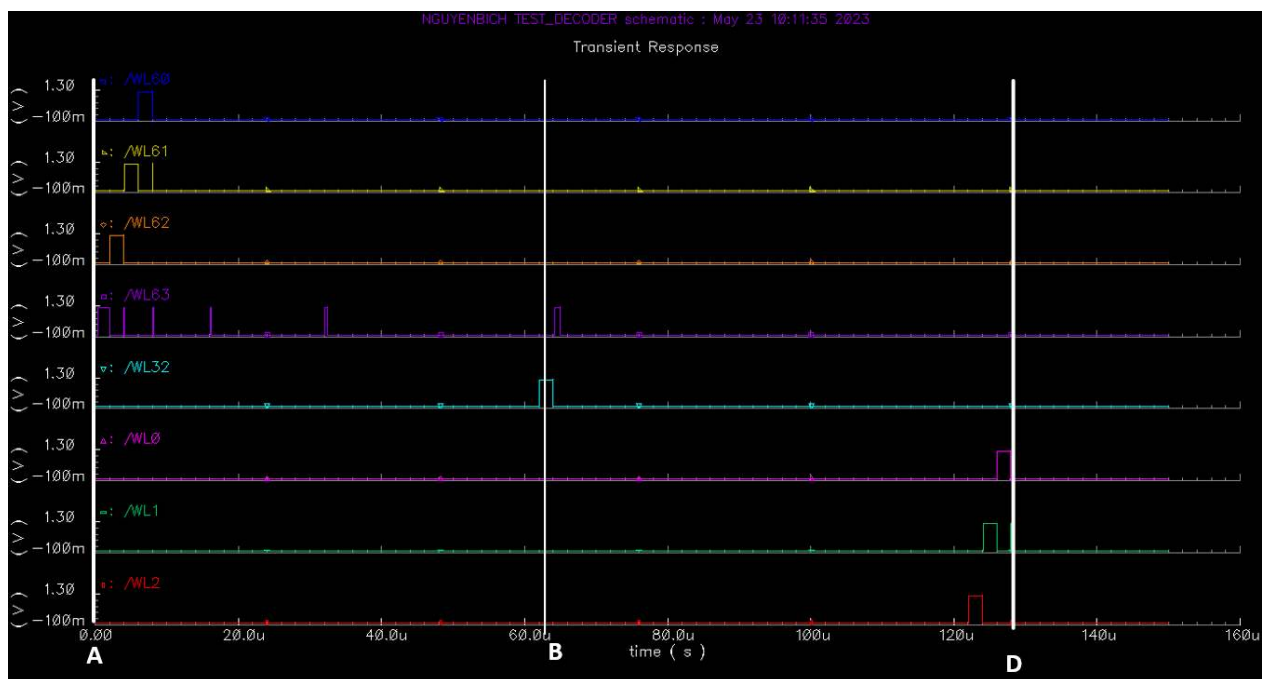


Hình 2.39: Đóng gói mạch giải mã 64x64

c) Dạng sóng



Hình 2.40: Mô phỏng dạng sóng ngõ vào của mạch giải mã 64x64



Hình 2. 41: Mô phỏng dạng sóng ngõ ra của mạch giải mã 64x64

Theo hình 2.40 và hình 2.41, từ A đến D, khi Enable tác động, với mỗi tổ hợp ngõ vào sẽ cho một ngõ ra tương ứng, tại B khi  $A_5 = 1$  và  $A_4 = A_3 = A_2 = A_1 = A_0 = 0$  ngõ ra O32 tích cực mức cao. Từ D về sau,  $E = 0$  (không cho phép) tất cả các ngõ ra bằng 0. Dạng sóng mô phỏng đúng với phân tích lý thuyết.

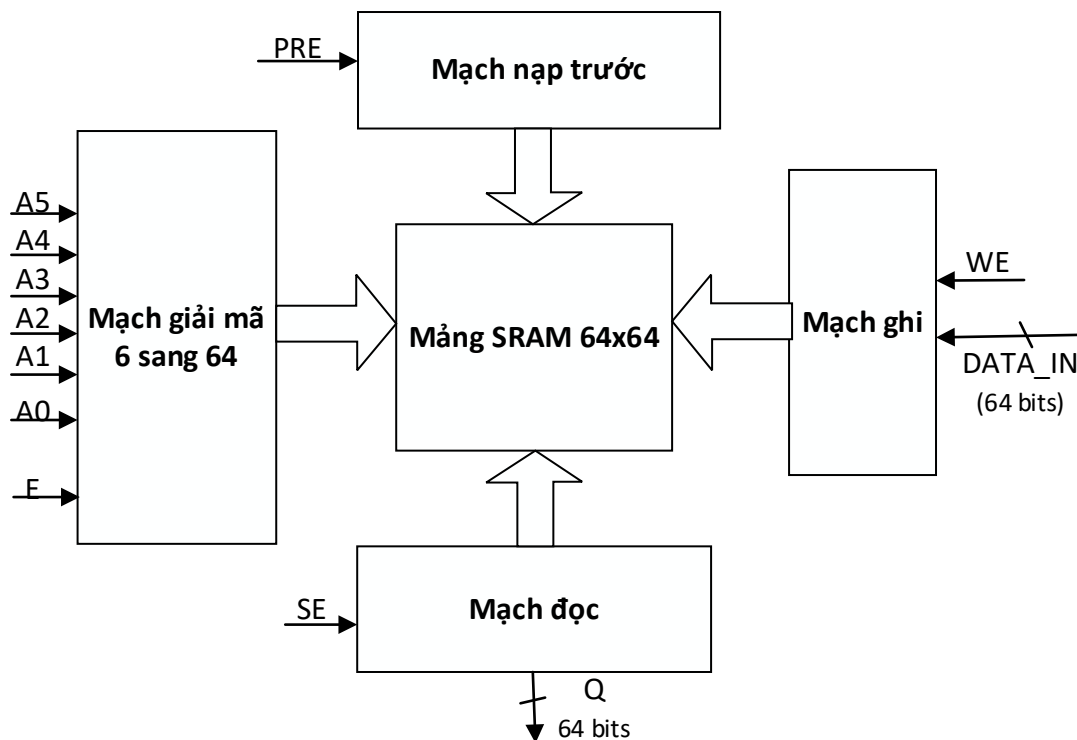
# CHƯƠNG 3: XÂY DỰNG VÀ THIẾT KẾ MÔ HÌNH SRAM

## 3.1 Yêu cầu thiết kế

Phân tích, lựa chọn kiến trúc ô nhớ dùng để thiết kế bộ nhớ SRAM 64x64 cơ bản, thiết kế bộ nhớ SRAM 64x64 cơ bản với yêu cầu sau:

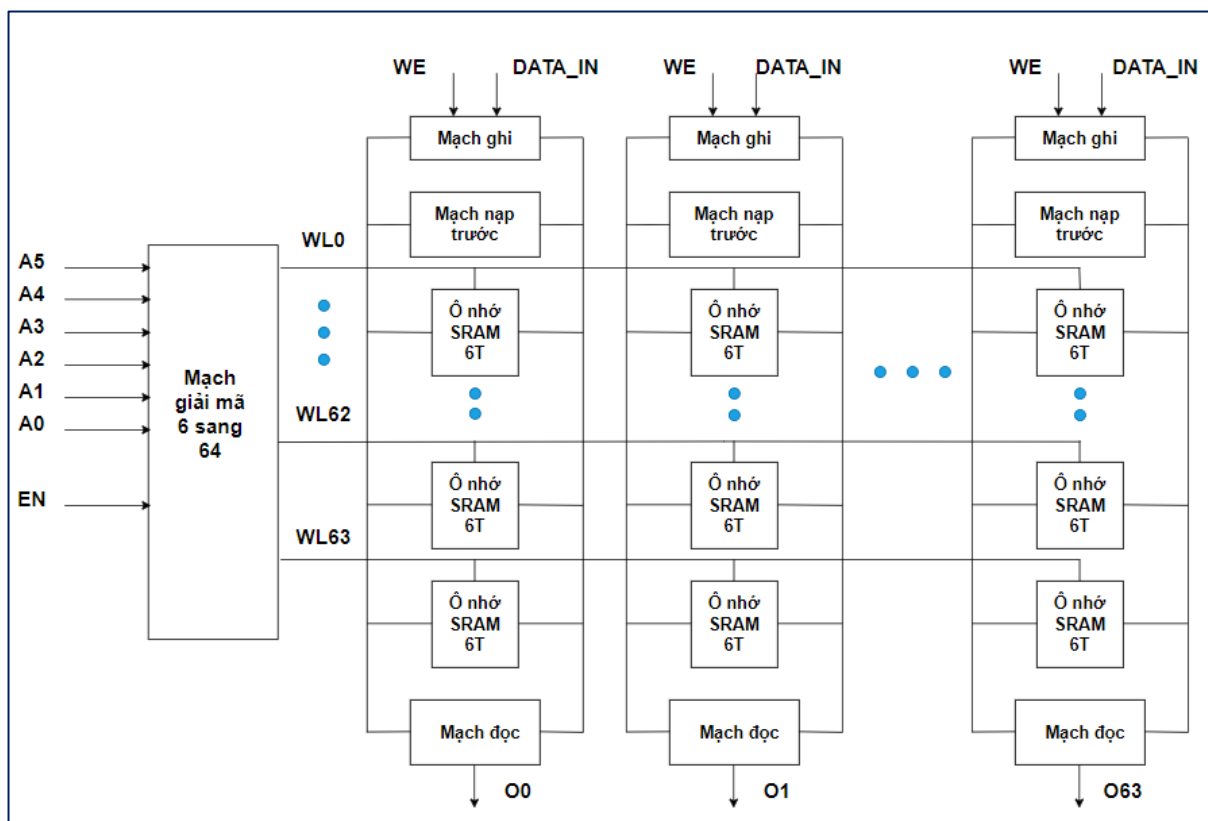
- Hoạt động ổn định.
- Thực hiện đầy đủ chức năng của một bộ nhớ SRAM là đọc - ghi dữ liệu vào ô nhớ dựa theo địa chỉ ô nhớ.

## 3.2 Thiết kế sơ đồ khối của bộ nhớ



Hình 3.1: Sơ đồ khối của bộ nhớ

### 3.3 Sơ đồ chi tiết toàn mạch

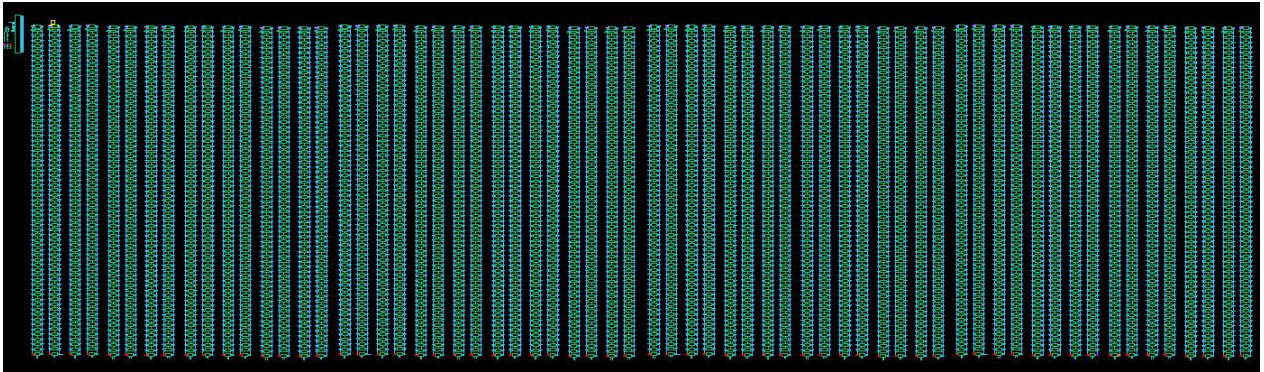


Hình 3.2: Sơ đồ kết nối các thành phần của bộ nhớ

## CHƯƠNG 4: KẾT QUẢ

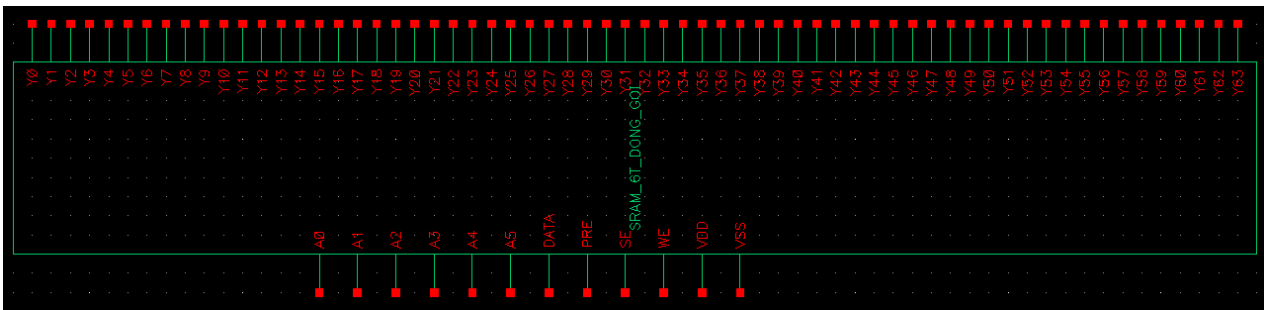
### 4.1 Mô phỏng mạch trên cadence

#### a) Sơ đồ nguyên lý



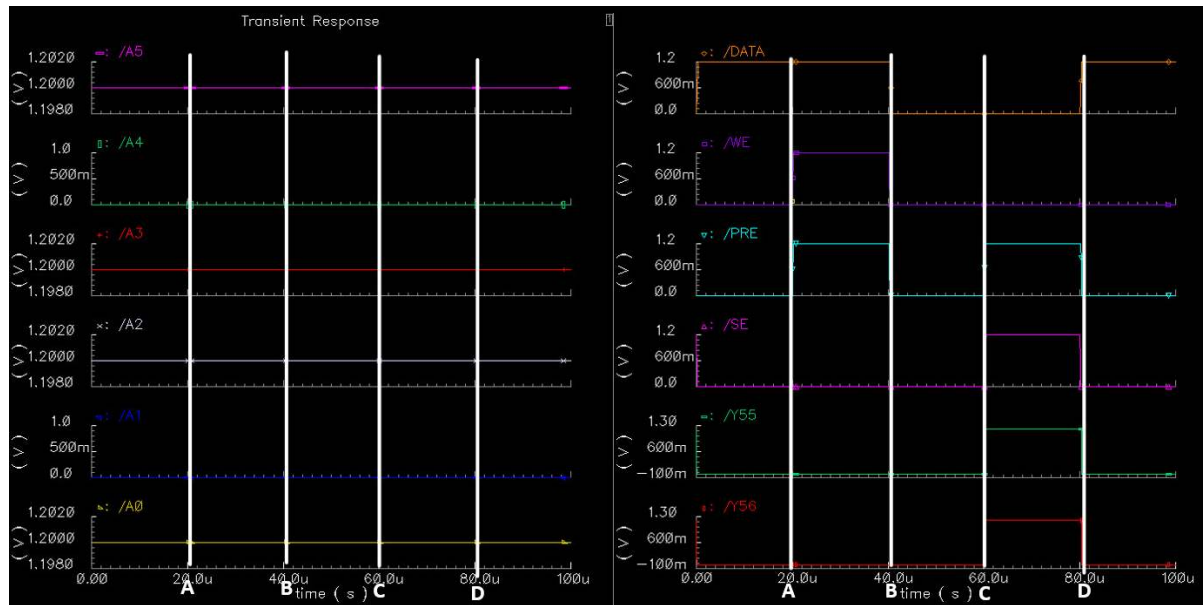
Hình 4.1: Sơ đồ nguyên lý bộ nhớ SRAM 64x64

#### b) Đóng gói

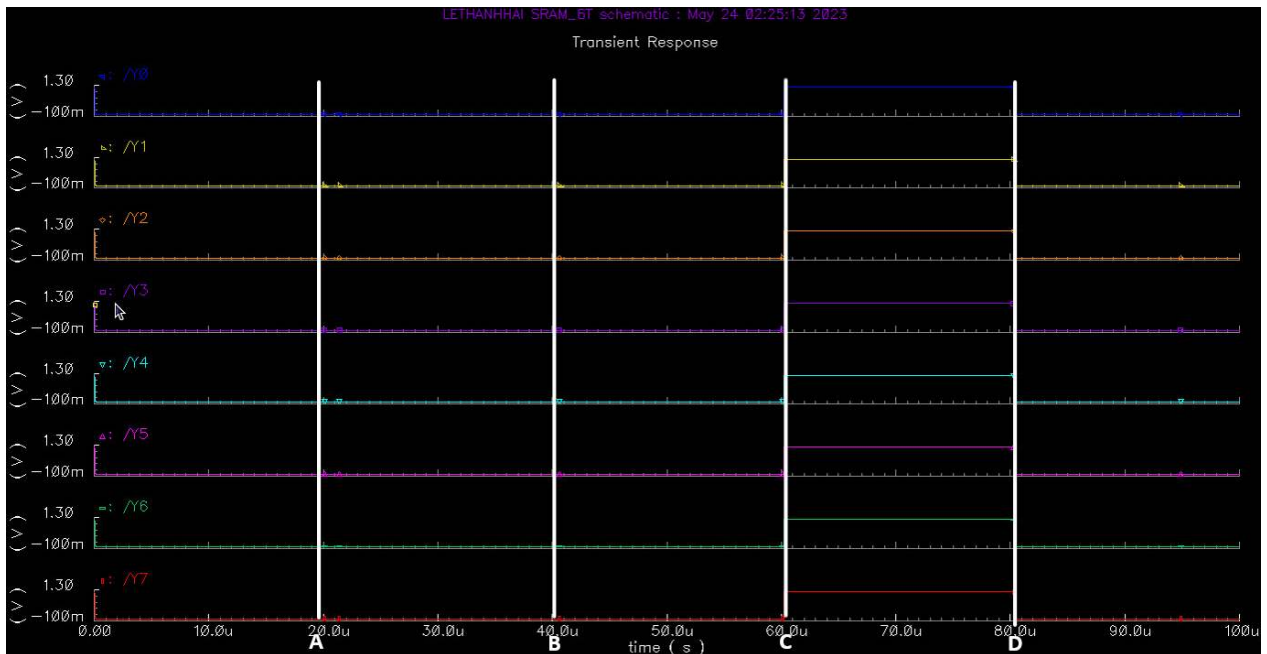


Hình 4.2: Đóng gói bộ nhớ SRAM 64x64

c) Dạng sóng



Hình 4.3: Mô phỏng dạng sóng vào của bộ nhớ SRAM 64x64



Hình 4.4: Mô phỏng dạng sóng ra của bộ nhớ SRAM 64x64

Theo hình 4.3 và hình 4.4, từ đầu đến A và từ B đến C, lúc này PRE = 0, mạch đang được sạc trước. Từ A đến B, WE = 1 (cho phép ghi), A4 = A1 = 0 và A0



$= A_2 = A_5 = 1$  tương ứng với đường WL45 được kích, DATA\_IN được ghi vào ô nhớ. Từ C đến D, SE tích cực  $A_4 = A_1 = 0$  và  $A_0 = A_2 = A_5 = 1$  tương ứng với đường WL45 được kích, mạch đọc đọc trạng thái của hàng 46. Dạng sóng mô phỏng đúng với lý thuyết được phân tích.

# CHƯƠNG 5: KẾT LUẬN VÀ HƯỚNG PHÁT TRIỂN

## 5.1 Kết luận

Sau quá trình tìm hiểu và thực hiện thiết kế bộ nhớ SRAM 64x64, nhóm thực hiện đề tài đã đạt được kết quả hoàn thiện thiết kế bộ nhớ SRAM 64x64 mà mục tiêu đề ra. Nhóm thực hiện đề tài đã mô phỏng 3 kiến trúc ô nhớ, mô phỏng mạch chạy trên cadence và kết quả mô phỏng đúng như phân tích lý thuyết. Nhóm cũng thực hiện phân tích, đánh giá giá được độ trễ lan truyền, công suất của từng ô nhớ.

Ô nhớ, bộ nhớ SRAM 64x64 được thiết kế có ưu điểm hoạt động đúng theo lý thuyết, đáp ứng các yêu cầu sử dụng thông thường. Tuy nhiên, bộ nhớ có dòng rò lớn, dòng rò này xuất phát từ ô nhớ SRAM 6T, công suất tiêu thụ còn lớn.

## 5.2 Hướng phát triển

Bộ nhớ SRAM 64x64 mà nhóm thực hiện đề tài thiết kế sử dụng ô nhớ SRAM 6T và cấu trúc cơ bản của một bộ nhớ SRAM. Ô nhớ này là lựa chọn cân bằng giữa diện tích và hiệu suất. Vì vậy, với từng nhu cầu sử dụng cụ thể có thể cân nhắc sử dụng các kiến trúc ô nhớ khác. Để giảm công suất tiêu thụ, tốc độ đọc – ghi nhanh có thể sử dụng kiến trúc ô nhớ SRAM 4T. Để giảm dòng rò từ đó giảm công suất tiêu thụ có thể sử dụng kiến trúc ô nhớ SRAM 7T.

## TÀI LIỆU THAM KHẢO

- [1] Neil H. E. Weste, David Money Harris - *CMOS VLSI Design A Circuits and Systems Perspective* – NXB Pearson 2011.
- [2] Phạm Đức Hiếu, Luận văn thạc sĩ “*Công nghệ lập trình FPGA và ứng dụng xử lý dữ liệu đa phương tiện*”, Trường Đại học Công nghệ - ĐHQGHN.
- [3] Yang, J., & Chen, L. (2007). *A New Loadless 4-Transistor SRAM Cell with a 0.18  $\mu\text{m}$  CMOS Technology*. 2007 Canadian Conference on Electrical and Computer Engineering.
- [4] Kumar, C. S. H., & Kariyappa, B. S. (2017). *Analysis of low power 7T SRAM cell employing improved SVL (ISVL) technique*. 2017 International Conference on Electrical, Electronics, Communication, Computer, and Optimization Techniques (ICECCOT).
- [5] Kiran, P. N. V., & Saxena, N. (2015). *Design and analysis of different types SRAM cell topologies*. 2015 2nd International Conference on Electronics and Communication Systems (ICECS).
- [6] Kumar, R., Baunthiyal, S., Tewari, R., Siva Ganesh, D. V., Chandre Gowda, A. T., Yadav, R., & Grover, A. (2020). *Design and Benchmark of Iso-Stable High Density 4T SRAM cells for 64MB arrays in 65nm LSTP*. 2020 IEEE 17th India Council International Conference (INDICON).
- [7] Wenbin Liu, Jinhui Wang, Ligang Hou, Hongyan Yang, & Jianbo Kang. (2013). *Design and test of an SRAM chip*. 2013 IEEE 10th International Conference on ASIC.
- [8] R., S., Deshpande, N. T., & Aswatha, A. R. (2009). *Design and Analysis of a New Loadless 4T SRAM Cell in Deep Submicron CMOS Technologies*. 2009

Second International Conference on Emerging Trends in Engineering & Technology.

[9] Quantrimang. (07/08/2018). *Tìm hiểu về các công nghệ RAM: DRAM, SRAM, SDRAM và mới hơn* [Online]

Available: <https://quantrimang.com/cong-nghe/tim-hieu-ve-cac-cong-nghe-ram-dram-sram-sdram-va-cac-cong-nghe-moi-hon-147248>