

TRƯỜNG ĐẠI HỌC SƯ PHẠM KỸ THUẬT
KHOA ĐIỆN-ĐIỆN TỬ
BỘ MÔN KT MÁY TÍNH – VIỄN THÔNG

BÁO CÁO THỰC TẬP
MÔN HỌC:
TUẦN: 5

Họ tên: Nguyễn Tài Anh Tuấn	MSSV: 22161203	Nhóm: (Chiều thứ 6, tuần 1-8)
-----------------------------	----------------	-------------------------------

1. Mạch tuần tự

a. Lý thuyết:

Vẽ sơ đồ nguyên lý mạch đếm đồng bộ và không đồng bộ 4 bit sử dụng flip flop JK

b. Thực hành:

Thiết kế và mô phỏng Flip – Flop JK

Thiết kế và mô phỏng mạch đếm đồng bộ sử dụng Flip Flop JK

Thiết kế và mô phỏng mạch đếm không đồng bộ sử dụng Flip Flop JK

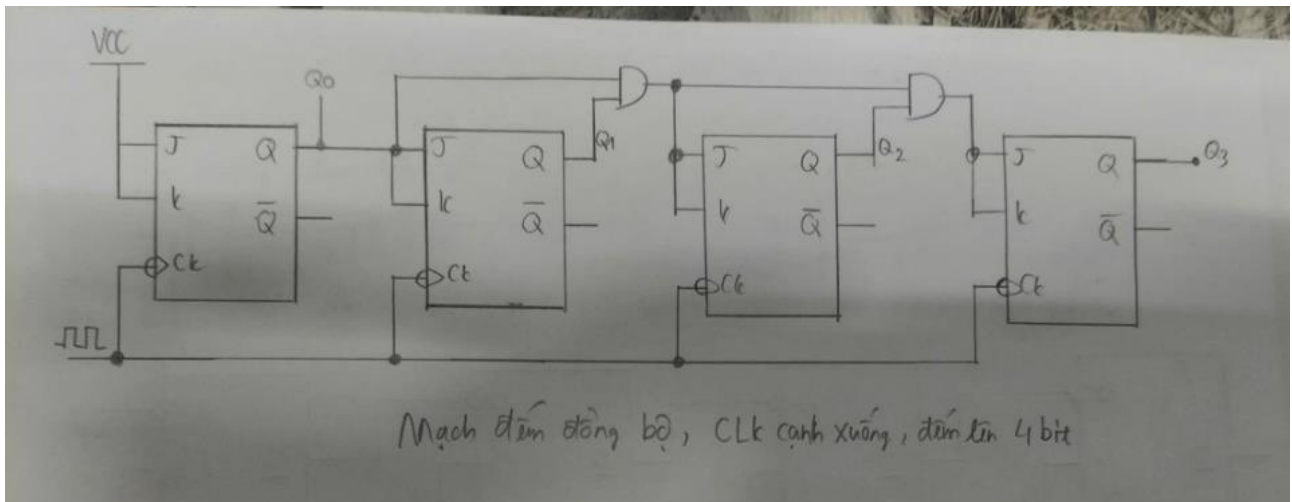
a. Vẽ sơ đồ nguyên lý mạch đếm đồng bộ và không đồng bộ 4 bit sử dụng flip flop JK

*** Sơ đồ nguyên lý mạch đếm đồng bộ 4 bit**

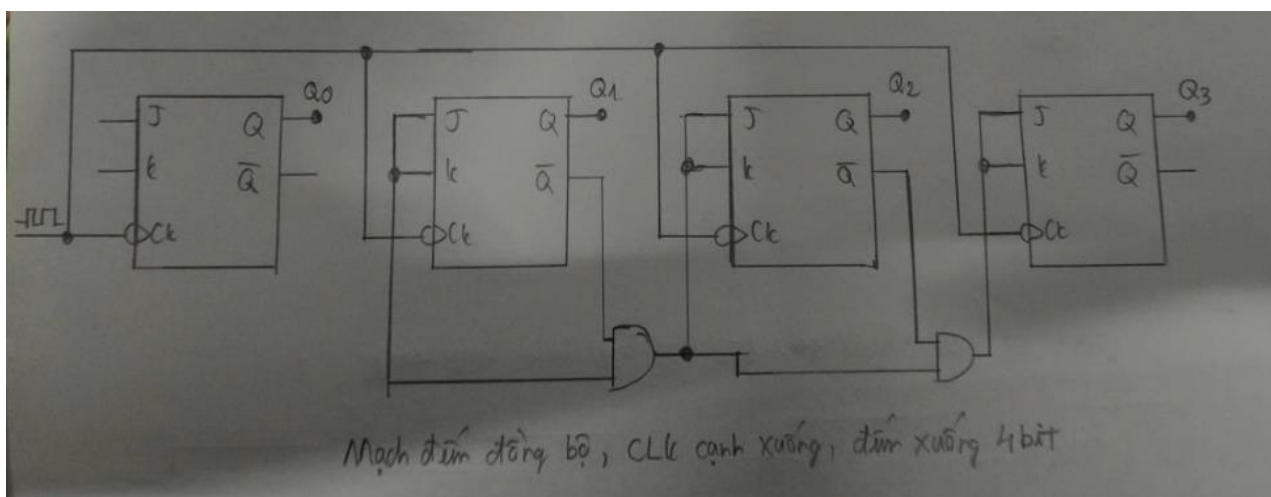
– Mạch đếm đồng bộ hay còn gọi là mạch đếm song song.

– Các xung CK được nối chung với nhau.

– Ngõ ra Q của Flip-Flop thứ nhất được nối với ngõ vào JK của Flip-Flop thứ hai và cứ tương tự cho các Flip-Flop khác.



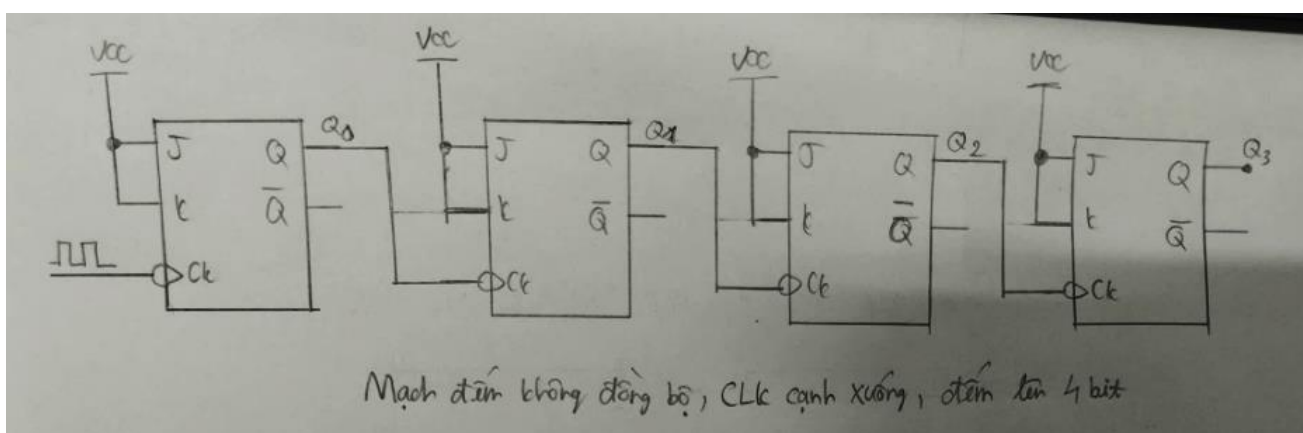
Hình 1. Mạch đếm đồng bộ, CLK cạnh xuống, đếm lên 4 bit



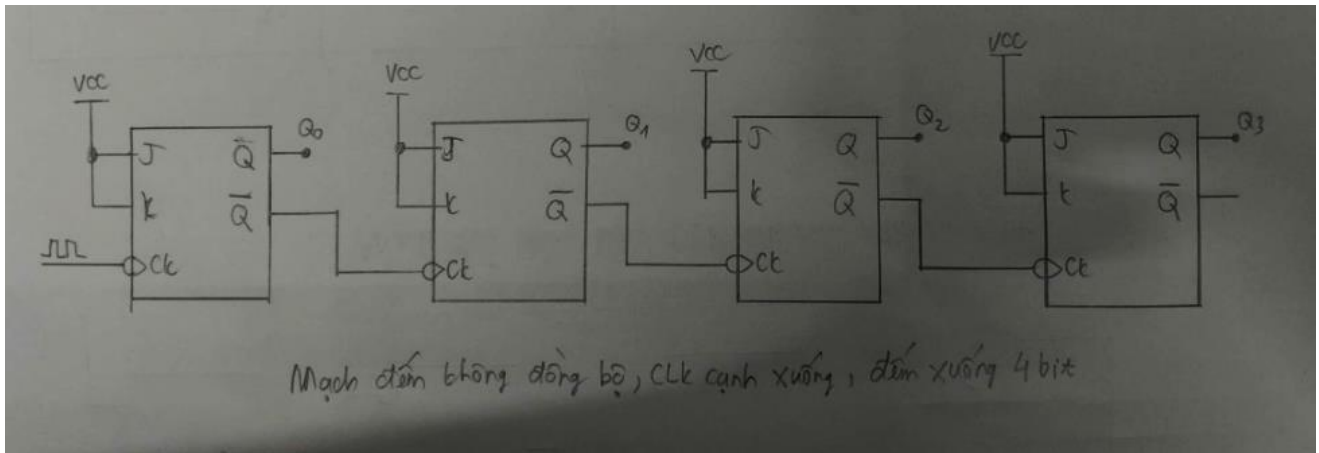
Hình 2. Mạch đếm đồng bộ, CLK cạnh xuống, đếm xuống 4 bit

*** Sơ đồ nguyên lý mạch đếm không đồng bộ 4 bit**

- Mạch đếm không đồng bộ hay còn gọi là mạch đếm nối tiếp.
- Các xung CK được mắc nối tiếp: Ngõ ra của Flip-Flop này là (Q, Q~) sẽ là xung CK tiếp theo (trừ Flip-Flop đầu tiên).
- Các chân JK luôn được ở mức tích cực cao (1).



Hình 3. Mạch đếm không đồng bộ, CLK cạnh xuống, đếm lên 4 bit

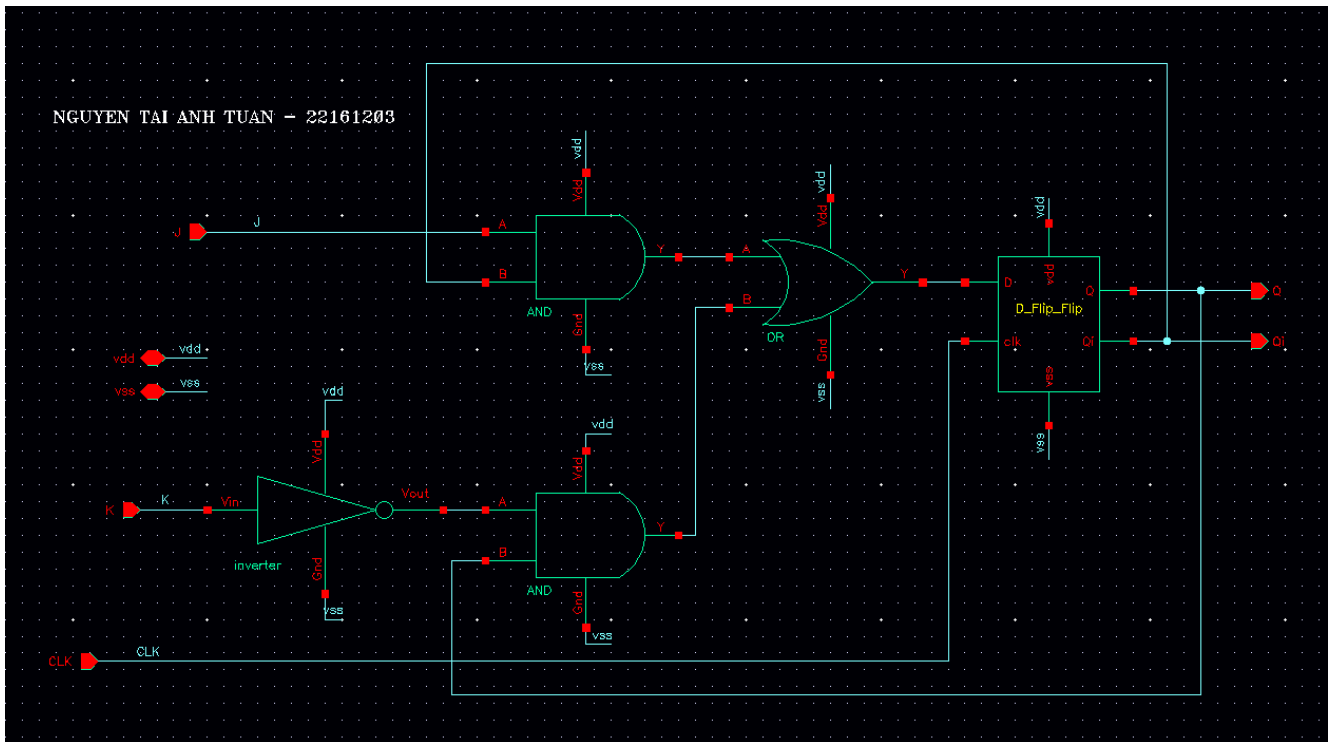


Hình 4. Mạch đếm không đồng bộ, CLK cạnh xuống, đếm xuống 4 bit

b. Thực hành

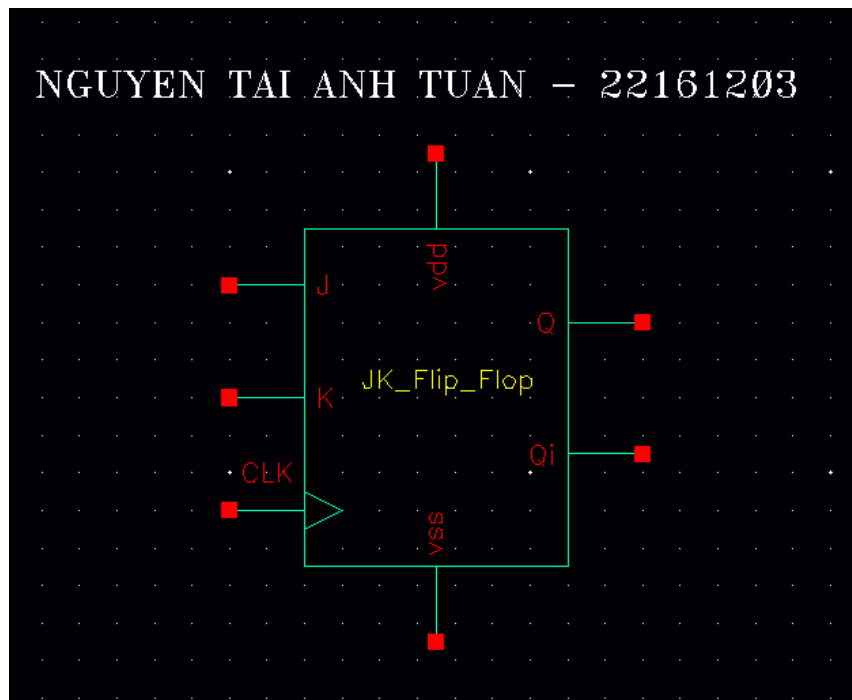
Phần 1: Thiết kế và mô phỏng Flip – Flop JK

* Sơ đồ nguyên lý mạch



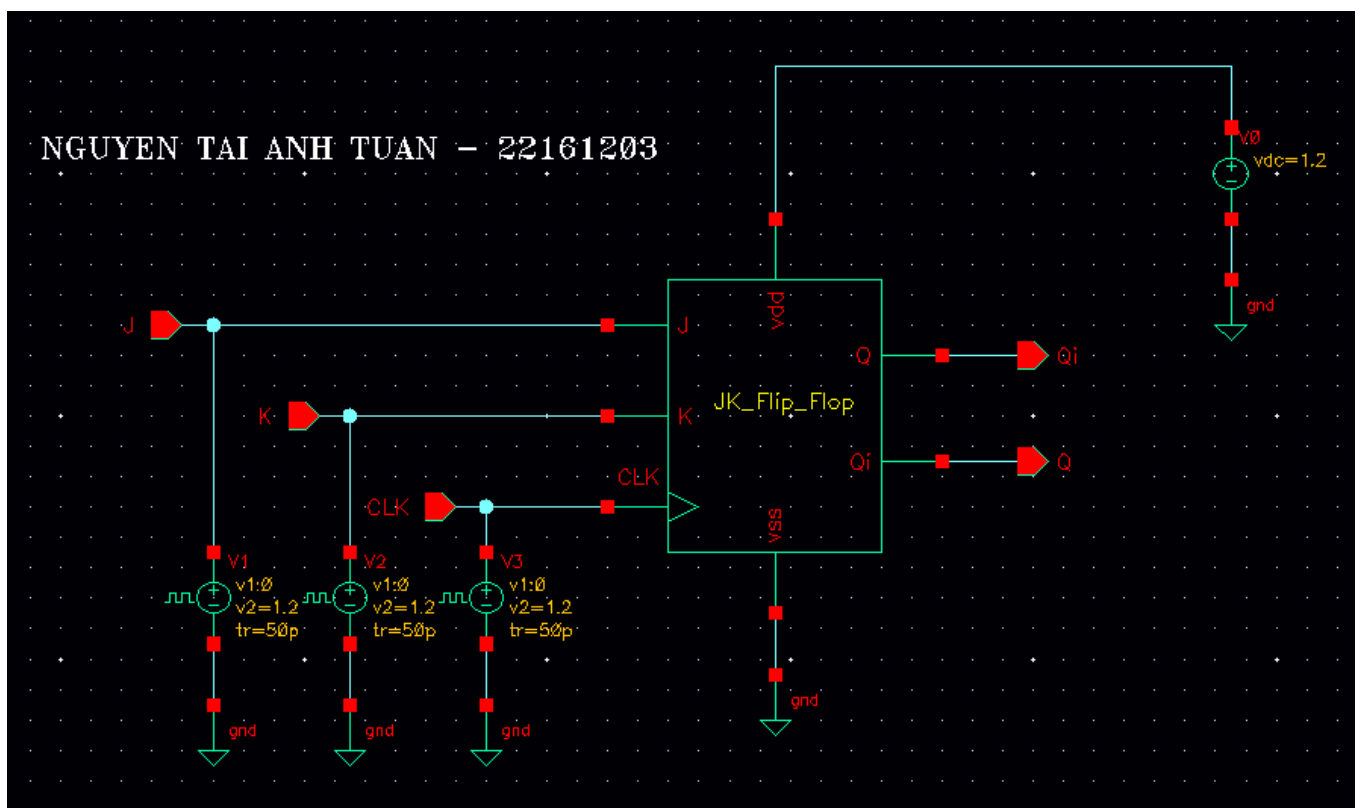
Hình 5. Mạch nguyên lý Flip – Flop JK

* Đóng gói



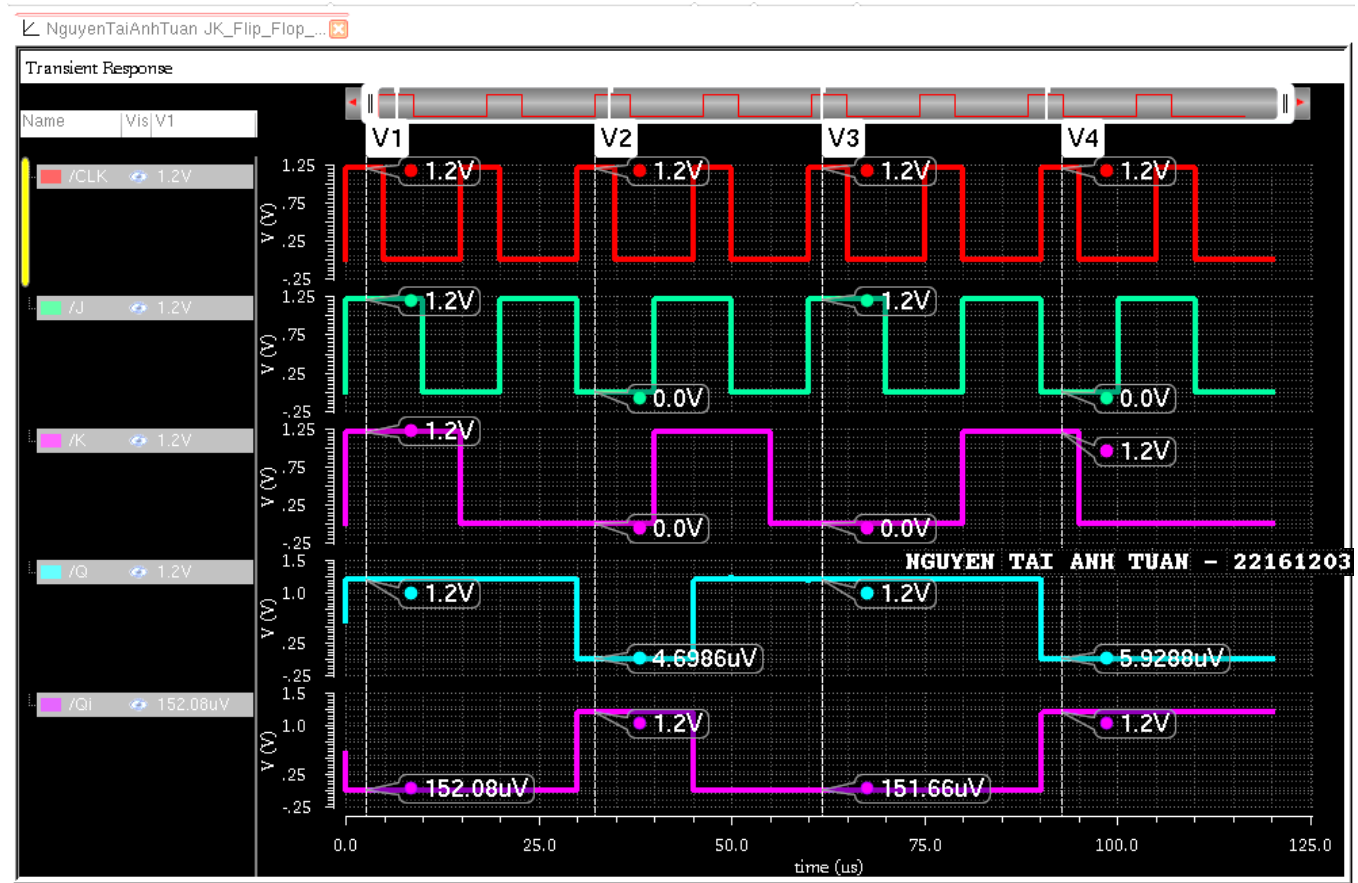
Hình 6. Đóng gói Flip – Flop JK

*** Mô phỏng**



Hình 7. Mạch Mô phỏng Flip – Flop JK

* Kết quả mô phỏng



Hình 8. Dạng sóng mô phỏng Flip – Flop JK

Bảng trạng thái

J	K	Ck	Q	\bar{Q}	Trạng thái
0	0	↑	Q_0	\bar{Q}_0	Không đổi
0	1	↑	0	1	Xoá
1	0	↑	1	0	Đặt
1	1	↑	\bar{Q}_0	Q_0	Lật

Hình 9. Bảng trạng thái Flip – Flop JK

* Flip-Flop JK hoạt động theo bảng trạng thái:

- $J = 0, K = 0 \rightarrow$ Giữ trạng thái cũ (Không đổi).
- $J = 0, K = 1 \rightarrow$ Reset $Q = 0, \bar{Q} = 1$.
- $J = 1, K = 0 \rightarrow$ Set $Q = 1, \bar{Q} = 0$.

– $J = 1, K = 1 \rightarrow$ Toggle (lật trạng thái hiện tại).

*** Các tín hiệu đầu vào:**

– CLK (Clock - màu đỏ): Dạng xung vuông, kích hoạt theo cạnh lên.

– J (màu xanh dương) và K (màu xanh lá): Điều khiển trạng thái của Flip-Flop.

*** Các tín hiệu đầu ra:**

- Q (màu xanh cyan): Ngõ ra chính.
- \bar{Q} (màu tím): Ngõ ra đảo.

*** Phân tích tại các điểm V1, V2, V3, V4**

– Tại V1:

+ $CLK = 1.2V, J = 1.2V, K = 1.2V$.

+ Theo bảng trạng thái: $J = 1, K = 1$ nên Flip-Flop **lật trạng thái**.

+ Nếu trước đó $Q = 0 \rightarrow$ bây giờ $Q = 1.2V, \bar{Q} = 0V$.

+ Nếu trước đó $Q = 1 \rightarrow$ bây giờ $Q = 0V, \bar{Q} = 1.2V$.

+ Quan sát thấy Q thay đổi tại cạnh lên.

– Tại V2:

+ $CLK = 1.2V, J = 1.2V, K = 0V$.

+ Theo bảng trạng thái: $J = 1, K = 0 \rightarrow Q$ được đặt lên 1.

+ $Q = 1.2V, \bar{Q} = 0V$.

– Tại V3:

+ $CLK = 1.2V, J = 0V, K = 1.2V$.

+ Theo bảng trạng thái: $J = 0, K = 1 \rightarrow$ Reset Q về 0.

+ $Q = 0V, \bar{Q} = 1.2V$.

– Tại V4:

+ $CLK = 1.2V, J = 0V, K = 0V$.

+ Theo bảng trạng thái: $J = 0, K = 0 \rightarrow$ Giữ nguyên trạng thái

+ Q và \bar{Q} không thay đổi so với trạng thái trước đó.

*** Nhận xét:**

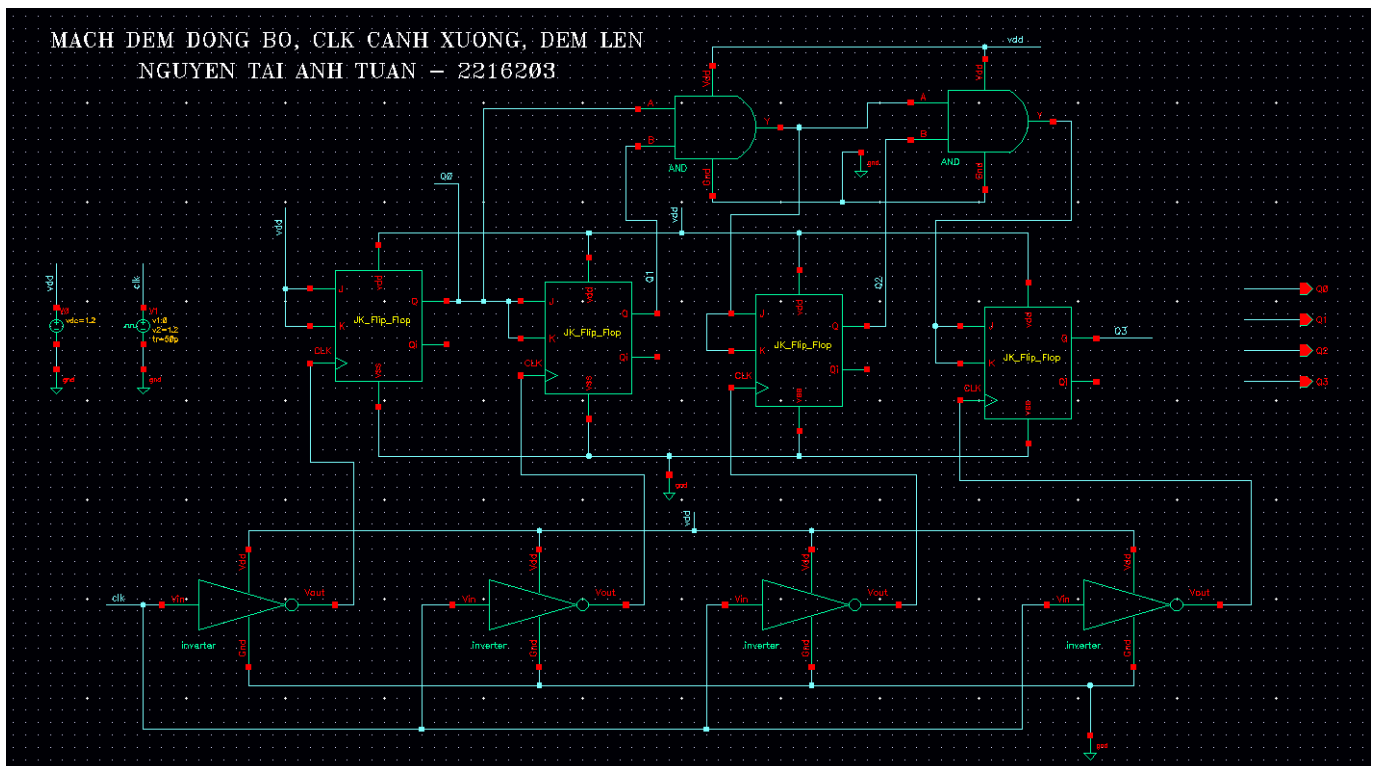
– Các điểm V1, V2, V3, V4 thể hiện đúng hoạt động của Flip-Flop JK.

– Dạng sóng của Q và \bar{Q} thay đổi theo bảng trạng thái và chỉ cập nhật giá trị tại cạnh lên của xung clock.

– Flip-Flop JK có thể hoạt động ở chế độ giữ nguyên, đặt $Q = 1$, đặt $Q = 0$ hoặc lật trạng thái tùy thuộc vào giá trị J, K .

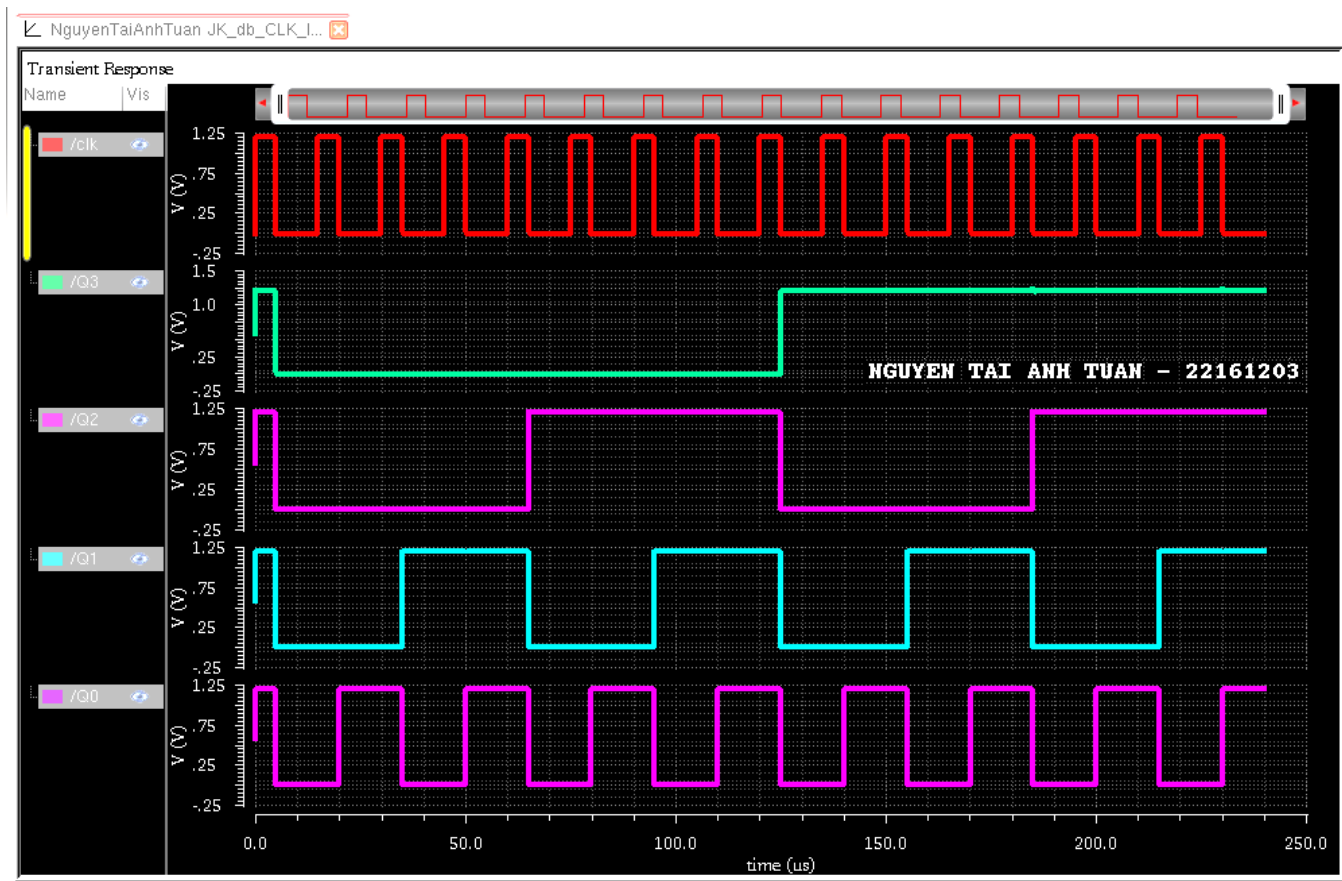
Phần 2: Thiết kế và mô phỏng mạch đếm đồng bộ 4 bit Flip-Flop JK

* Sơ đồ nguyên lý mạch đếm đồng bộ 4 bit, CLK cạnh xuống, đếm lên



Hình 10. Mạch đếm đồng bộ 4 bit, CLK cạnh xuống, đếm lên

* Kết quả mô phỏng



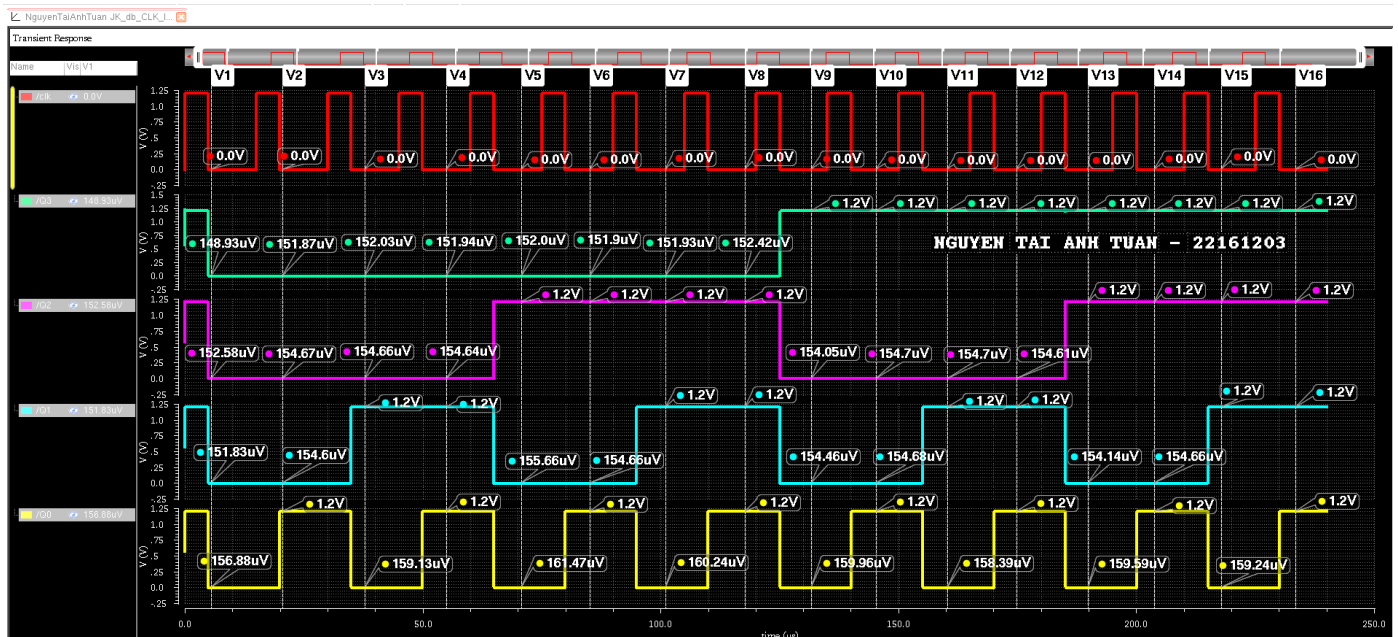
Hình 11. Dạng sóng của mạch đếm, đếm từ 0 → 15

* Bảng trạng thái

CLK	Q3	Q2	Q1	Q0	Số đếm
↓	0	0	0	0	0
↓	0	0	0	1	1
↓	0	0	1	0	2
↓	0	0	1	1	3
↓	0	1	0	0	4
↓	0	1	0	1	5
↓	0	1	1	0	6
↓	0	1	1	1	7
↓	1	0	0	0	8
↓	1	0	0	1	9
↓	1	0	1	0	10
↓	1	0	1	1	11

↓	1	1	0	0	12
↓	1	1	0	1	13
↓	1	1	1	0	14
↓	1	1	1	1	15
↓	0	0	0	0	0

* Phân tích



Hình 12. Mạch đếm từ 0 đến 15

- **Flip-Flop JK:** Khi $J = K = 1$, đầu ra Q sẽ đảo trạng thái (toggle) tại mỗi cạnh xuống của CLK.
- **Mạch đếm đồng bộ:** Tất cả các Flip-Flop nhận tín hiệu CLK cùng lúc, và trạng thái của các bit (Q3, Q2, Q1, Q0) thay đổi đồng thời theo logic đếm lên.
- **Đếm lên:** Mạch bắt đầu từ trạng thái 0000 (0) và tăng dần lên 1111 (15), sau đó có thể quay lại 0000.
- **CLK cạnh xuống:** Trạng thái của các đầu ra (Q3, Q2, Q1, Q0) thay đổi khi CLK chuyển từ 12V xuống 0V.
- **Từ dạng sóng mô phỏng, có các tín hiệu:**
 - + Xung **CLK** (màu đỏ).
 - + Ngõ ra: **Q3** (màu xanh lá), **Q2** (màu hồng), **Q1** (màu xanh dương), **Q0** (màu vàng).
- **Xét tại các điểm từ V1 đến V16:**
 - + **Điểm V1:**
 - Tại V1: CLK chuyển từ 12V xuống 0V, đếm lên từ 0000 (0).
 - Trạng thái tại V1: $Q3 = 0$, $Q2 = 0$, $Q1 = 0$, $Q0 = 0$.

+ Điểm V2:

- **Trước V2:** Trạng thái là 0000 (0).
- **Tại V2:** Đếm lên: 0000 → 0001 (1).
- **Trạng thái tại V2:** $Q_3 = 0, Q_2 = 0, Q_1 = 0, Q_0 = 1$.

+ Điểm V3:

- **Trước V3:** Trạng thái là 0001 (1).
- **Tại V3:** Đếm lên: 0001 → 0010 (2).
- **Trạng thái tại V3:** $Q_3 = 0, Q_2 = 0, Q_1 = 1, Q_0 = 0$.

+ Điểm V4:

- **Trước V4:** Trạng thái là 0010 (2).
- **Tại V4:** Đếm lên: 0010 → 0011 (3).
- **Trạng thái tại V4:** $Q_3 = 0, Q_2 = 0, Q_1 = 1, Q_0 = 1$.

+ Điểm V5:

- **Trước V5:** Trạng thái là 0011 (3).
- **Tại V5:** Đếm lên: 0011 → 0100 (4).
- **Trạng thái tại V5:** $Q_3 = 0, Q_2 = 1, Q_1 = 0, Q_0 = 0$.

+ Điểm V6:

- **Trước V6:** Trạng thái là 0100 (4).
- **Tại V6:** Đếm lên: 0100 → 0101 (5).
- **Trạng thái tại V6:** $Q_3 = 0, Q_2 = 1, Q_1 = 0, Q_0 = 1$.

+ Điểm V7:

- **Trước V7:** Trạng thái là 0101 (5).
- **Tại V7:** Đếm lên: 0101 → 0110 (6).
- **Trạng thái tại V7:** $Q_3 = 0, Q_2 = 1, Q_1 = 1, Q_0 = 0$.

+ Điểm V8:

- **Trước V8:** Trạng thái là 0110 (6).
- **Tại V8:** Đếm lên: 0110 → 0111 (7).
- **Trạng thái tại V8:** $Q_3 = 0, Q_2 = 1, Q_1 = 1, Q_0 = 1$.

+ Điểm V9:

- **Trước V9:** Trạng thái là 0111 (7).
- **Tại V9:** Đếm lên: 0111 → 1000 (8).
- **Trạng thái tại V9:** $Q_3 = 1, Q_2 = 0, Q_1 = 0, Q_0 = 0$.

+ Điểm V10:

- **Trước V10:** Trạng thái là 1000 (8).
- **Tại V10:** Đếm lên: 1000 \rightarrow 1001 (9).
- **Trạng thái tại V10:** $Q_3 = 1, Q_2 = 0, Q_1 = 0, Q_0 = 1$.

+ Điểm V11:

- **Trước V11:** Trạng thái là 1001 (9).
- **Tại V11:** Đếm lên: 1001 \rightarrow 1010 (10).
- **Trạng thái tại V11:** $Q_3 = 1, Q_2 = 0, Q_1 = 1, Q_0 = 0$.

+ Điểm V12:

- **Trước V12:** Trạng thái là 1010 (10).
- **Tại V12:** Đếm lên: 1010 \rightarrow 1011 (11).
- **Trạng thái tại V12:** $Q_3 = 1, Q_2 = 0, Q_1 = 1, Q_0 = 1$.

+ Điểm V13:

- **Trước V13:** Trạng thái là 1011 (11).
- **Tại V13:** Đếm lên: 1011 \rightarrow 1100 (12).
- **Trạng thái tại V13:** $Q_3 = 1, Q_2 = 1, Q_1 = 0, Q_0 = 0$.

+ Điểm V14:

- **Trước V14:** Trạng thái là 1100 (12).
- **Tại V14:** Đếm lên: 1100 \rightarrow 1101 (13).
- **Trạng thái tại V14:** $Q_3 = 1, Q_2 = 1, Q_1 = 0, Q_0 = 1$.

+ Điểm V15:

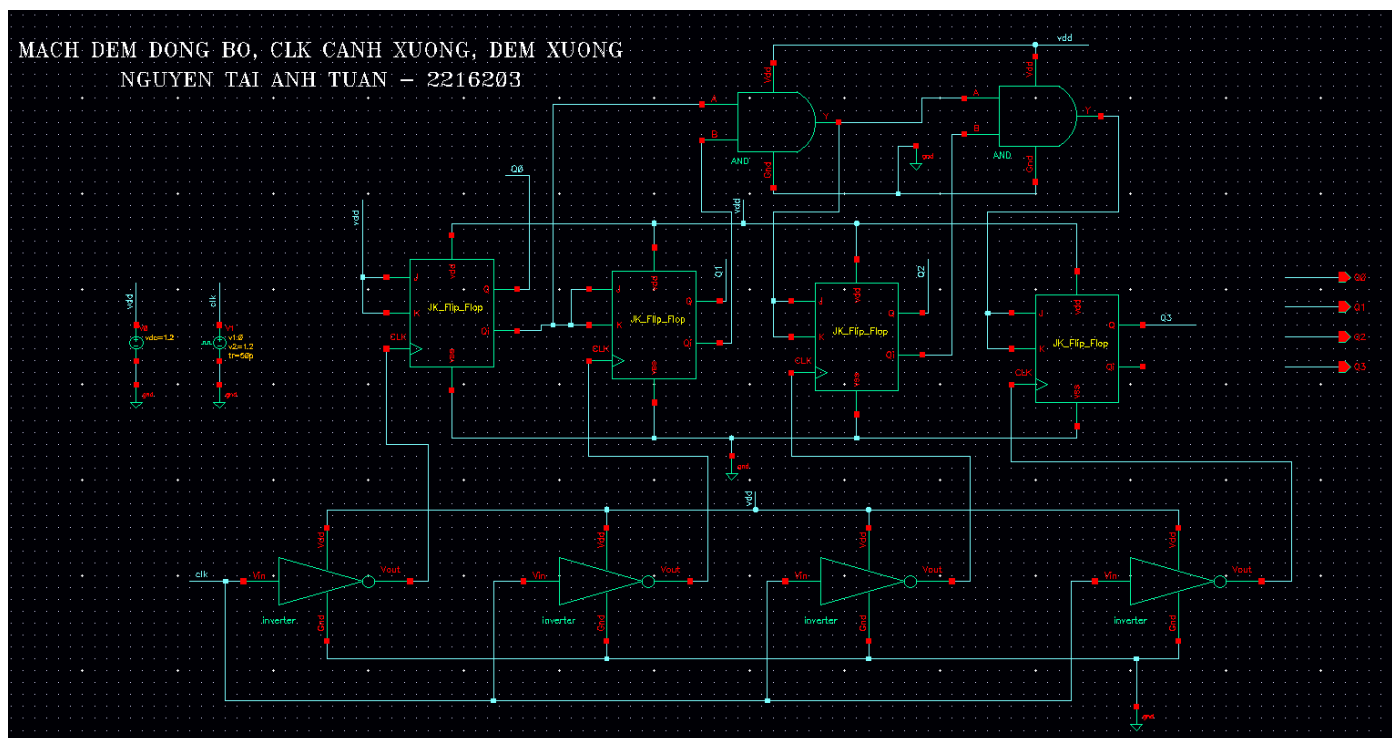
- **Trước V15:** Trạng thái là 1101 (13).
- **Tại V15:** Đếm lên: 1101 \rightarrow 1110 (14).
- **Trạng thái tại V15:** $Q_3 = 1, Q_2 = 1, Q_1 = 1, Q_0 = 0$.

+ Điểm V16:

- **Trước V16:** Trạng thái là 1110 (14).
- **Tại V16:** Đếm lên: 1110 \rightarrow 1111 (15).
- **Trạng thái tại V16:** $Q_3 = 1, Q_2 = 1, Q_1 = 1, Q_0 = 1$.

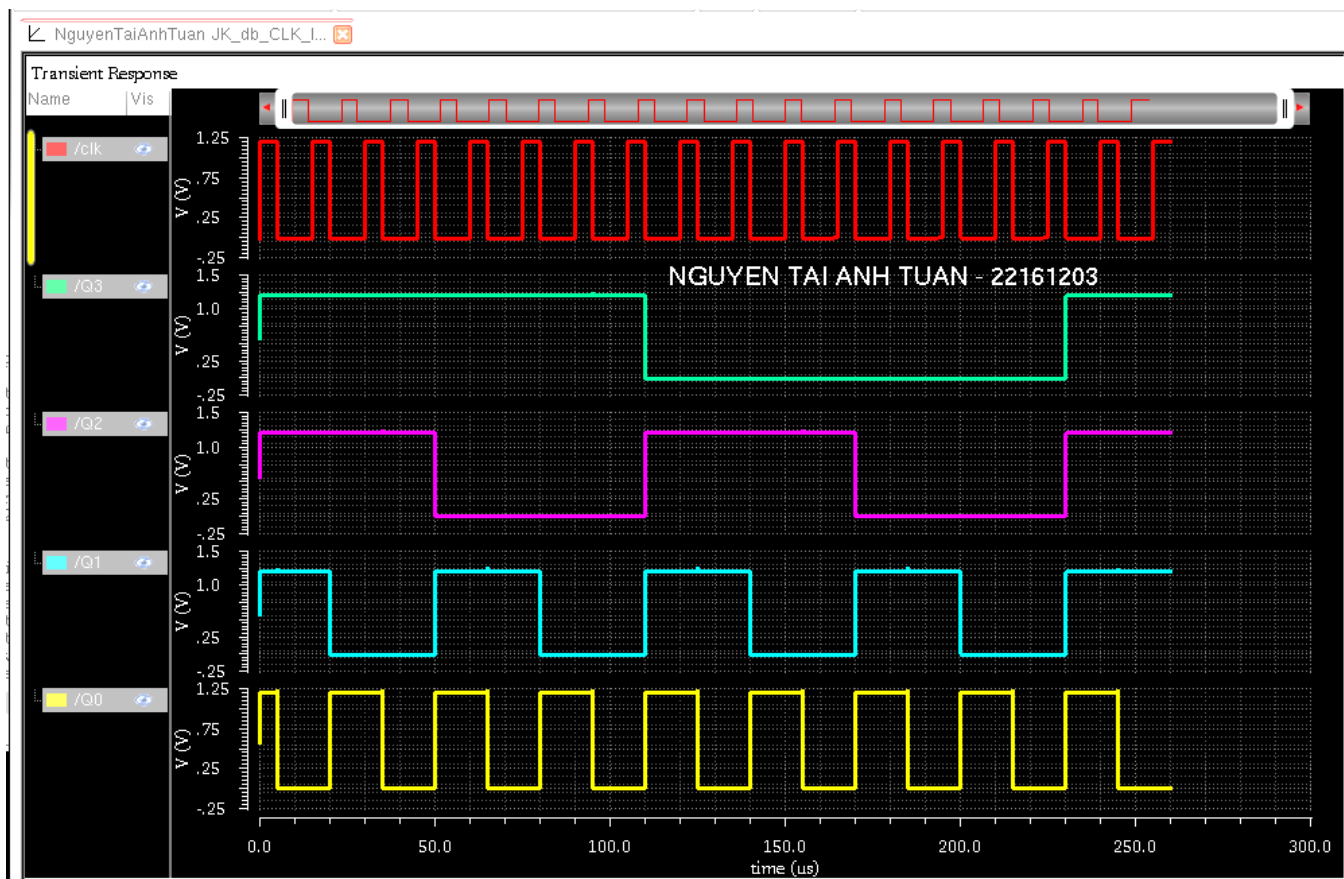
*** Sơ đồ nguyên lý mạch đếm đồng bộ 4 bit, CLK cạnh xuống, đếm xuống**

MẠCH ĐẾM ĐỒNG BỘ, CLK CẠNH XUỐNG, ĐẾM XUỐNG
NGUYỄN TÀI ANH TUÂN – 2216203



Hình 13. Mạch đếm đồng bộ 4 bit, CLK cạnh xuống, đếm xuống

* Kết quả mô phỏng



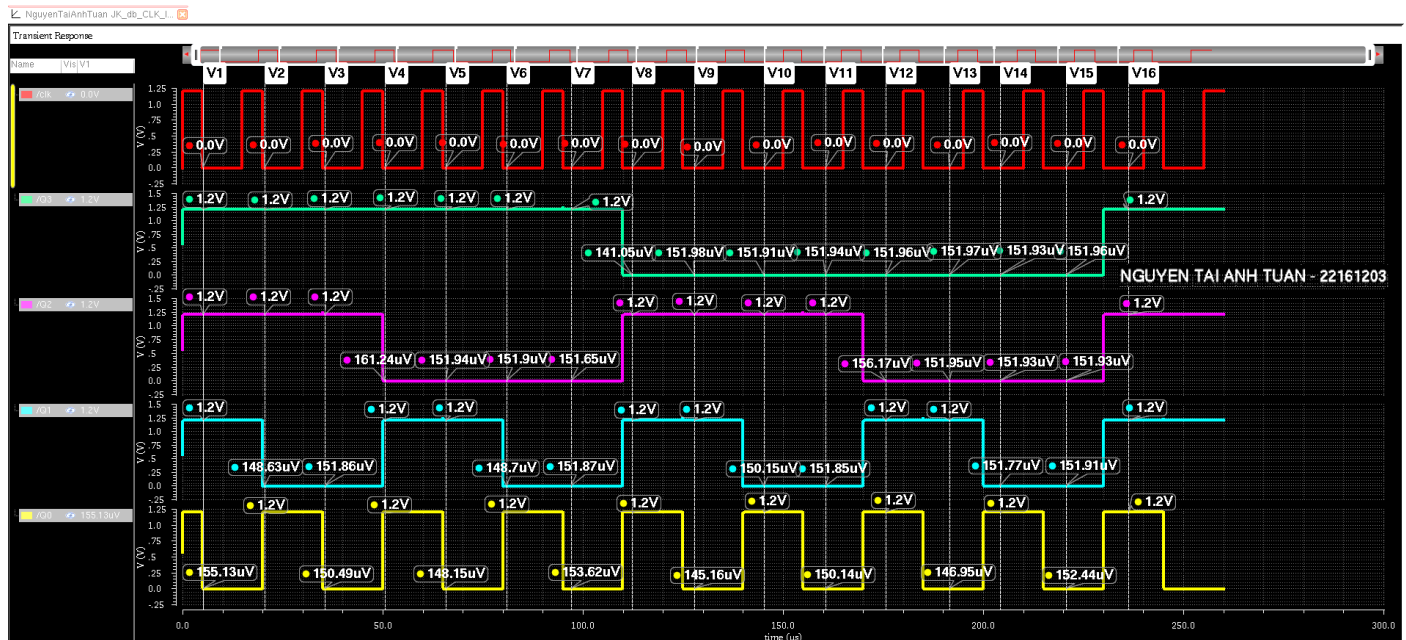
Hình 14. Dạng sóng mạch đếm từ 15 → 0

*** Bảng trạng thái**

CLK	Q3	Q2	Q1	Q0	Số đếm
↓	1	1	1	1	15
↓	1	1	1	0	14
↓	1	1	0	1	13
↓	1	1	0	0	12
↓	1	0	1	1	11
↓	1	0	1	0	10
↓	1	0	0	1	9
↓	1	0	0	0	8
↓	0	1	1	1	7
↓	0	1	1	0	6
↓	0	1	0	1	5
↓	0	1	0	0	4
↓	0	0	1	1	3
↓	0	0	1	0	2

↓	0	0	0	1	1
↓	0	0	0	0	0
↓	1	1	1	1	15

* Phân tích



Hình 15. Mạch đếm từ 15 \rightarrow 0

- **Flip-Flop JK:** Với Flip-Flop JK, khi $J = K = 1$, đầu ra Q sẽ đảo trạng thái (toggle) tại mỗi cạnh xuống của CLK.
- **Mạch đếm đồng bộ:** Tất cả các Flip-Flop trong mạch đều nhận tín hiệu CLK cùng lúc và trạng thái của các bit (Q3, Q2, Q1, Q0) thay đổi đồng thời dựa trên trạng thái trước đó.
- **Đếm xuống:** Mạch bắt đầu từ trạng thái 1111 (15) và đếm xuống 0000 (0), sau đó quay lại 1111.
- **CLK cạnh xuống:** Trạng thái của các đầu ra (Q3, Q2, Q1, Q0) thay đổi khi CLK chuyển từ 1 xuống 0.
- **Từ dạng sóng mô phỏng, có các tín hiệu:**
 - + Xung **CLK** (màu đỏ).
 - + Ngõ ra: **Q3** (màu xanh lá), **Q2** (màu hồng), **Q1** (màu xanh dương), **Q0** (màu vàng).
- **Xét tại các điểm từ V1 đến V16:**
 - + **Điểm V1:**

- **Tại V1:** CLK chuyển từ 1.2V xuống 0V, đếm xuống từ 1110 (14).
- **Trạng thái tại V1:** $Q3 = 1, Q2 = 1, Q1 = 1, Q0 = 1$.

+ Điểm V2:

- **Trước V2:** Trạng thái là 1110 (14).
- **Tại V2:** Đếm xuống: 1110 \rightarrow 1101 (13).
- **Trạng thái tại V2:** $Q3 = 1.2V, Q2 = 1.2V, Q1 = 0V, Q0 = 1V$.

+ Điểm V3:

- **Trước V3:** Trạng thái là 1101 (13).
- **Tại V3:** Đếm xuống: 1101 \rightarrow 1100 (12).
- **Trạng thái tại V3:** $Q_3 = 1, Q_2 = 1, Q_1 = 0, Q_0 = 0$.

+ Điểm V4:

- **Trước V4:** Trạng thái là 1100 (12).
- **Tại V4:** Đếm xuống: 1100 \rightarrow 1011 (11).
- **Trạng thái tại V4:** $Q_3 = 1, Q_2 = 0, Q_1 = 1, Q_0 = 1$.

+ Điểm V5:

- **Trước V5:** Trạng thái là 1011 (11).
- **Tại V5:** Đếm xuống: 1011 \rightarrow 1010 (10).
- **Trạng thái tại V5:** $Q_3 = 1, Q_2 = 0, Q_1 = 1, Q_0 = 0$.

+ Điểm V6:

- **Trước V6:** Trạng thái là 1010 (10).
- **Tại V6:** Đếm xuống: 1010 \rightarrow 1001 (9).
- **Trạng thái tại V6:** $Q_3 = 1, Q_2 = 0, Q_1 = 0, Q_0 = 1$.

+ Điểm V7:

- **Trước V7:** Trạng thái là 1001 (9).
- **Tại V7:** Đếm xuống: 1001 \rightarrow 1000 (8).
- **Trạng thái tại V7:** $Q_3 = 1, Q_2 = 0, Q_1 = 0, Q_0 = 0$.

+ Điểm V8:

- **Trước V8:** Trạng thái là 1000 (8).
- **Tại V8:** Đếm xuống: 1000 \rightarrow 0111 (7).
- **Trạng thái tại V8:** $Q_3 = 0, Q_2 = 1, Q_1 = 1, Q_0 = 0$.

+ Điểm V9:

- **Trước V9:** Trạng thái là 0111 (7).
- **Tại V9:** Đếm xuống: 0111 \rightarrow 0110 (6).
- **Trạng thái tại V9:** $Q_3 = 0, Q_2 = 1, Q_1 = 1, Q_0 = 0$.

+ Điểm V10:

- **Trước V10:** Trạng thái là 0110 (6).
- **Tại V10:** Đếm xuống: 0110 \rightarrow 0101 (5).
- **Trạng thái tại V10:** $Q_3 = 0, Q_2 = 1, Q_1 = 0, Q_0 = 1$.

+ Điểm V11:

- **Trước V11:** Trạng thái là 0101 (5).
- **Tại V11:** Đếm xuống: 0101 \rightarrow 0100 (4).
- **Trạng thái tại V11:** $Q_3 = 0, Q_2 = 1, Q_1 = 0, Q_0 = 0$.

+ Điểm V12:

- **Trước V12:** Trạng thái là 0100 (4).
- **Tại V12:** Đếm xuống: 0100 \rightarrow 0011 (3).
- **Trạng thái tại V12:** $Q_3 = 0, Q_2 = 0, Q_1 = 1, Q_0 = 1$.

+ Điểm V13:

- **Trước V13:** Trạng thái là 0011 (3).
- **Tại V13:** Đếm xuống: 0011 \rightarrow 0010 (2).
- **Trạng thái tại V13:** $Q_3 = 0, Q_2 = 0, Q_1 = 1, Q_0 = 0$.

+ Điểm V14:

- **Trước V14:** Trạng thái là 0010 (2).
- **Tại V14:** Đếm xuống: 0010 \rightarrow 0001 (1).
- **Trạng thái tại V14:** $Q_3 = 0, Q_2 = 0, Q_1 = 0, Q_0 = 1$.

+ Điểm V15:

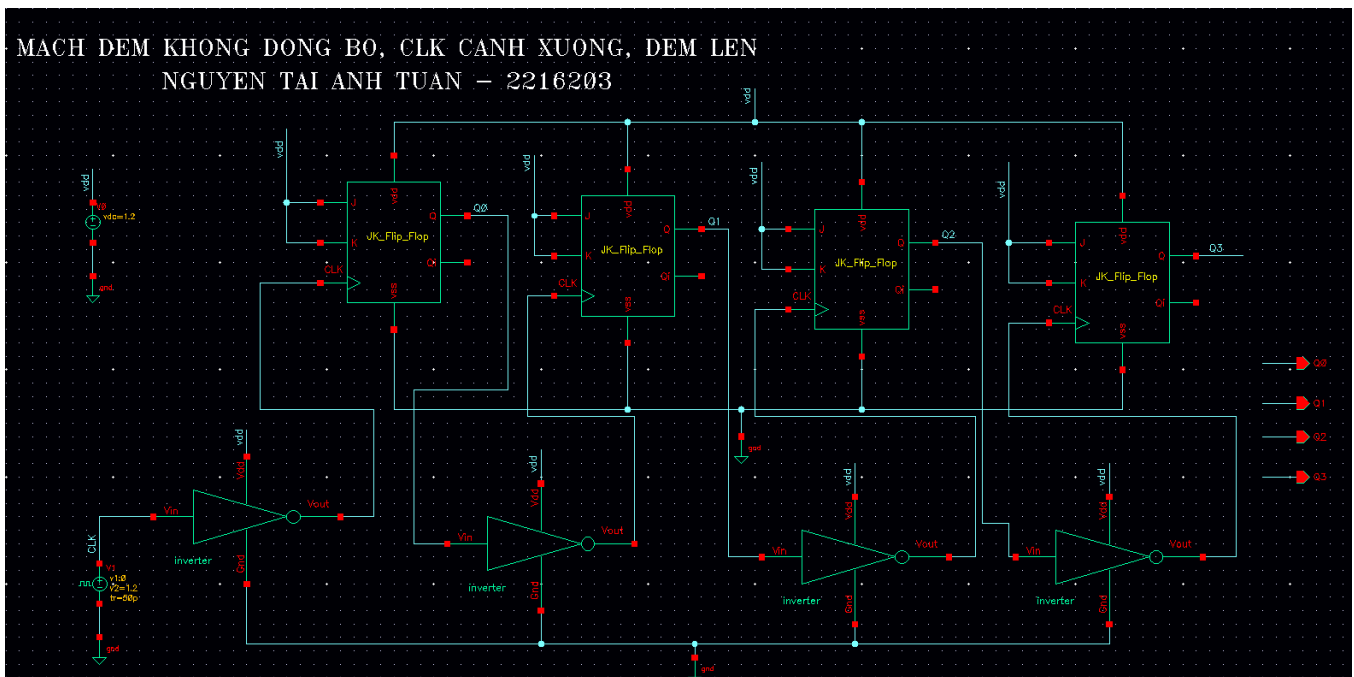
- **Trước V15:** Trạng thái là 0001 (1).
- **Tại V15:** Đếm xuống: 0001 \rightarrow 0000 (0).
- **Trạng thái tại V15:** $Q_3 = 0, Q_2 = 0, Q_1 = , Q_0 = 0$.

+ Điểm V16:

- **Trước V16:** Trạng thái là 0000 (0).
- **Tại V16:** Đếm xuống: 0000 \rightarrow 1111 (15).
- **Trạng thái tại V16:** $Q_3 = 1, Q_2 = 1, Q_1 = 1, Q_0 = 1$.

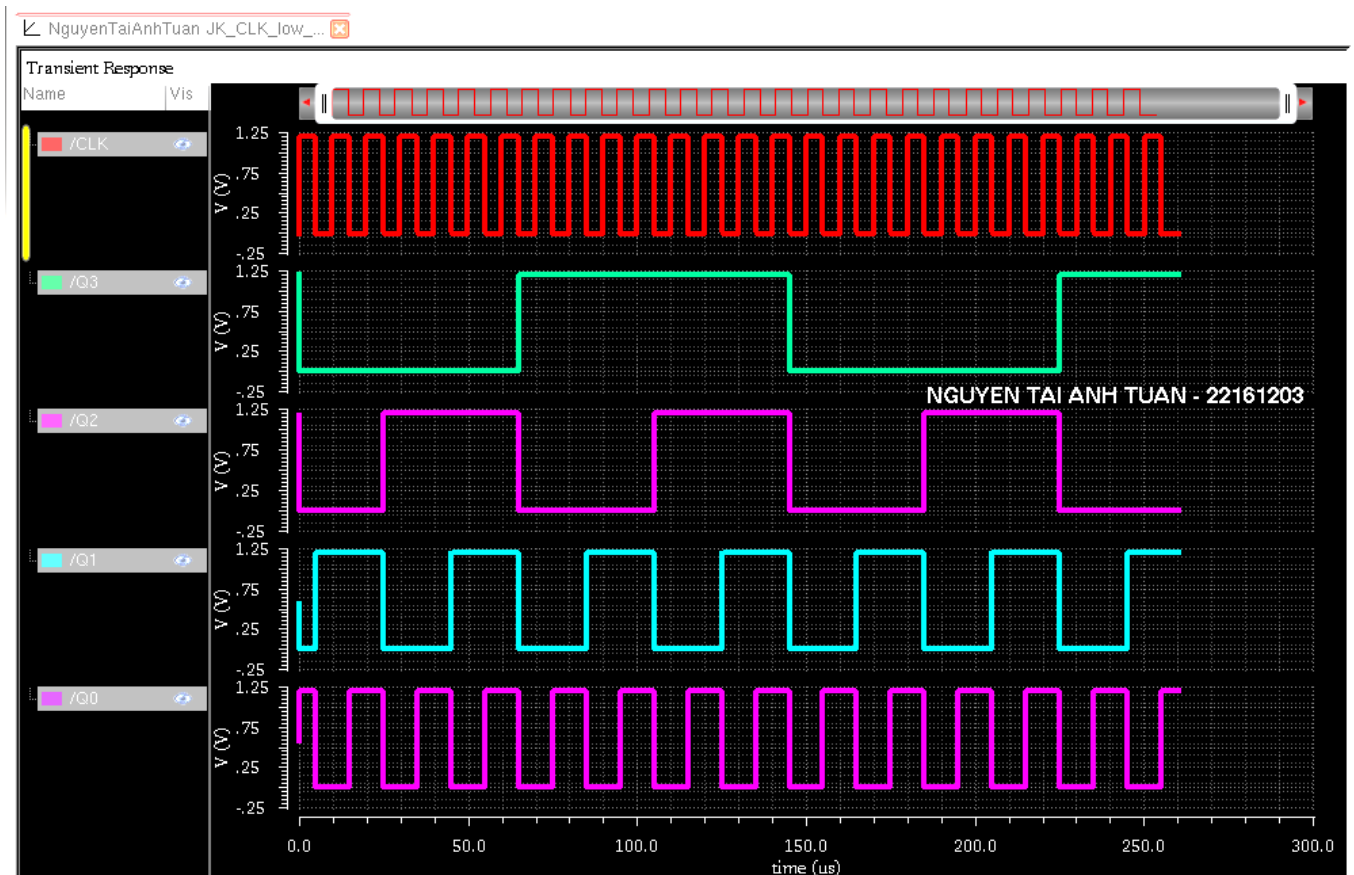
Phần 3: Thiết kế và mô phỏng mạch đếm không đồng bộ 4 bit Flip-Flop JK

*** Sơ đồ nguyên lý mạch đếm không đồng bộ 4 bit, CLK cạnh xuống, đếm lên**



Hình 16. Mạch đếm không đồng bộ 4 bit, CLK cạnh xuống, đếm lên

* Kết quả mô phỏng

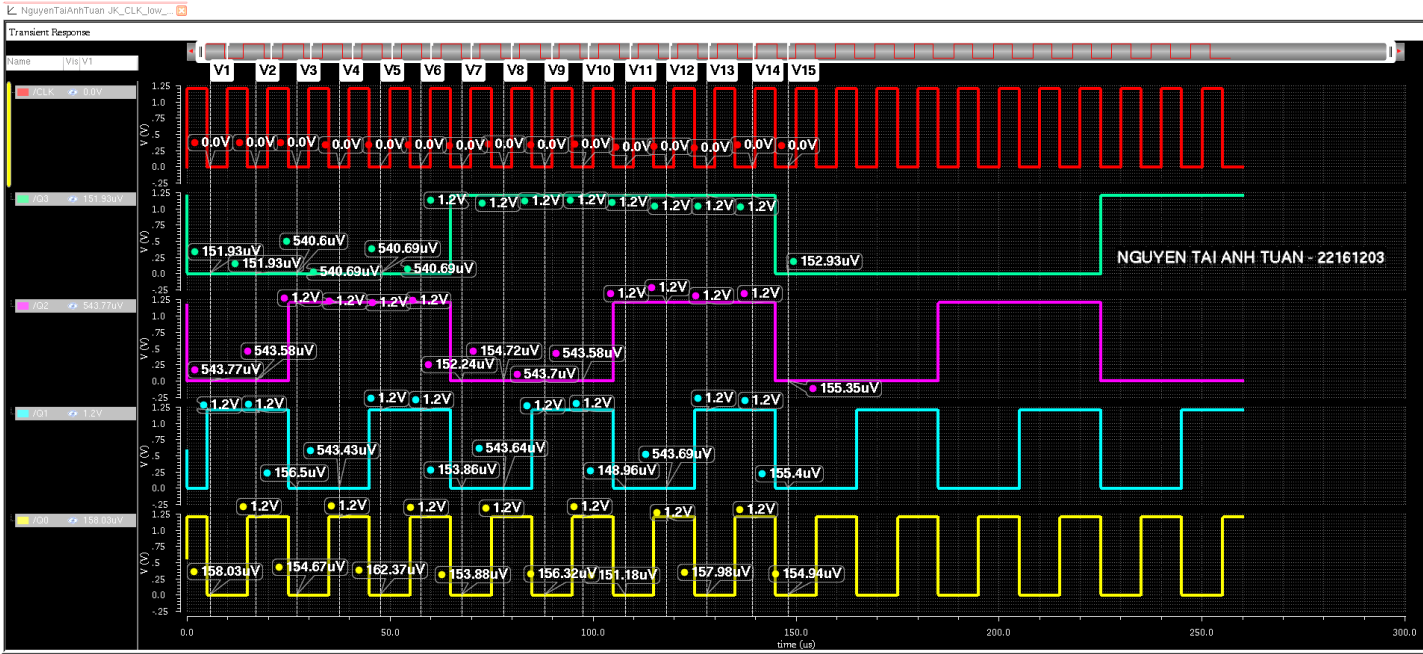


Hình 17. Dạng sóng mạch đếm từ 2 → 15

* Bảng trạng thái

CLK	Q3	Q2	Q1	Q0	Số đếm
↓	0	0	1	0	2
↓	0	0	1	1	3
↓	0	1	0	0	4
↓	0	1	0	1	5
↓	0	1	1	0	6
↓	0	1	1	1	7
↓	1	0	0	0	8
↓	1	0	0	1	9
↓	1	0	1	0	10
↓	1	0	1	1	11
↓	1	1	0	0	12
↓	1	1	0	1	13
↓	1	1	1	0	14
↓	1	1	1	1	15
↓	0	0	0	0	0

* Phân tích



Hình 18. Mạch đếm từ 2 → 15

- **Flip-Flop JK:** Khi $J = K = 1$, đầu ra Q sẽ đảo trạng thái (toggle) tại mỗi cạnh xuống của tín hiệu clock.
- **Mạch đếm không đồng bộ:**
 - + Q0 được kích hoạt trực tiếp bởi CLK.
 - + Q1 được kích hoạt bởi cạnh xuống của Q0.
 - + Q2 được kích hoạt bởi cạnh xuống của Q1.
 - + Q3 được kích hoạt bởi cạnh xuống của Q2.
 - + Do đó, sự thay đổi trạng thái của các bit xảy ra lần lượt, không đồng thời như mạch đếm đồng bộ.
- **Đếm lên:** Mạch bắt đầu từ trạng thái 0010 (2) và tăng dần lên 1111 (15), sau đó quay lại 0000.
- **CLK cạnh xuống:** Trạng thái của Q0 thay đổi khi CLK chuyển từ 1.2V xuống 0V, và các bit Q1, Q2, Q3 thay đổi theo cạnh xuống của bit trước đó.
- **Từ dạng sóng mô phỏng, có các tín hiệu:**
 - + Xung **CLK** (màu đỏ).
 - + Ngõ ra: **Q3** (màu xanh lá), **Q2** (màu hồng), **Q1** (màu xanh dương), **Q0** (màu vàng).
- **Xét tại các điểm từ V1 đến V15:**
 - + **Điểm V1:**
 - **Tại V1:** CLK chuyển từ 1.2V xuống 0V, đếm lên từ 0010 (2).
 - **Trạng thái tại V1:** $Q3 = 0, Q2 = 0, Q1 = 1, Q0 = 0$.
 - + **Điểm V2:**
 - **Trước V2:** Trạng thái là 0010 (2).
 - **Tại V2:** Đếm lên: $0010 \rightarrow 0011$ (3).
 - **Trạng thái tại V2:** $Q3 = 0, Q2 = 0, Q1 = 1, Q0 = 1$.
 - + **Điểm V3:**
 - **Trước V3:** Trạng thái là 0011 (3).
 - **Tại V3:** Đếm lên: $0011 \rightarrow 0100$ (4).
 - **Trạng thái tại V3:** $Q3 = 0, Q2 = 1, Q1 = 0, Q0 = 0$.
 - + **Điểm V4:**
 - **Trước V4:** Trạng thái là 0100 (4).
 - **Tại V4:** Đếm lên: $0100 \rightarrow 0101$ (5).
 - **Trạng thái tại V4:** $Q3 = 0, Q2 = 1, Q1 = 0, Q0 = 1$.
 - + **Điểm V5:**
 - **Trước V5:** Trạng thái là 0101 (5).
 - **Tại V5:** Đếm lên: $0101 \rightarrow 0110$ (6).
 - **Trạng thái tại V5:** $Q3 = 0, Q2 = 1, Q1 = 1, Q0 = 0$.
 - + **Điểm V6:**
 - **Trước V6:** Trạng thái là 0110 (6).
 - **Tại V6:** Đếm lên: $0110 \rightarrow 0111$ (7).

- **Trạng thái tại V6:** $Q3 = 0, Q2 = 1, Q1 = 1, Q0 = 1$.

+ Điểm V7:

- **Trước V7:** Trạng thái là 0111 (7).
- **Tại V7:** Đếm lên: $0111 \rightarrow 1000$ (8).
- **Trạng thái tại V7:** $Q3 = 1, Q2 = 0, Q1 = 0, Q0 = 0$.

+ Điểm V8:

- **Trước V8:** Trạng thái là 1000 (8).
- **Tại V8:** Đếm lên: $1000 \rightarrow 1001$ (9).
- **Trạng thái tại V8:** $Q3 = 1, Q2 = 0, Q1 = 0, Q0 = 1$.

+ Điểm V9:

- **Trước V9:** Trạng thái là 1001 (9).
- **Tại V9:** Đếm lên: $1001 \rightarrow 1010$ (10).
- **Trạng thái tại V9:** $Q3 = 1, Q2 = 0, Q1 = 1, Q0 = 0$.

+ Điểm V10:

- **Trước V10:** Trạng thái là 1010 (10).
- **Tại V10:** Đếm lên: $1010 \rightarrow 1011$ (11).
- **Trạng thái tại V10:** $Q3 = 1, Q2 = 0, Q1 = 1, Q0 = 1$.

+ Điểm V11:

- **Trước V11:** Trạng thái là 1011 (11).
- **Tại V11:** Đếm lên: $1011 \rightarrow 1100$ (12).
- **Trạng thái tại V11:** $Q3 = 1, Q2 = 1, Q1 = 0, Q0 = 0$.

+ Điểm V12:

- **Trước V12:** Trạng thái là 1100 (12).
- **Tại V12:** Đếm lên: $1100 \rightarrow 1101$ (13).
- **Trạng thái tại V12:** $Q3 = 1, Q2 = 1, Q1 = 0, Q0 = 1$.

+ Điểm V13:

- **Trước V13:** Trạng thái là 1101 (13).
- **Tại V13:** Đếm lên: $1101 \rightarrow 1110$ (14).
- **Trạng thái tại V13:** $Q3 = 1, Q2 = 1, Q1 = 1, Q0 = 0$.

+ Điểm V14:

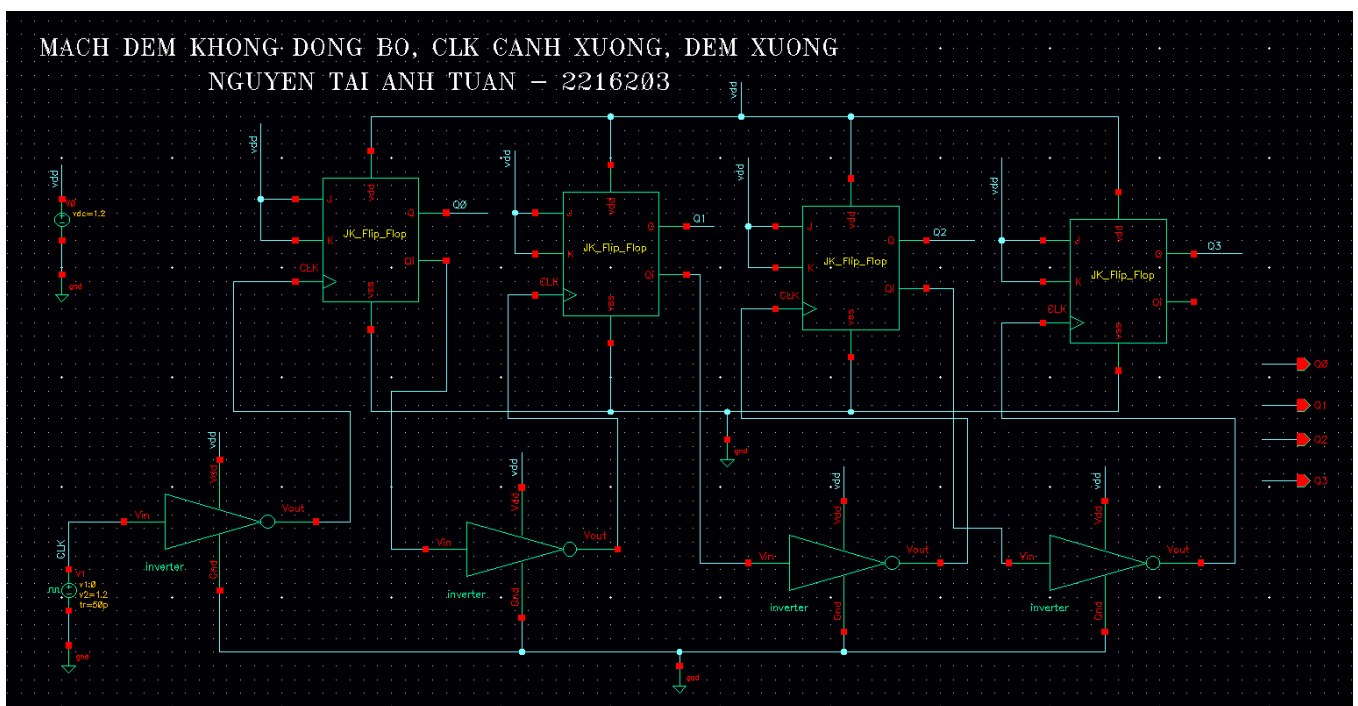
- **Trước V14:** Trạng thái là 1110 (14).

- **Tại V14:** Đếm lên: 1110 \rightarrow 1111 (15).
- **Trạng thái tại V14:** $Q3 = 1, Q2 = 1, Q1 = 1, Q0 = 1$.

+ **Điểm V15:**

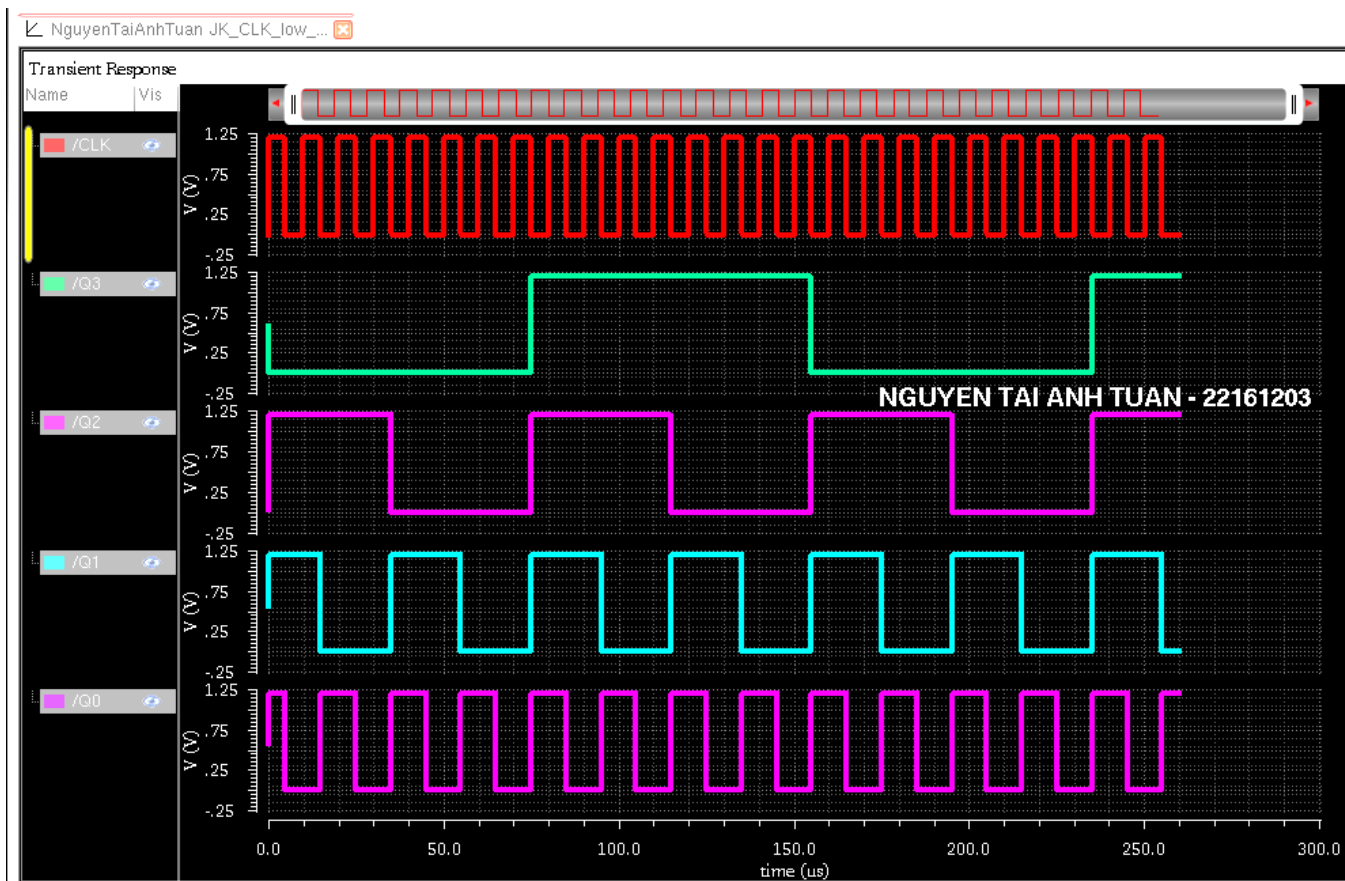
- **Trước V15:** Trạng thái là 1111 (15).
- **Tại V15:** Đếm lên: 1111 \rightarrow 0000 (0).
- **Trạng thái tại V15:** $Q3 = 0, Q2 = 0, Q1 = 0, Q0 = 0$.

* Sơ đồ nguyên lý mạch đếm không đồng bộ 4 bit, CLK cạnh xuống, đếm xuống



Hình 19. Mạch đếm không đồng bộ 4 bit, CLK cạnh xuống, đếm xuống

* **Kết quả mô phỏng**

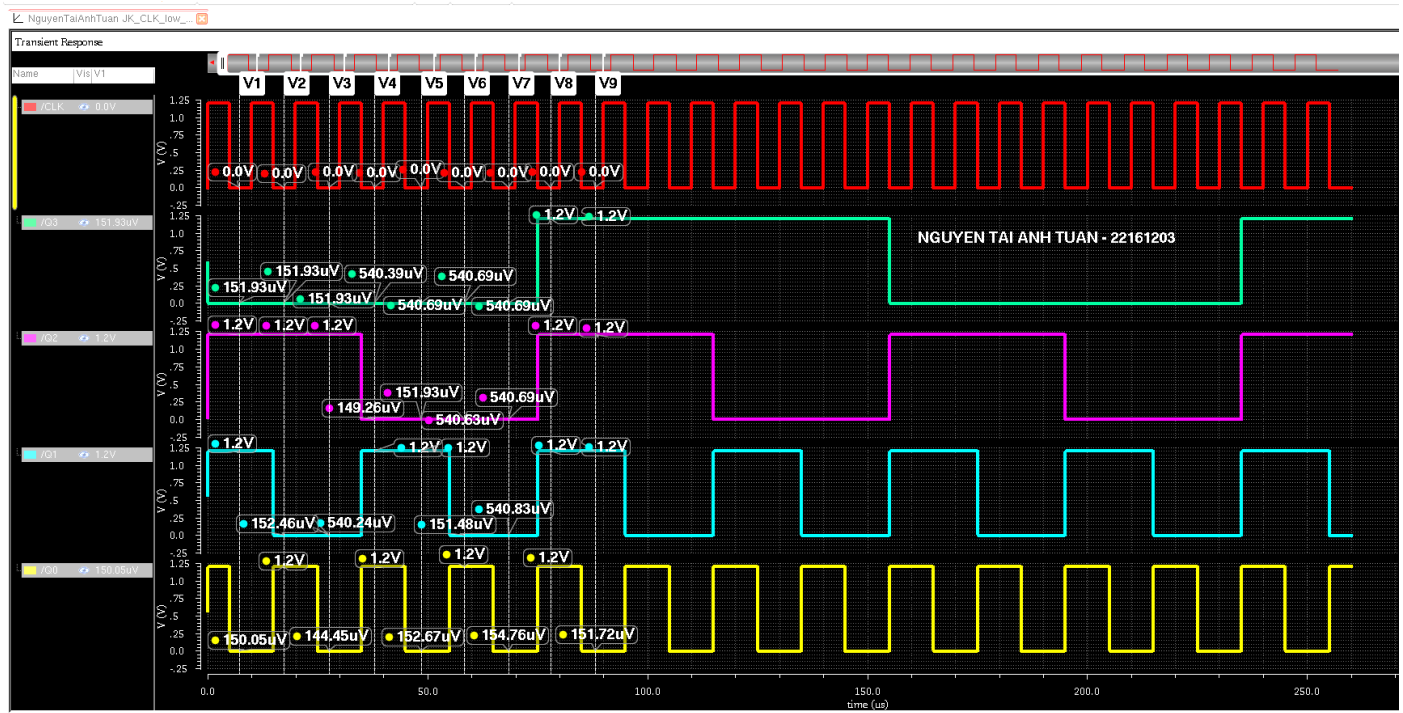


Hình 20. Mạch đếm từ 6 xuống 0, sau đó quay lại 15

* Bảng trạng thái

CLK	Q3	Q2	Q1	Q0	Số đếm
↓	0	1	1	0	6
↓	0	1	0	1	5
↓	0	1	0	0	4
↓	0	0	1	1	3
↓	0	0	1	0	2
↓	0	0	0	1	1
↓	0	0	0	0	0
↓	1	1	1	1	15

* Phân tích



Hình 21. Dạng sóng từ 6 xuống 0, sau đó quay lại 15

- **Flip-Flop JK:** Khi $J = K = 1$, đầu ra Q sẽ đảo trạng thái (toggle) tại mỗi cạnh xuống của tín hiệu clock.
- **Mạch đếm không đồng bộ:**
 - + Q0 được kích hoạt trực tiếp bởi CLK.
 - + Q1 được kích hoạt bởi cạnh xuống của Q0.
 - + Q2 được kích hoạt bởi cạnh xuống của Q1.
 - + Q3 được kích hoạt bởi cạnh xuống của Q2.
 - + Do đó, sự thay đổi trạng thái của các bit xảy ra lần lượt, không đồng thời như mạch đếm đồng bộ.
- **Đếm xuống:** Mạch bắt đầu từ trạng thái 0110 (6) và giảm dần xuống 0000 (0), sau đó có thể quay lại 1111 (15).
- **CLK cạnh xuống:** Trạng thái của Q0 thay đổi khi CLK chuyển từ 1.2V xuống 0V, và các bit Q1, Q2, Q3 thay đổi theo cạnh xuống của bit trước đó.
- **Từ dạng sóng mô phỏng, có các tín hiệu:**
 - + Xung **CLK** (màu đỏ).
 - + Ngõ ra: **Q3** (màu xanh lá), **Q2** (màu hồng), **Q1** (màu xanh dương), **Q0** (màu vàng).
- **Xét tại các điểm từ V1 đến V9:**
 - + **Điểm V1:**
 - **Tại V1:** CLK chuyển từ 1.2V xuống 0V, đếm xuống từ 0110 (6).
 - **Trạng thái tại V1:** $Q3 = 0, Q2 = 1, Q1 = 1, Q0 = 0$.
 - + **Điểm V2:**
 - **Trước V2:** Trạng thái là 0110 (6).
 - **Tại V2:** Đếm xuống: 0110 \rightarrow 0101 (5).

- **Trạng thái tại V2:** $Q3 = 0, Q2 = 1, Q1 = 0, Q0 = 1$.

+ Điểm V3:

- **Trước V:** Trạng thái là 0101 (5).
- **Tại V3:** Đếm xuống: $0101 \rightarrow 0100$ (4).
- **Trạng thái tại V3:** $Q3 = 0, Q2 = 1, Q1 = 0, Q0 = 0$.

+ Điểm V4:

- **Trước V4:** Trạng thái là 0100 (4).
- **Tại V4:** Đếm xuống: $0100 \rightarrow 0011$ (3).
- **Trạng thái tại V4:** $Q3 = 0, Q2 = 0, Q1 = 1, Q0 = 1$.

+ Điểm V5:

- **Trước V5:** Trạng thái là 0011 (3).
- **Tại V5:** Đếm xuống: $0011 \rightarrow 0010$ (2).
- **Trạng thái tại V5:** $Q3 = 0, Q2 = 0, Q1 = 1, Q0 = 0$.

+ Điểm V6:

- **Trước V6:** Trạng thái là 0010 (2).
- **Tại V6:** Đếm xuống: $0010 \rightarrow 0001$ (1).
- **Trạng thái tại V6:** $Q3 = 0, Q2 = 0, Q1 = 0, Q0 = 1$.

+ Điểm V7:

- **Trước V7:** Trạng thái là 0001 (1).
- **Tại V7:** Đếm xuống: $0001 \rightarrow 0000$ (0).
- **Trạng thái tại V7:** $Q3 = 0, Q2 = 0, Q1 = , Q0 = 0$.

+ Điểm V8:

- **Trước V8:** Trạng thái là 0000 (0).
- **Tại V8:** Đếm xuống: $0000 \rightarrow 1111$ (15).
- **Trạng thái tại V8:** $Q3 = 1, Q2 = 1, Q1 = 1, Q0 = 1$.

+ Điểm V9:

- **Trước V9:** Trạng thái là 1111 (15).
- **Tại V9:** Đếm xuống: $1111 \rightarrow 0001$ (1).
- **Trạng thái tại V9:** $Q3 = 0, Q2 = 0, Q1 = 0, Q0 = 1$.