**TRƯỜNG ĐẠI HỌC SƯ PHẠM KỸ THUẬT**

**KHOA ĐIỆN-ĐIỆN TỬ**

**BỘ MÔN KT MÁY TÍNH – VIỄN THÔNG**

|  |  |
| --- | --- |
| **Họ tên: Nguyễn Tài Anh Tuấn** | **MSSV: 22161203** |

**TÀI LIỆU THIẾT KẾ MẠCH VLSI**

**MỤC LỤC**

[I. N\_MOS VÀ P\_MOS 1](#_Toc189429089)

[1.1. N\_MOS 1](#_Toc189429090)

[1.2. P\_MOS 2](#_Toc189429091)

[II. CÁC CỔNG LOGIC 4](#_Toc189429092)

[2.1. INVERTER (NOT) 4](#_Toc189429093)

[2.2. BỘ ĐỆM (BUFER) 8](#_Toc189429094)

[2.3. TRISTATE INVERTER 11](#_Toc189429095)

[2.4. NAND 13](#_Toc189429096)

[2.4.1. NAND 2 NGÕ VÀO 13](#_Toc189429097)

[2.4.2. NAND 3 NGÕ VÀO 14](#_Toc189429098)

[2.5. NOR 17](#_Toc189429099)

[2.5.1. NOR 2 NGÕ VÀO 17](#_Toc189429100)

[2.5.2. NOR 3 NGÕ VÀO 19](#_Toc189429101)

[2.6. AND 22](#_Toc189429102)

[2.6.1. AND 2 NGÕ VÀO 22](#_Toc189429103)

[2.6.2. AND 3 NGÕ VÀO 24](#_Toc189429104)

[2.7. OR 27](#_Toc189429105)

[2.7.1 OR 2 NGÕ VÀO 27](#_Toc189429106)

[2.7.2. OR 3 NGÕ VÀO 28](#_Toc189429107)

[2.8. EX-NOR 31](#_Toc189429108)

[2.9. EX-OR 32](#_Toc189429109)

[III. MẠCH LOGIC TUẦN TỰ - FLIP FLOP 35](#_Toc189429110)

[3.1. MẠCH CHỐT SR (SR-LATCH) 35](#_Toc189429111)

[3.1.1. Mạch chốt SR sử dụng cổng NAND 35](#_Toc189429112)

[3.1.2. Mạch chốt SR sử dụng cổng NOR 37](#_Toc189429113)

[3.1.2. Mạch chốt SR sử dụng CLK 40](#_Toc189429114)

[3.2. FLIP-FLOP SR dùng NAND 43](#_Toc189429115)

[3.3. MẠCH CHỐT D (D-LATCH) 46](#_Toc189429116)

[3.3.1. Mạch chốt D sử dụng SR-NOR 46](#_Toc189429117)

[3.3.2. Mạch chốt D sử dụng NAND 48](#_Toc189429118)

[3.4. FLIP-FLOP D 51](#_Toc189429119)

[3.5. FLIP-FLOP T 53](#_Toc189429120)

[3.6. FLIP-FLOP JK 55](#_Toc189429121)

[3.6.1. JK dùng NAND 55](#_Toc189429122)

[3.6.2. JK dùng SR Latch 57](#_Toc189429123)

[3.7. FLIP-FLOP HOẠT ĐỘNG VỚI CÁC NGÕ VÀO KHÔNG ĐỒNG BỘ 58](#_Toc189429124)

[3.7.1. Flip-Flop SR có ngõ vào Pre và Clr mức cao, CLK cạnh lên 58](#_Toc189429125)

[3.7.2. Flip-Flop SR có ngõ vào Pre và Clr mức thấp, CLK cạnh xuống 60](#_Toc189429126)

[3.7.3. Flip-Flop JK có ngõ vào Pre và Clr mức cao, CLK cạnh lên 61](#_Toc189429127)

[3.7.4. Flip-Flop JK có ngõ vào Pre và Clr mức thấp, CLK cạnh xuống 63](#_Toc189429128)

[3.7.5. Flip-Flop D có ngõ vào Pre và Clr mức cao, CLK cạnh lên 64](#_Toc189429129)

[3.7.6. Flip-Flop D có ngõ vào Pre và Clr mức thấp, CLK cạnh xuống 66](#_Toc189429130)

[3.8. MẠCH ĐẾM 67](#_Toc189429131)

[3.8.1. Mạch đếm lên không đồng bộ Mod 6 dùng Flip-Flop JK có CLK cạnh xuống, Pre Clr mức thấp 67](#_Toc189429132)

[3.8.2. Mạch đếm xuống không đồng bộ 3 bit (Mod 8) 68](#_Toc189429133)

[3.9. THANH GHI DỊCH 68](#_Toc189429134)

[3.9.1. Thanh ghi dịch vào nối tiếp ra song song 68](#_Toc189429135)

[3.9.2. Thanh ghi dịch vào song song ra nối tiếp 69](#_Toc189429136)

[IV. MẠCH LOGIC TỔ HỢP 69](#_Toc189429137)

[4.1. BỘ CỘNG NHỊ PHÂN 69](#_Toc189429138)

[4.1.1. Bộ cộng bán phần (HALF ADDER - HA) 69](#_Toc189429139)

[4.1.2. Bộ cộng toàn phần (FULL ADDER - FA) 72](#_Toc189429140)

[4.1.3. Bộ cộng nhị phân 4 bit 75](#_Toc189429141)

[4.1.4. Bộ cộng nhị phân 8 bit 76](#_Toc189429142)

[4.1.5. Bộ cộng 2 mã BCD sử dụng bộ cộng nhị phân 4 bit 77](#_Toc189429143)

[4.2. BỘ TRỪ NHỊ PHÂN 78](#_Toc189429144)

[4.2.1. Bộ trừ bán phần (HALF SUBTRACTOR - HS) 78](#_Toc189429145)

[4.2.2. Bộ trừ toàn phần (FULL SUBTRACTOR - FS) 79](#_Toc189429146)

[4.2.3. Bộ trừ nhị phân 4 bit 80](#_Toc189429147)

[4.2.4. Bộ trừ nhị phân 8 bit 81](#_Toc189429148)

[4.3. BỘ NHÂN 82](#_Toc189429149)

[4.3.1. Bộ nhân 2 số nhị phân 4 bit 82](#_Toc189429150)

[4.4. BỘ SO SÁNH (COMPARATOR) 84](#_Toc189429151)

[4.4.1. Bộ so sánh nhị phân 1 bit 84](#_Toc189429152)

[4.4.2. Bộ so sánh nhị phân 2 bit 84](#_Toc189429153)

[4.4.1. Bộ so sánh nhị phân 4 bit 86](#_Toc189429154)

[4.5. BỘ TẠO VÀ KIỂM TRA CHẴN LẺ - PARITY 88](#_Toc189429155)

[4.5.1. Bộ tạo bit kiểm tra chẵn lẻ 88](#_Toc189429156)

[4.6. MẠCH ĐA HỢP (GHÉP KÊNH - MUX) 89](#_Toc189429157)

[4.6.1. Mux 2 sang 1, không có ngõ vào E cho phép, dùng cổng AND và OR 89](#_Toc189429158)

[4.6.2. Mux 2 sang 1, không có ngõ vào E cho phép, dùng cổng NAND 92](#_Toc189429159)

[4.6.3. Mux 2 sang 1, có ngõ vào cho phép E mức cao 94](#_Toc189429160)

[4.6.4. Mux 4 sang 1, không có ngõ vào E cho phép, 96](#_Toc189429161)

[4.6.5. Mux 4 sang 1, có ngõ vào cho phép E mức cao 99](#_Toc189429162)

[4.6.6. Mux 4 sang 1, có ngõ vào cho phép E mức thấp 101](#_Toc189429163)

[4.6.7. Thiết kế Mux 4 sang 1, có E ở mức thấp từ Mux 2 sang 1 có E mức cao. 102](#_Toc189429164)

[4.6.8. Thiết kế Mux 4 sang 1, có E ở mức thấp từ Mux 2 sang 1 không có ngõ vào E cho phép. 103](#_Toc189429165)

[4.6.9. Mux 8 sang 1, không có ngõ vào E cho phép 104](#_Toc189429166)

[4.6.10. Mux 8 sang 1, có ngõ vào cho phép E mức cao 106](#_Toc189429167)

[4.7. MẠCH GIẢI ĐA HỢP (TÁCH KÊNH - DEMUX) 108](#_Toc189429168)

[4.7.1. Demux 1 sang 2, có ngõ vào cho phép E mức cao 108](#_Toc189429169)

[4.7.2. Demux 1 sang 4, có ngõ vào cho phép E mức thấp 109](#_Toc189429170)

[4.7.3. Demux 1 sang 8, có ngõ vào cho phép E mức thấp 111](#_Toc189429171)

[4.8. MẠCH MÃ HÓA (ENCODER) 112](#_Toc189429172)

[4.8.1. Mạch mã hóa 4 sang 2, ngõ vào mức cao 112](#_Toc189429173)

[4.8.2. Mạch mã hóa 4 sang 2, ngõ vào mức thấp 113](#_Toc189429174)

[4.8.3. Mạch mã hóa ưu tiên 4 sang 2, ngõ vào mức cao 114](#_Toc189429175)

[4.8.4. Mạch mã hóa 8 sang 3, ngõ vào mức cao 116](#_Toc189429176)

[4.8.5. Mạch mã hóa 10 sang 4 (thập phân sang BCD), ngõ vào mức thấp 117](#_Toc189429177)

[4.9. MẠCH GIẢI MÃ (DECODER) 119](#_Toc189429178)

[4.9.1. Mạch giải mã 2 sang 4, ngõ ra mức cao, có ngõ vào E mức cao 119](#_Toc189429179)

[4.9.2. Mạch giải mã 2 sang 4, ngõ ra mức thấp, có ngõ vào E mức cao 120](#_Toc189429180)

[4.9.3. Mạch giải mã 3 sang 8, ngõ ra mức thấp, có ngõ vào E mức thấp 121](#_Toc189429181)

[4.9.4. Mạch giải mã 3 sang 8 (E thấp) từ mạch giải mã 2 sang 4 (E cao) 123](#_Toc189429182)

[4.9.5. Mạch giải mã BCD sang thập phân, ngõ ra mức thấp 124](#_Toc189429183)

[4.10. MẠCH CHUYỂN MÃ 125](#_Toc189429184)

[4.10.1. Mạch chuyển mã 4 bit nhị phân BIN 🡪 GRAY 125](#_Toc189429185)

[4.10.2. Mạch chuyển mã BCD sang thừa 3 (BIN 🡪E3) 127](#_Toc189429186)

[V. BỘ NHỚ SRAM 129](#_Toc189429187)

[5.1. MẠCH NẠP TRƯỚC (PRE-CHARGE) 129](#_Toc189429188)

[5.2. MẠCH KHUẾCH ĐẠI CẢM NHẬN (SENSE-AMPLIFIER) 131](#_Toc189429189)

[5.3. MẠCH GHI (WRITE DRIVER) 133](#_Toc189429190)

[5.4. SRAM 4T 136](#_Toc189429191)

[5.5. SRAM 6T 137](#_Toc189429192)

[5.6. SRAM 8T 138](#_Toc189429193)

[5.7. SRAM 12T 139](#_Toc189429194)

[VI. LAYOUT 140](#_Toc189429195)

[CÁC LƯU Ý KHI THIẾT KẾ LAYOUT 140](#_Toc189429196)

[6.1. Layout NOT 140](#_Toc189429197)

[6.2. Layout NAND 140](#_Toc189429198)

[6.3. Layout AND 140](#_Toc189429199)

[6.4. Layout NOR 140](#_Toc189429200)

[6.5. Layout OR 140](#_Toc189429201)

# I. N\_MOS VÀ P\_MOS

## 1.1. N\_MOS

|  |
| --- |
| **\* Sơ đồ nguyên lý** |
| **\* Kết quả mô phỏng** |

**\* Điện trở OFF/ON của N\_MOS**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **Hình 1. Dòng IDS (µA) của nMOS tại 0V** | | | **Hình 2. Dòng IDS (µA) của nMOS tại 0..6V và 1V** | | |
| N\_MOS | Vgs (V) | VDD (V) | IDS (µA) | Roff = VDD / IDS (Ω) | Ron = VDD / IDS (Ω) |
|  | 0 | 1 | 0 | ∞ |  |
|  | 0.6 | 1 | 35.9026 µA |  | 27,8531 Ω |
|  | 1 | 1 | 81.0051 µA |  | 12,3449 Ω |

## 1.2. P\_MOS

|  |
| --- |
| **\* Sơ đồ nguyên lý** |
| **\* Kết quả mô phỏng** |

**\* Điện trở OFF/ON của N\_MOS**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **Hình 1. Dòng IDS (µA) của pMOS tại 0V** | | | **Hình 2. Dòng IDS (µA) của pMOS tại 0..6V và 1V** | | |
| P\_MOS | Vgs (V) | VDD (V) | IDS (µA) | Roff = VDD / IDS (Ω) | Ron = VDD / IDS (Ω) |
|  | 0 | 1 | 0 | ∞ |  |
|  | 0.6 | 1 | -11.9239 µA |  | 83,8651 Ω |
|  | 1 | 1 | -34.0766 µA |  | 29,3456 Ω |

# II. CÁC CỔNG LOGIC

## 2.1. INVERTER (NOT)

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |
| **Công suất trung bình** |
| **Mô phỏng kết nối với delay** |
| **Dạng sóng độ trễ giảm dần:** tpdf |
| **Dạng sóng độ trễ tăng dần:** tpdr |
|  |

## 2.2. BỘ ĐỆM (BUFER)

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |
| **Công suất trung bình** |

## 2.3. TRISTATE INVERTER

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |
| **Công suất trung bình** |

## 2.4. NAND

### 2.4.1. NAND 2 NGÕ VÀO

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |

### 2.4.2. NAND 3 NGÕ VÀO

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |
| **Công suất trung bình** |

## 2.5. NOR

### 2.5.1. NOR 2 NGÕ VÀO

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |

### 2.5.2. NOR 3 NGÕ VÀO

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |
| **Công suất trung bình** |

## 2.6. AND

### 2.6.1. AND 2 NGÕ VÀO

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |

### 2.6.2. AND 3 NGÕ VÀO

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |
| **Công suất trung bình** |

## 2.7. OR

### 2.7.1 OR 2 NGÕ VÀO

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |

### 2.7.2. OR 3 NGÕ VÀO

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |
| **Công suất trung bình** |

## 2.8. EX-NOR

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |

## 2.9. EX-OR

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |

# III. MẠCH LOGIC TUẦN TỰ - FLIP FLOP

## 3.1. MẠCH CHỐT SR (SR-LATCH)

### 3.1.1. Mạch chốt SR sử dụng cổng NAND

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |
| **Bảng trạng thái** |
| **Công suất trung bình** |

### 3.1.2. Mạch chốt SR sử dụng cổng NOR

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |
| **Bảng trạng thái** |

### 3.1.2. Mạch chốt SR sử dụng CLK

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |
| **Bảng trạng thái**  Truth Table S-R Gated Latch |

## 3.2. FLIP-FLOP SR dùng NAND

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |
| **Bảng trạng thái**  Truth Table S-R Gated Latch |

## 3.3. MẠCH CHỐT D (D-LATCH)

### 3.3.1. Mạch chốt D sử dụng SR-NOR

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |
| **Bảng trạng thái** |

### 3.3.2. Mạch chốt D sử dụng NAND

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |
| **Bảng trạng thái** |

## 3.4. FLIP-FLOP D

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |
| **Bảng trạng thái** |

## 3.5. FLIP-FLOP T

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói**  T Flip-Flop Explained | Working, Circuit diagram, Excitation Table and  Characteristic Equation of T Flip-Flop - ALL ABOUT ELECTRONICS |
| **Mô phỏng** |
| **Kết quả mô phỏng** |
| **Bảng trạng thái** |

## 3.6. FLIP-FLOP JK

### 3.6.1. JK dùng NAND

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |
| **Bảng trạng thái** |

### 3.6.2. JK dùng SR Latch

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |
| **Bảng trạng thái** |

## 3.7. FLIP-FLOP HOẠT ĐỘNG VỚI CÁC NGÕ VÀO KHÔNG ĐỒNG BỘ

### 3.7.1. Flip-Flop SR có ngõ vào Pre và Clr mức cao, CLK cạnh lên

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |
| **Bảng trạng thái** |

### 3.7.2. Flip-Flop SR có ngõ vào Pre và Clr mức thấp, CLK cạnh xuống

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |
| **Bảng trạng thái** |

### 3.7.3. Flip-Flop JK có ngõ vào Pre và Clr mức cao, CLK cạnh lên

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |
| **Bảng trạng thái** |

### 3.7.4. Flip-Flop JK có ngõ vào Pre và Clr mức thấp, CLK cạnh xuống

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |
| **Bảng trạng thái** |

### 3.7.5. Flip-Flop D có ngõ vào Pre và Clr mức cao, CLK cạnh lên

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |
| **Bảng trạng thái** |

### 3.7.6. Flip-Flop D có ngõ vào Pre và Clr mức thấp, CLK cạnh xuống

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |
| **Bảng trạng thái** |

## 3.8. MẠCH ĐẾM

|  |  |
| --- | --- |
| **\* CLK cạnh lên** | **\* CLK cạnh xuống** |

### 3.8.1. Mạch đếm lên không đồng bộ Mod 6 dùng Flip-Flop JK có CLK cạnh xuống, Pre Clr mức thấp

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |
| **Bảng trạng thái** |

### 3.8.2. Mạch đếm xuống không đồng bộ 3 bit (Mod 8)

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |
| **Bảng trạng thái** |

## 3.9. THANH GHI DỊCH

### 3.9.1. Thanh ghi dịch vào nối tiếp ra song song

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |

### 3.9.2. Thanh ghi dịch vào song song ra nối tiếp

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |

# IV. MẠCH LOGIC TỔ HỢP

## 4.1. BỘ CỘNG NHỊ PHÂN

### 4.1.1. Bộ cộng bán phần (HALF ADDER - HA)

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |
| **Bảng trạng thái** |

### 4.1.2. Bộ cộng toàn phần (FULL ADDER - FA)

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |
| **Bảng trạng thái** |

### 4.1.3. Bộ cộng nhị phân 4 bit

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |

### 4.1.4. Bộ cộng nhị phân 8 bit

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |

### 4.1.5. Bộ cộng 2 mã BCD sử dụng bộ cộng nhị phân 4 bit

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |

## 4.2. BỘ TRỪ NHỊ PHÂN

### 4.2.1. Bộ trừ bán phần (HALF SUBTRACTOR - HS)

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |
| **Bảng trạng thái** |

### 4.2.2. Bộ trừ toàn phần (FULL SUBTRACTOR - FS)

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |
| **Bảng trạng thái** |

### 4.2.3. Bộ trừ nhị phân 4 bit

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |

### 4.2.4. Bộ trừ nhị phân 8 bit

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |

## 4.3. BỘ NHÂN

### 4.3.1. Bộ nhân 2 số nhị phân 4 bit

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |

## 4.4. BỘ SO SÁNH (COMPARATOR)

### 4.4.1. Bộ so sánh nhị phân 1 bit

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |
| **Bảng trạng thái** |

### 4.4.2. Bộ so sánh nhị phân 2 bit

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |
| **Bảng trạng thái** |

### 4.4.1. Bộ so sánh nhị phân 4 bit

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |
| **Bảng trạng thái** |

## 4.5. BỘ TẠO VÀ KIỂM TRA CHẴN LẺ - PARITY

### 4.5.1. Bộ tạo bit kiểm tra chẵn lẻ

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |
| **Bảng trạng thái** |

## 4.6. MẠCH ĐA HỢP (GHÉP KÊNH - MUX)

### 4.6.1. Mux 2 sang 1, không có ngõ vào E cho phép, dùng cổng AND và OR

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |
| **Bảng trạng thái** |

### 4.6.2. Mux 2 sang 1, không có ngõ vào E cho phép, dùng cổng NAND

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |
| **Bảng trạng thái**  Verilog: Mux 2 to 1 (Multiplexer) | by Nima Akbarzadeh | Medium |

### 4.6.3. Mux 2 sang 1, có ngõ vào cho phép E mức cao

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |
| **Bảng trạng thái** |

### 4.6.4. Mux 4 sang 1, không có ngõ vào E cho phép,

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |
| **Bảng trạng thái** |

### 4.6.5. Mux 4 sang 1, có ngõ vào cho phép E mức cao

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |
| **Bảng trạng thái** |

### 4.6.6. Mux 4 sang 1, có ngõ vào cho phép E mức thấp

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |
| **Bảng trạng thái** |

### 4.6.7. Thiết kế Mux 4 sang 1, có E ở mức thấp từ Mux 2 sang 1 có E mức cao.

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |

### 4.6.8. Thiết kế Mux 4 sang 1, có E ở mức thấp từ Mux 2 sang 1 không có ngõ vào E cho phép.

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |

### 4.6.9. Mux 8 sang 1, không có ngõ vào E cho phép

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |
| **Bảng trạng thái**  8:1 multiplexer to 6:1 multiplexer - Electrical Engineering Stack Exchange |

### 4.6.10. Mux 8 sang 1, có ngõ vào cho phép E mức cao

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |
| **Bảng trạng thái** |

## 4.7. MẠCH GIẢI ĐA HỢP (TÁCH KÊNH - DEMUX)

### 4.7.1. Demux 1 sang 2, có ngõ vào cho phép E mức cao

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |
| **Bảng trạng thái** |

### 4.7.2. Demux 1 sang 4, có ngõ vào cho phép E mức thấp

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |
| **Bảng trạng thái** |

### 4.7.3. Demux 1 sang 8, có ngõ vào cho phép E mức thấp

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |
| **Bảng trạng thái** |

## 4.8. MẠCH MÃ HÓA (ENCODER)

### 4.8.1. Mạch mã hóa 4 sang 2, ngõ vào mức cao

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |
| **Bảng trạng thái** |

### 4.8.2. Mạch mã hóa 4 sang 2, ngõ vào mức thấp

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |
| **Bảng trạng thái** |

### 4.8.3. Mạch mã hóa ưu tiên 4 sang 2, ngõ vào mức cao

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |
| **Bảng trạng thái** |

### 4.8.4. Mạch mã hóa 8 sang 3, ngõ vào mức cao

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |
| **Bảng trạng thái** |

### 4.8.5. Mạch mã hóa 10 sang 4 (thập phân sang BCD), ngõ vào mức thấp

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |
| **Bảng trạng thái** |

## 4.9. MẠCH GIẢI MÃ (DECODER)

### 4.9.1. Mạch giải mã 2 sang 4, ngõ ra mức cao, có ngõ vào E mức cao

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |
| **Bảng trạng thái** |

### 4.9.2. Mạch giải mã 2 sang 4, ngõ ra mức thấp, có ngõ vào E mức cao

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |
| **Bảng trạng thái** |

### 4.9.3. Mạch giải mã 3 sang 8, ngõ ra mức thấp, có ngõ vào E mức thấp

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |
| **Bảng trạng thái** |

### 4.9.4. Mạch giải mã 3 sang 8 (E thấp) từ mạch giải mã 2 sang 4 (E cao)

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |
| **Bảng trạng thái** |

### 4.9.5. Mạch giải mã BCD sang thập phân, ngõ ra mức thấp

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |
| **Bảng trạng thái** |

## 4.10. MẠCH CHUYỂN MÃ

### 4.10.1. Mạch chuyển mã 4 bit nhị phân BIN 🡪 GRAY

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |
| **Bảng trạng thái** |

### 4.10.2. Mạch chuyển mã BCD sang thừa 3 (BIN 🡪E3)

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |
| **Bảng trạng thái** |

# V. BỘ NHỚ SRAM

## 5.1. MẠCH NẠP TRƯỚC (PRE-CHARGE)

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |

## 5.2. MẠCH KHUẾCH ĐẠI CẢM NHẬN (SENSE-AMPLIFIER)

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |

## 5.3. MẠCH GHI (WRITE DRIVER)

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |
| **Bảng trạng thái** |

## 5.4. SRAM 4T

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |

## 5.5. SRAM 6T

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |

## 5.6. SRAM 8T

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |

## 5.7. SRAM 12T

|  |
| --- |
| **Sơ đồ nguyên lý** |
| **Đóng gói** |
| **Mô phỏng** |
| **Kết quả mô phỏng** |

# VI. LAYOUT

## CÁC LƯU Ý KHI THIẾT KẾ LAYOUT

## 6.1. Layout NOT

## 6.2. Layout NAND

## 6.3. Layout AND

## 6.4. Layout NOR

## 6.5. Layout OR