

**TRƯỜNG ĐẠI HỌC SƯ PHẠM KỸ THUẬT**  
**KHOA ĐIỆN-ĐIỆN TỬ**  
**BỘ MÔN KT MÁY TÍNH – VIỄN THÔNG**

**BÁO CÁO THỰC TẬP**  
**MÔN HỌC:**  
**TUẦN: 6**

<b>Họ tên: Nguyễn Tài Anh Tuấn</b>	<b>MSSV: 22161203</b>	<b>Nhóm: (Chiều thứ 6, tuần 1-8)</b>

**1. Layout**

**a. Lý thuyết:**

Xem chi tiết hướng dẫn layout một bộ inverter sử dụng công nghệ CMOS 90nm

<https://www.youtube.com/watch?v=tK9St35jATA&list=PLmLQnr2Fjat0MuBkXBFg-Er58PTokj-r2&index=2>

**b. Thực hành:**

Thực hiện layout một cổng inverter sử dụng công nghệ 90nm

Giới thiệu lại các bước thực hiện và kết quả thực hiện

**PHẦN 1: THỰC HÀNH**

**\* Bước 1: Thiết kế cổng inverter với các thông số PMOS và NMOS như sau:**

Library Name	gpd090
Cell Name	pmos1v
View Name	symbol
Instance Name	PM0

Add Delete Modify

CDF Parameter	Value
Model Name	gpd090_pmos1v
Multiplier	1
Length	130n M
Total Width	2.6u M
Finger Width	2.6u M
Fingers	1
Threshold	120n M

Hình 1. Thông số PMOS

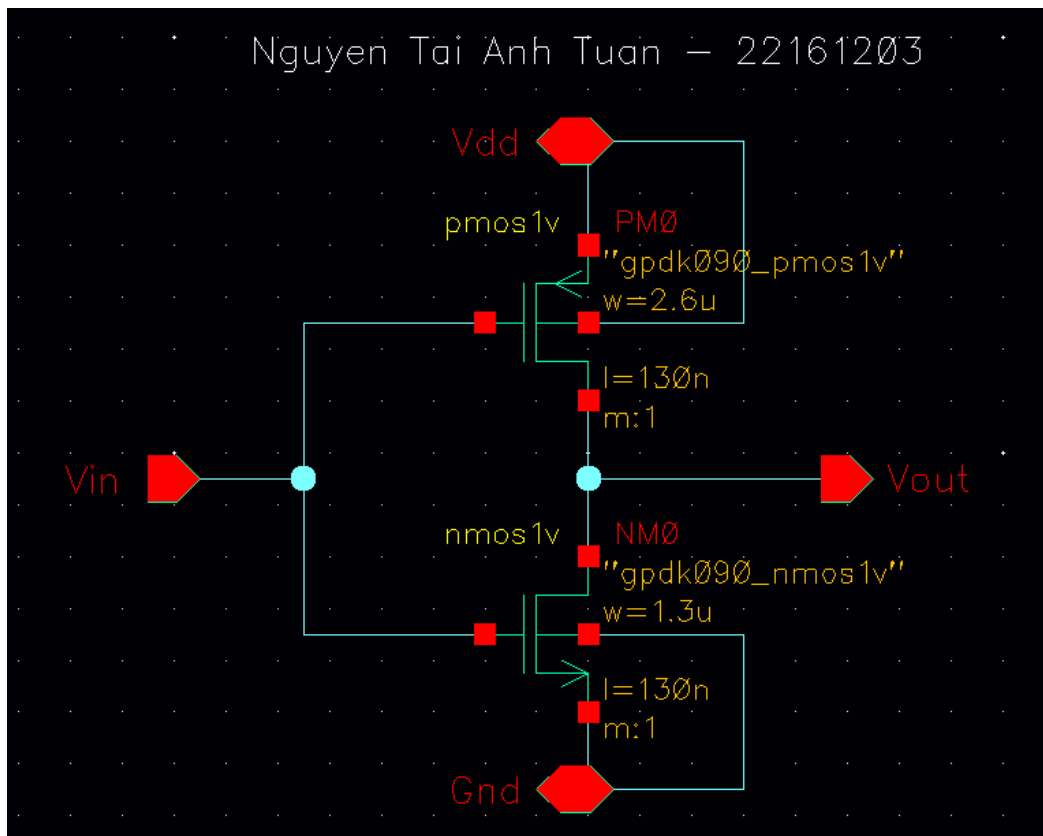
Library Name	gpd090
Cell Name	nmos1v
View Name	symbol
Instance Name	NM0

Add Delete Modify

CDF Parameter	Value
Model Name	gpd090_nmos1v
Multiplier	1
Length	130n M
Total Width	1.3u M
Finger Width	1.3u M
Fingers	1
Threshold	120n M

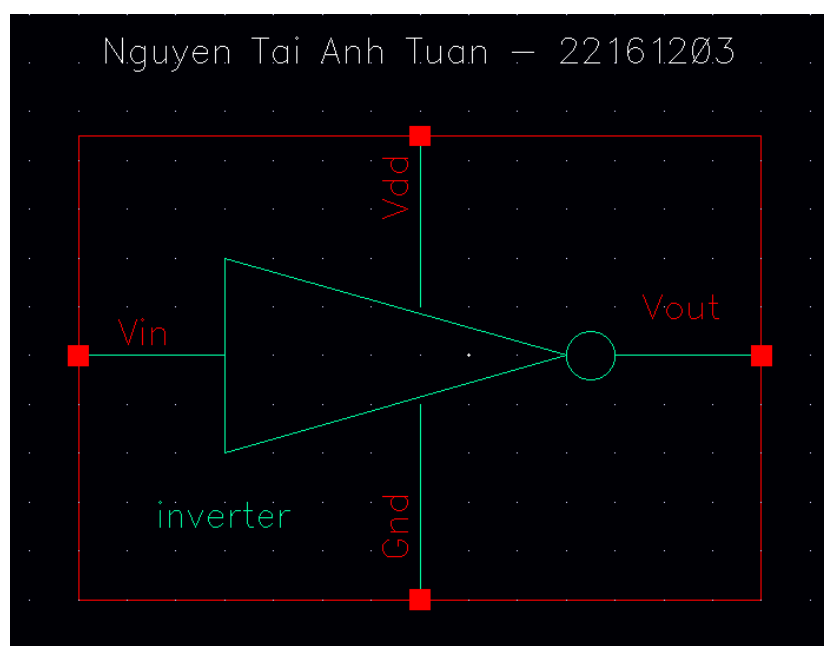
Hình 2. Thông số NMOS

**\* Bước 2: Sơ đồ mạch nguyên lý cổng inverter**



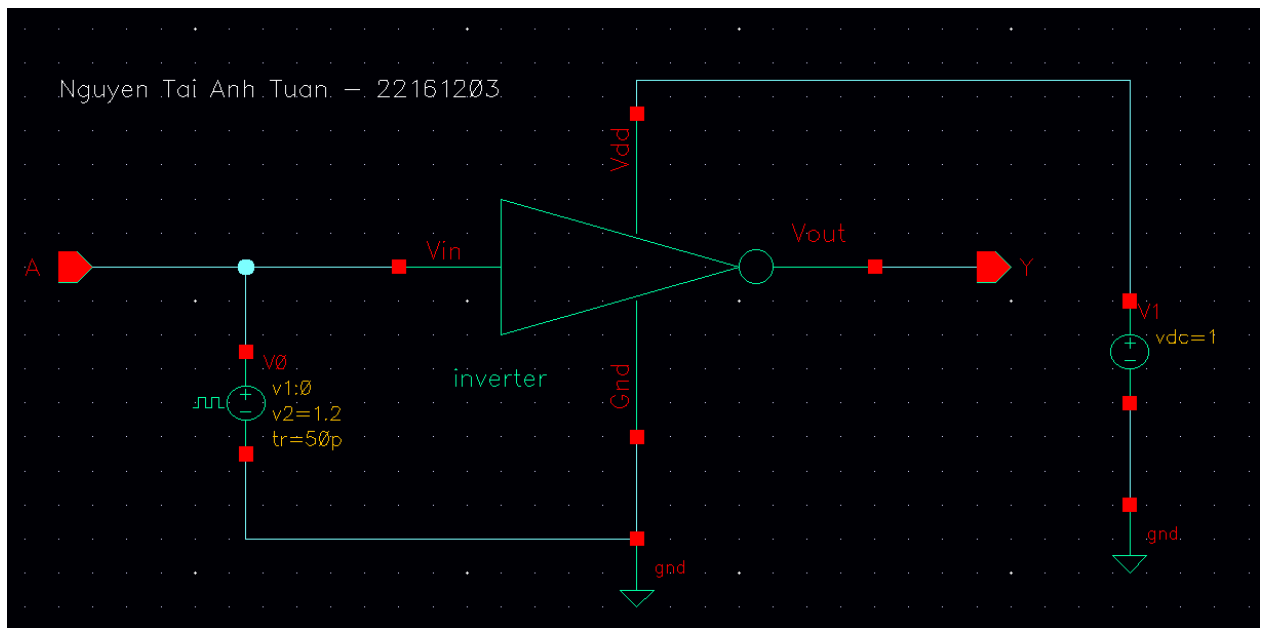
Hình 3. Mạch nguyên lý cổng inverter

**\* Bước 3: Đóng gói cổng inverter**



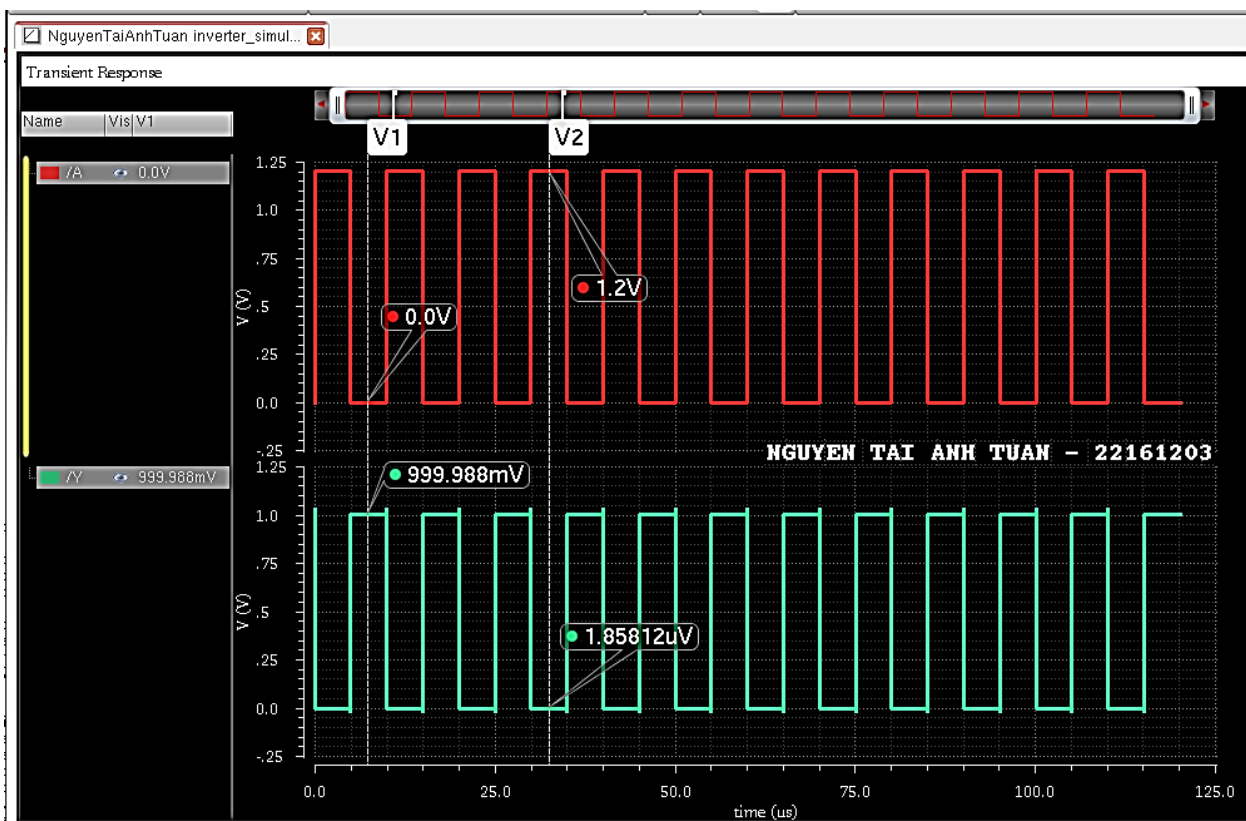
Hình 4. Đóng gói cổng inverter

**\* Bước 4: Mạch mô phỏng cổng inverter**



Hình 5. Mạch mô phỏng cổng inverter

**\* Bước 5: Kết quả mô phỏng**



Hình 6. Dạng sóng mô phỏng cổng inverter

**\* Bảng trạng thái**



Bảng chân lý - NOT Gate	
Đầu vào A	Đầu ra Q
0	1
1	0

Hình 7. Bảng trạng thái cổng inverter

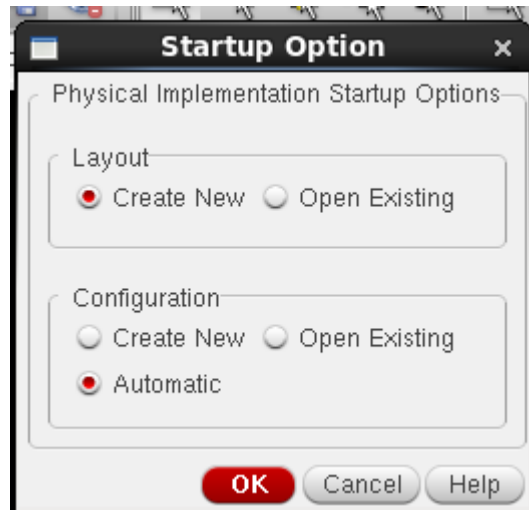
**\* Phân tích**

- **Tín hiệu đỏ (/A):** Đây là tín hiệu đầu vào của mạch inverter.
- **Tín hiệu xanh lá (/Y):** Đây là tín hiệu đầu ra của mạch inverter.
- **Trục X (time  $\mu$ s):** Thời gian mô phỏng.
- **Trục Y (V):** Điện áp đầu vào và đầu ra.
- Khi  $/A = 0V \rightarrow /Y = 1V$  (logic 1).
- Khi  $/A = 1.2V \rightarrow /Y = 0V$  (logic 0).
- Tín hiệu  $/Y$  đảo ngược hoàn toàn tín hiệu  $/A$ , chứng minh mạch hoạt động đúng.
- Có độ trễ nhỏ giữa cạnh lên và cạnh xuống của tín hiệu  $/Y$  so với  $/A$ .
- Độ trễ **1f (femtosecond =  $10^{-15}s$ )** là rất nhỏ, nhưng vẫn có thể ảnh hưởng đến tốc độ mạch khi làm việc ở tần số cao.

**\* Bước 6: Sau khi thiết kế và mô phỏng thì sẽ quay lại mạch nguyên lý để thực hiện layout:**

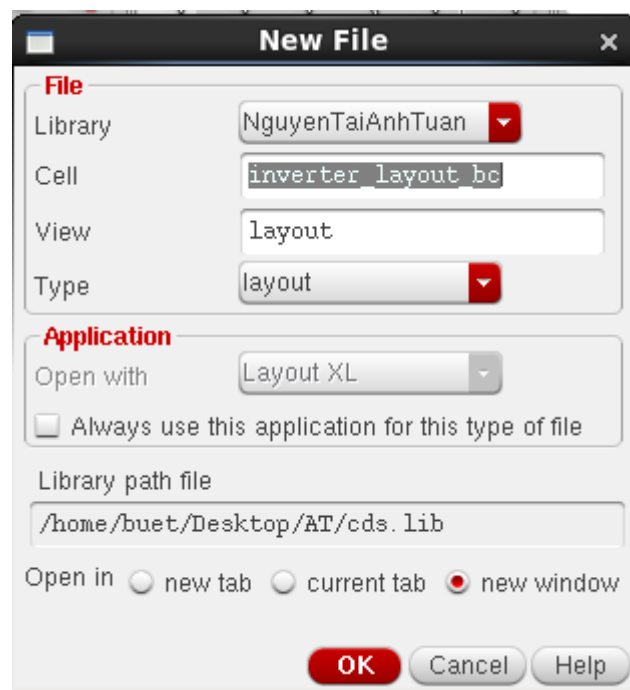
- Chọn Launch  $\rightarrow$  Layout XL.

- Sau đó sẽ xuất hiện cửa sổ Startup Option và nhấn Ok.



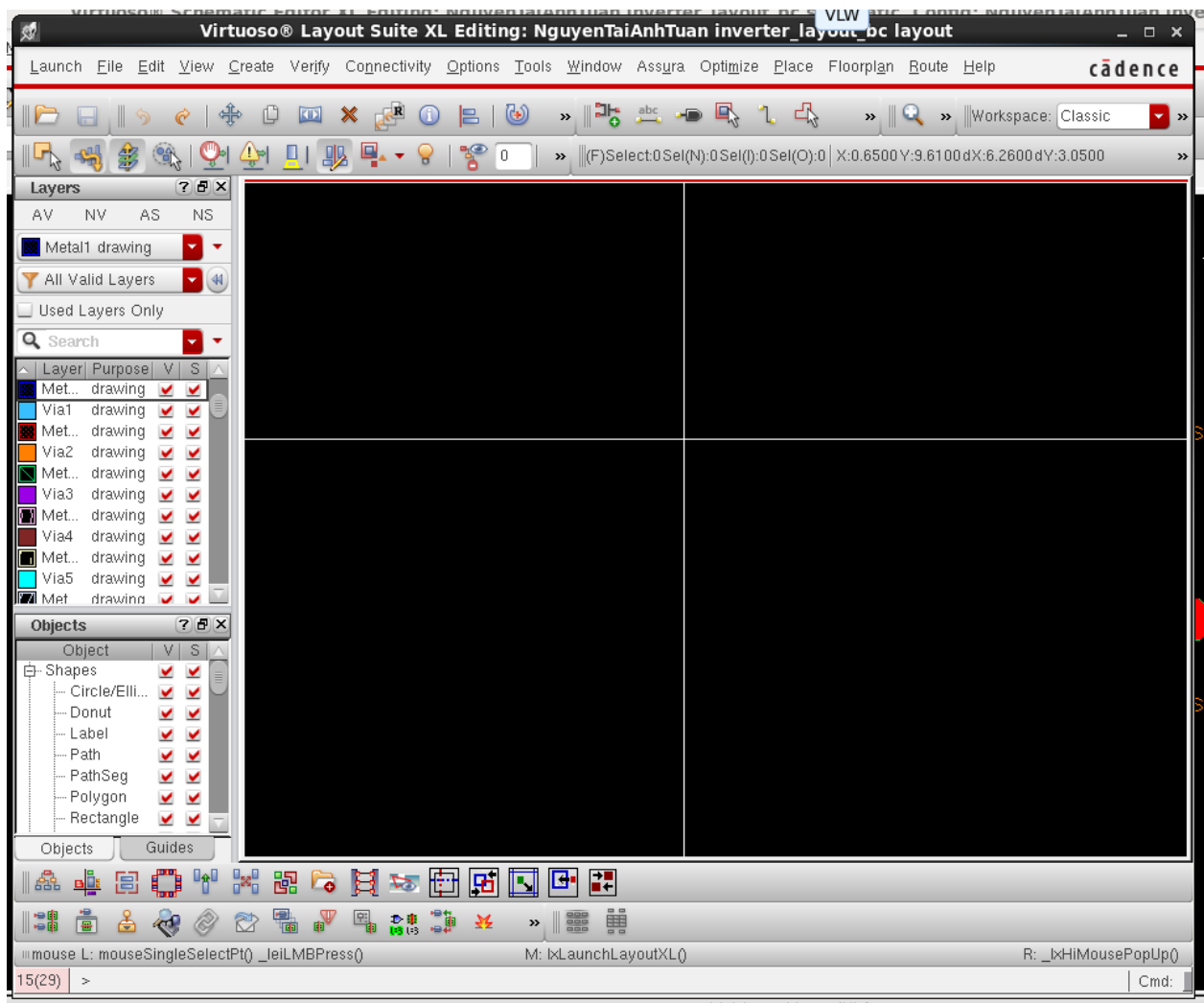
Hình 8. Cửa sổ Starup Option

- Cửa sổ mới sẽ xuất hiện, đây là nơi tạo file mới là layout. Nhấn Ok.



Hình 9. Tạo file mới để thiết kế layout

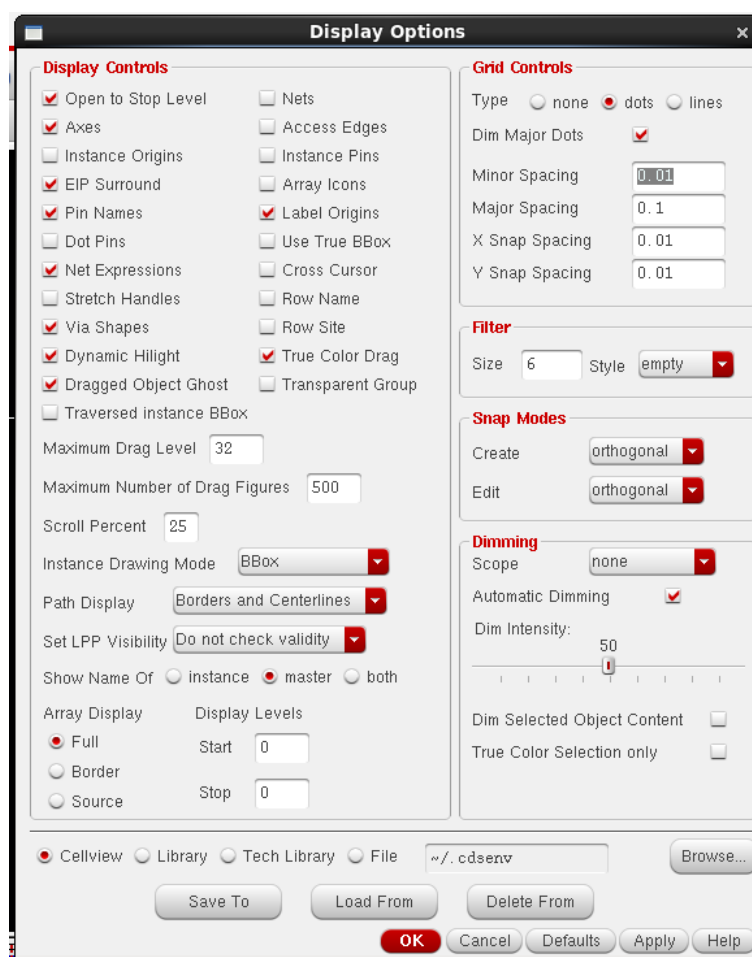
- Sau đó sẽ xuất hiện giao diện mới để thiết kế layout



Hình 10. Giao diện để layout

\* **Bước 7:** Tùy chỉnh hiển thị theo mong muốn từ gồm tùy chỉnh hiển thị và tùy chỉnh các trục Grid theo mong muốn.

– Chọn Option → Display, sau đó sẽ xuất hiện một cửa sổ.

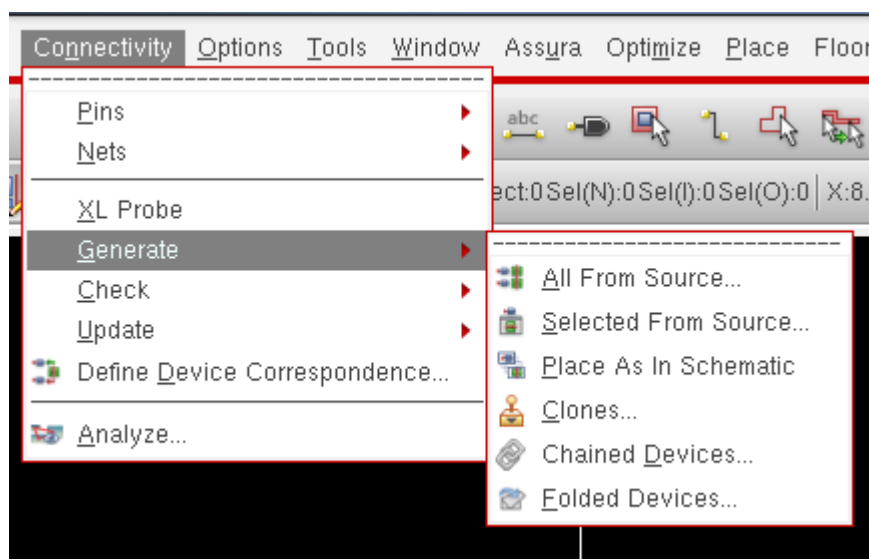


Hình 11. Cửa sổ Display Options

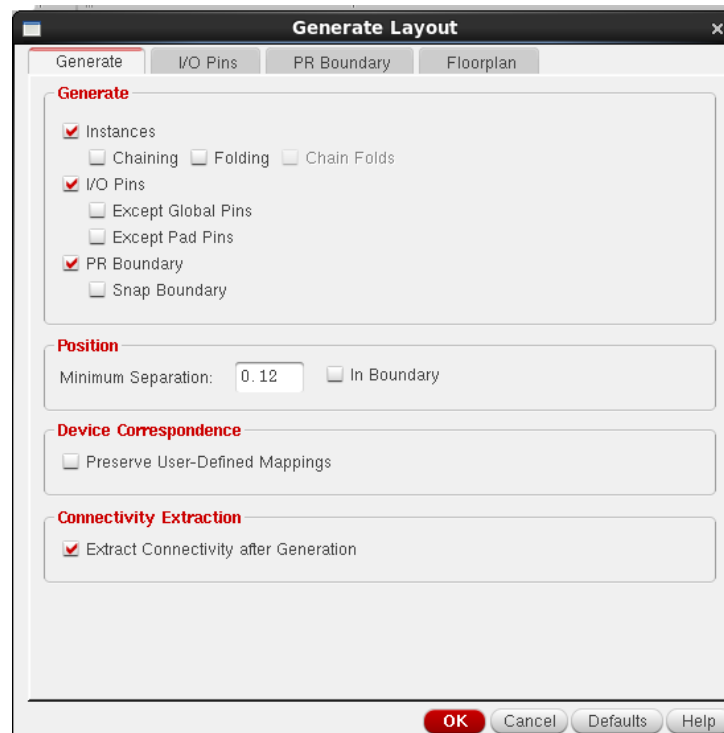
– Nếu ta có thay đổi nào thì có thể thay đổi, nếu không thì giữ mặc định và nhấn Ok.

\* **Bước 8:** Thực hiện thiết lập thông số và lấy linh kiện theo sơ đồ nguyên lý đề ra

– Chọn Connectivity → Generate → All from Source.

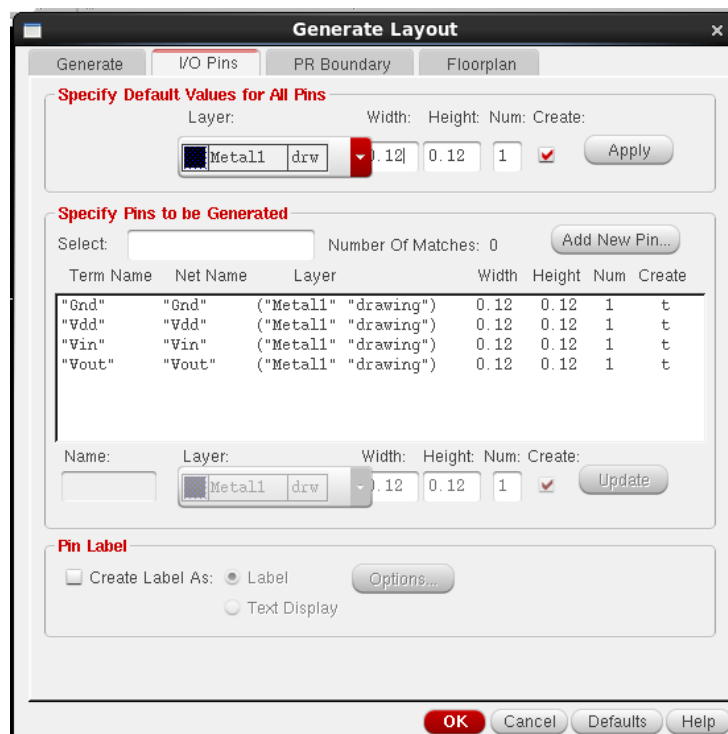


- Cửa sổ Generate Layout xuất hiện → Generate → Position: MinimumSeparation để chỉnh khoảng cách tối thiểu.



Hình 12. Điều chỉnh khoảng cách tối thiểu

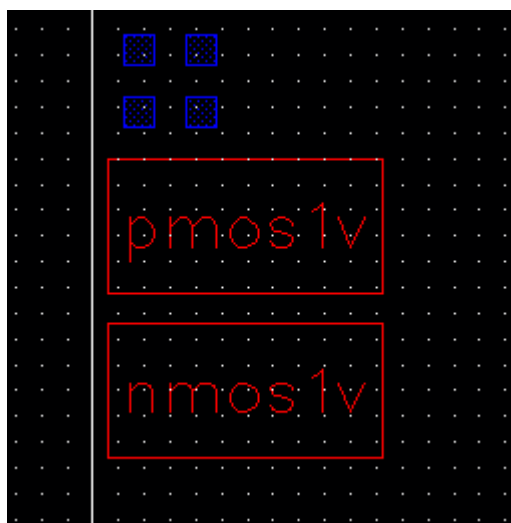
- Tại Generate → Chọn I/O Pins → Chọn layer mà mình muốn → Sau đó Apply và nhấn Ok.



Hình 13. Chọn layout là Metal1



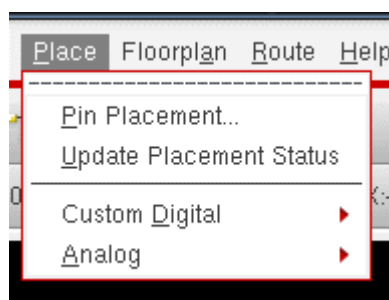
– Sau đó sẽ hiện ra linh kiện để layout.



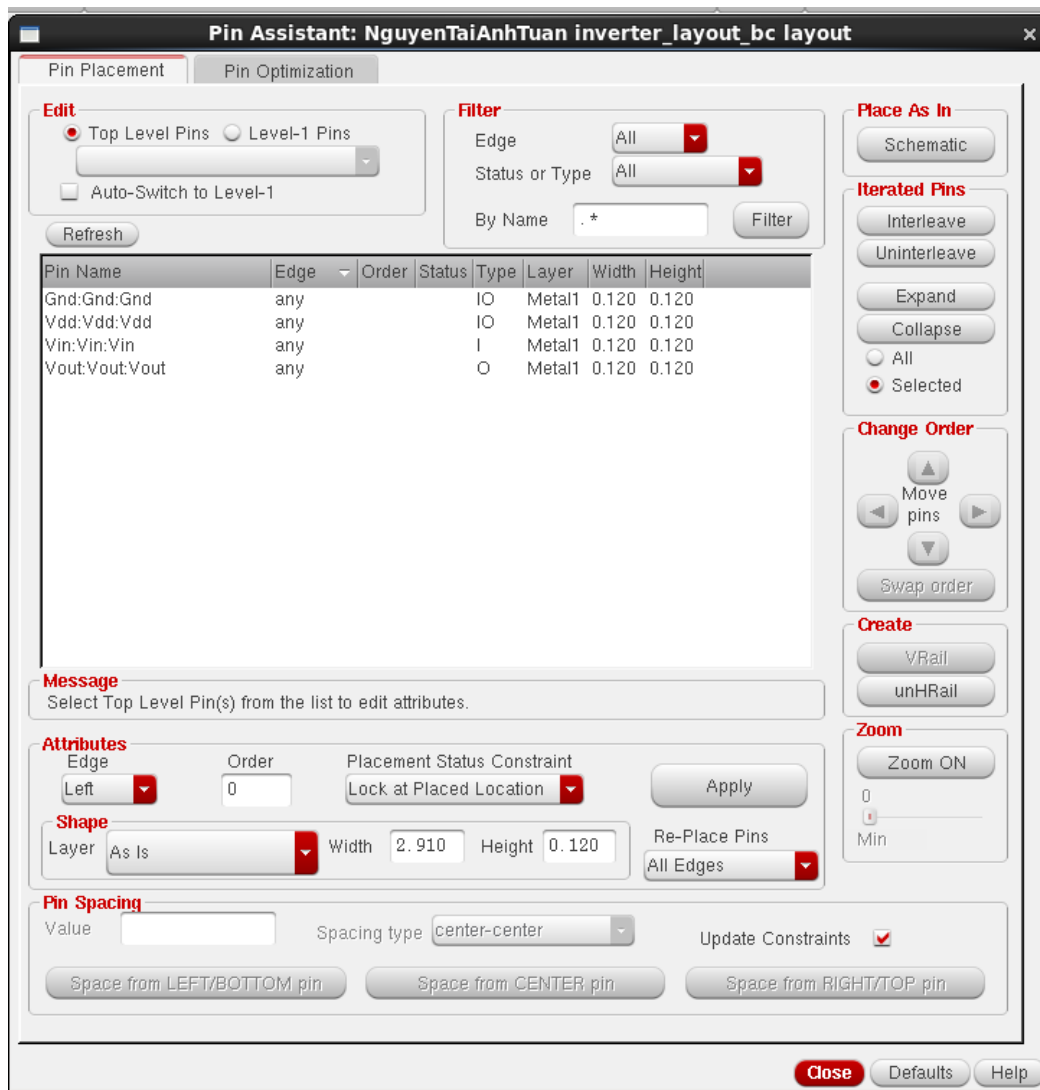
Hình 14. Kết quả sau khi thực hiện xong bước 8

\* **Bước 9:** Ghim và bố trí linh kiện và bố trí biến tần

– Chọn Place → Pin Placement.

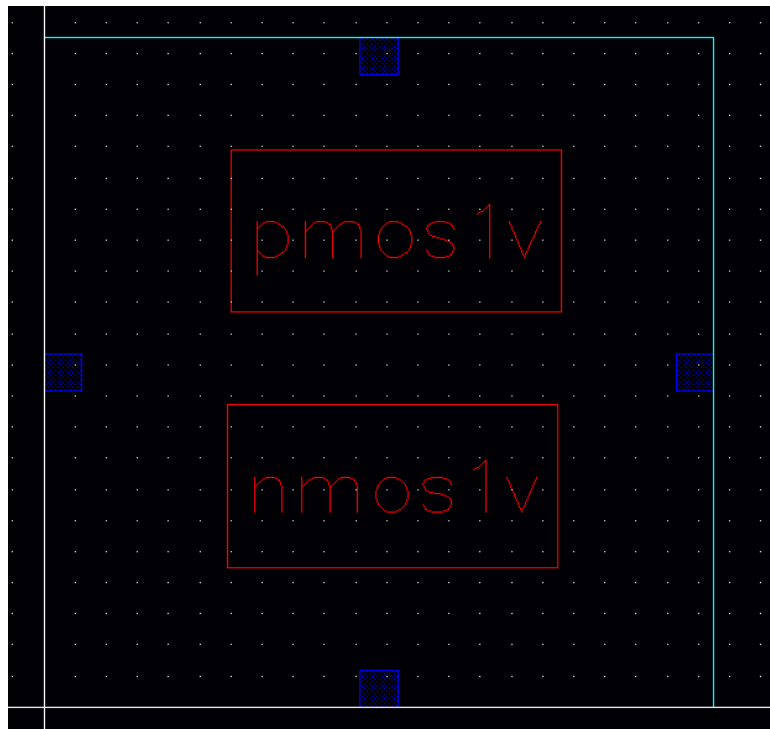


– Cửa sổ mới sẽ xuất hiện



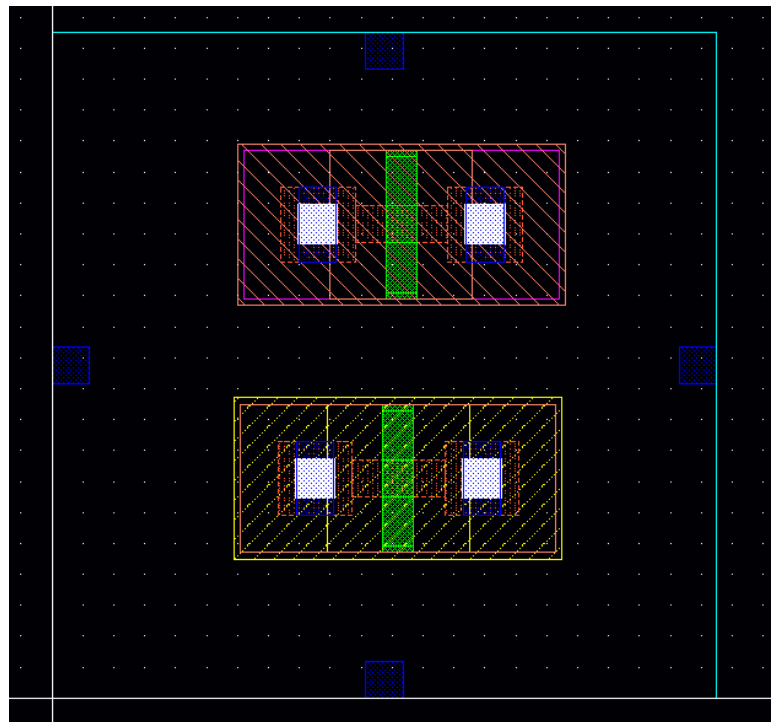
- Sau đó tại Place As In ta chọn Schematic thì các Pin sẽ được ghim theo vị trí:
- + Vin: trái
- + Vdd: trên
- + Vout: phải
- + Gnd: dưới

Pin Name	Edge	Order	Status	Type	Layer	Width	Height
Vin:Vin:Vin	left	0		I	Metal1	0.120	0.120
Vdd:Vdd:Vdd	top	0		IO	Metal1	0.120	0.120
Vout:Vout:Vout	right	0		O	Metal1	0.120	0.120
Gnd:Gnd:Gnd	bottom	0		IO	Metal1	0.120	0.120



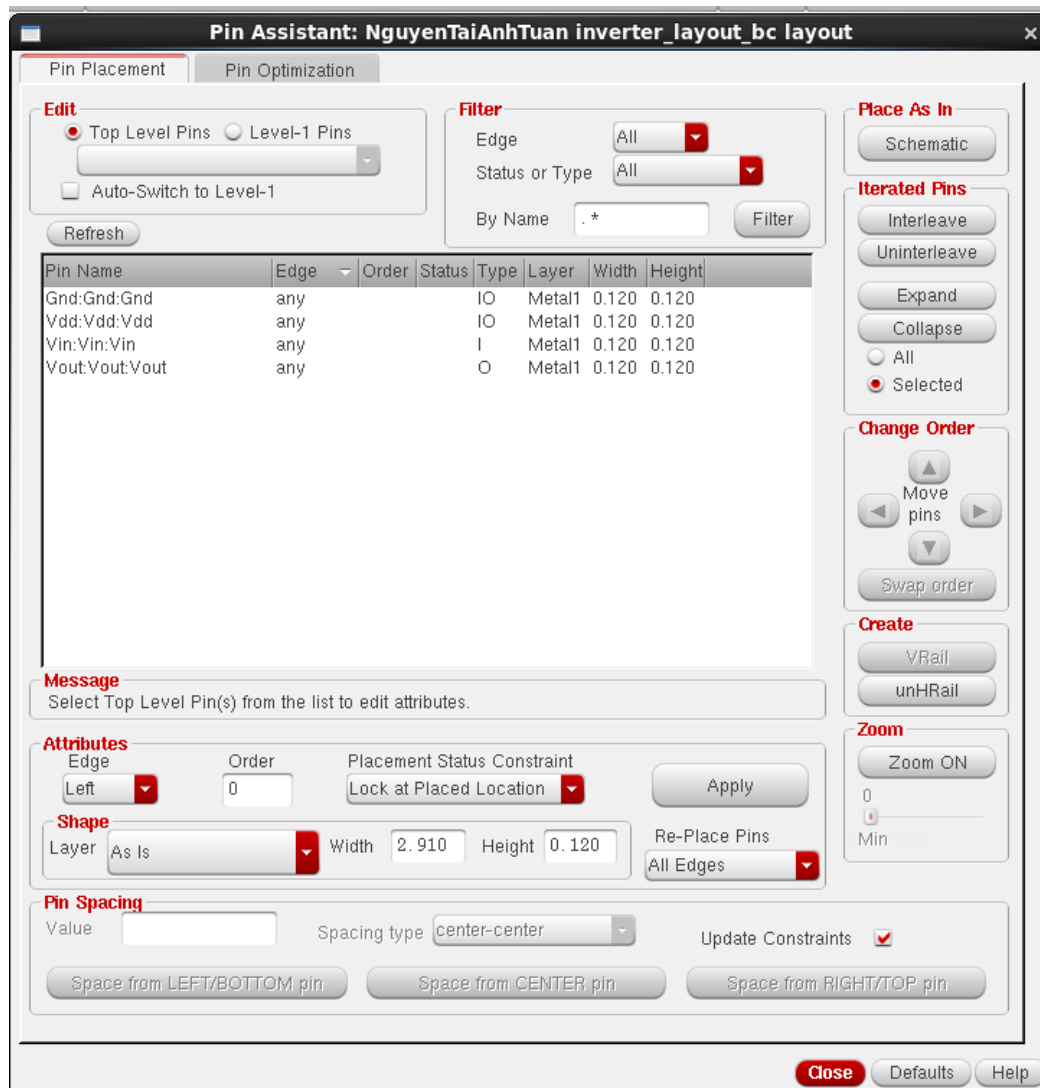
Hình 15. Kết quả sau khi thực hiện xong các bước trên

– Ta có thể nhấn tổ hợp phím: Shift + F để hiện thị



**\* Bước 10: Chỉnh đường cấp nguồn, chỉnh sửa thuộc tính và kiểu body**

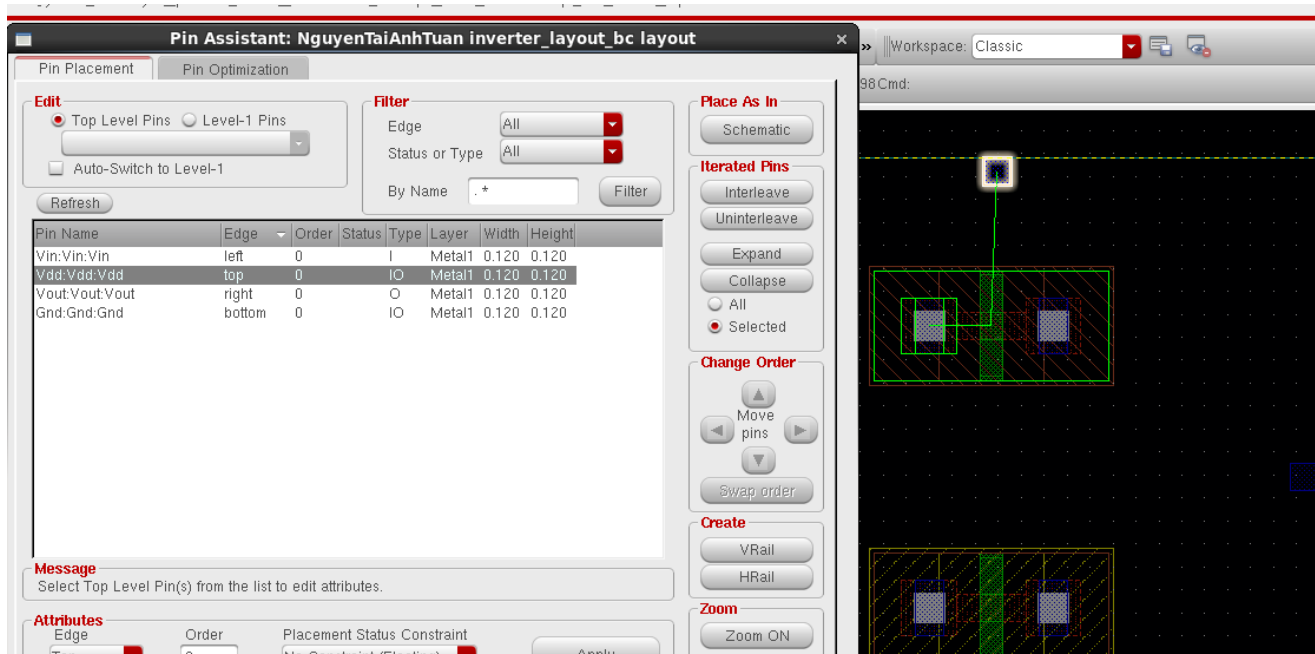
– Chọn Place → Pin Placement.



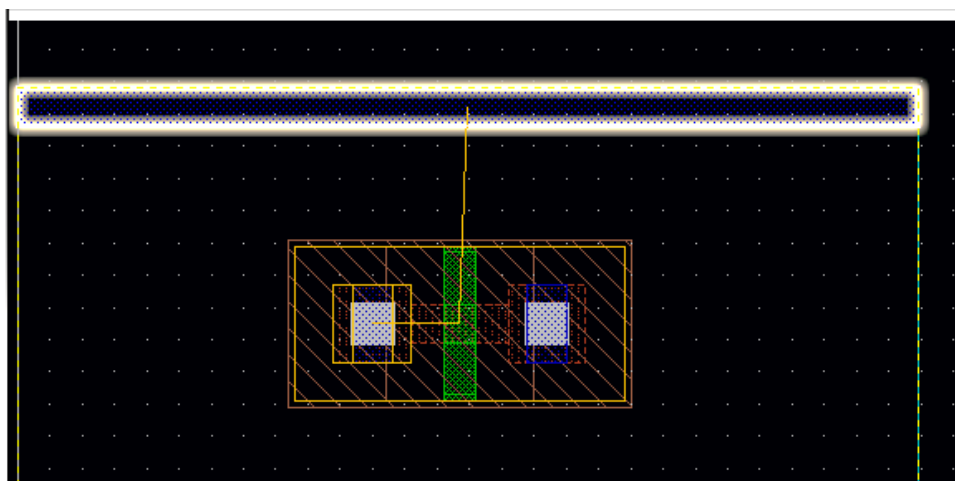
Hình 16. Cửa sổ Pin Placement hiện ra

– Click chuột vào chọn Vdd

Pin Name	Edge	Order	Status	Type	Layer	Width	Height
Vin:Vin:Vin	left	0	I	Metal1	0.120	0.120	
Vdd:Vdd:Vdd	top	0	IO	Metal1	0.120	0.120	
Vout:Vout:Vout	right	0	O	Metal1	0.120	0.120	
Gnd:Gnd:Gnd	bottom	0	IO	Metal1	0.120	0.120	

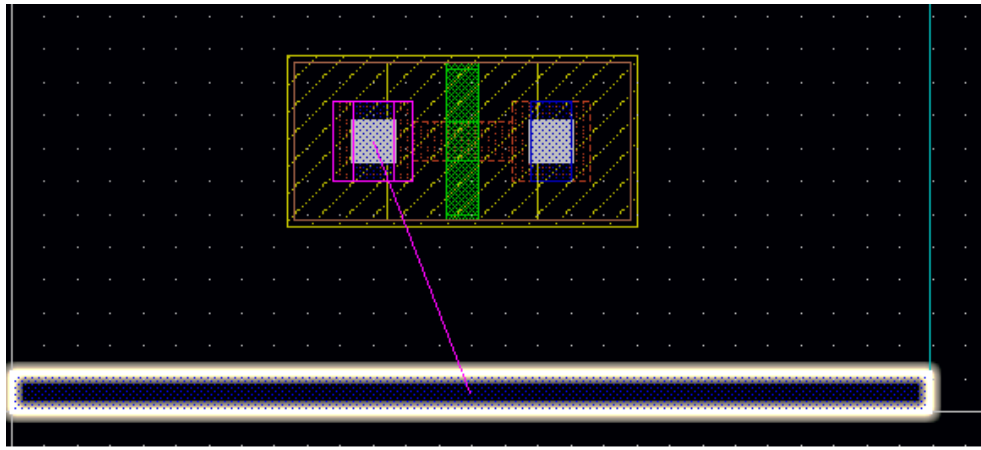


– Sau đó chọn HRail để chỉnh đường cấp nguồn theo chiều ngang.

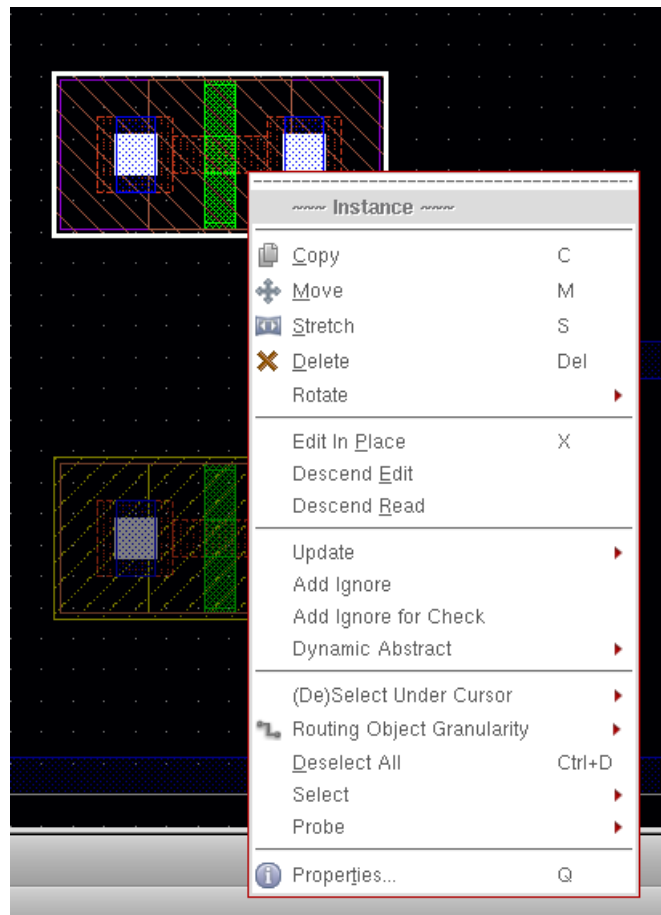


– Sau đó tương tự chọn Gnd → Chọn HRain

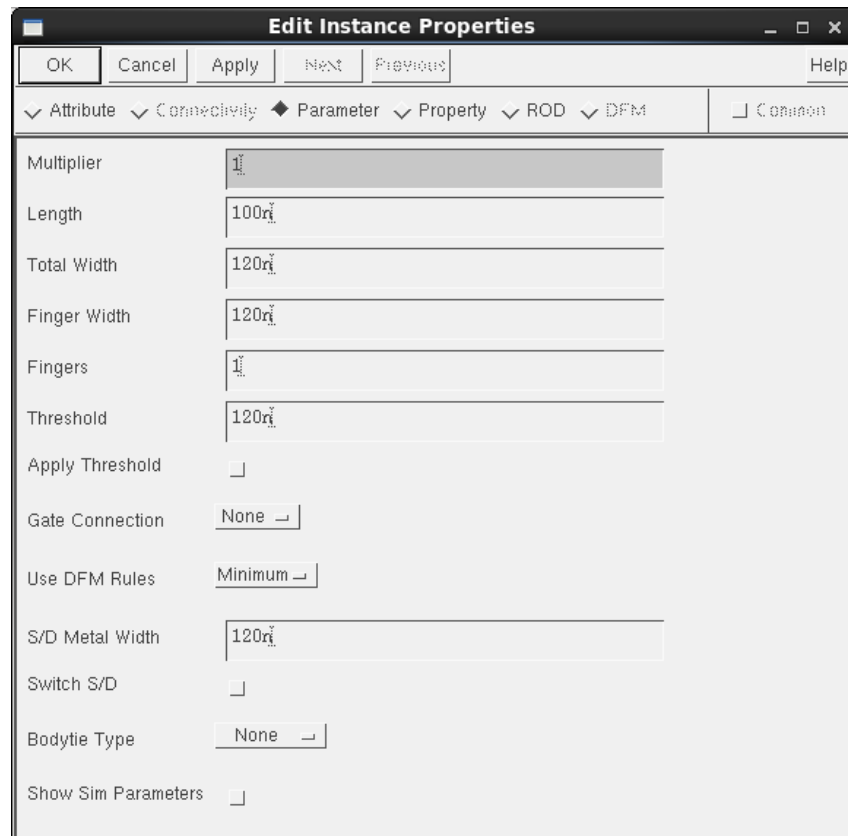
Pin Name	Edge	Order	Status	Type	Layer	Width	Height
Vin:Vin:Vin	left	0		I	Metal1	0.120	0.120
Vdd:Vdd:Vdd	top	0	F	IO	Metal1	2.790	0.120
Vout:Vout:Vout	right	0		O	Metal1	0.120	0.120
Gnd:Gnd:Gnd	bottom	0	F	IO	Metal1	2.790	0.120



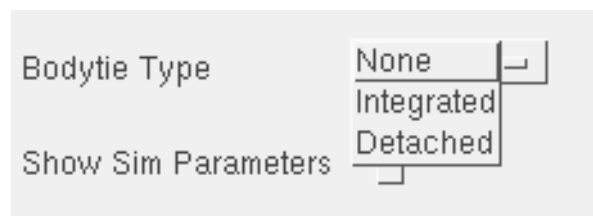
– Ta chọn vào PMOS sau đó nhấn chuột phải → Chọn Properties



– Sau đó cửa sổ Edit instance Properties hiện ra → Chọn Parameter.



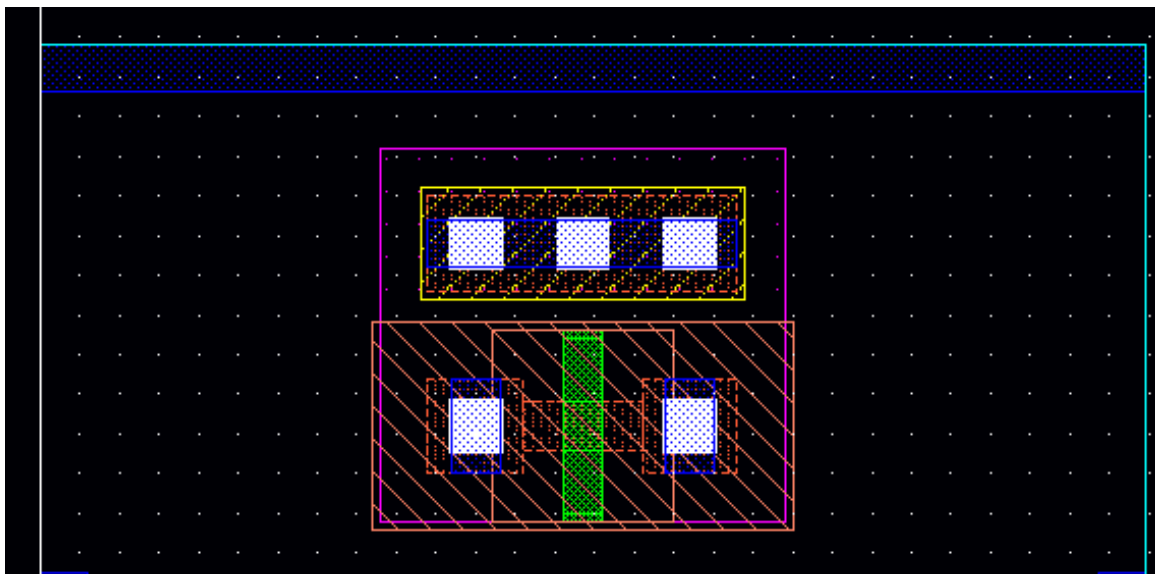
– Tại Bodytie chọn Detached.



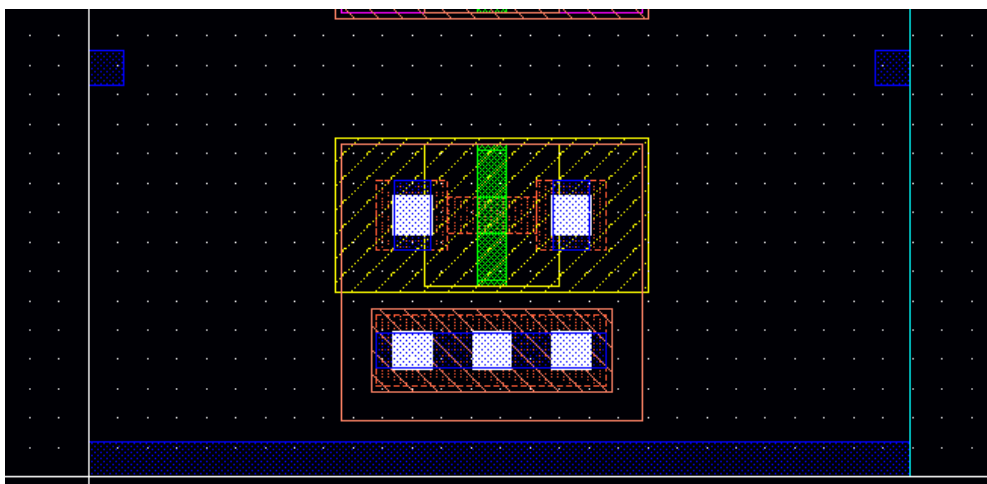
– Chọn Top Tap



– Sau đó nhấn Ok.

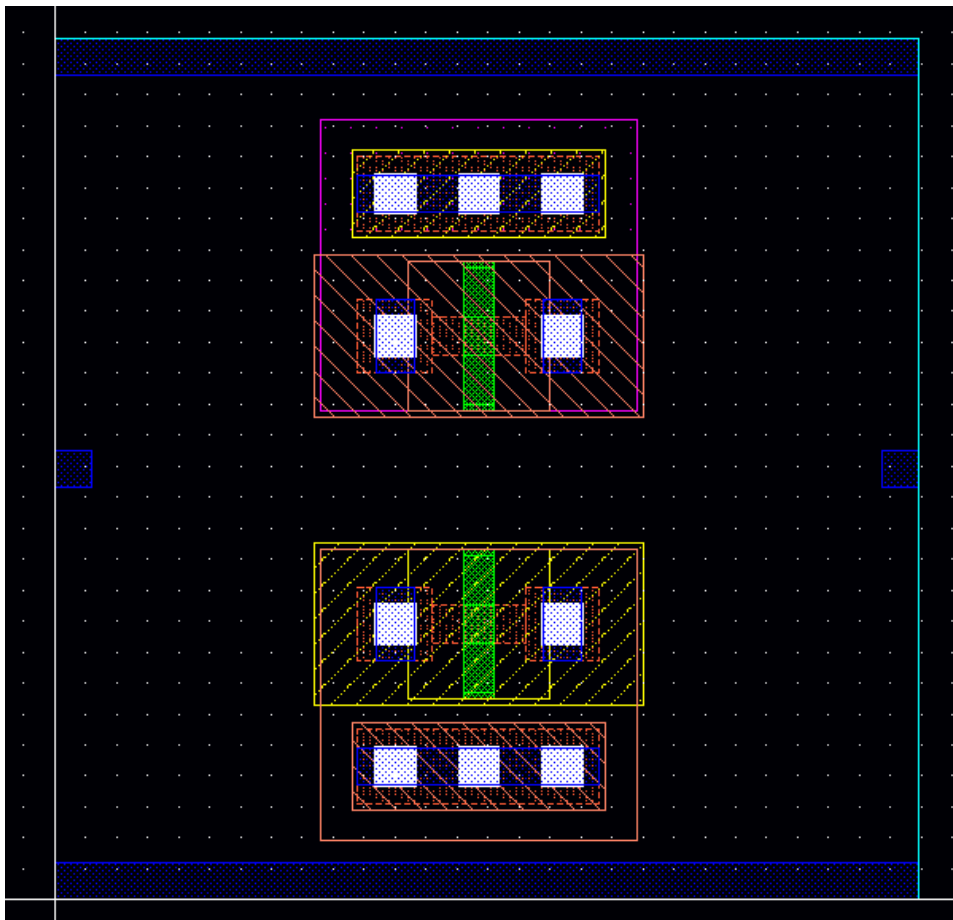


– Tương tự cho NMOS, ta cũng chọn như trên nhưng Tại Bodytie chọn Detached ta chọn →Bottom Tap.



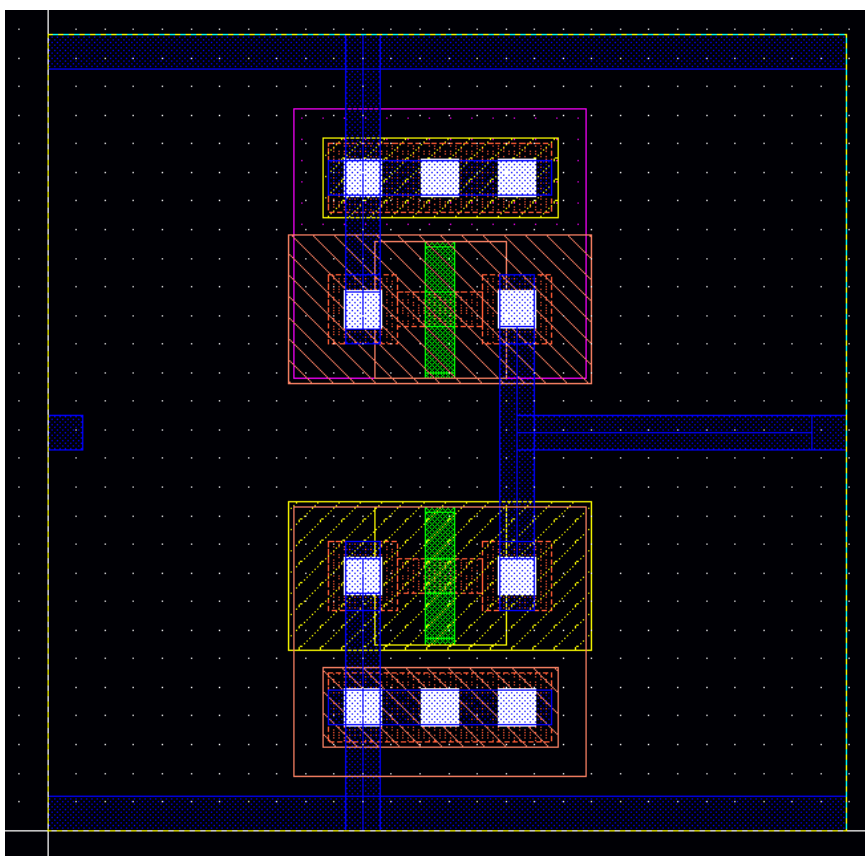


– Kết quả sau khi thực hiện xong bước 10.

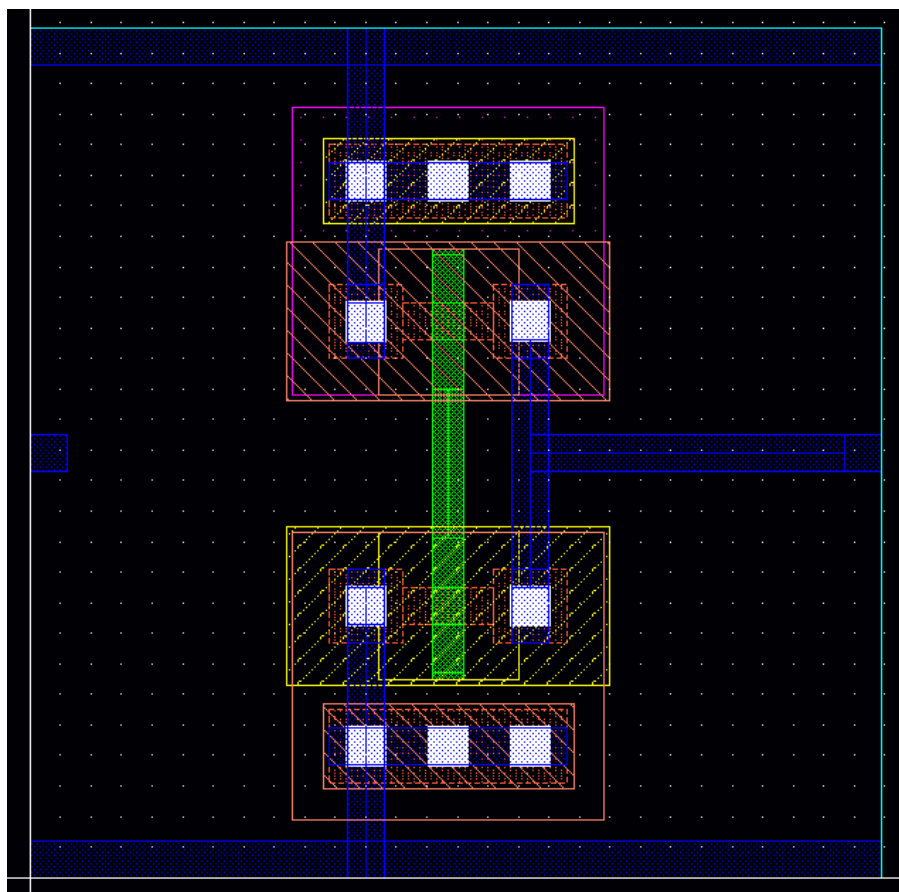


\* **Bước 11:** Nối dây theo đúng nguyên lý

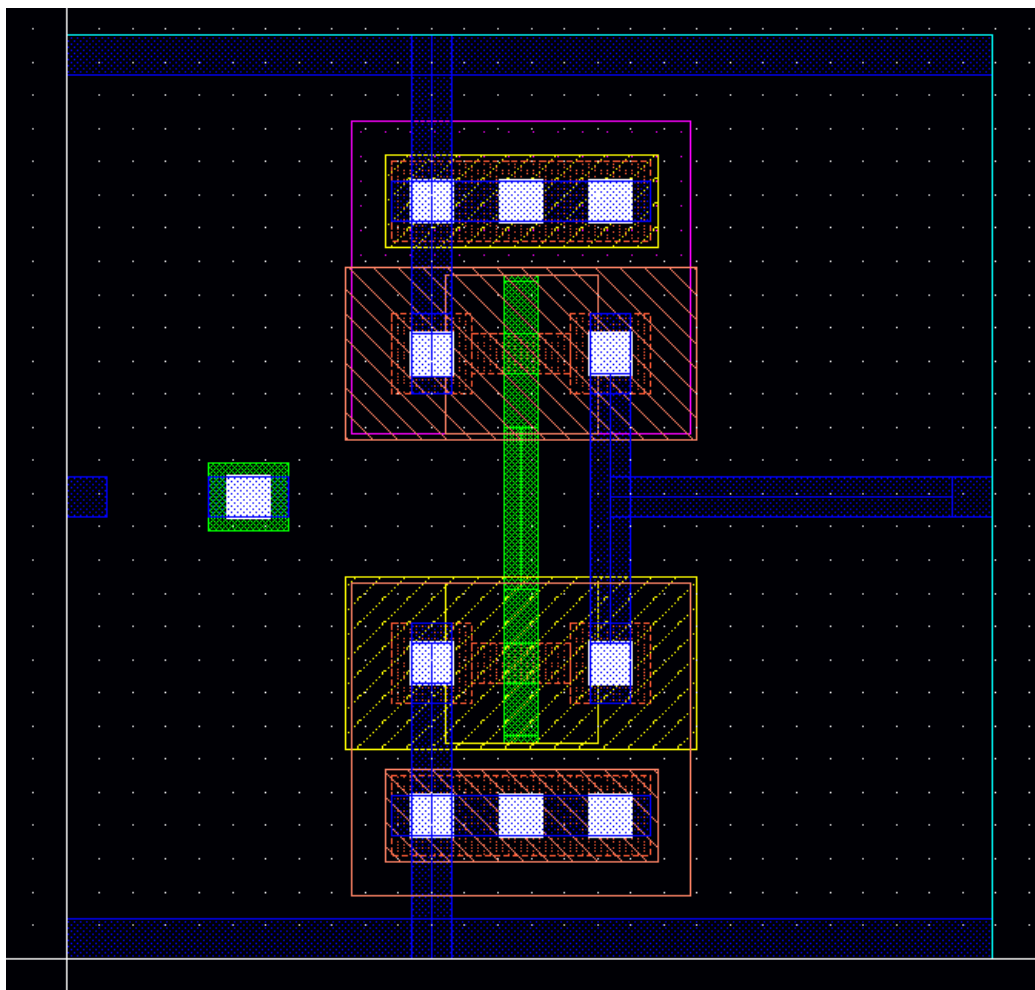
– **Chọn Create** → **Chọn Wiring** → **Chọn Wire** để nối dây giữa các cực Metal



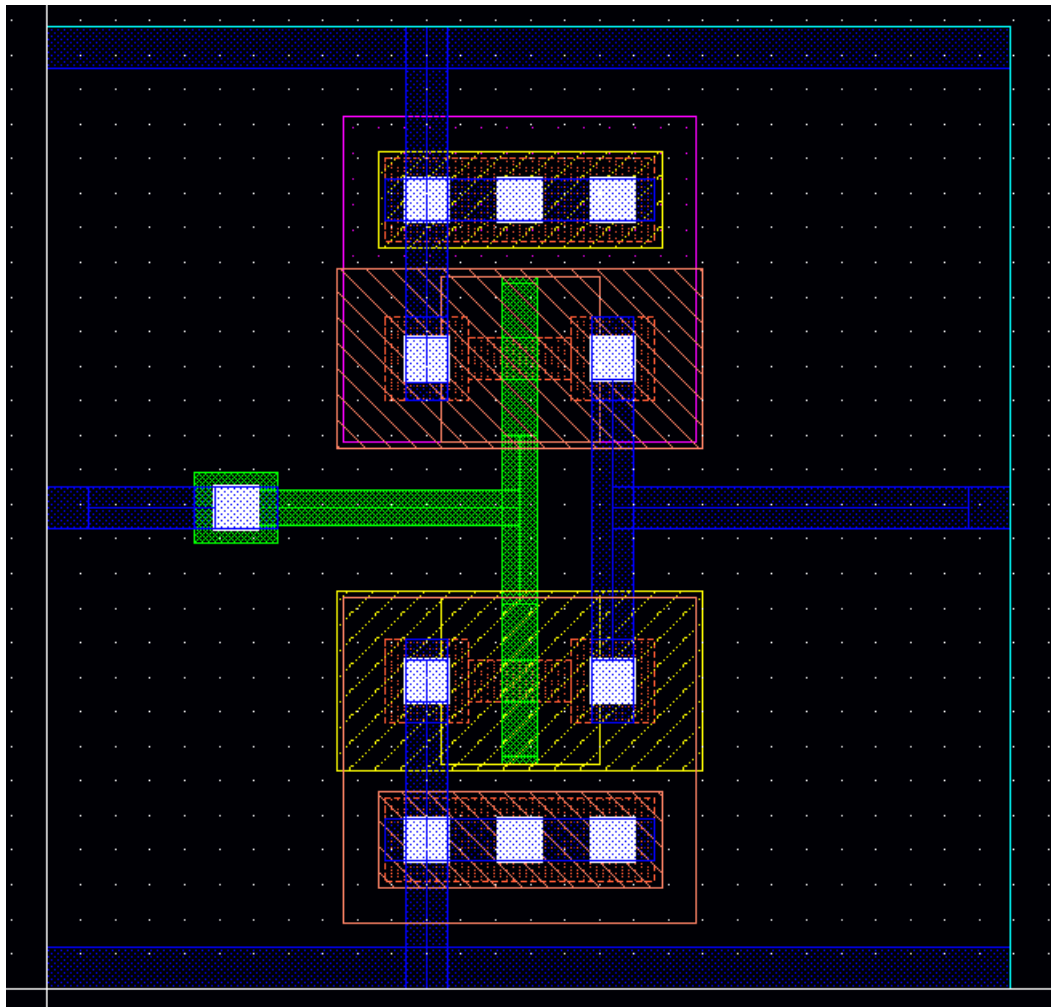
– Chọn Create → Chọn Shape → Chọn Path để nối dây giữa 2 Poly



– Chọn Create → Chọn Via → để tạo nút liên kết

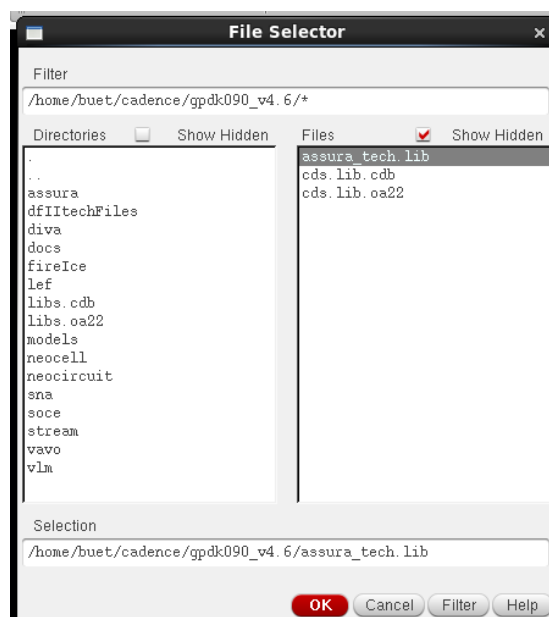


– Sau đó khi tạo Via thì nối các chân Poly và Metal lại với nhau để hoàn thiện bước layout



**\* Bước 12: Lưu và Chạy mô phỏng.**

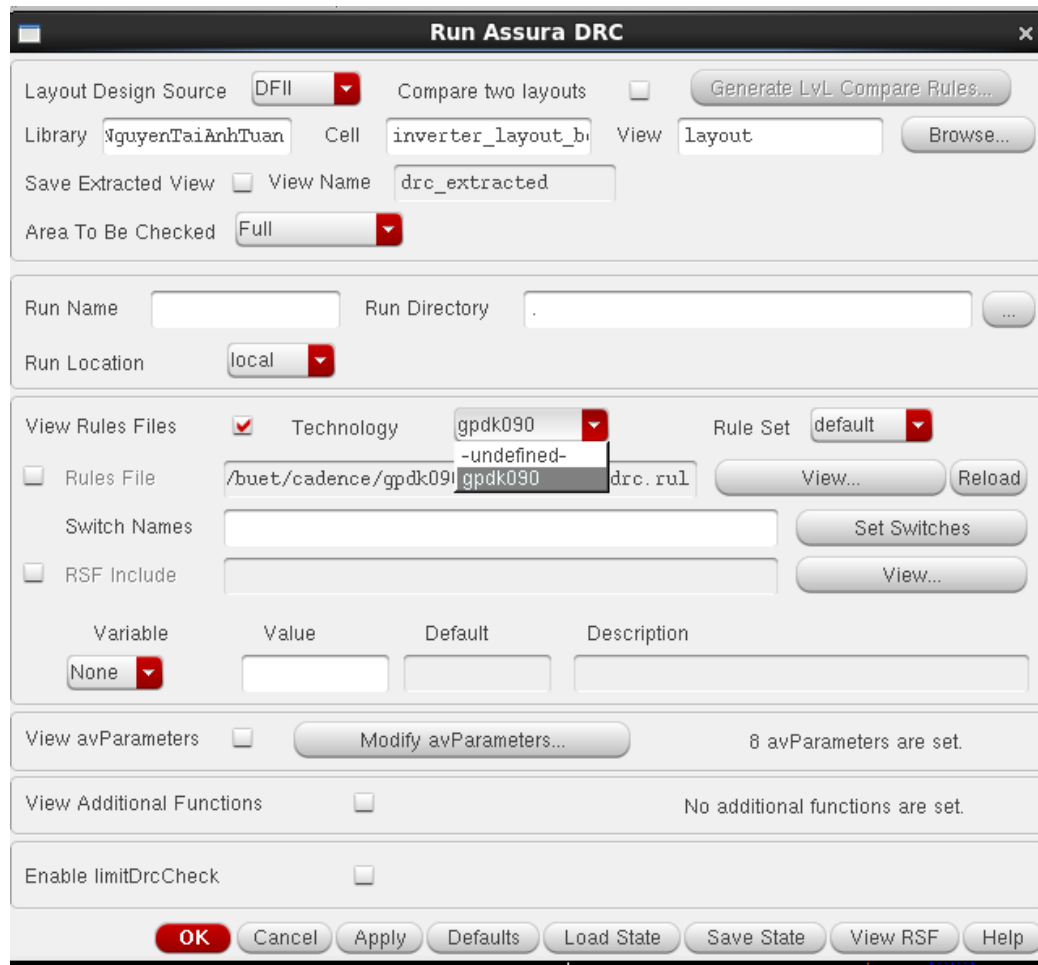
– Chọn Assura → Chọn Technology → Chọn đường dẫn như trong hình → Nhấn OK khi đã thiết lập xong



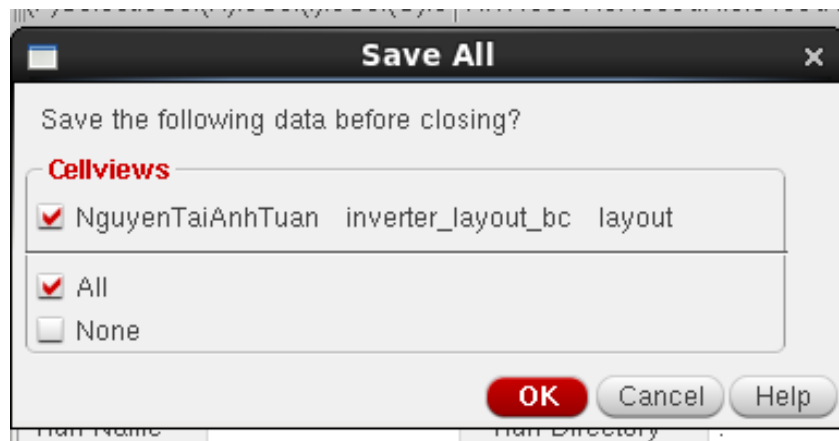
– **Nhấn OK** khi đã thiết lập xong.



– **Chọn Assura → Chọn Run DRC → Thiết lập và chọn trường tên tệp RSF cho phù hợp → Nhấn OK** khi đã thiết lập xong



– Sau đó sẽ hiện ô cửa sổ **Save All** → **Nhấn OK**.



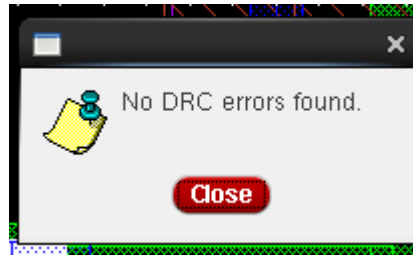
– Cửa sổ Progress xuất hiện và đợi vài giây để chạy Assura DRC.



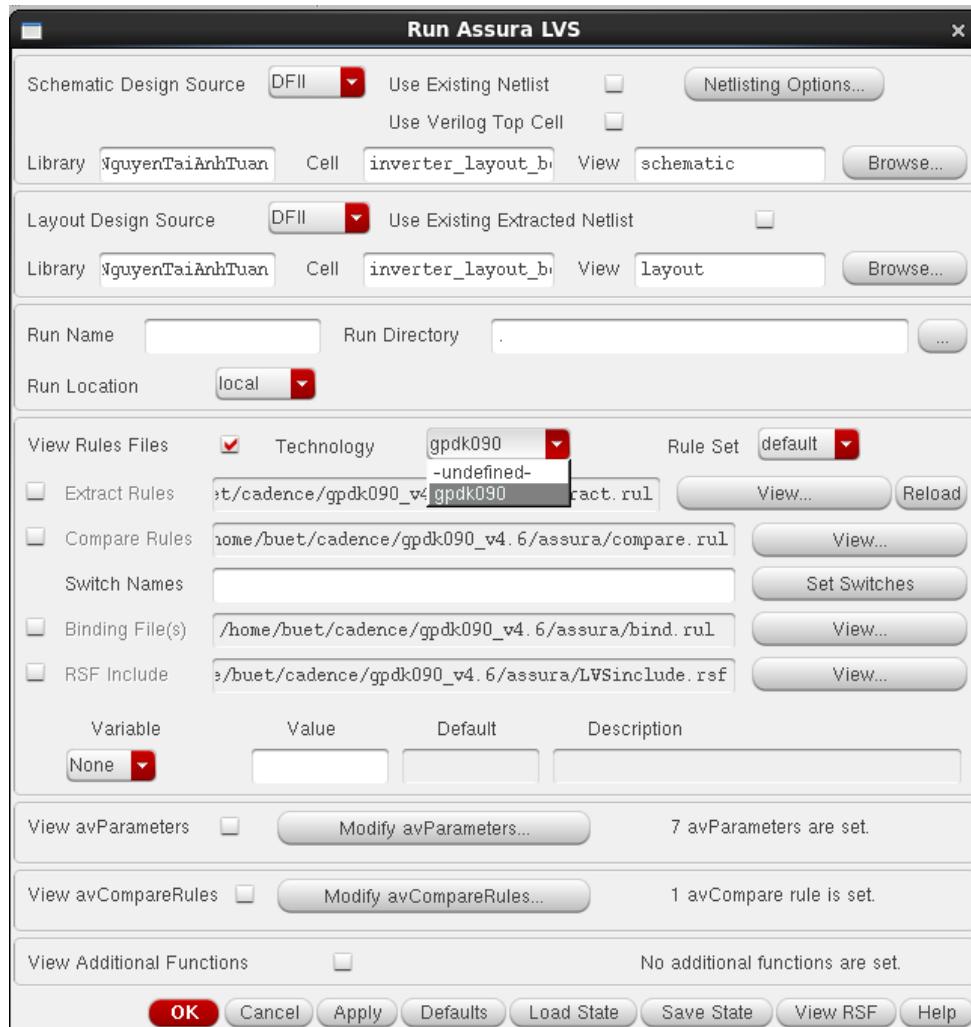
– Sau khi chạy Assura DRC xong thì sẽ có cửa sổ mới hiện lên và báo đã thành công sau đó nhấn YES.



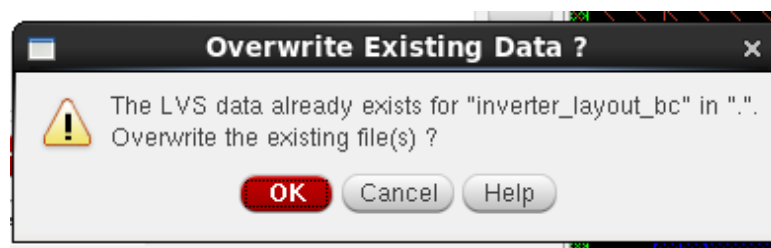
– Cứ tiếp tục cho đến khi hiện thông báo “Run DRC no errors”



**Chọn Assura → Chọn Run LVS → Thiết lập và chọn trường tên tệp RSF cho phù hợp → Nhấn OK khi đã thiết lập xong**



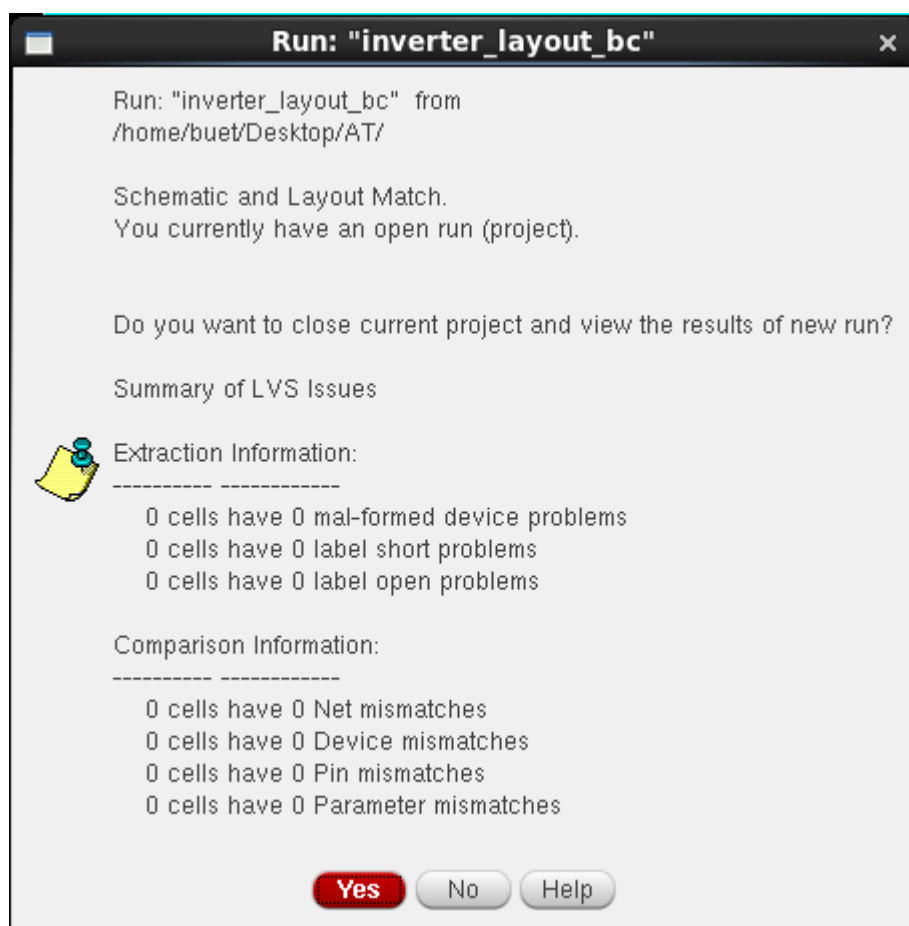
– Sau khi nhấn OK thì sẽ có thông báo như này thì chỉ cần chọn OK là xong.



- Cửa sổ Progress xuất hiện và đợi vài giây để chạy Assura LVS.

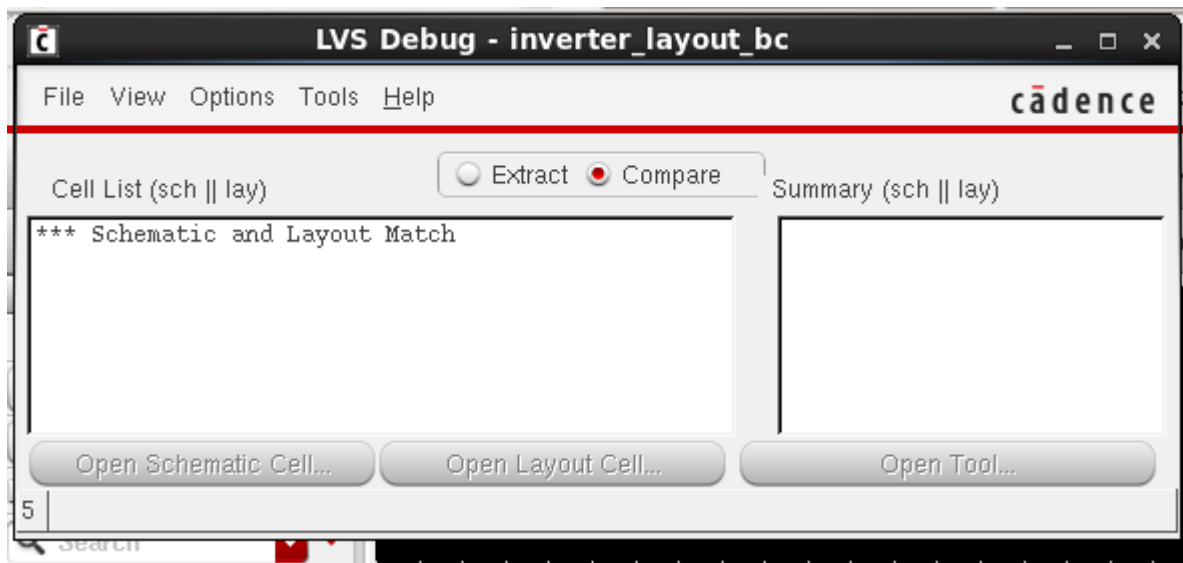


- Sau khi chạy Assura LVS xong thì sẽ có cửa sổ mới hiện lên và báo đã thành công sau đó nhấn YES.





– Sau khi **Yes** → thì sẽ hiện ra cửa sổ thông báo **“Schematic and Layout Match”** → Chứng sơ đồ và bố cục của bạn đã phù hợp



– **Chọn Assura** → **Chọn Run RCX** → **Vào Setup và Extraction** → **Thiết lập và chọn trường tên tệp RSF cho phù hợp** → **Nhấn OK** khi đã thiết lập xong

**Assura Parasitic Extraction Run Form**

Setup   Extraction   Filtering   Netlisting   Run Details   Substrate

Technology **gpdk090** RuleSet **NONE**

☐ p2lvsSet **NONE** UseMultRuleSets ☐

☐ Setup Dir **/home/buet/cadence/gpdk090\_v4.6/assura**

☐ RSF Include  View Edit

Rule RSF Include  View Edit

Output **Extracted View** Lib **aiAnhTuan** Cel **layout\_bc** View **av\_extracted**

Enable CellView Check ☐

Parasitic Res Component **presistor** Prop Id **r**

Parasitic Cap Component **pcapacitor** Prop Id **c**

Parasitic Ind Component **pinductor** Prop Id **l**

Parasitic M Component **pmind** Prop Id **k**

Inductance L1 Prop Id **ind1** Inductance L2 Prop Id **ind2**

Call Procedure

Substrate Extract **NONE** Extract MOS Diffusion Res ☐

Extract MOS Diffusion AP ☐ Extract MOS Diffusion High **NONE**

Substrate Profile **NONE**

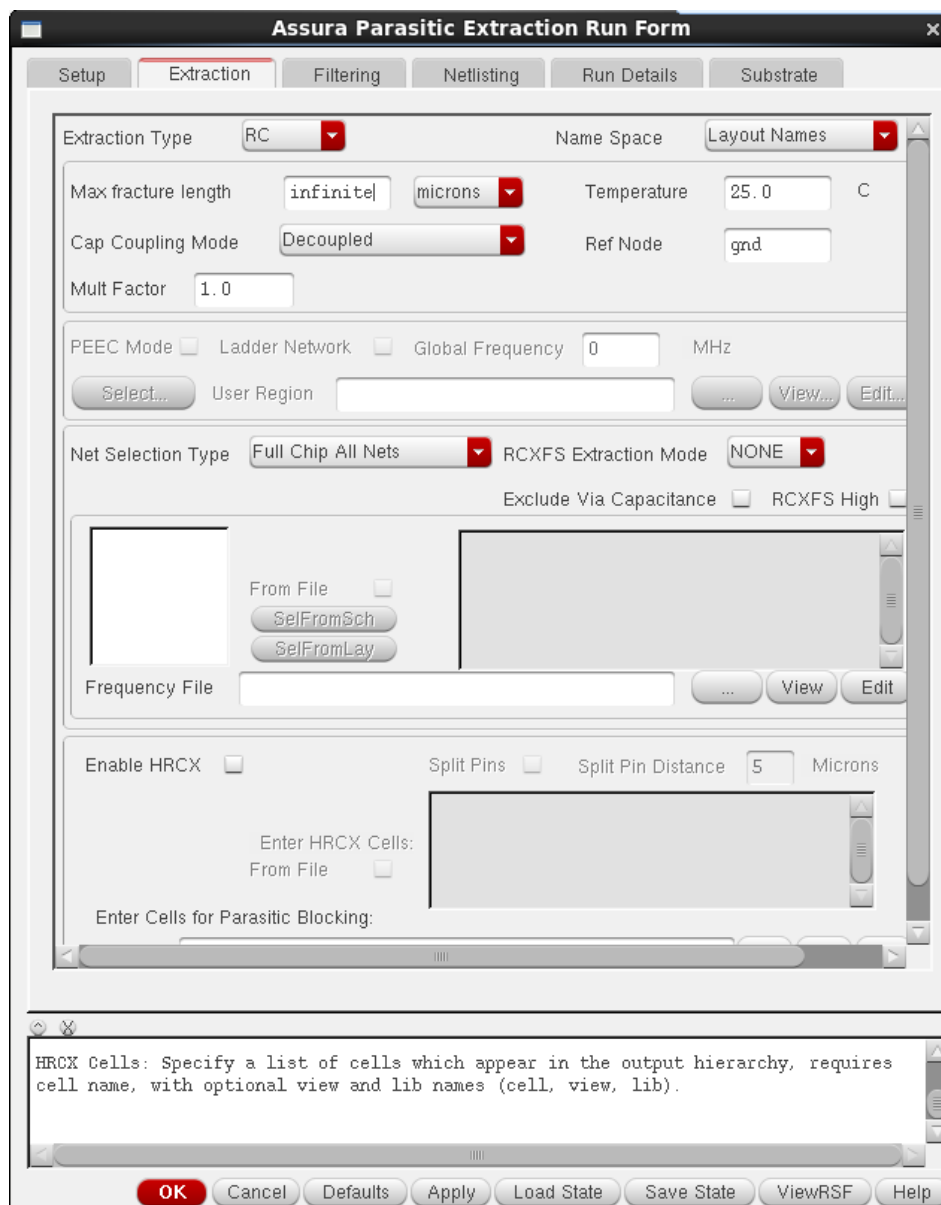
Library Prefix

Library Directory **.**

Library Directory: Specify a directory for writing local libraries created during the hierarchical extraction of an extracted view.

**OK** Cancel Defaults Apply Load State Save State ViewRSF Help

Hình 17. Cửa sổ chọn Setup

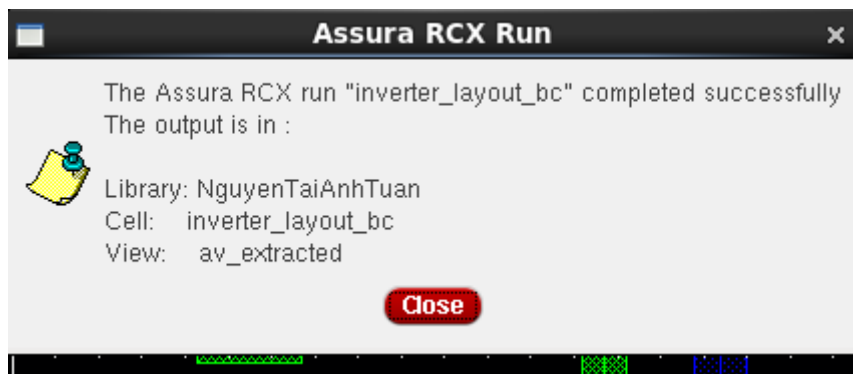


Hình 18. Cửa sổ Extraction

– Cửa sổ Progress xuất hiện và đợi vài giây để chạy Assura RCX.

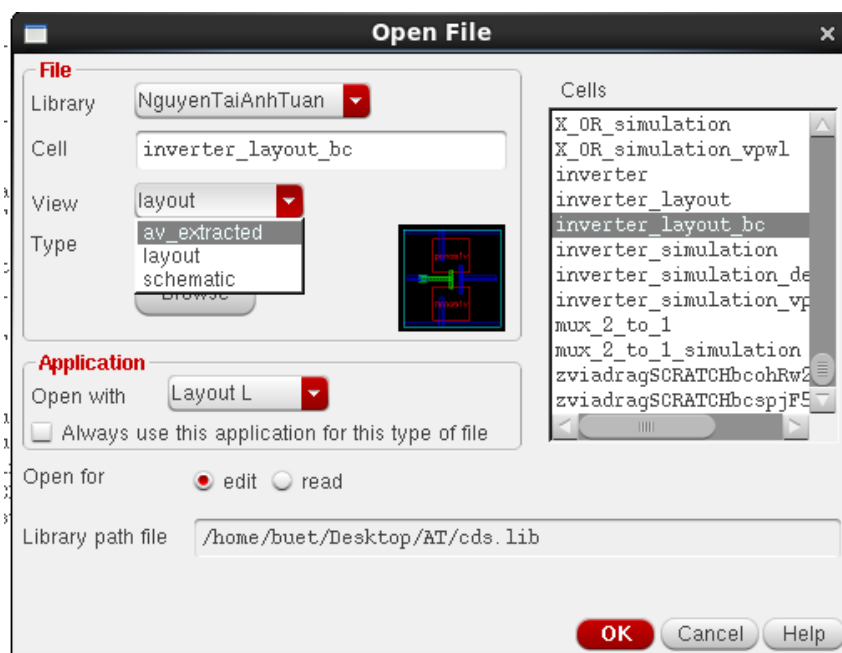


- Sau khi chạy Assura RCX xong thì sẽ có cửa sổ mới hiện lên và báo đã thành công sau đó nhấn YES

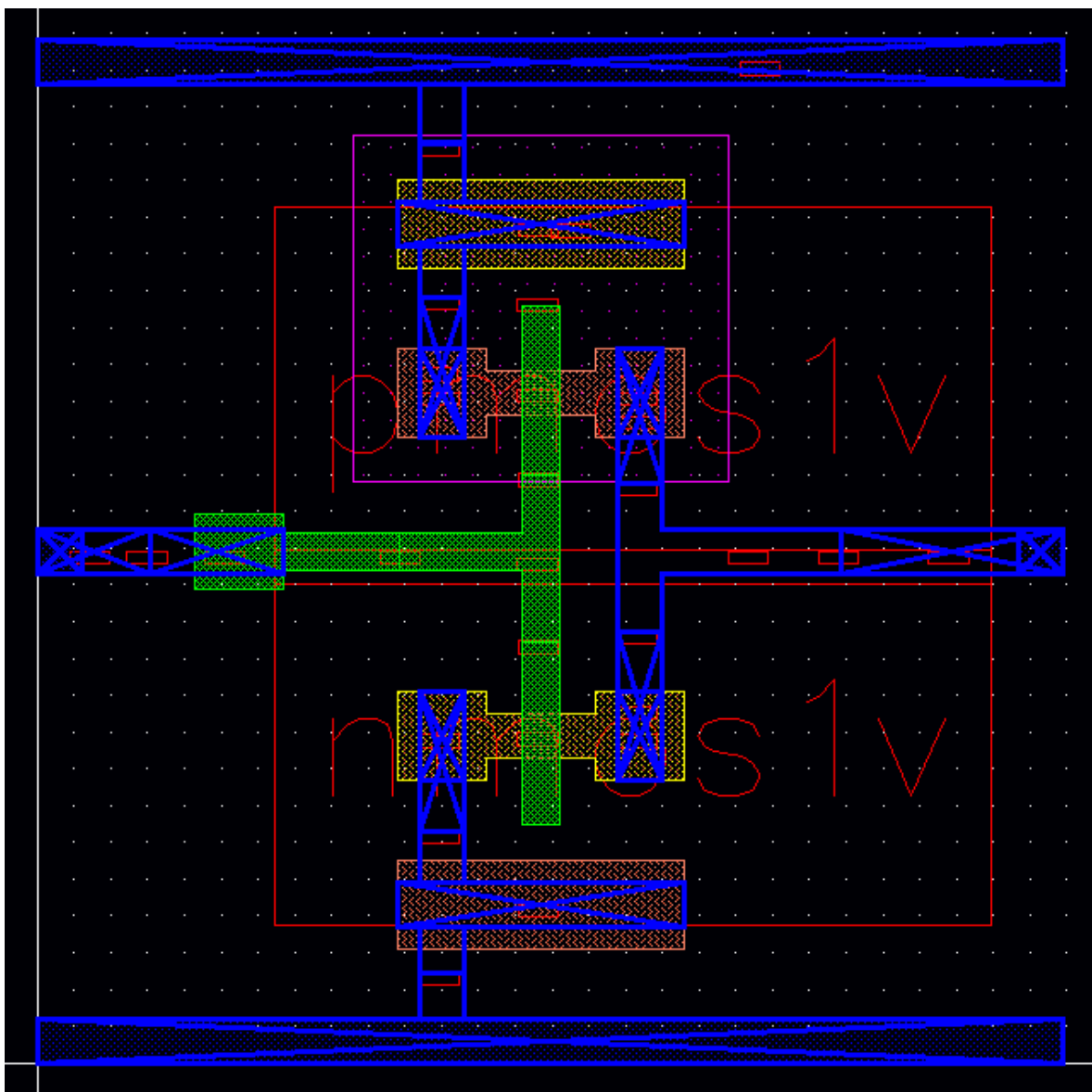


### \* Bước 13: Mở lại file vừa tạo layout

- Mở lại file vừa tạo layout, sau đó tại View chọn **av\_extracted**.



– Sau đây là hình ảnh: Final Layout View



– Nhấn phím Shift + F để hiển thị đầy đủ thông số cũng như các điện trở và tụ điện có trong thiết kế layout.

