

Điều kiện làm việc

1. ProASIC3 Starter Kit: Bộ kit thử nghiệm FPGA của hãng Actel, sử dụng chip A3P250 –PQ208
2. Bộ phần mềm Libero IDE và các tool kèm theo: dùng để lập trình, giả lập. Các project đính kèm được tạo bởi Libero IDE v9.1.
Bộ cài và license miễn phí 1 năm có thể download tại đây.
<http://www.microsemi.com/products/fpga-soc/design-resources/design-software/libero-ide>.
3. Máy tính: Có cổng song song

Yêu cầu cần thực hiện

Hãy lập trình điều khiển các

- dip switch SW2,
- dải đèn led LD1..LD8, LD9..LD16, LD17..LD24

để sao cho

- dải đèn led LD1..LD8 hiển thị giá trị cố định $\odot \odot \odot \odot \odot \odot \odot \odot$
- dải đèn led LD9..LD16 và LD17..LD24 cùng tắt bật giống hệt nhau, và theo sự theo dõi của dip switch SW2. Chẳng hạn nếu SW 2 là on off on on off off off on thì cả 2 dải led đều có phát sáng theo kiểu $\odot \odot \odot \odot \odot \odot \odot \odot$



Mục tiêu và kết quả học tập

- Thử một thiết kế rất đơn giản, chỉ gồm các đầu nối dây
- Làm quen với luồng công việc trong Libero, để hiểu cách viết một chương trình và nạp chương trình lên kit FPGA

Hướng dẫn

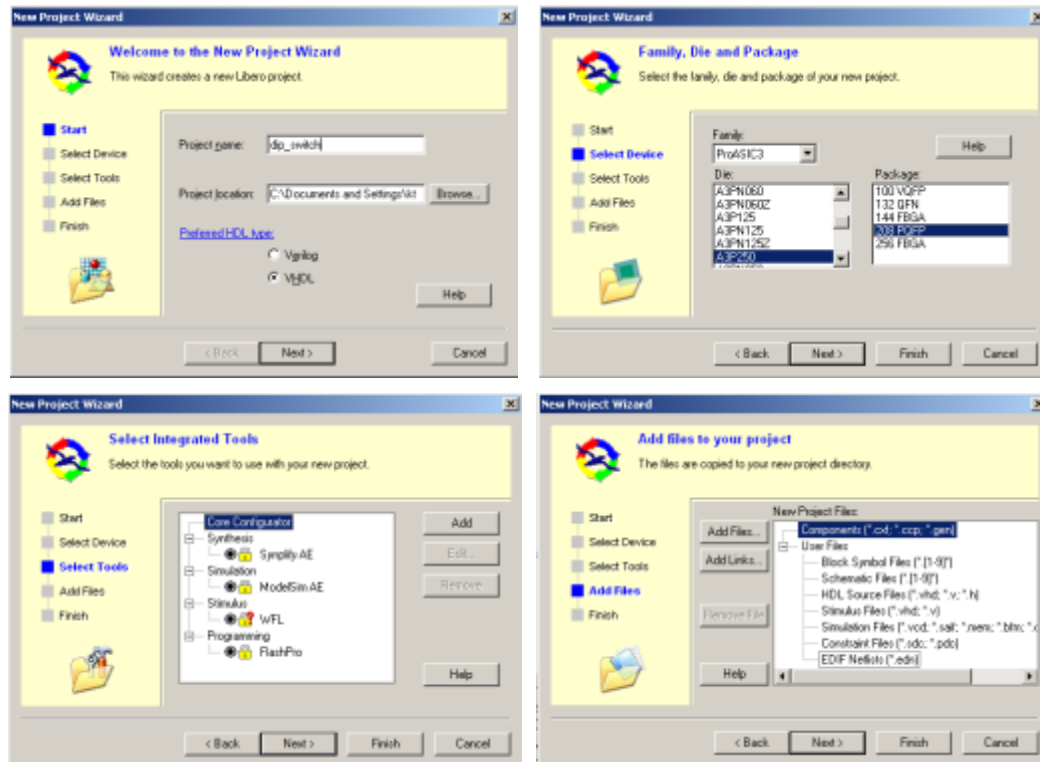
- Tìm kiếm từ khóa: Libero IDE, user guide, start → sẽ tìm được file pdf hướng dẫn tạo dự án và nạp kit bằng Libero. Cả file chỉ có 1 ví dụ hướng dẫn, đơn giản, dễ hiểu.
- Tìm kiếm tài liệu hướng dẫn về Kit ProASIC3, với chip FPGA là A3P250, hoặc download tại <ftp://dce.hut.edu.vn/tiennd/thietkeic>. Tài liệu này mô tả rõ về bộ kit ProASIC3, chỉ rõ các chân (pin) của FPGA được nối với các dip-switch, các đèn led như thế nào, đồng thời cũng chỉ rõ cách cấu hình kit ProASIC3 để có thể nạp được chương trình qua cổng song song LPT.



Các bước thực hiện

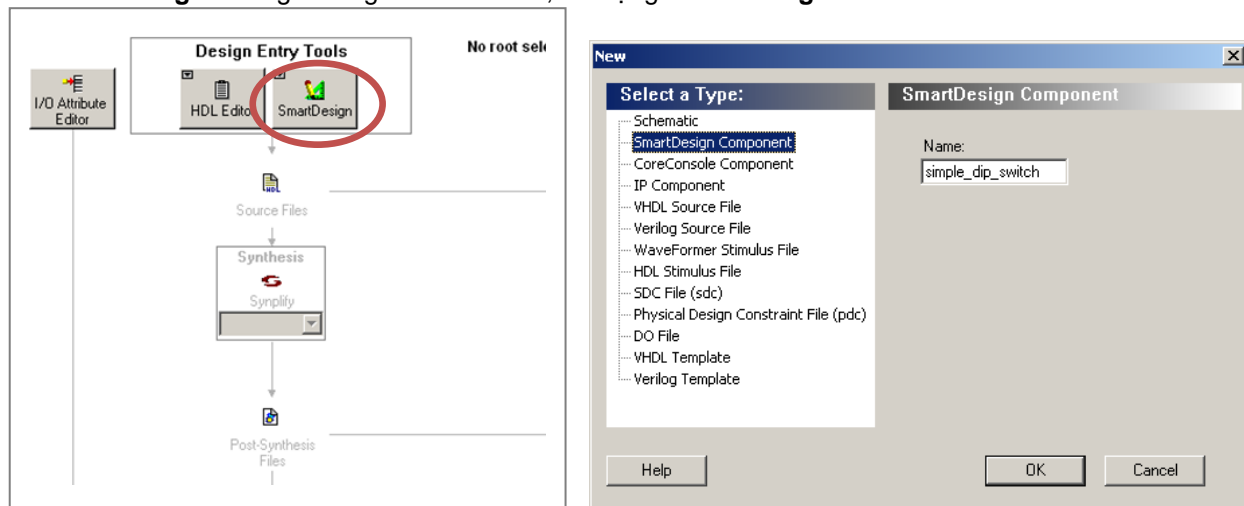
1. Tạo dự án mới

Tạo dự án mới, khai báo thiết bị phù hợp với kit ProASIC3 và chip FPGA có tên A3P250-PQ208.



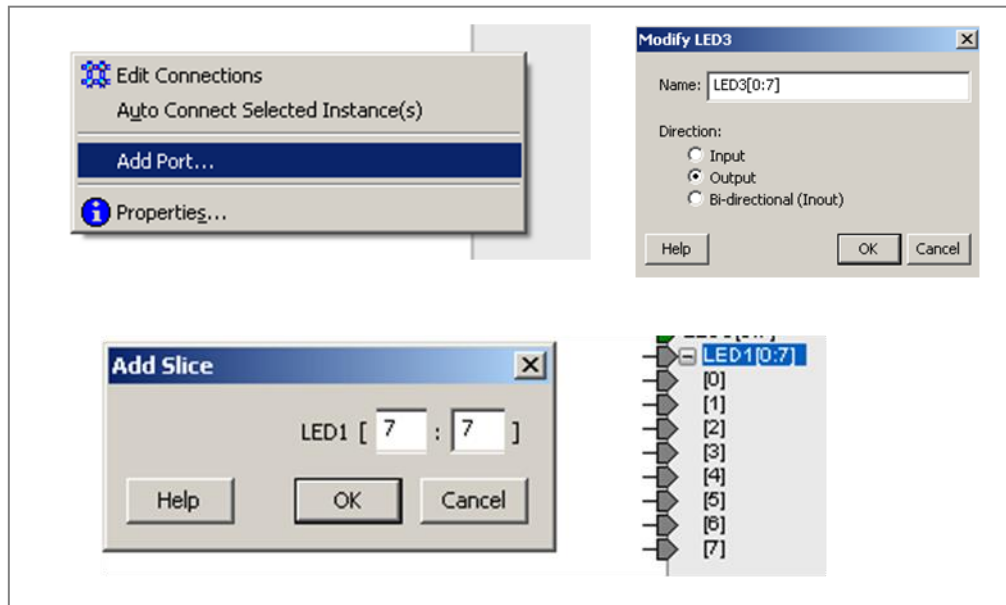
2. Thiết kế IC

Tạo thiết kế bằng cách viết code trực tiếp bằng **HDL Editor**, hoặc có thể sử dụng công cụ trực quan hơn là **Smart Design**. Trong hướng dẫn bên dưới, sử dụng **SmartDesign**

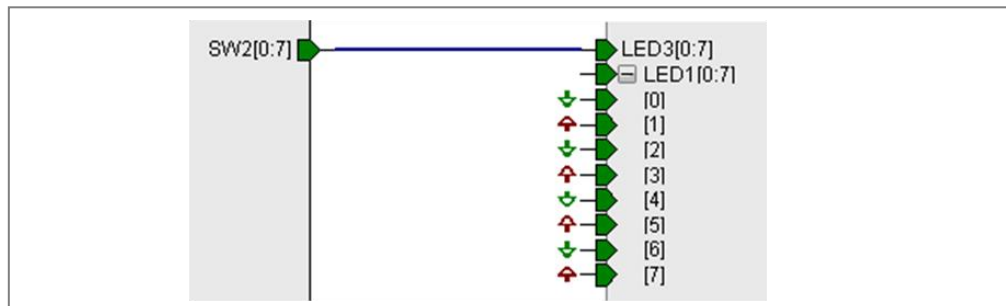


Thêm các port, cổng vào ra

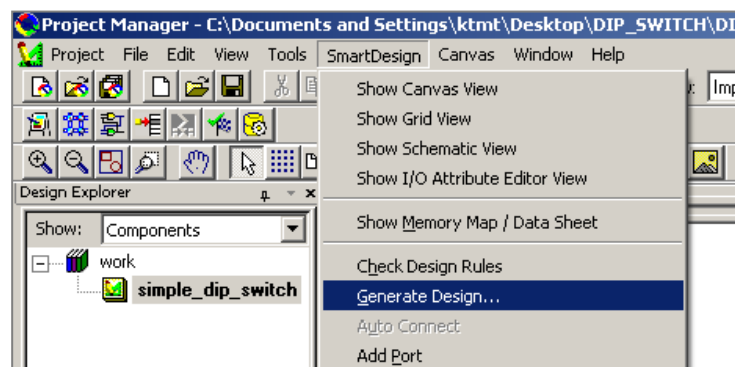
- Tạo cổng **SW2[0:7]**, direction là **Input**.
- Không cần khai báo dải **LED2**, từ LD9 tới LD16 ở đây. Theo thiết kế của bộ kit ProASIC3, khi LED2 và SW2 được cấu hình là Input thì dải đèn LED2 sẽ tự động thay đổi theo SW2.
- LED1**, direction là **Output**, sẽ tương ứng với dải led LD1..LD8
- LED3**, direction là **Output**, sẽ tương ứng với dải led LD17..LD24



Toàn bộ thiết kế sẽ như hình dưới



Trong SmartDesign, kiểm tra lại thiết kế (chức năng Check Design Rules) và dịch thiết kế ra file HDL (chức năng Generate Design...)

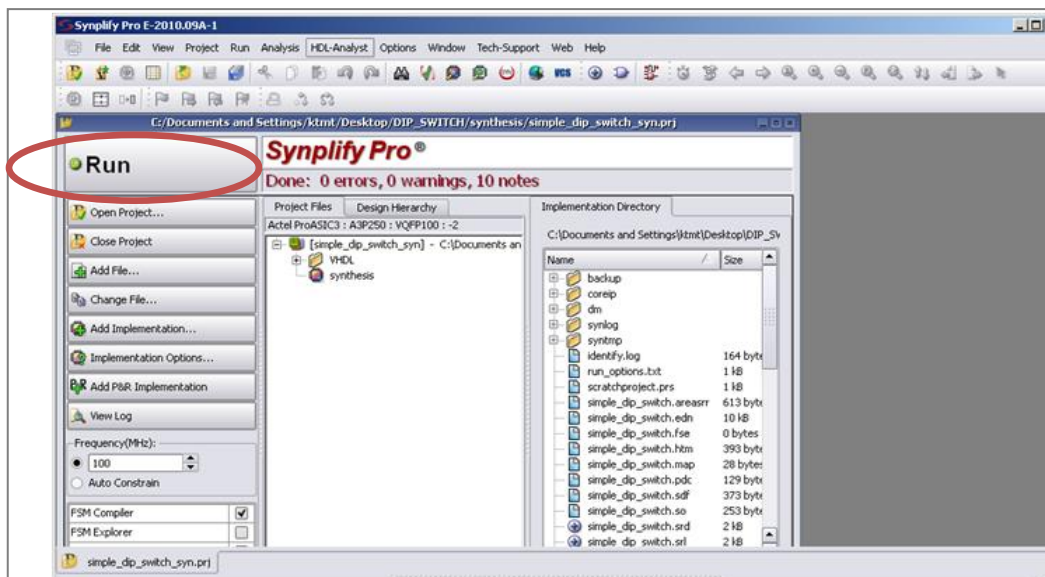
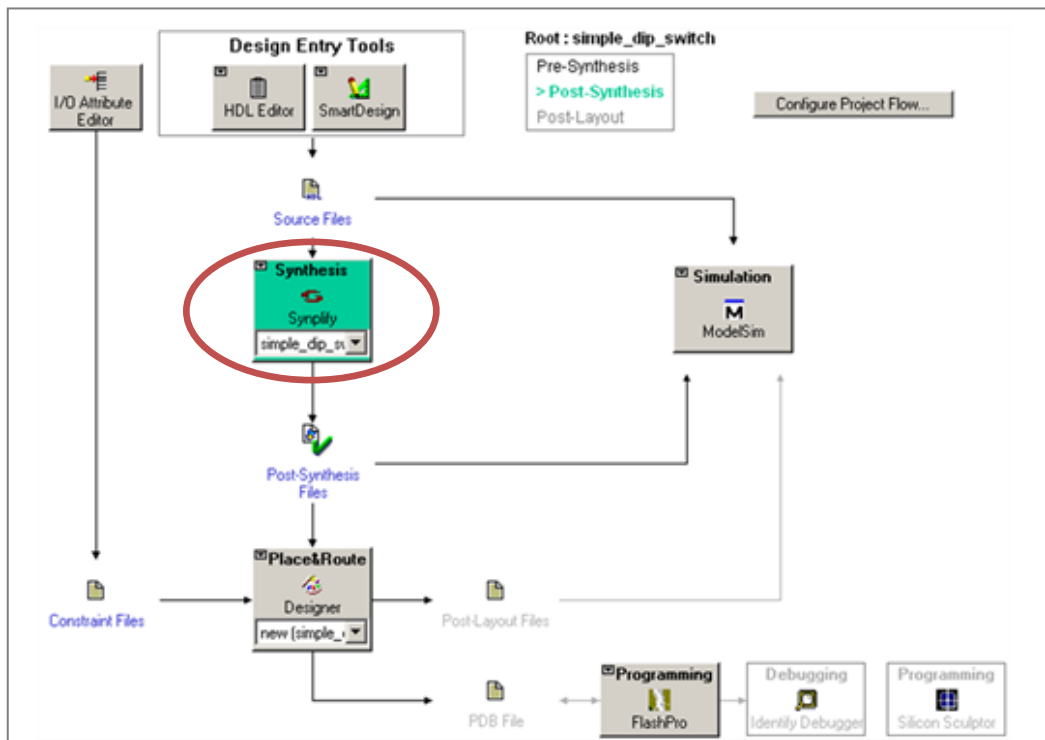


3. Kiểm tra thiết kế về mặt chức năng

Lúc này Libero IDE sẽ tự tạo ra file testbench.vhd. Có thể tiến hành các quá trình chạy giả lập để kiểm tra tính đúng đắn về mặt chức năng, gọi là *Giả lập trước tổng hợp*. Tuy nhiên, phạm vi bài tập này quá đơn giản, không cần thiết phải kiểm tra.

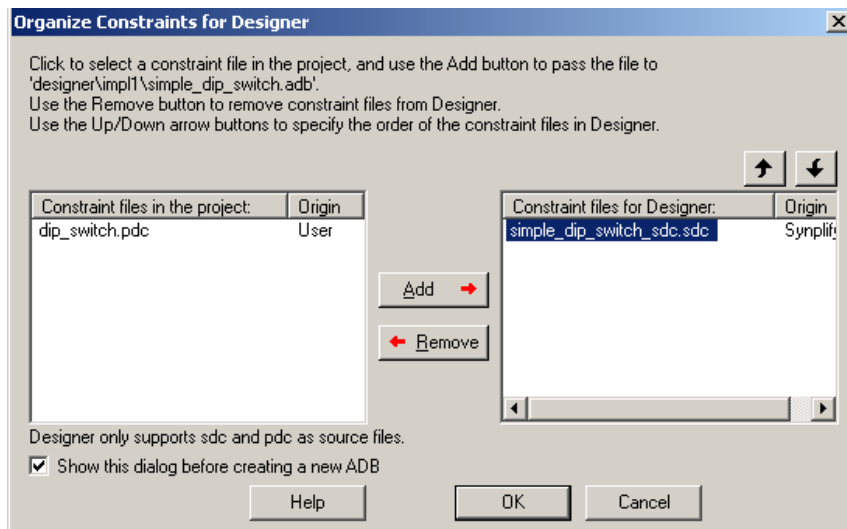
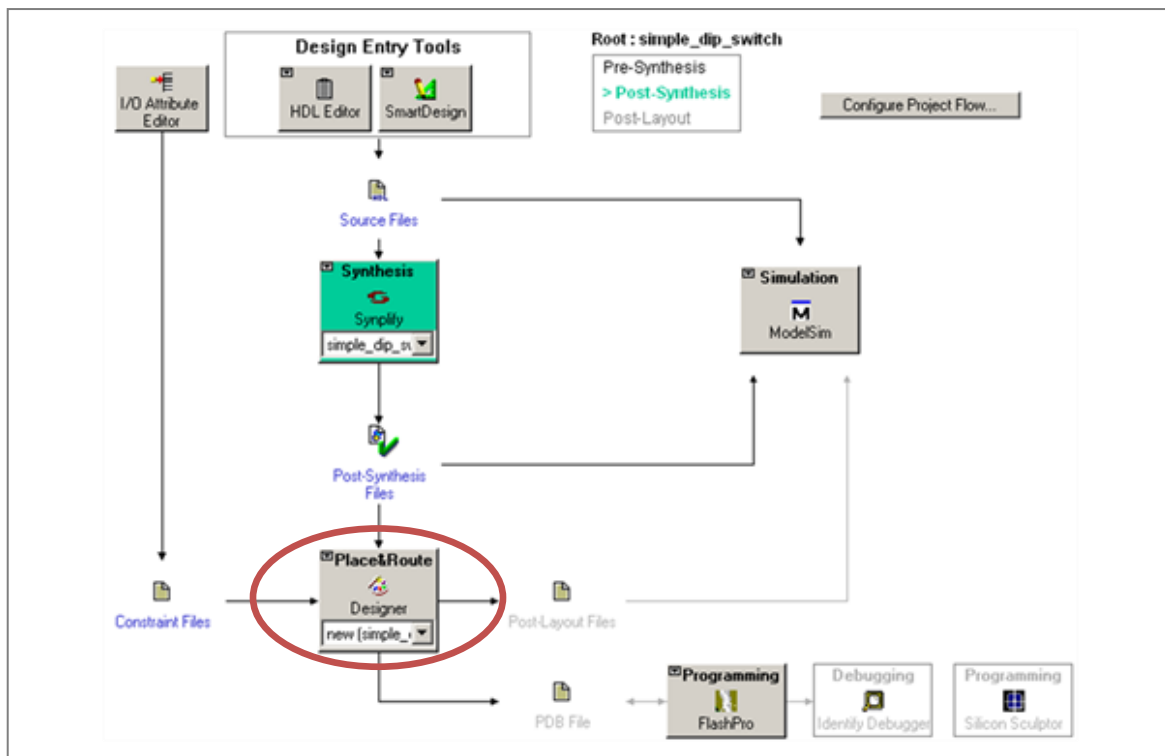
4. Tổng hợp Net List

Tổng hợp các file HDL thành các file netlist bằng công cụ Synplify. Các file netlist là thiết kế ở mức gate, được xây dựng từ các phần tử AND, OR, XOR...

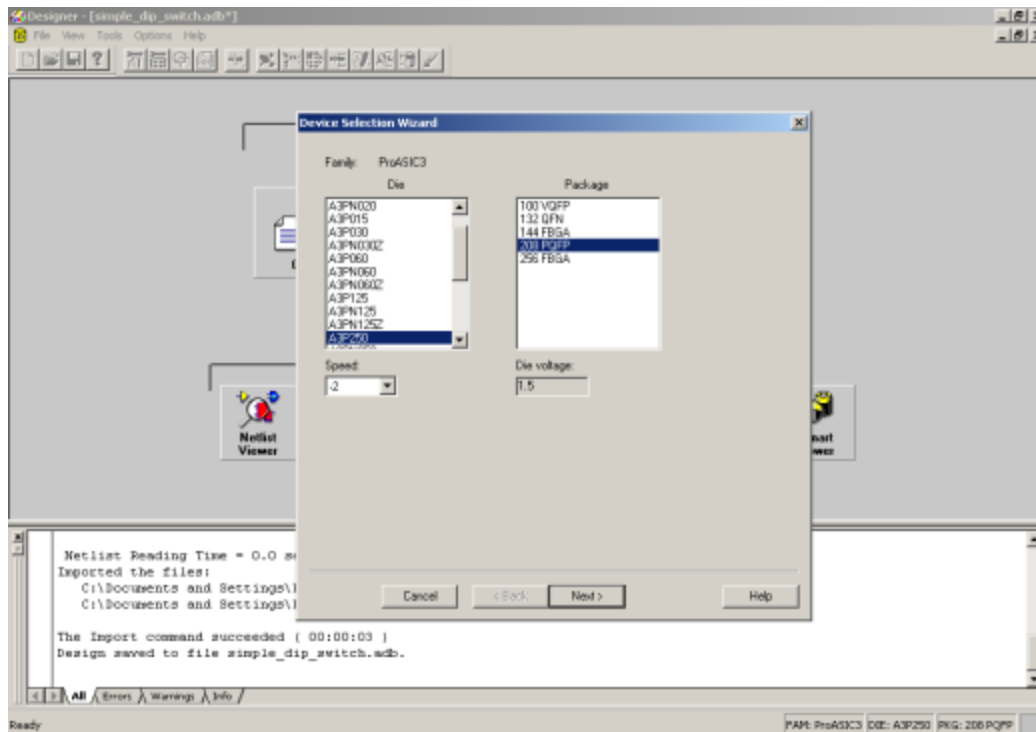


5. Bố trí thiết kế lên chip FPGA

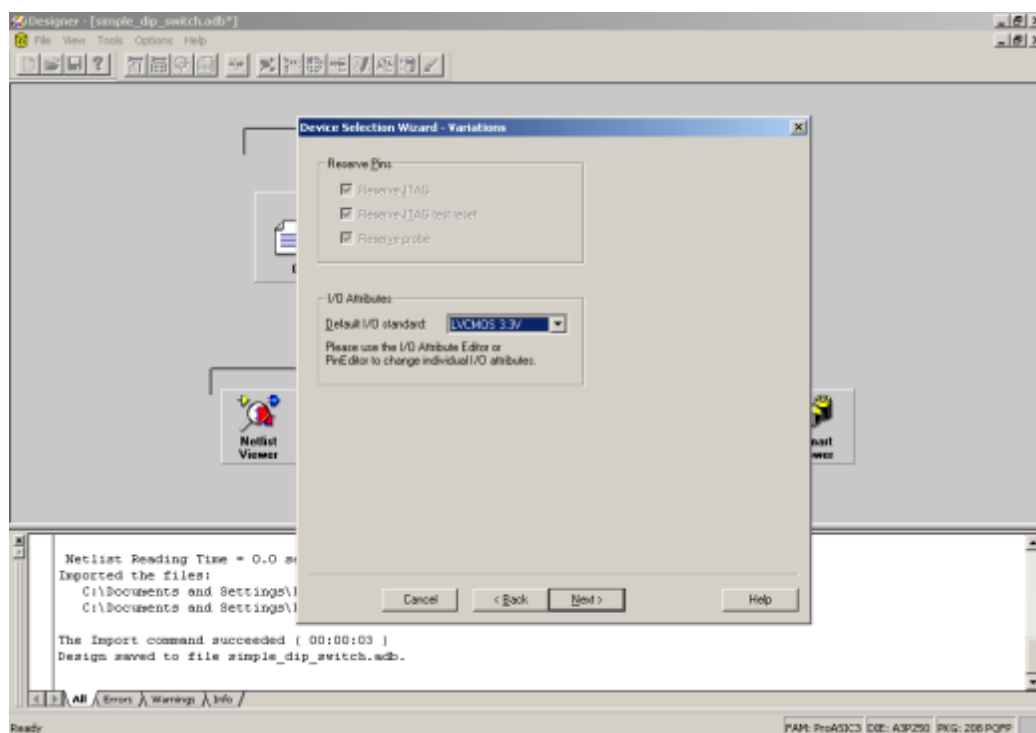
Bố trí thiết kế đã tổng hợp được, ví trí các cổng vào ra, vị trí các module, lên trên trên khuôn chip FPGA thực tế, với chức năng **Place & Route**



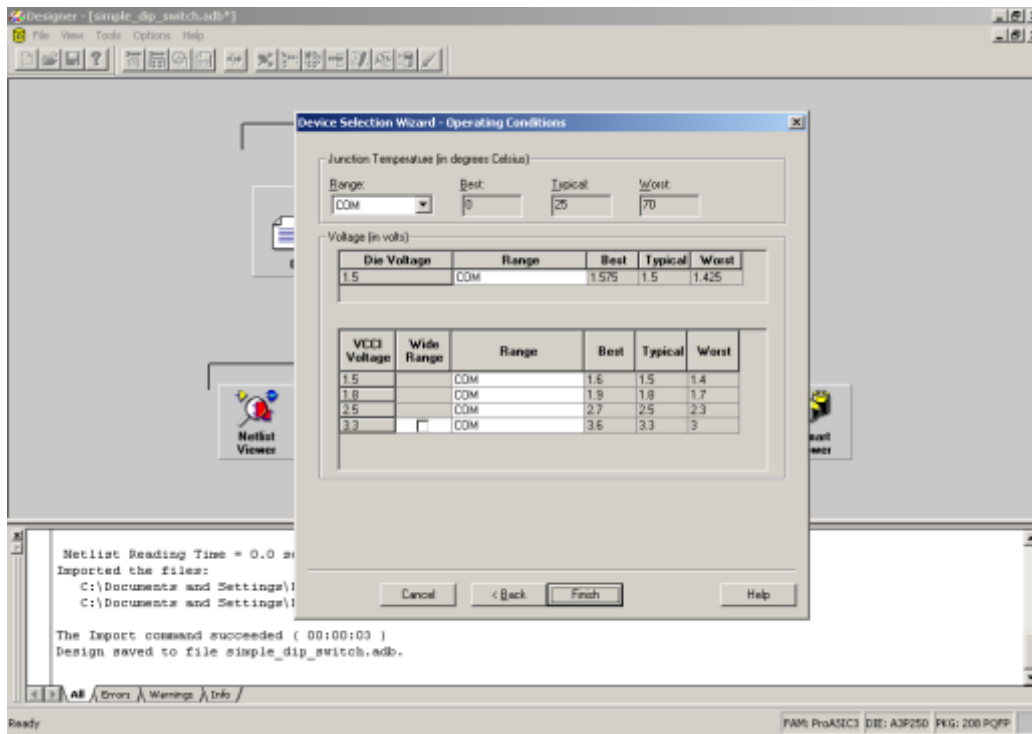
File đầu ra của quá trình Tổng hợp là đầu vào của quá trình Place&Route



Lựa chọn đúng loại FPGA sẽ dùng để nạp thiết kế lên

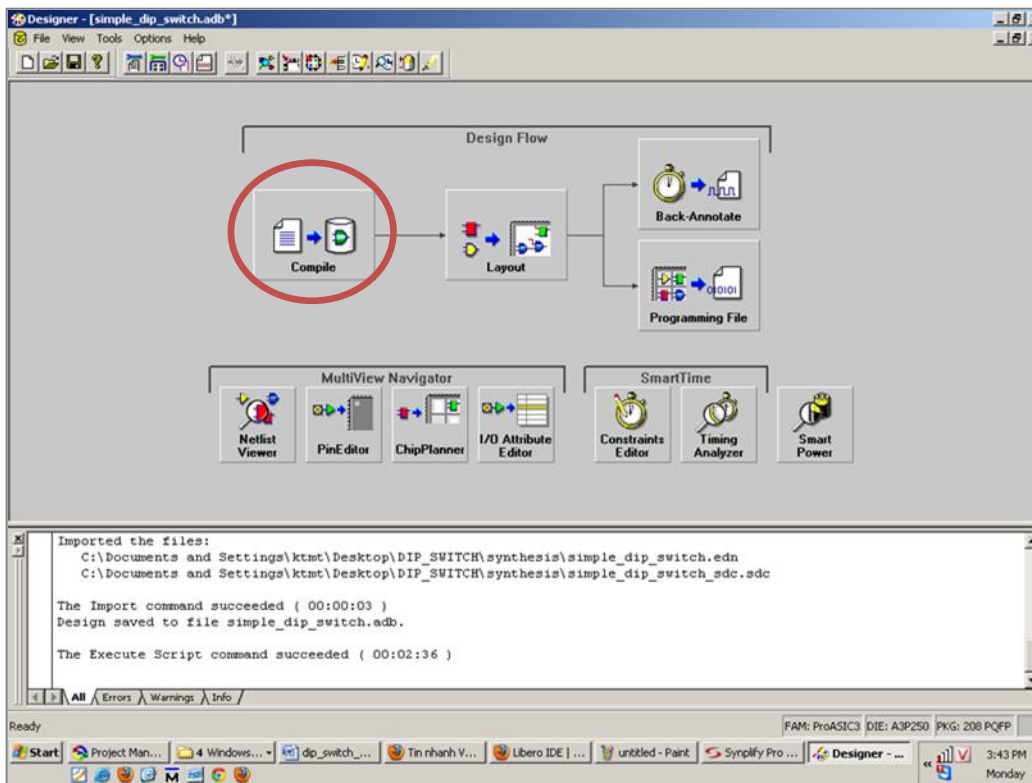


Chọn mức điện áp mặc định cho các bank của FPGA sẽ nạp. Do kit Actel ProASIC3 đã mặc định sẵn các jumper cấu hình điện áp 4 bank pin của FPGA là 3.3V, nên ta đặt giống như trên để khỏi phải thay đổi.

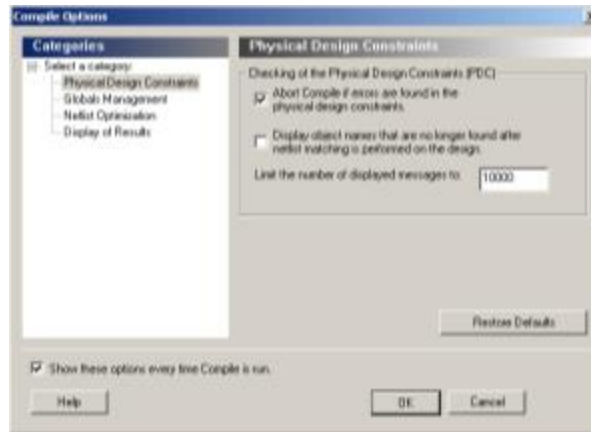


Chọn Finish.

5.1. Dịch netlist

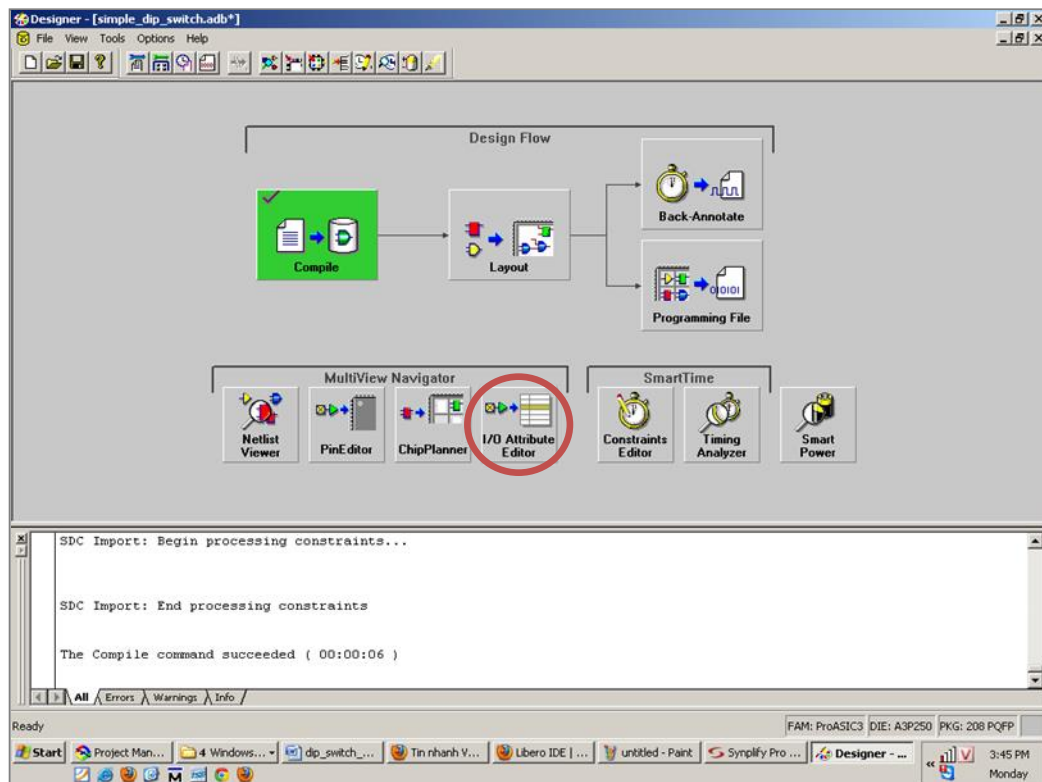


Biên dịch netlist thành dạng phù hợp với FPGA đã lựa chọn



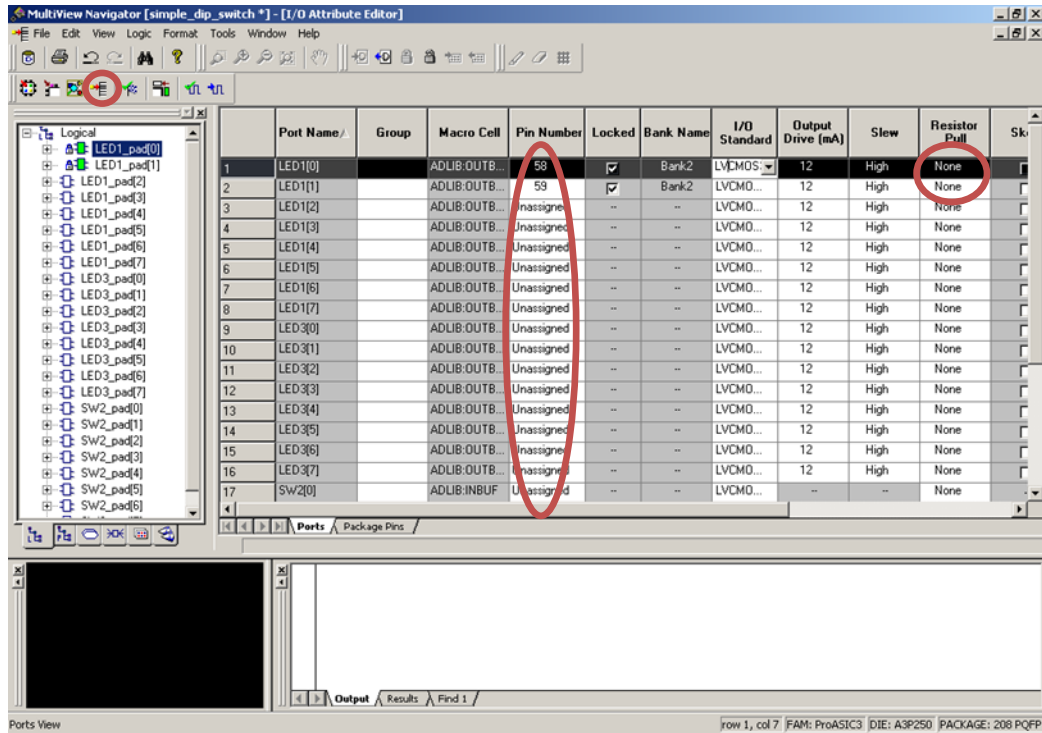
Trong quá trình biên dịch netlist, có thể cấu hình các thông số fanout, phương pháp tối ưu hóa...

5.2. Gán chân pin

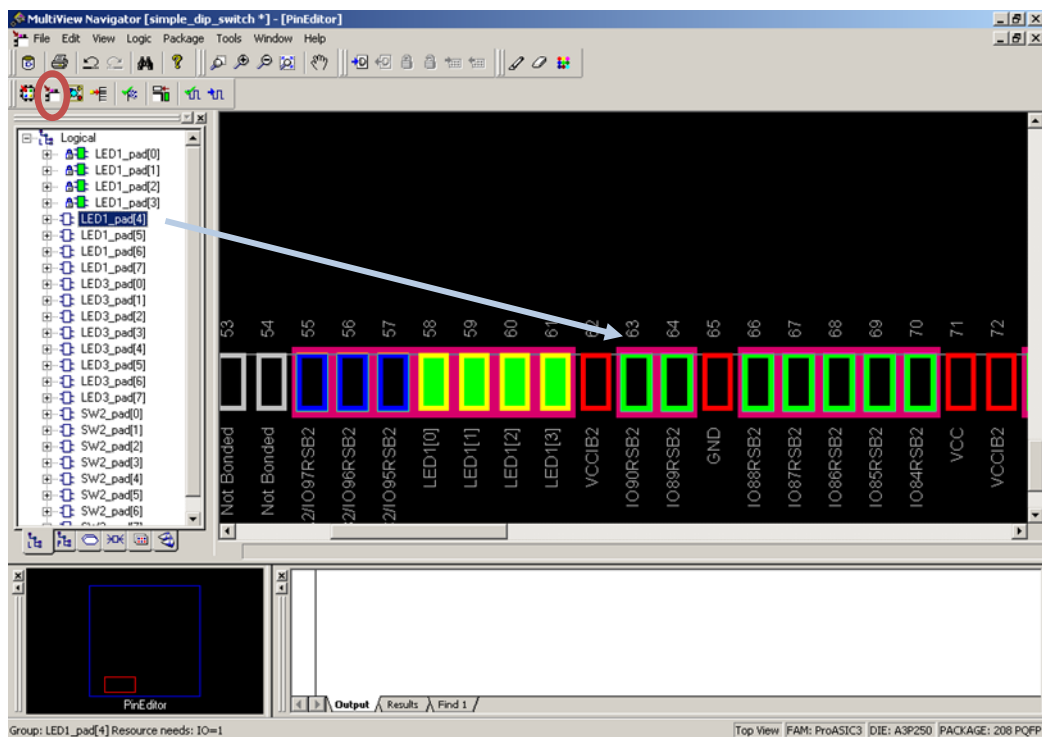


Tạo sơ đồ gán các port trong thiết kế HDL, lên các chân pin thực tế của FPGA

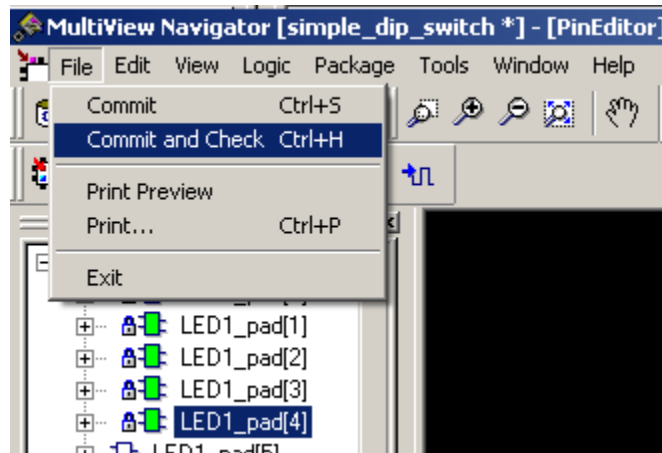




Có thể gán pin ở cửa sổ IO Distribute Editor, hoặc...



... hoặc gán chân pin bằng cách kéo thả ở cửa sổ Pin Editor

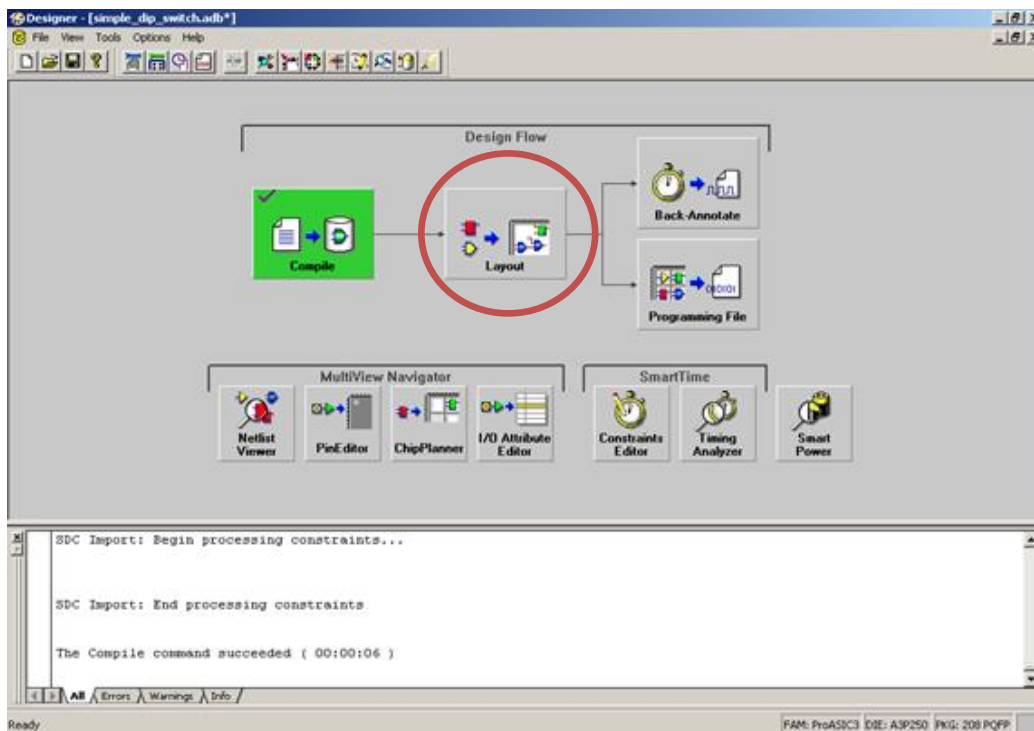


Kiểm tra quá trình gán chân pin

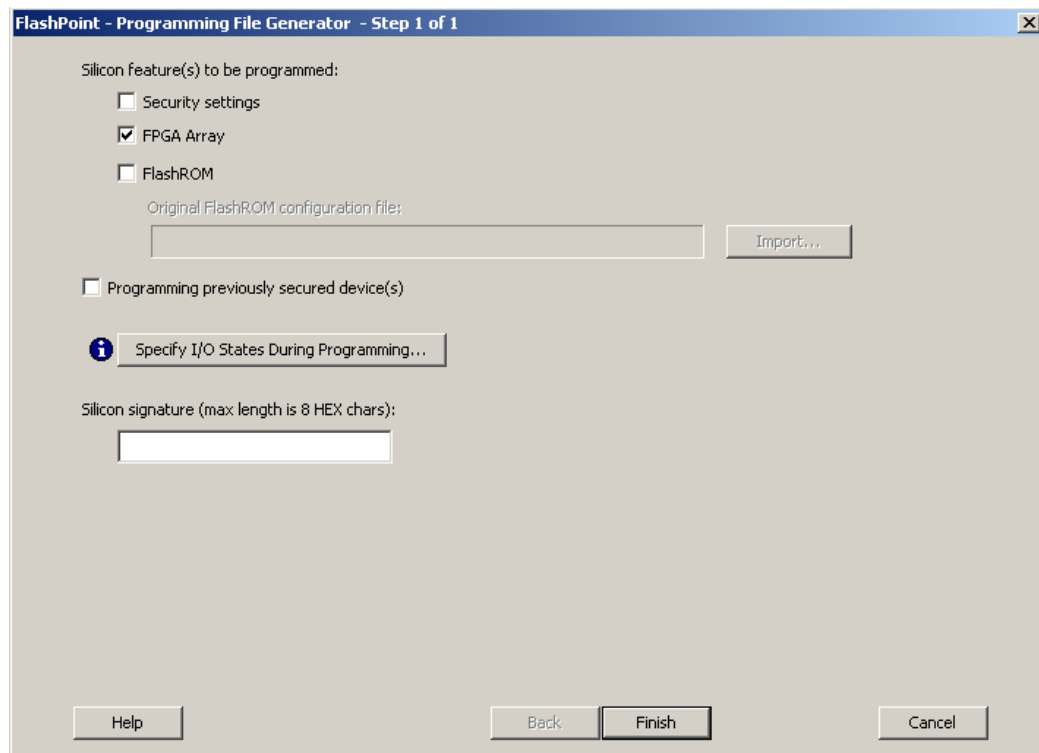
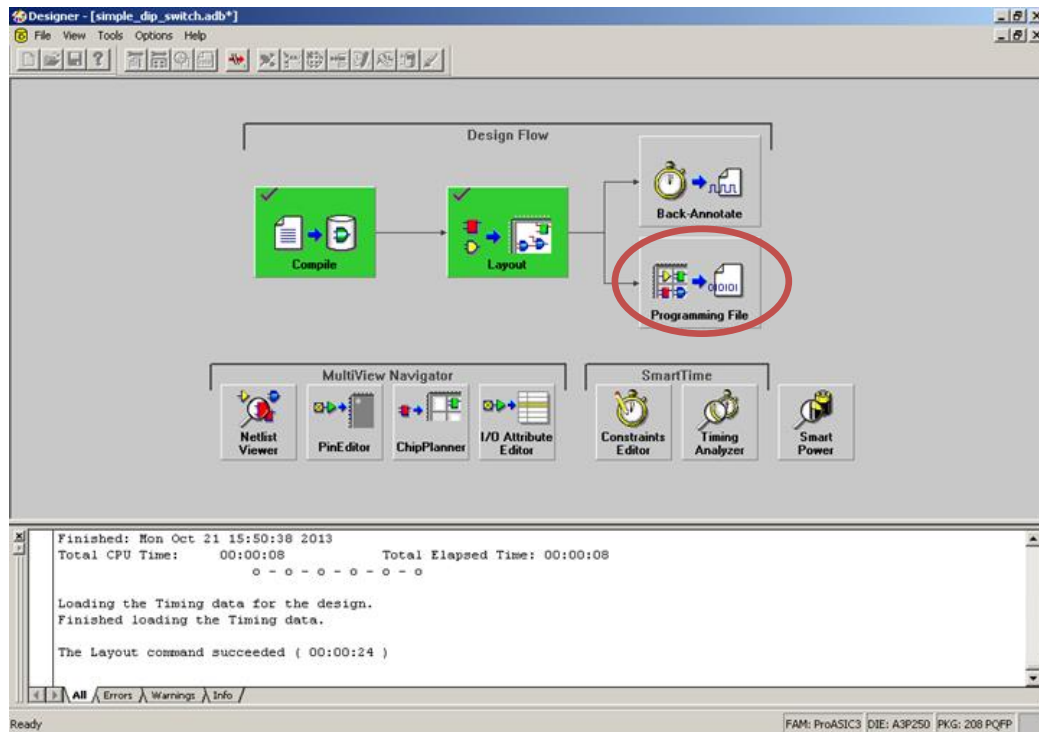
5.3. Đặt các module của thiết kế lên chip FPGA

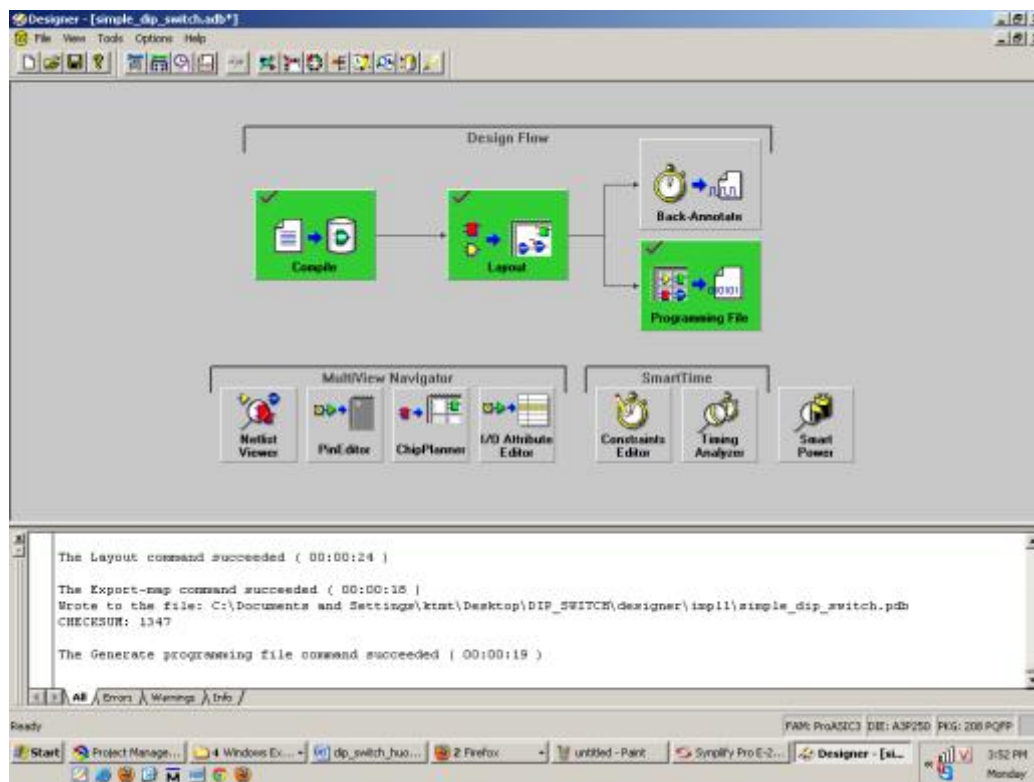
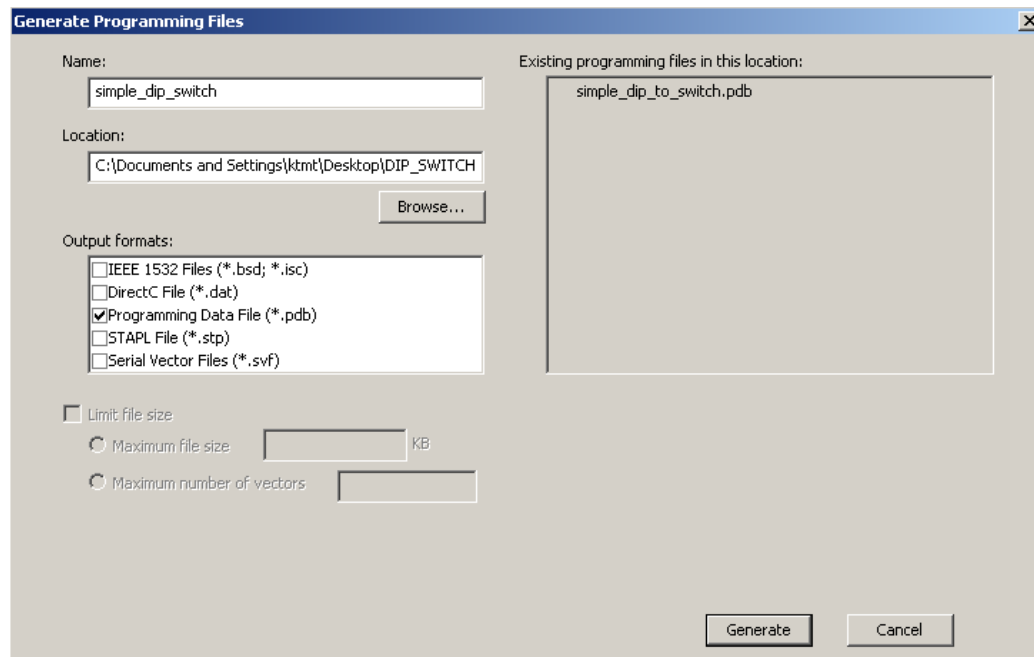
Ta có thể chủ động bố trí các module của thiết kế, chẳng hạn bộ cộng nằm ở góc bên trái của FPGA, bộ nhân nằm ở chính giữa FPGA... Để tiện lợi, không cần thực hiện bước này, hãy để Libero IDE tự làm.

5.4. Tạo layout thiết kế cuối cùng trên chip FPGA



5.5. Dịch thành file để nạp trên FPGA





Hoàn tất trình dịch

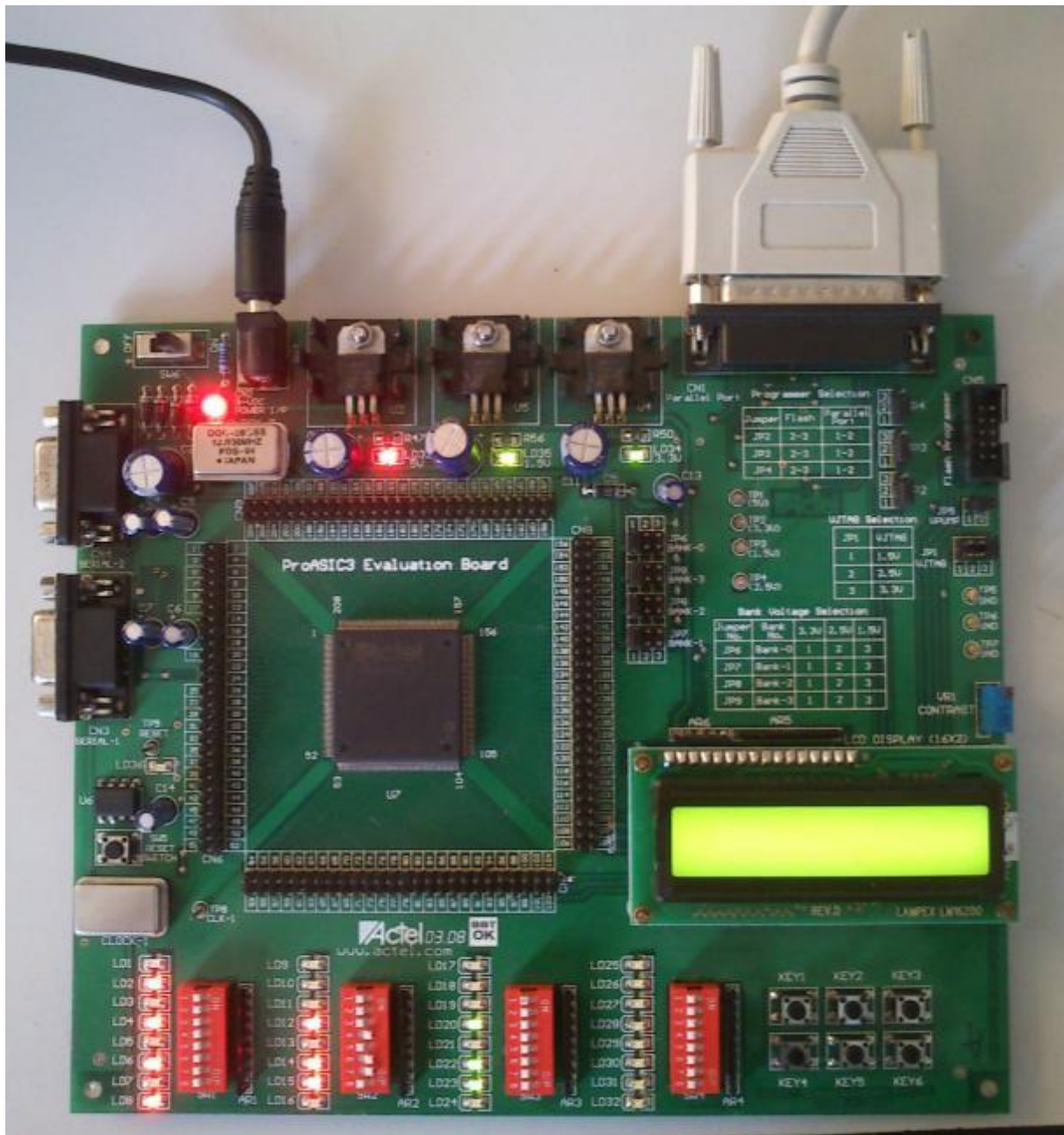


6. Kiểm tra thiết kế toàn diện

Thiết kế có thể đúng về mặt chức năng, nhưng có thể không đạt được tốc độ mong muốn, sai khi đặt lên chip FPGA, hoặc không thể dịch thành Net List được.

Bỏ qua bước này trong bài thực hành hiện tại.

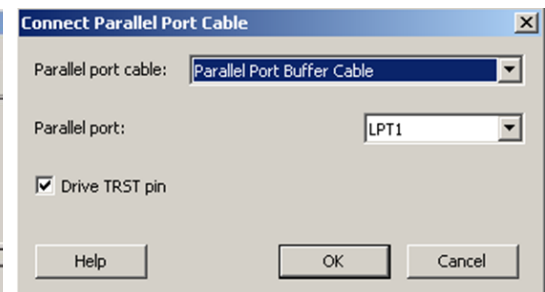
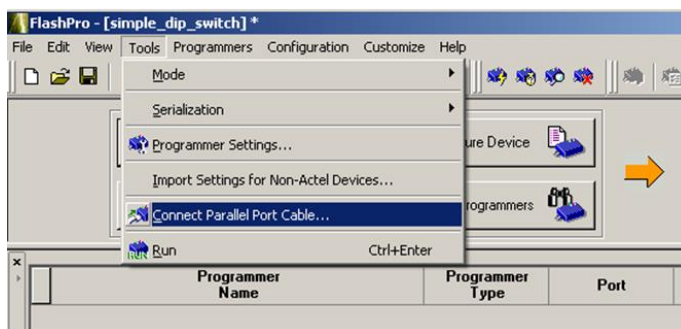
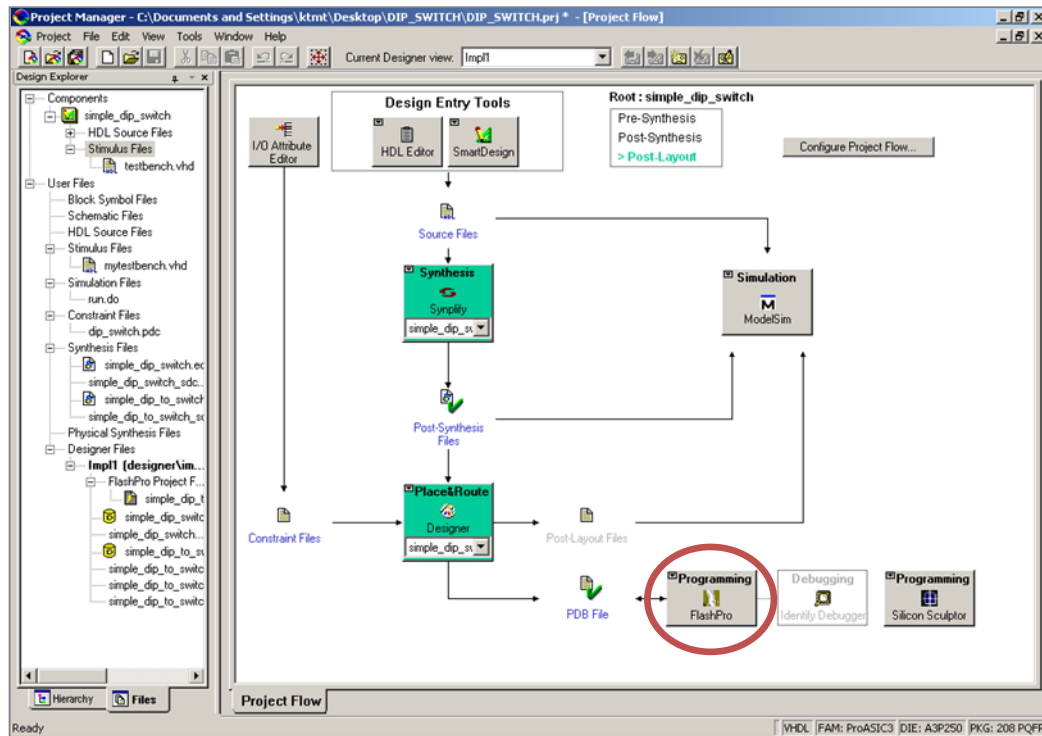
7. Kết nối KIT phát triển với máy tính





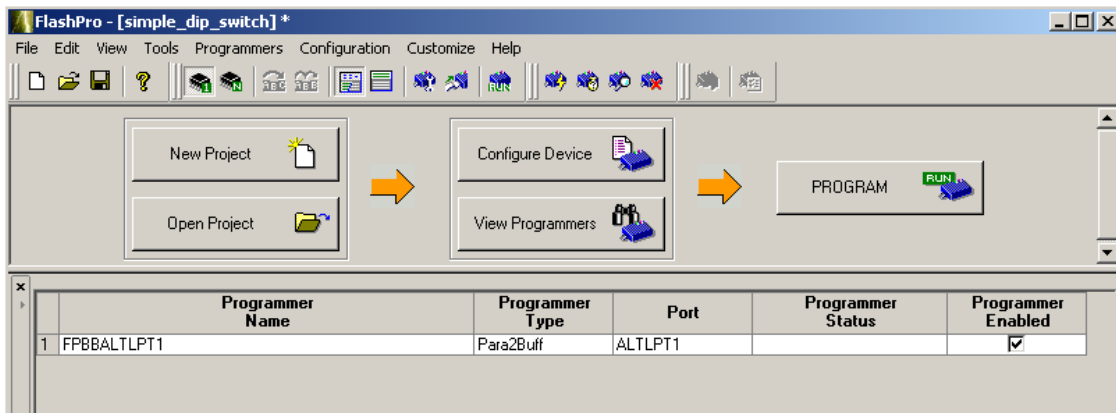
8. Nạp thiết kế lên FPGA

Kích hoạt qua trình nạp bằng FlashPro, kể cả khi sử dụng cổng song song.

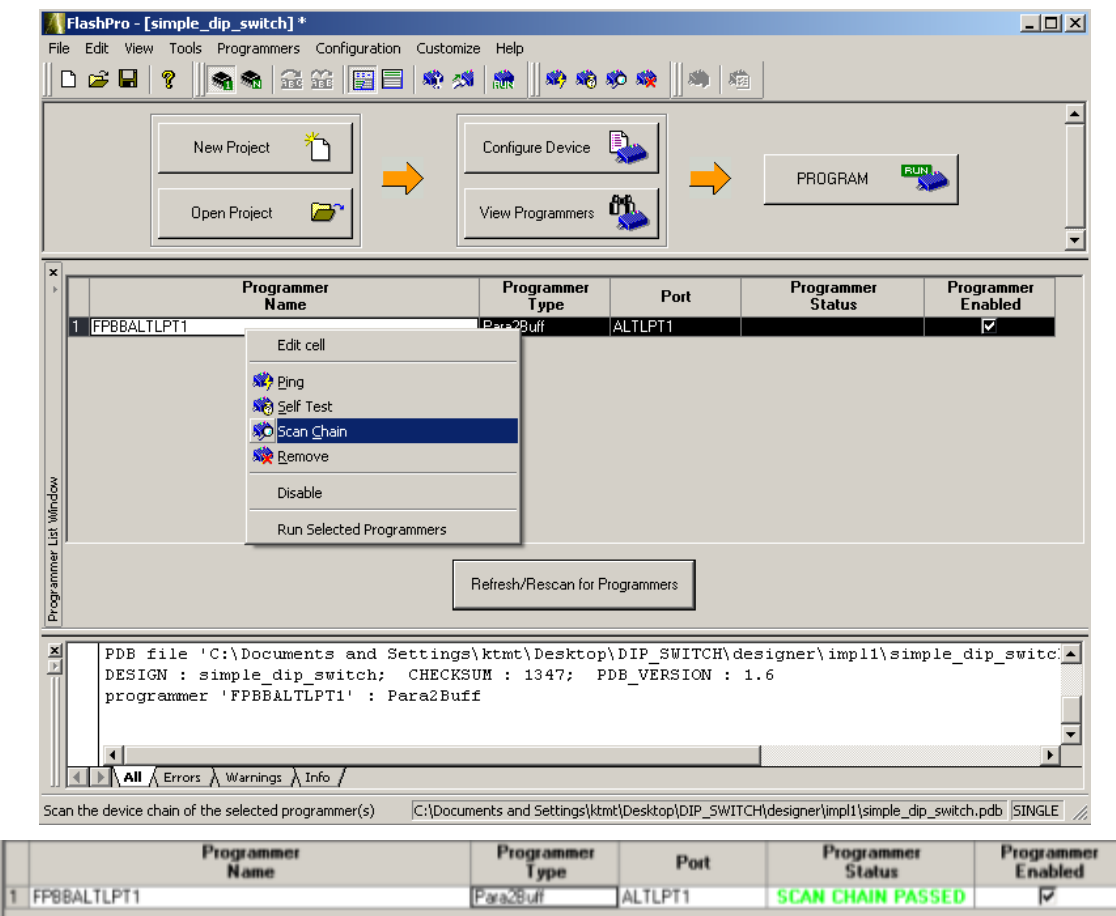


Chọn cổng song song





Kết quả khi chọn cổng song song



Kiểm tra kết nối với kit thông qua cổng song song

Chú ý: Self Test có thể báo lỗi: không sao cả.

Bấm nút PROGRAM và đợi kết quả thành công

