

Điều kiện làm việc

1. ProASIC3 Starter Kit: Bộ kit thử nghiệm FPGA của hãng Actel, sử dụng chip A3P250 –PQ208
2. Bộ phần mềm Libero IDE và các tool kèm theo: dùng để lập trình, giả lập. Các project đính kèm được tạo bởi Libero IDE v9.1.
Bộ cài và license miễn phí 1 năm có thể download tại đây.
<http://www.microsemi.com/products/fpga-soc/design-resources/design-software/libero-ide>.
3. Máy tính: Có cổng song song

Yêu cầu cần thực hiện

Hãy lập trình để xây dựng các bộ đếm:

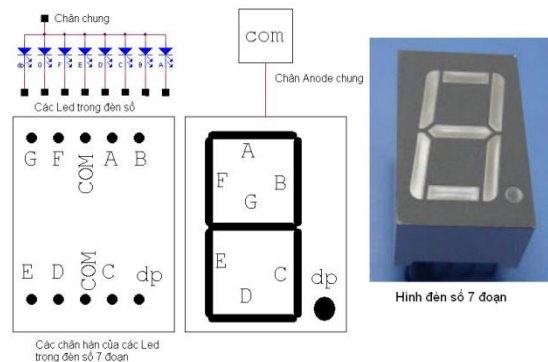
- Bộ đếm để chia tần số, từ tần số đầu vào 40MHz \rightarrow 1MHz
- Bộ đếm để chia tần số, từ tần số đầu vào 1MHz \rightarrow các tần số 1Hz, 2Hz, ...

Mục tiêu và kết quả học tập

- Thiết kế được các bộ cộng, bộ đếm
- Áp dụng bộ đếm để chia tần số.
- Kết hợp với bộ giải mã 7 đoạn (đã làm trong bài thực hành trước) để hiển thị kết quả bộ đếm.
- Sử dụng DIP_SWITCH để thay đổi giá trị và xem kết quả trên Led 7 đoạn

Hướng dẫn

- Tìm hiểu về thiết kế bộ đếm
- Thiết kế các bộ đếm để chia tần số. (Câu hỏi: nếu muốn chia tín hiệu đồng hồ đầu vào 40MHz thành tín hiệu đồng hồ 1MHz thì thiết kế bộ đếm bao nhiêu bit).
- Tạo ra tần số 1MHz
- Thực hiện bộ đếm 4bit, đếm số lượng lần bấm phím. Tức là, mỗi khi người dùng bấm một phím nào đó trên Kit, bộ đếm sẽ tăng 1 đơn vị. Hiển thị giá trị đếm ra đèn led 7 đoạn.
- Để tiến hành nạp cho FPGA xem tài liệu hướng dẫn `dip_switch_huongdan.docx`.



Các bước thực hiện

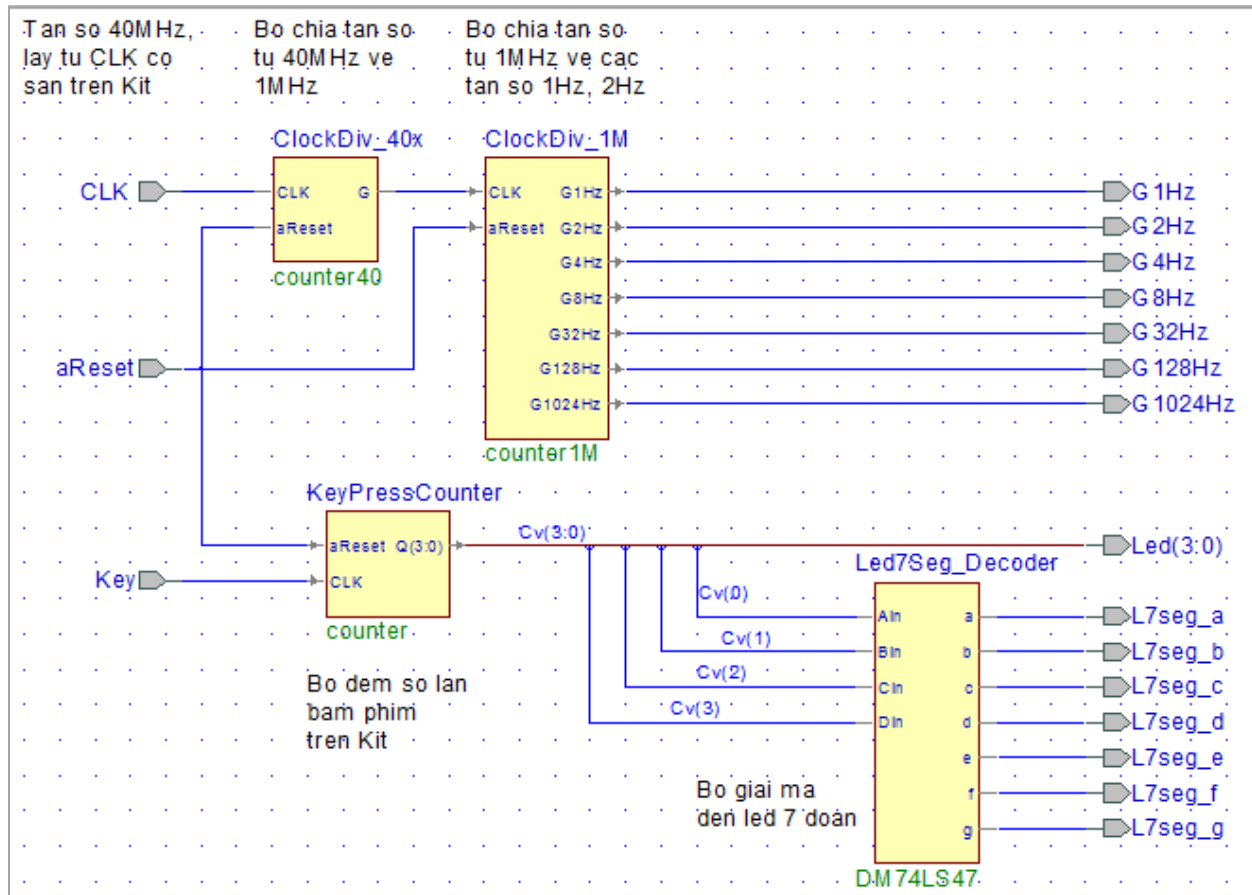
1. Tạo dự án mới

Tạo dự án mới, khai báo thiết bị phù hợp với kit ProASIC3 và chip FPGA có tên A3P250-PQ208.

2. Thiết kế bằng Aldec Active-HDL hoặc bằng Libero IDE.

Trong trường hợp thiết kế bằng Active-HDL, để nạp được lên FPGA vẫn phải sử dụng Libero IDE. Hãy tạo dự án rỗng trên Libero IDE, rồi import các file vhdI trong Active-HDL Project vào là xong.





3. Kiểm tra thiết kế về mặt chức năng

Nếu sử dụng Active-HDL, có thể kiểm tra chức năng xuôi, để bảo đảm thiết kế hoạt động đúng rồi mới import vào Libero IDE.

4. Tổng hợp Net List

Tổng hợp các file HDL thành các file netlist bằng công cụ Synplify. Các file netlist là thiết kế ở mức gate, được xây dựng từ các phần tử AND, OR, XOR...

5. Bố trí thiết kế lên chip FPGA

Bố trí thiết kế đã tổng hợp được, vị trí các cổng vào ra, vị trí các module, lên trên trên khuôn chip FPGA thực tế, với chức năng **Place & Route**

Chú ý chọn đúng loại FPGA của Actel Starter Kit sẽ nạp. Loại A3P208PG

5.1. Dịch netlist

5.2. Gán chân pin

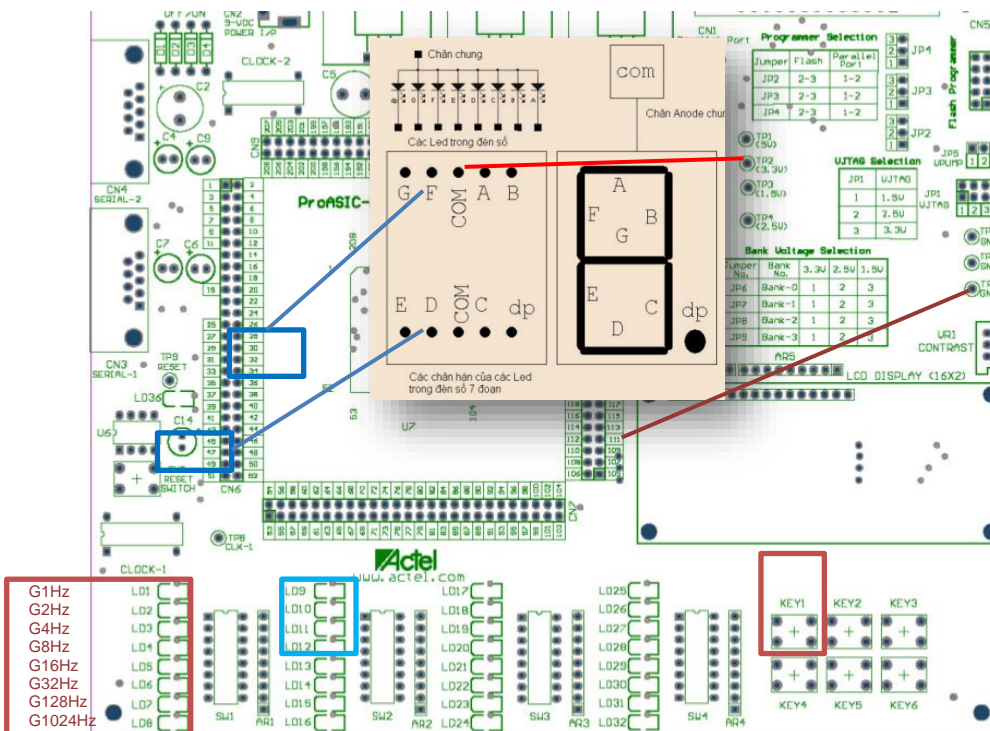
Chú ý: Do phím Key1 được thiết kế trên Kit để tích cực mức thấp, nên bộ đếm phím được thiết kế trong bài sẽ tiến hành đếm khi nút Key1 được thả ra. Chân 111 của FPGA phải nối đất, vì 111 cung cấp điện áp để quét phím Key1.



Gán như bảng dưới đây

Pin FPGA	Pin IC	Ứng với Kit	Pin FPGA	Pin IC	Pin Led 7 seg
55	CLK	CLK1 (40MHz)	30	a	a
56	aReset	SW5 (mức cao)	28	b	b
114	Key	Key1 (mức thấp)	45	c	c
111		Nối GND	47	d	d
58	G1Hz	LD1	49	e	e
59	G2Hz	LD2	32	f	f
60	G4Hz	LD3	34	g	g
61	G8Hz	LD4	68	Led(0)	LD9
63	G32Hz	LD5	69	Led(1)	LD10
64	G128Hz	LD6	70	Led(2)	LD11
66	G1024Hz	LD7	73	Led(3)	LD12

Bảng gán chân IC được thiết kế lên pin của FPGA



5.3. Đặt các module của thiết kế lên chip FPGA

Ta có thể chủ động bố trí các module của thiết kế, chẳng hạn bộ cộng nằm ở góc bên trái của FPGA, bộ nhân nằm ở chính giữa FPGA... Để tiện lợi, không cần thực hiện bước này, hãy để Libero IDE tự làm.

5.4. Tạo layout thiết kế cuối cùng trên chip FPGA

Xem tài liệu thực hành bài 1.

5.5. Dịch thành file để nạp trên FPGA

Xem tài liệu thực hành bài 1.

6. Kiểm tra thiết kế toàn diện

Thiết kế có thể đúng về mặt chức năng, nhưng có thể không đạt được tốc độ mong muốn, sai khi đặt lên chip FPGA, hoặc không thể dịch thành Net List được.

Bỏ qua bước này trong bài thực hành hiện tại.

7. Kết nối KIT phát triển với máy tính

Xem tài liệu thực hành bài 1.

8. Nạp thiết kế lên FPGA

Xem tài liệu thực hành bài 1.

