

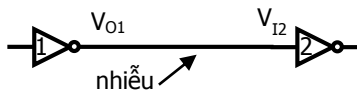
BỘ MÔN KTMT	MÔN : Thiết kế IC, IT4251 LỚP : HỌ VÀ TÊN : STT:.....	LẦN:...cuối kì.... Ngày thi: 25/12/2014 ĐƯỢC PHÉP SỬ DỤNG TÀI LIỆU	ĐỀ
	Thời gian làm bài: 60 phút Được phép sử dụng tài liệu Mỗi câu hỏi có duy nhất một đáp án đúng. Không trừ điểm khi trả lời sai. Đáp án phải được ghi vào phần trả lời mới hợp lệ, và nộp lại đề thi.		

PHẦN TRẢ LỜI TRẮC NGHIỆM

Câu hỏi	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
Trả lời															

PHẦN CÂU HỎI TRẮC NGHIỆM (7.5 điểm)

Câu 1: Cho sơ đồ mạch như hình vẽ với V_{O1} là điện áp đầu ra của bộ đảo 1, V_{I2} là điện áp đầu vào của bộ đảo 2.



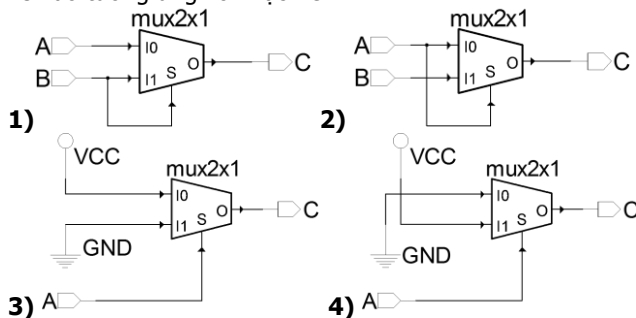
Cả 2 bộ đảo đều có đặc tính giống nhau với $V_{DD}=5V$; $V_{IL}=1.35V$; $V_{IH}=3.15V$; $V_{OL}=0.33V$; $V_{OH}=3.84V$. Hãy cho biết biên chống nhiễu mức cao NM_H bằng bao nhiêu?

- 1) 0.69 V 2) 1.02 V 3) 1.16 V 4) 1.85 V

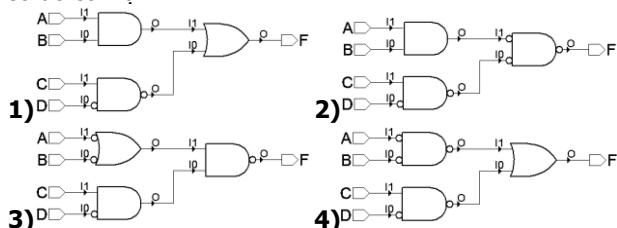
Câu 2: Một cổng AND có 4 đầu vào được thiết kế từ máy transistor? Biết rằng thiết kế không sử dụng Pseudo-nMOS.

- 1) 8 2) 10 3) 12 4) 14

Câu 3: Cho 4 thiết kế từ bộ ghép kênh 2x1. Cho biết thiết kế nào tương ứng với mạch OR.



Câu 4: Hãy xác định thiết kế không tương đương với các sơ đồ còn lại?



Câu 5: Sử dụng bảng LUT với K=2 để thực hiện mạch sau. 2 giá trị X, Y còn thiếu trong bảng bằng bao nhiêu

Địa chỉ	Giá trị
In1 In0	Out1 Out0
0 0	1 0
0 1	1 1
1 0	X
1 1	Y

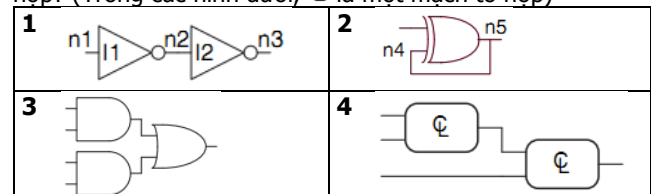
- 1) X=10, Y=01

- 2) X=01, Y=10

- 3) X=11, Y=01

- 4) X=00, Y=10

Câu 6: Trong số các mạch sau đây, mạch nào là mạch tổ hợp? (Trong các hình dưới, Φ là một mạch tổ hợp)



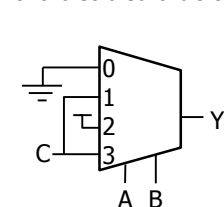
- 1) mạch 1 và 2

- 2) mạch 3 và 4

- 3) mạch 1, 3 và 4

- 4) mạch 1, 2, 4

Câu 7: Thiết kế hàm Y bằng bộ mux 4x1 như hình vẽ. Hãy cho biết biểu thức của Y theo 3 đầu vào A, B, C?



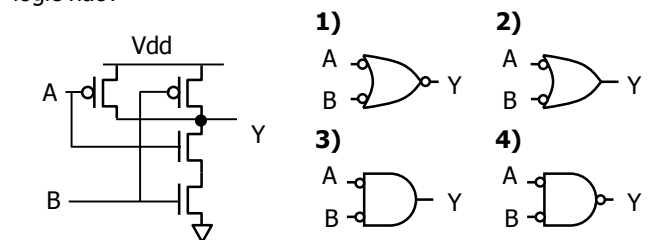
- 1) $Y = \bar{A} \cdot B \cdot C + \bar{B}$

- 2) $Y = \bar{A} \cdot \bar{B} \cdot C + B$

- 3) $Y = \bar{A} \cdot C + A \cdot \bar{B}$

- 4) $Y = B \cdot C + A \cdot \bar{B}$

Câu 8: Sơ đồ thiết kế mức transistor sau đây là của cổng logic nào?



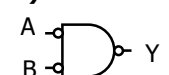
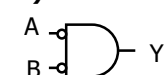
- 1)

- 2)



- 3)

- 4)



Câu 9: Một mạch có 4 đầu vào A3:0 tương ứng với các số nguyên từ 0 tới 15. Đầu ra Q sẽ chỉ bằng 1 khi số nguyên đầu vào chia 9 dư 2. Cho biết biểu thức logic của Q?

- 1) $\bar{A}_3 \cdot \bar{A}_2 \cdot \bar{A}_1 \cdot A_0 + A_3 \cdot \bar{A}_2 \cdot A_1 \cdot \bar{A}_0$

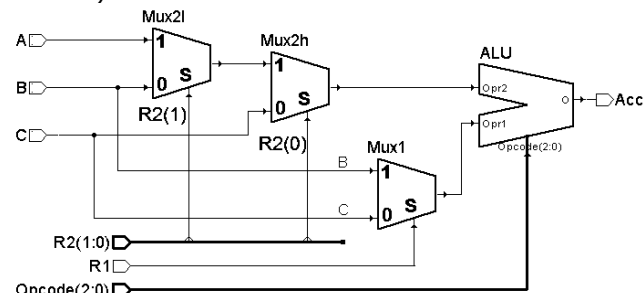
- 2) $\bar{A}_3 \cdot \bar{A}_2 \cdot A_1 \cdot A_0 + A_3 \cdot A_2 \cdot \bar{A}_1 \cdot \bar{A}_0$

- 3) $\bar{A}_3 \cdot A_2 \cdot \bar{A}_1 \cdot \bar{A}_0 + A_3 \cdot A_2 \cdot A_1 \cdot A_0$

- 4) $\bar{A}_3 \cdot \bar{A}_2 \cdot A_1 \cdot \bar{A}_0 + A_3 \cdot \bar{A}_2 \cdot A_1 \cdot A_0$

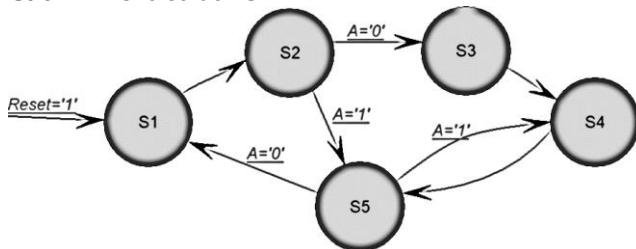
Câu 10: Cho sơ đồ ALU thực hiện phép cộng $Acc = [R1] + [R2]$ trong đó R1, R2 là giá trị lấy từ các thanh ghi tương ứng A, B, C tương ứng. Hãy cho biết trong các phép toán

sau, ALU **không** thực hiện được phép nào? (Lưu ý trình tự R1 + R2)

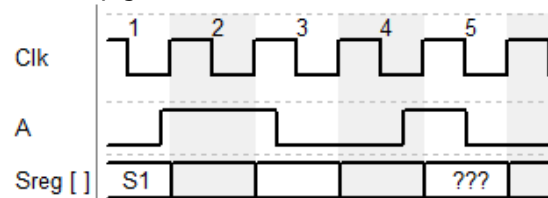


- 1) C + B
2) B + A
3) B + B
4) A + A

Câu 11: Cho sơ đồ FSM



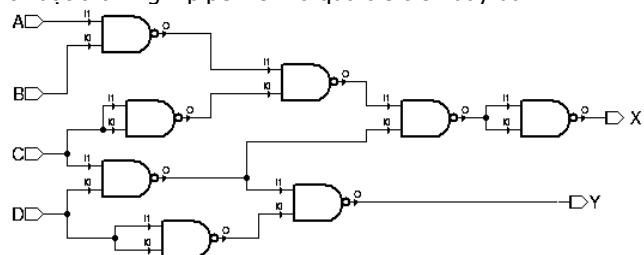
Cho giản đồ sóng tín hiệu của tín hiệu vào CLK và A như hình dưới. CLK tích cực sườn lên. Biết tại chu kì CLK thứ 1, FSM ở trạng thái S1.



Vậy ở chu kì CLK thứ 5, FSM ở trạng thái nào?

- 1) S2
2) S3
3) S4
4) S5

Câu 12: Với mạch tổ hợp dưới, người ta đặt thêm một thanh ghi pipeline để tăng tốc độ xử lý của mạch lên gấp đôi. Hãy **vẽ một nét đậm** cắt ngang mạch để thể hiện vị trí đặt thanh ghi pipeline. Bỏ qua trễ trên dây dẫn.



Câu 13: Thiết kế nào là của mạch Latch có 3 trạng thái?

<p>1)</p> <pre> architecture arch of ent is begin process (CP, X) begin if (X = '0') then Q <= '0'; elsif (rising_edge(CP) then Q <= D; end if; end process end architecture; </pre>	<p>2)</p> <pre> architecture arch of ent is begin process (CP, X) begin if (X = '0') then Q <= 'Z'; elsif CP='0' then Q <= D; end if; end process end architecture; </pre>
--	--

<p>3)</p> <pre> architecture arch of ent is begin process (CP, X) begin if (X = '1') then Q <= 'Z'; elsif (rising_edge(CP) then Q <= D; end if; end process end architecture; </pre>	<p>4)</p> <pre> architecture arch of ent is begin process (CP, X) begin if (X = '1') then Q <= '0'; elsif CP='1' then Q <= D; end if; end process end architecture; </pre>
--	--

Câu 14: Đoạn mã VHDL sau mô tả RAM dua-port.

```

entity dualportram is
  port (
    clk1 : in STD_LOGIC;
    clk2 : in STD_LOGIC;
    wr_en : in STD_LOGIC;
    addrA : in std_logic_vector(9 downto 0);
    addrB : in std_logic_vector(9 downto 0);
    data_in : in std_logic_vector(7 downto 0);
    data_outA : out STD_LOGIC_VECTOR(7 downto 0);
    data_outB : out STD_LOGIC_VECTOR(7 downto 0)
  );
end dualportram;

```

```

architecture dualportram of dualportram is
  type ram_t is array(0 to 1023) of
    std_logic_vector(7 downto 0);
  shared variable ram : ram_t;
  begin
    process (clk1)
    begin
      if clk1'event and clk1 = '1' then
        if wr_en = '0' then
          ram(conv_integer(addrA)):= data_in;
        end if;
        data_outA <= ram(conv_integer(addrA));
      end if;
    end process;
  end dualportram;

```

```

process (clk2)
begin
  if clk2'event and clk2 = '1' then
    data_outB <= ram(conv_integer(addrB));
  end if;
end process;
end dualportram;

```

Với thiết kế trên nhận xét nào sau đây đúng?

- 1) có thể ghi dữ liệu đồng thời lên 2 ngăn nhớ khác nhau
2) có thể đọc dữ liệu đồng thời từ 2 ngăn nhớ khác nhau
3) thiếu khai báo tín hiệu wr_en trong danh sách tín hiệu tích cực của process (...)
4) tốc độ ghi dữ liệu nhanh gấp 2 lần loại RAM single-port trong cùng điều kiện

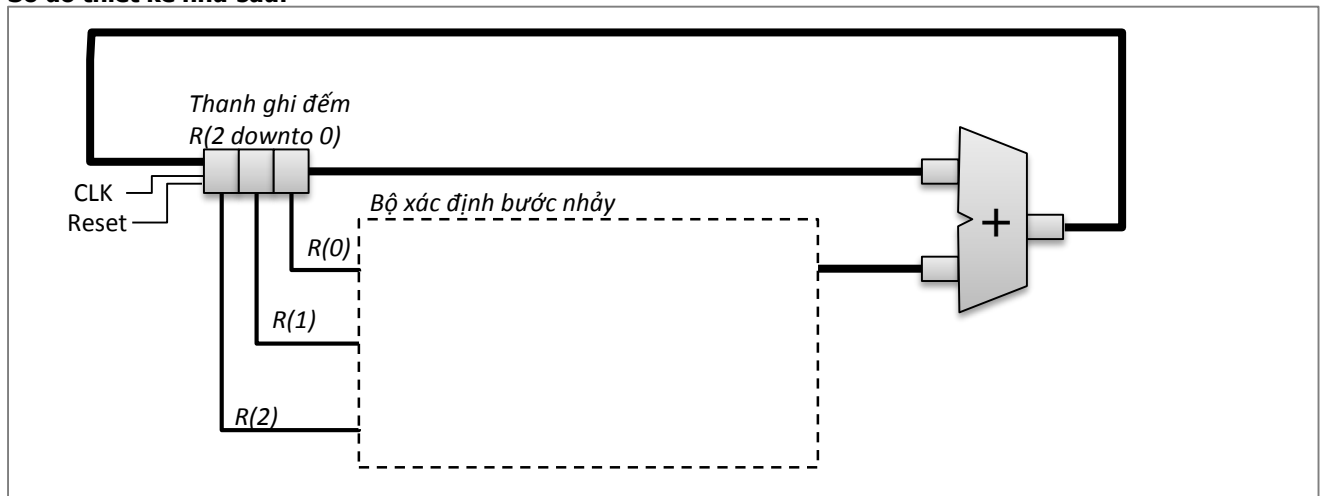
Câu 15: Dung lượng của thanh RAM trên là bao nhiêu?

- 1) $2^{10} \times 8$ bit
2) $2^{20} \times 8$ bit
3) $2^{11} \times 16$ bit
4) $2^{10} \times 16$ bit

PHẦN CÂU HỎI TỰ LUẬN (2.5 điểm)

Với một bộ đếm 3 bit đồng bộ, có thể đếm từ 0 tới 7. Hãy cải tiến thiết kế bộ đếm đó, để có thể thực hiện được phép đếm tăng như sau: 0, 2, 3, 5, 7, 0, 2, 3, 5, 7...

Sơ đồ thiết kế như sau:



Hãy điền **các lệnh còn thiếu (1.5đ)** vào ô trống trong đoạn chương trình VHDL bên dưới

Và hãy **vẽ chi tiết module còn thiếu trong khung nét đứt (1đ)**, chỉ sử dụng các phần tử logic cơ bản, mux, thanh ghi, bộ cộng nếu có

```
architecture arch of StepCounter is
  signal step : STD_LOGIC_VECTOR(2 downto 0);
begin
  -- Thực hiện quá trình đếm
  process (CLK)
  begin
    if (Reset = '0') then
      R <= '0';
    else
      if rising_edge(CLK) then
        R <=  ;
      end if;
    end if;
  end process;

  -- Bước nhảy của bộ đếm
  process (R)
  begin
    if   then
      step = "001";
    else
       ;
    end if;
  end process;
end arch;
```

Điểm thường (1đ):

Hãy thiết kế lại "Bộ xác định bước nhảy" để trở thành bộ đếm ngược 0, 7, 5, 3, 2, 0, 7, 5, 3, 2...