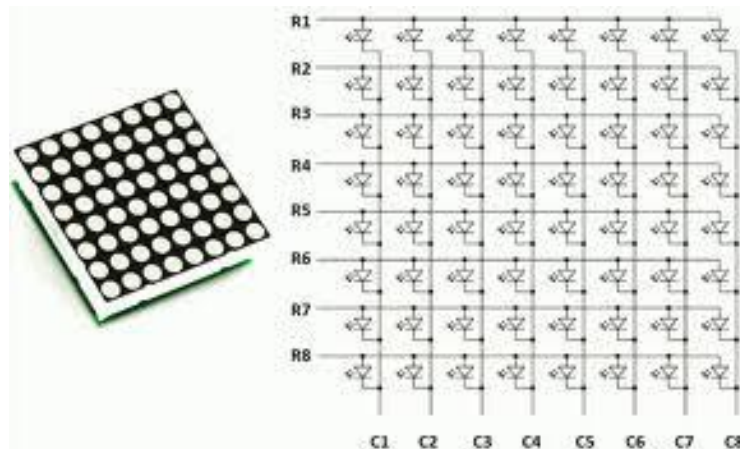


## Điều kiện làm việc

1. ProASIC3 Starter Kit: Bộ kit thử nghiệm FPGA của hãng Actel, sử dụng chip A3P250 –PQ208
2. Bộ phần mềm Libero IDE và các tool kèm theo: dùng để lập trình, giả lập. Các project đính kèm được tạo bởi Libero IDE v9.1.  
Bộ cài và license miễn phí 1 năm có thể download tại đây.  
<http://www.microsemi.com/products/fpga-soc/design-resources/design-software/libero-ide>.
3. Máy tính: Có cổng song song

## Yêu cầu cần thực hiện

Hãy lập trình điều khiển led ma trận kích thước 8x8



## Mục tiêu và kết quả học tập

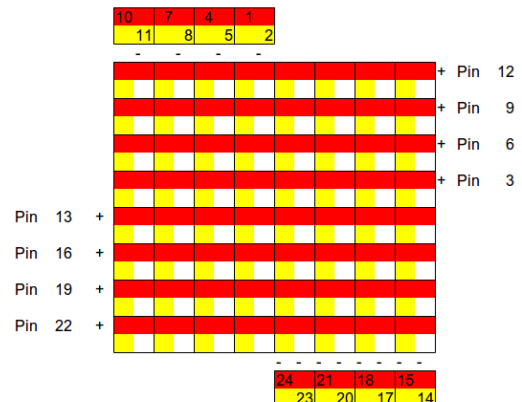
- Thiết kế mạch điều khiển led ma trận
- Thấy được hiệu năng khi xử lý bằng phần cứng, so với phần mềm.

## Hướng dẫn

- Tìm hiểu về led ma trận, xem kỹ ý nghĩa của các chân tín hiệu.
- Để tiến hành nạp cho FPGA xem tài liệu hướng dẫn dip\_switch\_huongdan.docx.

Các chân điều khiển của led ma trận như hình dưới:

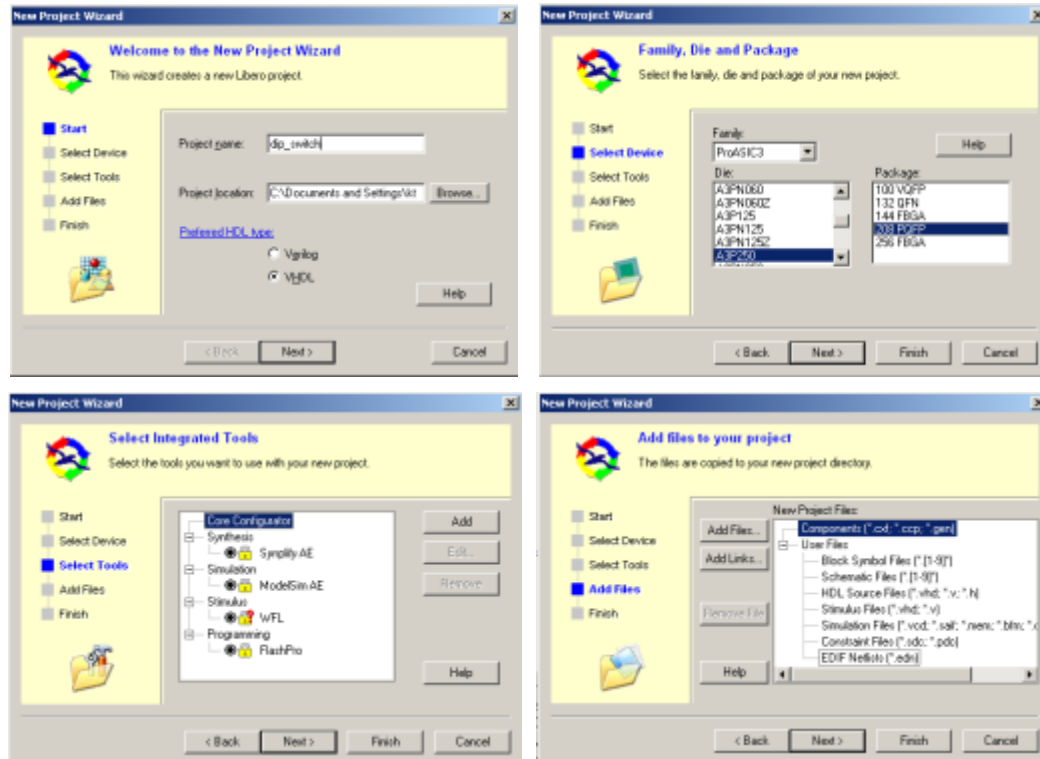
- Các chân điều khiển sáng từng dòng theo thứ tự từ trên xuống là: **12, 9, 6, 3, 13, 16, 19, 22**. Các chân này tích cực mức (+), tức là dòng nào muốn đèn sáng thì pin đó bằng (+).
- Các chân điều khiển đèn led sáng của từng dòng, theo thứ tự từ trái qua phải là **10, 7, 4, 1, 24, 21, 18, 15**. Với các pin trên, led sẽ sáng màu đỏ. Còn nếu muốn led sáng màu vàng, theo thứ tự từ trái qua phải là **11, 8, 5, 2, 23, 20, 17, 14**



## Các bước thực hiện

### 1. Tạo dự án mới

Tạo dự án mới, khai báo thiết bị phù hợp với kit ProASIC3 và chip FPGA có tên A3P250-PQ208.



### 2. Thiết kế bằng Aldec Active-HDL hoặc bằng Libero IDE.

Trong trường hợp thiết kế bằng Active-HDL, để nạp được lên FPGA vẫn phải sử dụng Libero IDE. Hãy tạo dự án rỗng trên Libero IDE, rồi import các file vhd trong Active-HDL Project vào là xong.

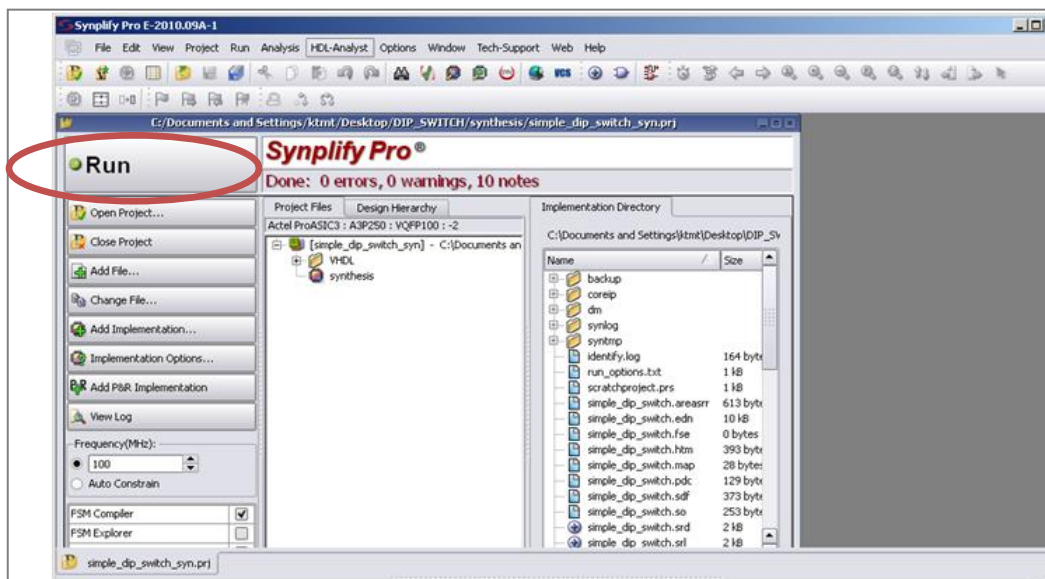
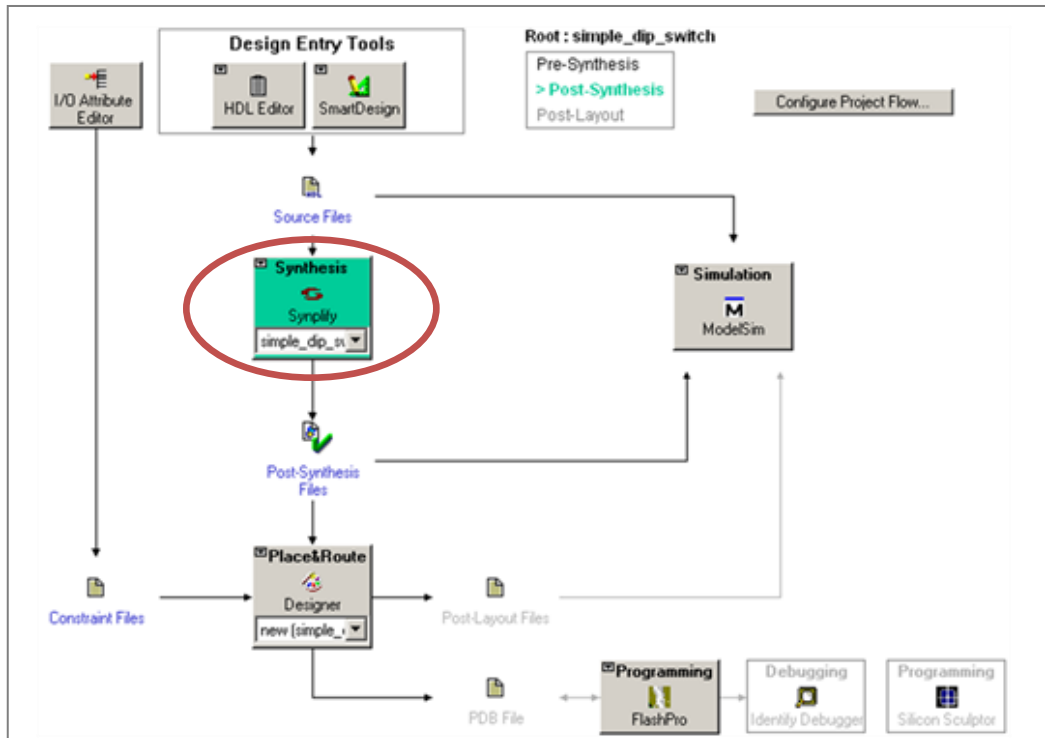
### 3. Kiểm tra thiết kế về mặt chức năng

Nếu sử dụng Active-HDL, có thể kiểm tra chức năng xuôi, để bảo đảm thiết kế hoạt động đúng rồi mới import vào Libero IDE.

### 4. Tổng hợp Net List

Tổng hợp các file HDL thành các file netlist bằng công cụ Synplify. Các file netlist là thiết kế ở mức gate, được xây dựng từ các phần tử AND, OR, XOR...





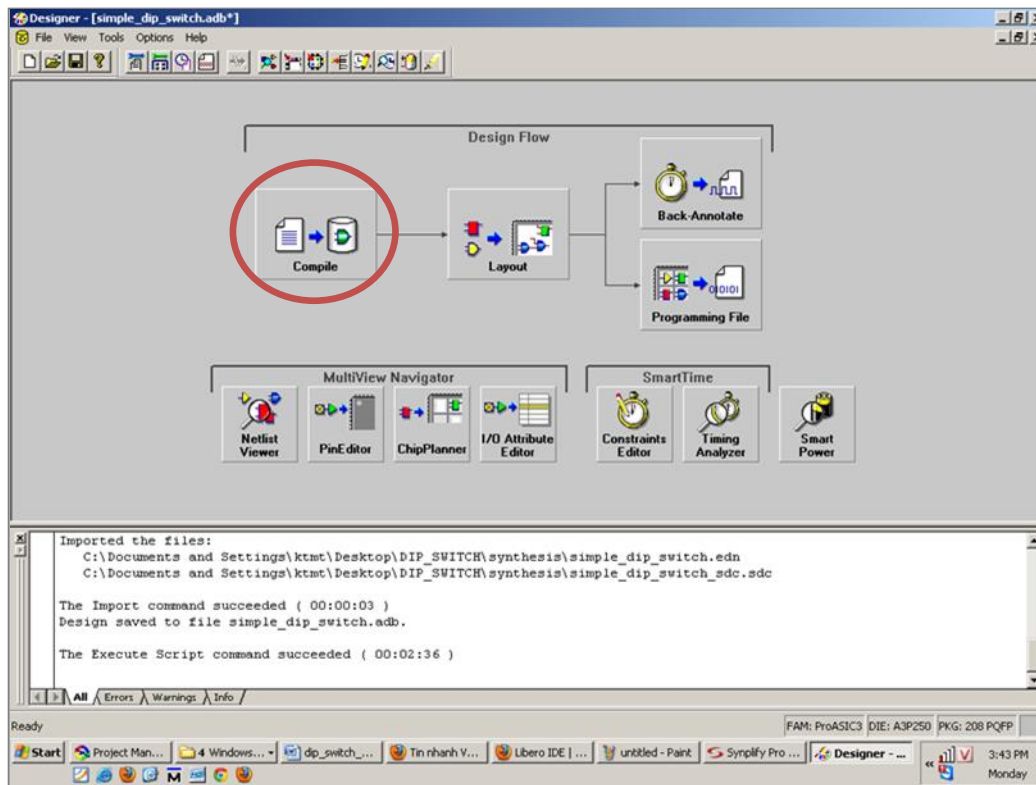
## 5. Bố trí thiết kế lên chip FPGA

Bố trí thiết kế đã tổng hợp được, ví trí các cổng vào ra, vị trí các module, lên trên trên khuôn chip FPGA thực tế, với chức năng **Place & Route**

Chú ý chọn đúng loại FPGA của Actel Stater Kit sẽ nạp. Loại A3P208PG

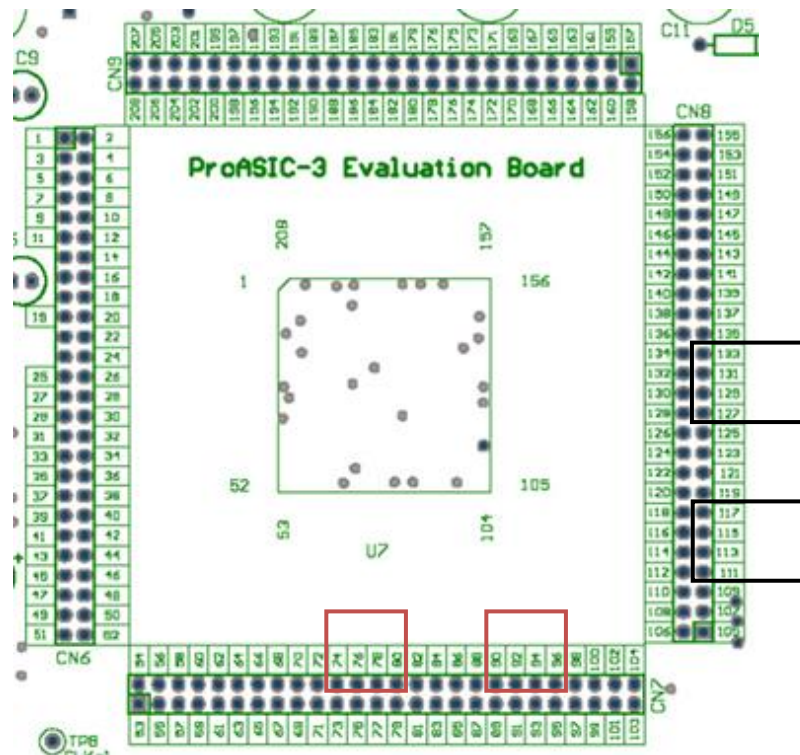


## 5.1. Dịch netlist



Biên dịch netlist thành dạng phù hợp với FPGA đã lựa chọn

## 5.2. Gán chân pin



Pin FPGA	Pin IC	Pin Led Matrix	Pin FPGA	Pin IC	Pin Led Matrix
133	RowIndex(0)	12	96	nRow(0)	15
131	RowIndex(1)	9	94	nRow(1)	18
129	RowIndex(2)	6	92	nRow(2)	21
127	RowIndex(3)	3	90	nRow(3)	24
117	RowIndex(4)	13	80	nRow(4)	1
115	RowIndex(5)	16	78	nRow(5)	4
113	RowIndex(6)	19	76	nRow(6)	7
111	RowIndex(7)	22	74	nRow(7)	10
55	CLK (40 MHz)		56 (nút SW1)	Reset	
58	G1Hz(led LD1)				

Bảng gán chân IC được thiết kế lên pin của FPGA

### 5.3. Đặt các module của thiết kế lên chip FPGA

Ta có thể chủ động bố trí các module của thiết kế, chẳng hạn bộ cộng nằm ở góc bên trái của FPGA, bộ nhân nằm ở chính giữa FPGA... Để tiện lợi, không cần thực hiện bước này, hãy để Libero IDE tự làm.

### 5.4. Tạo layout thiết kế cuối cùng trên chip FPGA

Xem tài liệu thực hành bài 1.

### 5.5. Dịch thành file để nạp trên FPGA

Xem tài liệu thực hành bài 1.

## 6. Kiểm tra thiết kế toàn diện

Thiết kế có thể đúng về mặt chức năng, nhưng có thể không đạt được tốc độ mong muốn, sai khi đặt lên chip FPGA, hoặc không thể dịch thành Net List được.

Bỏ qua bước này trong bài thực hành hiện tại.

## 7. Kết nối KIT phát triển với máy tính

Xem tài liệu thực hành bài 1.

## 8. Nạp thiết kế lên FPGA

Xem tài liệu thực hành bài 1.

