

BỘ MÔN KTMT	MÔN : Thiết kế IC, IT4251 LỚP : 91664 HỌ VÀ TÊN : LẦN: ...cuối kì.... STT:	ĐỀ
	Thời gian làm bài: 90 phút Ngày thi: 04/01/2017, D4-306 Được phép sử dụng tài liệu - Khoanh tròn O lên đáp án trắc nghiệm, hoặc - Điền vào ô trống xấp xỉ với giải thích cụ thể, ghi rõ các bước tính trung gian	7293

PHẦN CÂU HỎI TRẮC NGHIỆM (4 điểm)

Câu 1. Có 5 đường bus 16-bit để truyền dữ liệu từ điểm A tới điểm B trên mạch. Để tiết kiệm dây dẫn, người ta tiến hành ghép kênh cho cả hệ thống bus đó. Hỏi số đường truyền giữa 2 điểm còn lại là bao nhiêu?, người ta tiến hành ghép kênh cho cả hệ thống bus đó. Hỏi số đường truyền giữa 2 điểm còn lại là bao nhiêu?

- 1) 16
- 2) 18
- 3) 19
- 4) 21

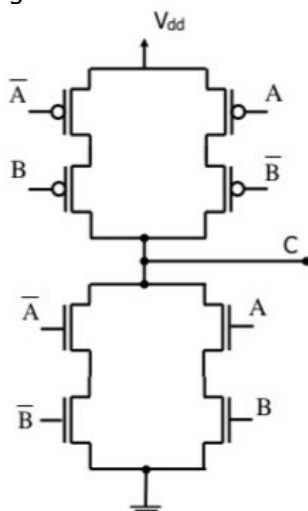
Câu 2. Sử dụng thanh ghi dịch 10 xoay vòng bit để tạo ra tín hiệu có độ rộng xung mức cao 30%. Hãy cho biết, giá trị nạp ban đầu cho thanh ghi dịch bằng bao nhiêu là **sai**?

- 1) 08Ch
- 2) 0E0h
- 3) 0A1h
- 4) 00Fh

Câu 3. Với một thanh ghi 6 bit và các mạch tổ hợp khác, có thể tạo được máy trạng thái FSM với tối đa bao nhiêu trạng thái?

- 1) 64
- 2) 32
- 3) 6
- 4) 0

Câu 4. Cho thiết kế của 1 cổng logic gồm 4 transistor pMos ở nửa trên, và 4 transistor nMos ở nửa dưới. Biết rằng A, B là các tín hiệu vào (\bar{A} , \bar{B} là tín hiệu đảo) tương ứng.



Khi $A = 1$, $B = 0$ thì C bằng bao nhiêu?

- 1) 0
- 2) 1
- 3) X
- 4) HiZ

Câu 5. Loại IC nào khác biệt so với các loại còn lại?

- 1) FPGA
- 2) PLD
- 3) CPLD
- 4) Intel

Câu 6. Sử dụng kỹ thuật Psedo-nMOS để thiết kế cổng NAND 4 đầu vào. Hỏi số lượng transistor cần dùng?

- 1) 4
- 2) 5
- 3) 12
- 4) 16

Câu 7. Cho một máy tính có thông số $V_{DD}=1.5V$, $C=16\text{ nF}$, $f=40\text{ MHz}$, $I_{DD}=12\text{ mA}$. Hãy tính công suất tiêu thụ tĩnh?

- 1) 0.018 W
- 2) 0.072 W
- 3) 0.72 W
- 4) 0.738 W

Câu 8. Phát biểu nào sau đây là sai về ngôn ngữ VHDL?

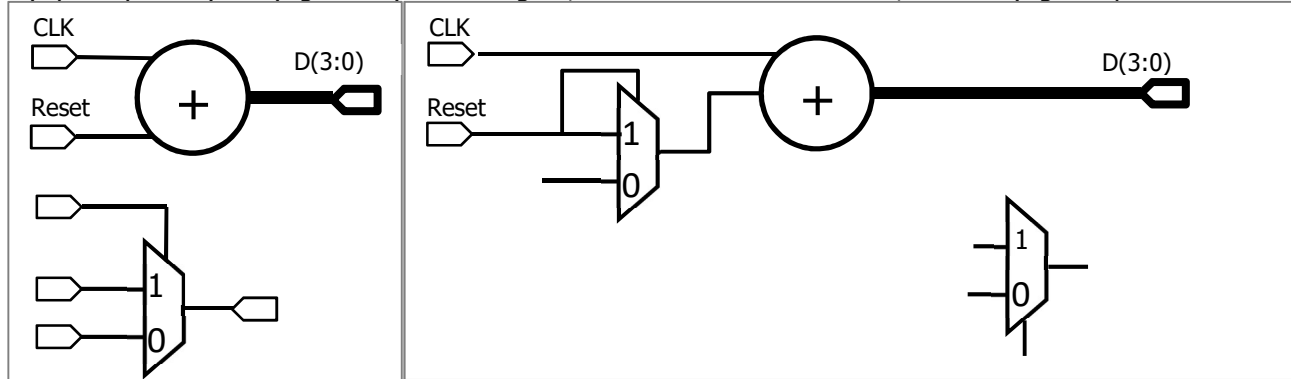
- 1) Một entity có thể có nhiều architecture
- 2) Một architecture có thể có nhiều process
- 3) Một component có thể có nhiều process
- 4) Một architecture có thể có nhiều component

PHẦN CÂU HỎI TỰ LUẬN (6 điểm)

Câu 9.(1 điểm) Sử dụng 1 IC Mux 4x1 và 1 IC NOT, hãy thiết kế hàm tổ hợp $f(A, B, C) = \overline{A \cdot (B + C)}$

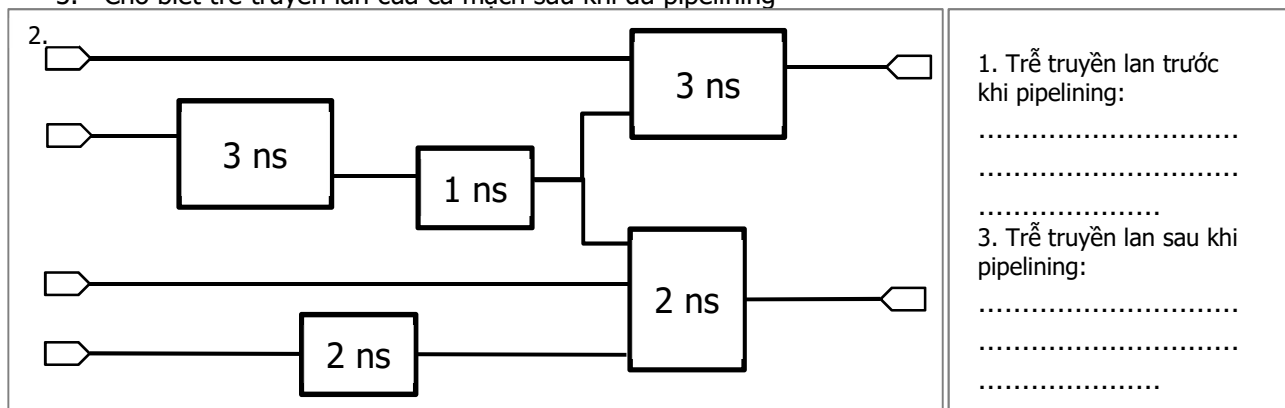
Câu 10. (1 điểm) Cho sẵn một IC bộ đếm 4-bit với tín hiệu Reset không đồng bộ, 2 bộ ghép kênh 2x1. Hãy vẽ sơ đồ thiết kế để tạo thành bộ đếm 0 \rightarrow 1 \rightarrow 9 \rightarrow 0.

Gợi ý: hãy xác định trạng thái bộ đếm bằng 10, là khi 2 bit lsb = msb = '1', để tác động lên quá trình Reset



Câu 11. (1 điểm) Cho sơ đồ mạch và trễ truyền lan của các linh kiện tổ hợp.

1. Cho biết trễ truyền lan của cả mạch tổ hợp
2. Hãy tìm giải pháp pipelining hợp lý để tăng tốc độ xử lý của mạch lên ≥ 2 lần, bằng cách vẽ vị trí đặt thanh ghi pipeline.
3. Cho biết trễ truyền lan của cả mạch sau khi đã pipelining



1. Trễ truyền lan trước khi pipelining:

.....

.....

3. Trễ truyền lan sau khi pipelining:

.....

.....

Câu 12. (3 điểm) Trong IC module UART điều khiển cổng COM, luôn tích hợp một bộ nhớ RAM xoay vòng, tạo thành bộ đệm dữ liệu truyền/nhận. Bộ đệm này có vai trò lưu trữ dữ liệu tạm thời trước khi truyền đi, hoặc trước khi gửi dữ liệu về CPU, với vai trò điều khiển luồng (data flow control). Nguyên lý hoạt động của thanh RAM này như sau:

- Chỉ gồm 16 ngăn nhớ, mỗi ngăn nhớ kích thước 1 Byte.
- Có 1 đường dữ liệu ra đặt tên là RData
- Có 1 đường dữ liệu vào đặt tên là WData.
- Có 2 tín hiệu điều khiển vào, đặt tên là RE, và WE
- Có 1 tín hiệu điều khiển vào, Reset
- Bên trong IC, có 2 đường địa chỉ, nội bộ, đặt tên là RAddr và WAddr

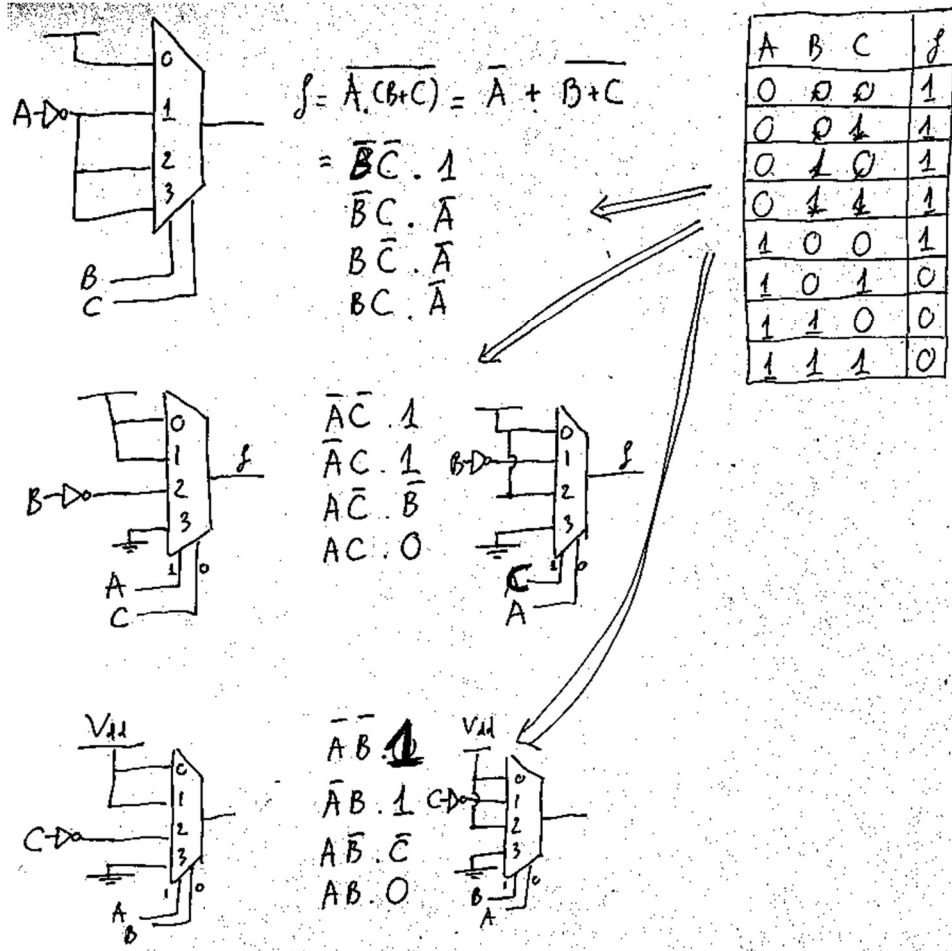
Nguyên tắc hoạt động như sau:

- Khi tín hiệu Reset = '0', các đường địa chỉ RAddr, WAddr được xóa về 0h.
- Tại sườn lên của tín hiệu WE, giá trị tại WData sẽ được ghi vào ngăn nhớ ở địa chỉ WAddr. Đồng thời giá trị WAddr được tăng lên 1 đơn vị.
- WAddr được đếm tăng vòng tròn, từ 0 tới 15, rồi quay trở lại 0.
- Khi tín hiệu RE = '0', giá trị tại RData sẽ được gán bằng nội dung của ngăn nhớ ở địa chỉ RAddr. Đồng thời giá trị RAddr được tăng lên 1 đơn vị. Ngược lại, RE = '1', thì RData sẽ ở mức HiZ.
- RAddr được đếm tăng vòng tròn, từ 0 tới 15, rồi quay trở lại 0 (giống như WAddr)

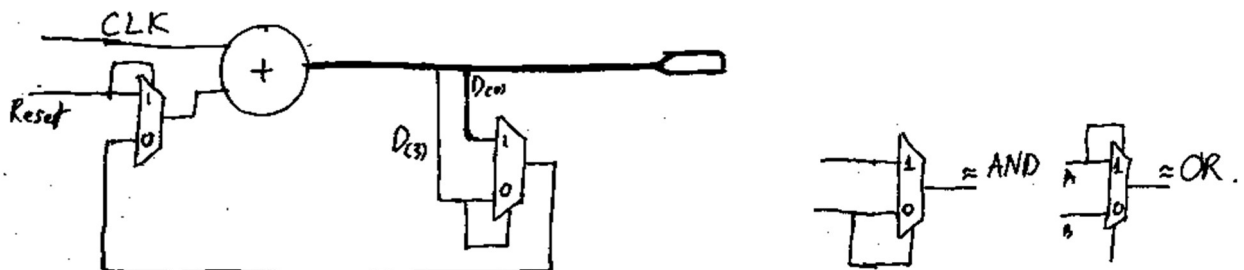
1. (1.0đ) Hãy viết mô tả entity của thực thể nói trên
2. (0.5đ) Hãy viết mã VHDL mô tả 2 đường đa tín hiệu RAddr, WAddr.
3. (1.5đ) Hãy viết hoàn chỉnh đoạn **process** để điều khiển quá trình ghi dữ liệu, và quá trình đọc dữ liệu.

ĐÁP ÁN

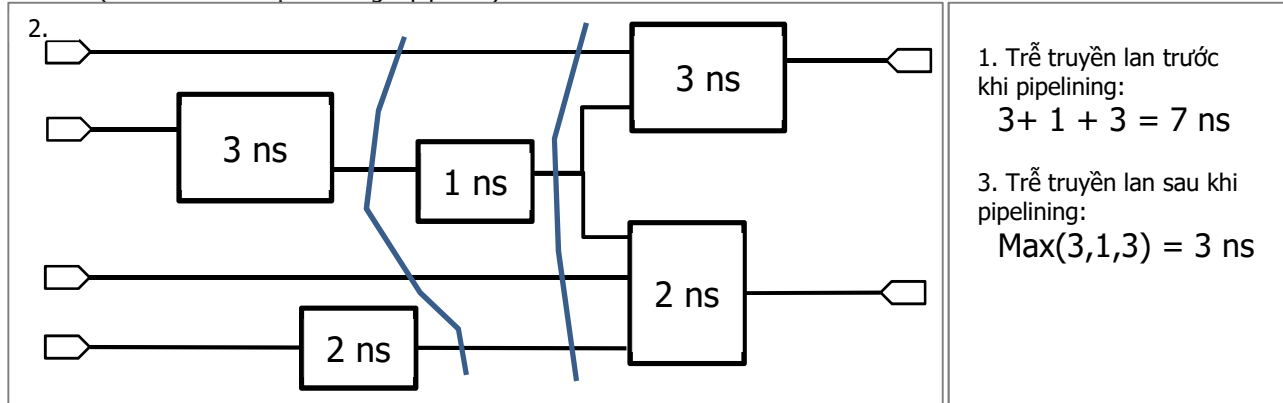
Câu 9



Câu 10 (có nhiều cách thiết kế)



Câu 11 (có nhiều cách đặt thanh ghi pipeline)



Bài 12

1) entity MyIC is

port (

RData : out STD_LOGIC_VECTOR (7 downto 0);

WData : in STD_LOGIC_VECTOR (7 downto 0);

RE : in STD_LOGIC;

WE : in STD_LOGIC;

Reset : in STD_LOGIC;

);

end entity;

bởi vì dữ liệu lấy từ Register nhớ. Mỗi register 1 byte.

2) architecture XYZ of MyIC is.

signal RAddr, WAddr : STD_LOGIC_VECTOR (3 downto 0);

bởi vì chỉ có 16 register.

3) process (RE, WE)

begin

if rising-edge(WE) then.

NganNho[WAddr] ← WData;

WAddr ← WAddr + 1;

end if

if RE = '0' then

RData ← NganNho[RAddr]

else RAddr ← RAddr + 1;

end if. RData ← (others ⇒ 'Z');

end process

(SV có thể viết thêm code xử lý với tín hiệu Reset. những 0 bắt buộc).

(SV có thể khai báo NganNho theo các cách khác nhau, bắt buộc)

Signal NganNho : STD_LOGIC_VECTOR (3 downto 0) of STD_LOGIC_VECTOR (7 downto 0);

