

## Điều kiện làm việc

1. ProASIC3 Starter Kit: Bộ kit thử nghiệm FPGA của hãng Actel, sử dụng chip A3P250 –PQ208
2. Bộ phần mềm Libero IDE và các tool kèm theo: dùng để lập trình, giả lập. Các project đính kèm được tạo bởi Libero IDE v9.1.  
Bộ cài và license miễn phí 1 năm có thể download tại đây.  
<http://www.microsemi.com/products/fpga-soc/design-resources/design-software/libero-ide>.
3. Máy tính: Có cổng song song

## Yêu cầu cần thực hiện

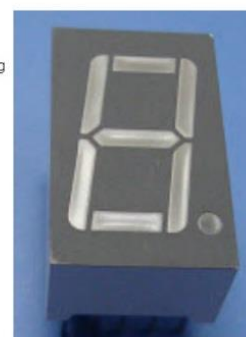
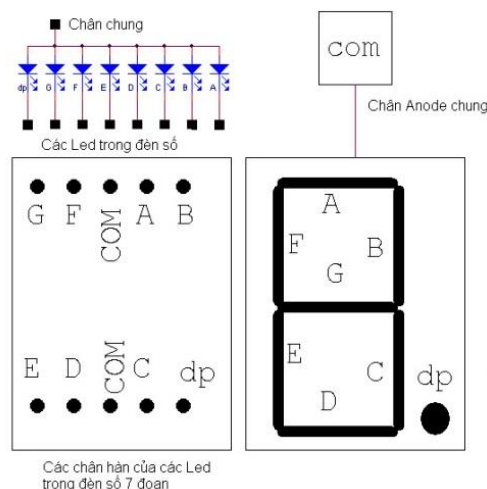
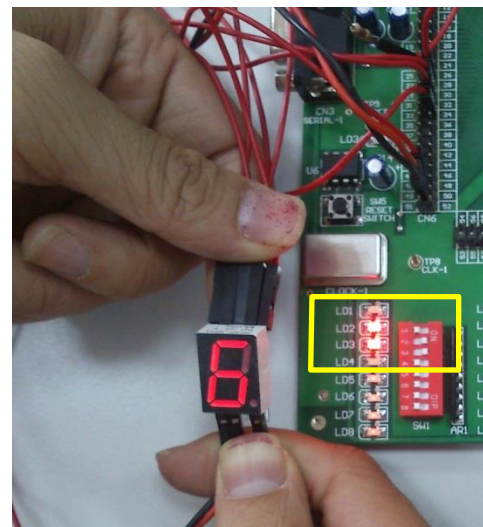
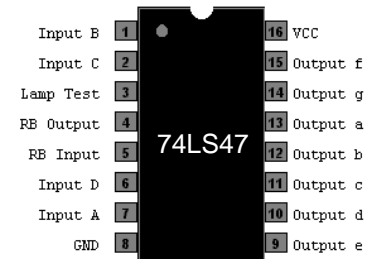
Hãy lập trình để xây dựng IC giải mã led 7 đoạn DM74LS47

## Mục tiêu và kết quả học tập

- Thiết kế lại IC 74LS47
- Kết nối kết quả đầu giải mã từ FPGA lên Led 7 đoạn
- Sử dụng DIP\_SWITCH để thay đổi giá trị và xem kết quả trên Led 7 đoạn

## Hướng dẫn

- Tìm hiểu về các chân tín hiệu của đèn led 7 đoạn với dương cực chung (chung anode).
- Tìm kiếm thông tin về “led 7 đoạn”, “giải mã”, “47”, sinh viên sẽ tìm thấy bảng giá trị tương ứng giữa các giá trị đầu vào và giá trị đầu ra.
- Thiết kế IC 7447 dựa trên bảng giá trị đó.
- Để tiến hành nạp cho FPGA xem tài liệu hướng dẫn `dip_switch_huongdan.docx`.



Hình đèn số 7 đoạn

## Các bước thực hiện

### 1. Tạo dự án mới

Tạo dự án mới, khai báo thiết bị phù hợp với kit ProASIC3 và chip FPGA có tên A3P250-PQ208.

### 2. Thiết kế bằng Aldec Active-HDL hoặc bằng Libero IDE.

Trong trường hợp thiết kế bằng Active-HDL, để nạp được lên FPGA vẫn phải sử dụng Libero IDE. Hãy tạo dự án rỗng trên Libero IDE, rồi import các file vhdI trong Active-HDL Project vào là xong.

### 3. Kiểm tra thiết kế về mặt chức năng

Nếu sử dụng Active-HDL, có thể kiểm tra chức năng xuôi, để bảo đảm thiết kế hoạt động đúng rồi mới import vào Libero IDE.

### 4. Tổng hợp Net List

Tổng hợp các file HDL thành các file netlist bằng công cụ Synplify. Các file netlist là thiết kế ở mức gate, được xây dựng từ các phần tử AND, OR, XOR...

### 5. Bố trí thiết kế lên chip FPGA

Bố trí thiết kế đã tổng hợp được, vị trí các cổng vào ra, vị trí các module, lên trên trên khuôn chip FPGA thực tế, với chức năng **Place & Route**

Chú ý chọn đúng loại FPGA của Actel Starter Kit sẽ nạp. Loại A3P208PG

#### 5.1. Dịch netlist

#### 5.2. Gán chân pin

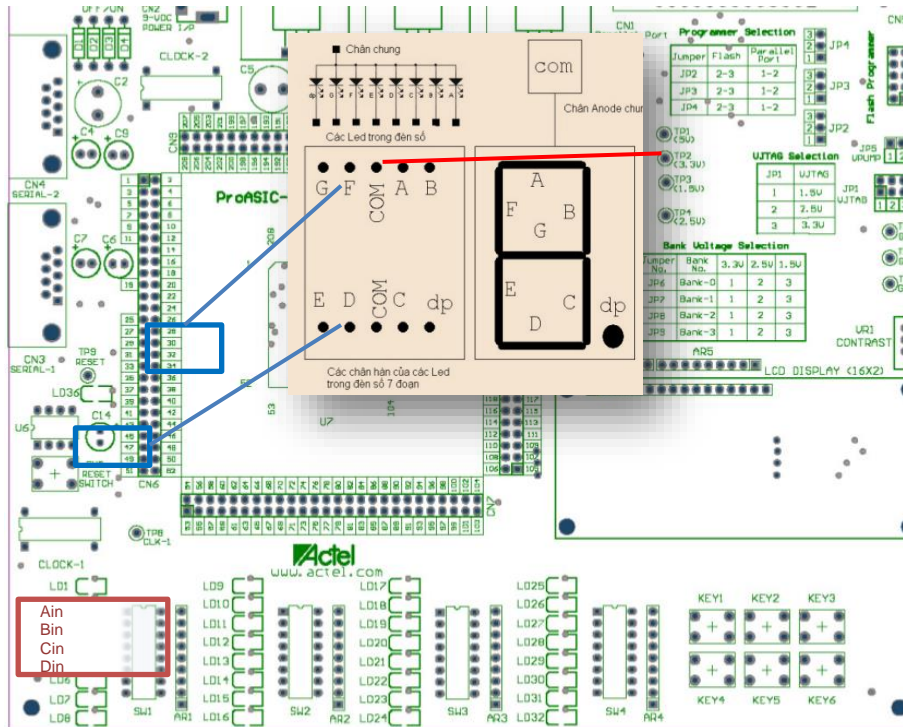
Gán như bảng dưới đây

Pin FPGA	Pin IC	Ứng với Kit	Pin FPGA	Pin IC	Pin Led 7 seg
58	Ain	SW1, công tắc 1	30	a	a
59	Bin	SW1, công tắc 2	28	b	b
60	Cin	SW1, công tắc 3	45	c	c
61	Din	SW1, công tắc 4	47	d	d
			49	e	e
			32	f	f
			34	g	g

Bảng gán chân IC được thiết kế lên pin của FPGA

**Lưu ý:** Cần nối thêm chân Anot của led 7 đoạn với nguồn 3.3V có sẵn trên Kit.





### 5.3. Đặt các module của thiết kế lên chip FPGA

Ta có thể chủ động bố trí các module của thiết kế, chẳng hạn bộ cộng nằm ở góc bên trái của FPGA, bộ nhân nằm ở chính giữa FPGA... Để tiện lợi, không cần thực hiện bước này, hãy để Libero IDE tự làm.

#### 5.4. Tạo layout thiết kế cuối cùng trên chip FPGA

Xem tài liệu thực hành bài 1.

## 5.5. Dich thành file để nạp trên FPGA

Xem tài liệu thực hành bài 1.

## 6. Kiểm tra thiết kế toàn diện

Thiết kế có thể đúng về mặt chức năng, nhưng có thể không đạt được tốc độ mong muốn, sai khi đặt lên chip FPGA, hoặc không thể dịch thành Net List được.

Bỏ qua bước này trong bài thực hành hiện tại.

## 7. Kết nối KIT phát triển với máy tính

Xem tài liệu thực hành bài 1.

## 8. Nạp thiết kế lên FPGA

Xem tài liệu thực hành bài 1.