

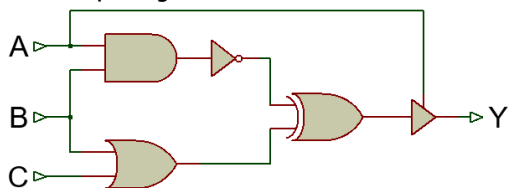
BỘ MÔN KTMT	MÔN : Thiết kế IC, IT4251 LỚP : 83145 HỌ VÀ TÊN : .....	LẦN: ...cuối kì... STT: .....	ĐỀ
	Thời gian làm bài: <b>90 phút</b> Ngày thi: 29/12/2014 Được phép sử dụng tài liệu - Khoanh tròn O lên đáp án trắc nghiệm, hoặc - Điền vào ô trống xấp xỉ với giải thích cụ thể, ghi rõ các bước tính trung gian		7290

## PHẦN CÂU HỎI TRẮC NGHIỆM (4 điểm)

**Câu 1.** Quá trình nào sau đây **không phải** là chiến lược thiết kế ASIC?

- 1) Modularity
- 2) Regularity
- 3) Classify
- 4) Hierarchy

**Câu 2.** Cho mạch logic như hình dưới



- Hãy viết biểu thức logic của Y?
- Nếu A = 0, B = 1, C = 1 thì Y bằng mấy?

Trả lời:

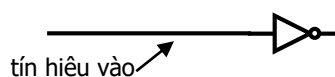
**Câu 3.** Cho bảng đặc tính điện áp của các họ logic:

Logic Family	V <sub>DD</sub>	V <sub>IL</sub>	V <sub>IH</sub>	V <sub>OL</sub>	V <sub>OH</sub>
TTL	5	0.8	2.0	0.4	2.4
CMOS	5	1.35	3.15	0.33	3.84

Hãy cho biết họ logic nào có đặc tính chống nhiễu tốt nhất?

- 1) TTL
- 2) CMOS

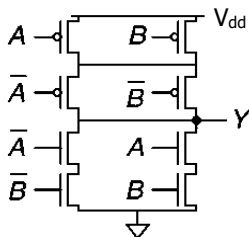
**Câu 4.** Cho sơ đồ mạch với bộ đảo có đặc tính V<sub>DD</sub>=3.3V; V<sub>OH</sub>=3.1V; V<sub>OL</sub>=0.3V; biên chống nhiễu NM<sub>H</sub> = 0.4V; NM<sub>L</sub> = 0.8V;



Nếu tín hiệu vào có điện áp 2.6V thì bộ đảo sẽ coi như:

- 1) Không xác định
- 2) Trở kháng cao
- 3) Logic 0
- 4) Logic 1

**Câu 5.** Hình vẽ bên là thiết kế mức Transistor của một cổng logic có 2 đầu vào A, B. ( $\bar{A}$ ,  $\bar{B}$  là 2 giá trị đảo của A, B tương ứng). Hãy **hoàn thành bảng sự thật** và cho biết đây là **cổng logic gì**?

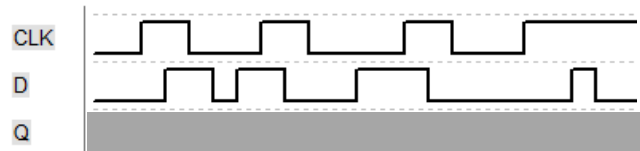


A	B	Y
0	0	
0	1	
1	0	
1	1	

Trả lời:

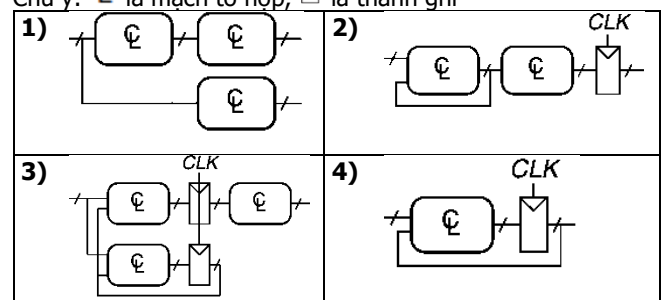
Cổng logic : .....

**Câu 6.** Cho giản đồ waveform của D FlipFlop. Hãy vẽ tín hiệu đầu ra Q? (vẽ lên hình)



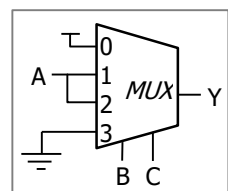
**Câu 7.** Trong hình dưới, mạch nào là mạch tổ hợp?

Chú ý: là mạch tổ hợp, là thanh ghi



**Câu 8.** Theo hình bên, hãy xác định biểu thức logic của hàm  $Y = f(A, B, C)$

Trả lời:



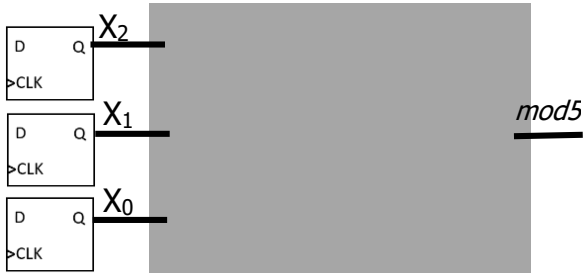
**Câu 9.** Biết rằng mỗi cổng logic AND có trễ truyền lan là 3ns. Hỏi trễ truyền lan của cả mạch logic sau là bao nhiêu ns?

```
entity MyIC is
  port ( A: in  STD_LOGIC_VECTOR(7 downto 0);
        B: in  STD_LOGIC_VECTOR(7 downto 0);
        Y: out STD_LOGIC_VECTOR(7 downto 0));
end entity;

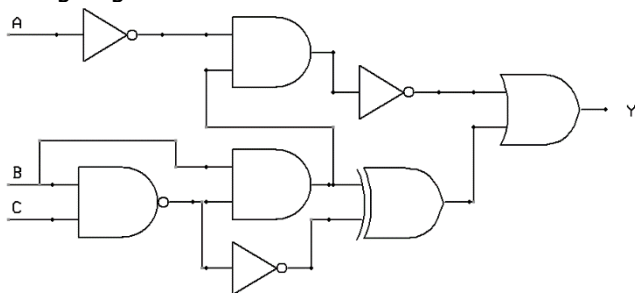
architecture behavior of MyIC is
begin
  process (A)
    variable i : integer;
  begin
    for i in 7 downto 0 loop
      Y(i) <= A(i) and B(i);
    end loop;
  end process;
end architecture;
```

Trả lời:

**Câu 10.** Cho thanh ghi X 3-bit, chứa số nguyên trong phạm vi 0~7. Hãy hoàn thành mạch tổ hợp để tạo ra tín hiệu *mod5*, là tín hiệu chỉ bằng 1 nếu số X chia hết cho 5.  $X_2$  là bit MSb.



**Câu 11.** Cho mạch tổ hợp như hình dưới. Biết rằng mọi cổng logic NOT, AND, NAND, XOR, OR.. đều có  $t_{pd} = 4ns$ ,  $t_{cd} = 1ns$ . Hãy ghi rõ cách **tính** trễ truyền lan của cả mạch và **vẽ đậm** lên hình đường dẫn tương ứng.



Trả lời:

.....

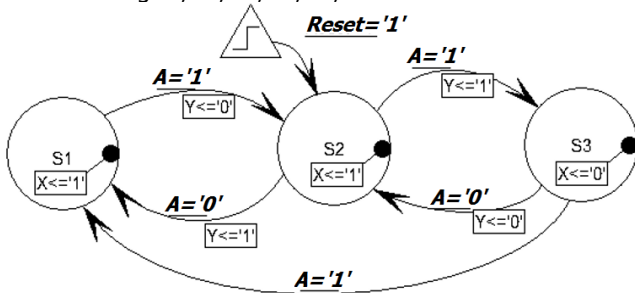
.....

.....

.....

**Câu 12.** Cho sơ đồ FSM với đầu vào là tín hiệu A, đầu ra là tín hiệu X, Y. Hãy xác định giá trị của X, và Y sau một chuỗi các sự kiện sau

- Tín hiệu Reset='1', sau đó Reset duy trì bằng '0'
- Sau đó, tại mỗi xung nhịp CLK, tín hiệu A lần lượt bằng '1', '0', '1', '0', '0', '1'



Trả lời: (*kxd ~ không xác định*)

Khi Reset='1', IC ở trạng thái S2 và X=1 Y= kxd

Tiếp theo A='1', IC ở trạng thái .....và X=.....Y=.....

Tiếp theo A='0', IC ở trạng thái .....và X=.....Y=.....

Tiếp theo A=..., IC ở trạng thái .....và X=.....Y=.....

Tiếp theo A=..., IC ở trạng thái .....và X=.....Y=.....

Tiếp theo A=..., IC ở trạng thái .....và X=.....Y=.....

Tiếp theo A=..., IC ở trạng thái .....và X=.....Y=.....

**Câu 13.** Cho mô tả entity của thanh ghi 8 bit dịch phải số học (dịch phải và duy trì giá trị bit cao nhất). Hãy hoàn thiện architecture.

```
entity MySAR is
    port (
        -- Xung nhịp đồng hồ
        CLK: in STD_LOGIC
        -- Tín hiệu vào
        D: in STD_LOGIC_VECTOR(7 downto 0);
        -- Tín hiệu ra
        Q: buffer STD_LOGIC_VECTOR(7 downto 0);
        -- Tín hiệu cho ghép ghi giá trị đầu vào
        WE: in STD_LOGIC;
        -- Tín hiệu cho phép dịch bit
        SE: in STD_LOGIC);
end entity;
```

Trả lời:

```
architecture MyArch of MySAR is
```

```
begin
```

```
    process (CLK)
```

```
    begin
```

```
        if WE='1' then
```

```
            elsif SE='1' then
```

```
            end if;
```

```
        end if;
```

```
    end process;
```

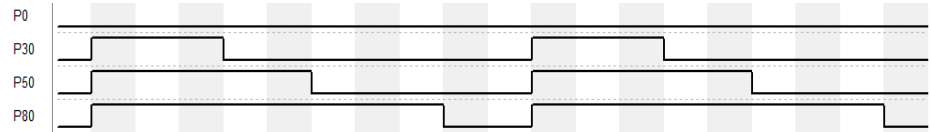
```
end architecture;
```

## PHẦN CÂU HỎI TỰ LUẬN (6 điểm)

### Câu 14. (2 điểm)

Để điều khiển công suất động cơ theo kiểu độ rộng xung PWM, người ta thiết kế một IC điều khiển có 4 mức công suất:

- mức 0= 0% duty cycle
- mức 1= 30% duty cycle
- mức 2= 50% duty cycle
- mức 3= 80% duty cycle



Khai báo entity của IC như sau:

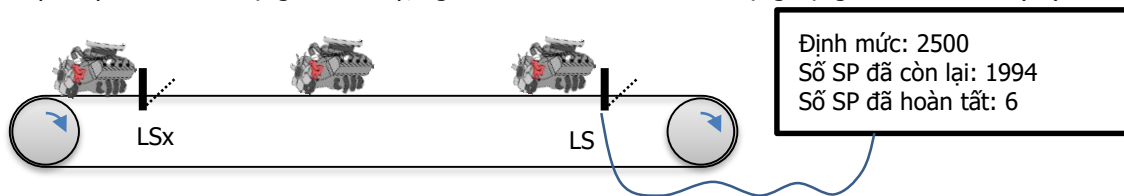
```
entity MyPWM is
    port ( CLK : in STD_LOGIC;           -- Xung nhịp đồng hồ
          Level: in STD_LOGIC_VECTOR(1 downto 0); -- Chọn mức công suất "00"=mức 0, "11"=mức3..
          Power: out STD_LOGIC);         -- Xung PWM kết quả
end entity;
```

1. (1 điểm) Hãy mô tả bằng lời nguyên tắc thiết kế ở mức Top Level
2. (1 điểm) Hãy triển khai nguyên lý đã mô tả ở trên bằng 1 trong 2 cách sau
  - a. Viết mã VHDL, hoặc
  - b. Vẽ Block Diagram

Chú ý: Nếu thiết kế có sử dụng lại các phần tử cơ bản như bộ cộng, trừ, thanh ghi dịch, mux... đã nêu trình bày trong bài giảng, thì không phải viết lại toàn bộ architecture mà chỉ cần viết entity (như khai báo entity MyPWM ở trên) và chỉ rõ các giá trị hằng số nếu có.

### Câu 15. (4 điểm)

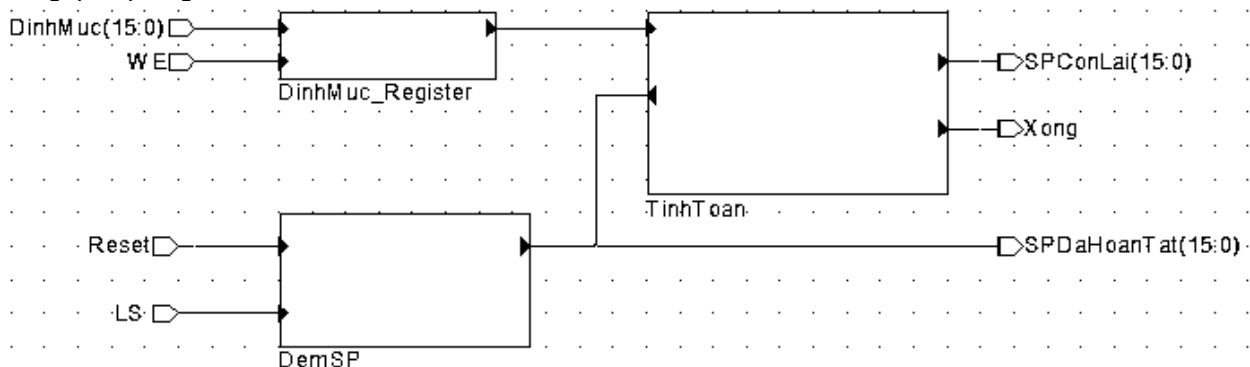
Ở cuối của dây chuyền sản xuất động cơ xe máy, người ta muốn kiểm soát số lượng động cơ đã hoàn tất (SP)



Để làm điều này, người ta xây dựng một hệ thống kiểm soát gồm

- một công tắc hành trình LS.
  - o Mỗi khi có sản phẩm đi ngang qua, công tắc đưa logic 1 tới IC điều khiển. Waveform của tín hiệu LS có dạng như hình bên
- một IC điều khiển
  - o Nhận giá trị <Định mức> sản xuất mỗi ngày từ các SWITCH (tạo giá trị) và nút bấm (để chốt giá trị)
  - o Tính <Số sản phẩm đã hoàn tất> bằng cách đếm tăng mỗi khi công tắc LS ghi nhận có một sản phẩm đi ngang qua
  - o Tự động xác định số sản phẩm còn phải làm bằng cách lấy <Định mức> - <Số sản phẩm đã hoàn tất>
  - o Nếu <Định mức> bằng <Số sản phẩm đã hoàn tất> thì bật tín hiệu Xong lên logic 1.

Sơ đồ nguyên lý tổng thể của IC điều khiển như sau:



1. (3 điểm) Hãy trình bày mã VHDL của ENTITY, ARCHITECTURE của 3 module DinhMuc\_Register, DemSP và TinhToan để IC có thể hoạt động như yêu cầu. Chú ý: được phép sử dụng luôn các phép toán số học + -.
2. (1 điểm) Người ta đặt thêm ở đầu băng chuyền một công tắc hành trình LSx, với cách hoạt động giống như LS. Hãy vẽ lại sơ đồ nguyên lý tổng thể để có thể tính được <số lượng sản phẩm đang nằm trên dây chuyền>.