

Trên cơ sở cấu trúc, chức năng của tổng đài điện tử kỹ thuật số, thiết bị chuyển mạch tạo ra kênh kết nối giữa thuê bao với thuê bao, thuê bao với trung kế, trung kế với trung kế.

I. KHÁI NIỆM, PHÂN LOẠI

1. Khái niệm

* Trong một hệ thống chuyển mạch số, tín hiệu truyền dẫn qua trường chuyển mạch là tín hiệu số, tín hiệu này có thể mang tiếng nói hay số liệu. Một hệ thống chuyển mạch số thường phục vụ một số nguồn tín hiệu đã được ghép kênh theo thời gian và được truyền đi trên các tuyến dẫn PCM.

* Chuyển mạch kênh tín hiệu số là quá trình kết nối, trao đổi thông tin của các khe thời gian giữa tuyến truyền dẫn PCM_{vào} sang tuyến truyền dẫn PCM_{ra} (một hoặc nhiều tuyến PCM).

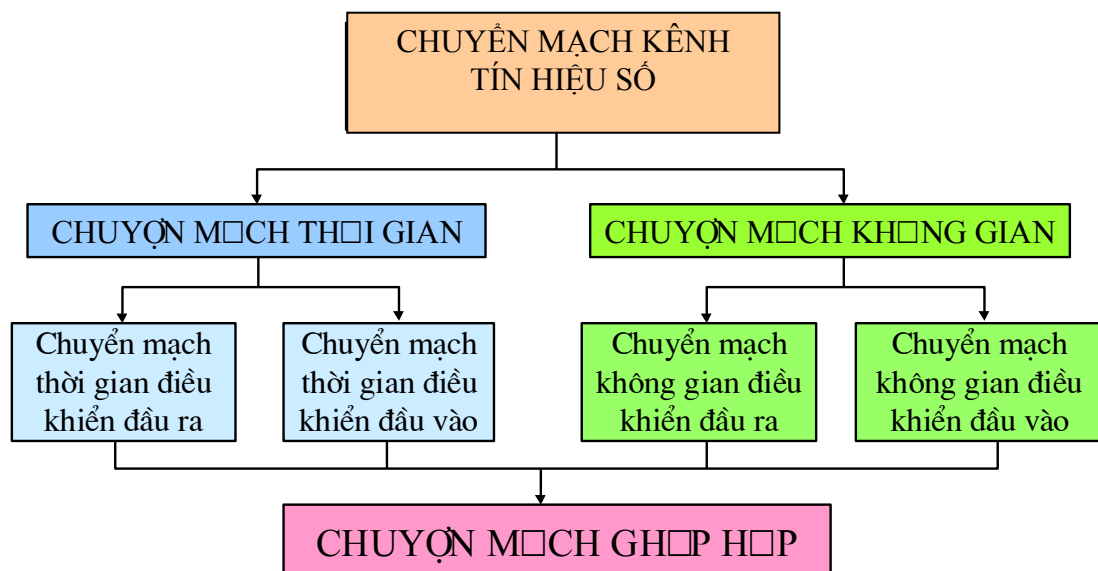
2. Phân loại

Theo phương thức điều khiển, có 2 loại cơ bản:

- Chuyển mạch thời gian: sự chuyển thông tin của một khe thời gian này sang một khe thời gian khác (không cùng tên) trong một tuyến PCM_{vào-ra}. Quá trình này được tạo ra bằng cách làm trễ hợp lý bên trong thiết bị chuyển mạch thời gian.

- Chuyển mạch không gian: sự chuyển thông tin của một khe thời gian trên một tuyến PCM vào sang một khe thời gian cùng tên của một tuyến PCM ra khác. Quá trình này không tạo ra trễ trong quá trình chuyển mạch.

Trong mỗi loại cơ bản đó, có hai loại: điều khiển đầu ra và điều khiển đầu vào. Ngoài ra kết hợp giữa các loại chuyển mạch trên ta có chuyển mạch số ghép hợp.



II. CHUYỂN MẠCH THỜI GIAN

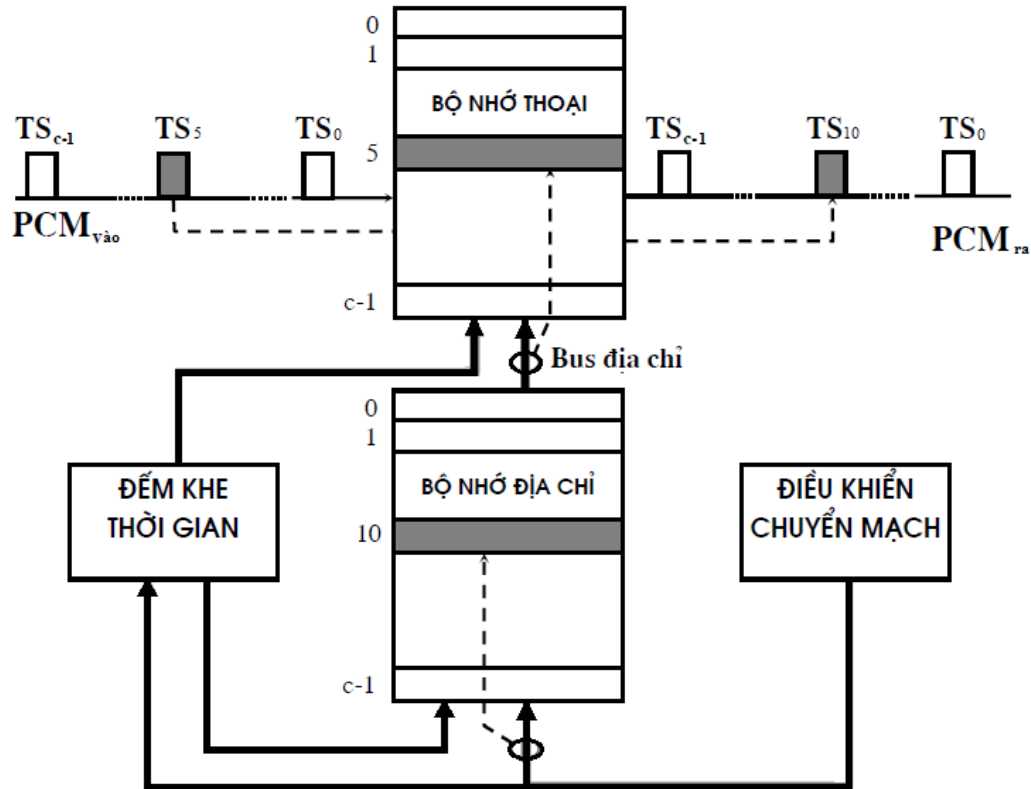
1. Chuyển mạch thời gian điều khiển đầu ra

a. Cấu trúc:

- + Tuyến PCM có c khe thời gian.
- + Có hai bộ nhớ thoại và địa chỉ (điều khiển)
- Bộ nhớ thoại: có c ô nhớ, mỗi ô nhớ có 8 bit

- Bộ nhớ địa chỉ: có c ô nhớ, số bit trong một ô nhớ địa chỉ phụ thuộc vào số khe thời gian của tuyến PCM: $r = \log_2 c$; (r -số bit; c -số khe thời gian).

+ Bộ nhớ thoại và địa chỉ được liên kết với nhau thông qua BUS địa chỉ, chịu sự điều khiển trực tiếp của bộ điều khiển chuyển mạch và gián tiếp thông qua bộ đếm khe thời gian.



Cấu trúc bộ chuyển mạch thời gian điều khiển đầu ra

b. Nguyên lý: ghi tuần tự - đọc có điều khiển.

- Việc ghi vào ô nhớ thoại là lần lượt: nội dung 8 bit/các khe thời gian ở tuyến PCM vào được ghi lần lượt vào các ô nhớ thoại tương ứng {các bit ở khe thời gian có chỉ số là i được ghi vào ô nhớ thoại có chỉ số là i [$i = 1 \div (c-1)$]}.
 - Việc ghi vào ô nhớ điều khiển phụ thuộc vào mục tiêu chuyển mạch, ô nhớ điều khiển có chỉ số trùng với chỉ số khe thời gian đích cần chuyển mạch (thuộc tuyến PCM ra) ghi địa chỉ là chỉ số khe thời gian gốc cần chuyển mạch (thuộc tuyến PCM vào) dạng mã nhị phân r bit.

- Việc đọc các ô nhớ điều khiển đồng bộ với các khe thời gian của tuyến PCM (vào - ra).
 - Việc đọc các ô nhớ thoại là có điều khiển, phụ thuộc vào địa chỉ đọc được trên ô nhớ điều khiển, với địa chỉ đọc được này thông qua mạch giải mã địa chỉ, trên mạch dây tương ứng BUS địa chỉ có tín hiệu điều khiển mở ô nhớ thoại tương ứng.

Ví dụ: mục tiêu chuyển mạch là TS_8/PCM vào $\rightarrow TS_{16}/PCM$ ra; tuyến PCM vào-ra có 512 khe thời gian; $r = \log_2 512 = 9$ bit.
 Điều khiển chuyển mạch phân tích, xử lý như sau:
 - 8 bit/ TS_8 được ghi vào ô nhớ thoại số 8.

- Ô nhớ địa chỉ số 16 ghi số 8 nhị phân 9 bit: 00001000.
- Khi TS_{16} xuất hiện, ô nhớ địa chỉ 16 được đọc, nội dung đọc được là 00001000, qua giải mã địa chỉ được số 8, qua mạch dây 8/BUS địa chỉ mở ô nhớ thoại số 8. Như vậy các bit ở ô nhớ thoại 8 được chuyển vào khe thời gian đích là TS_{16} (tuyến PCM ra).
- Sau 125 μs quá trình trên lặp lại. Khi có tín hiệu giải tỏa thì nội dung ở ô nhớ địa chỉ 16 được xóa, tuyến nối theo mục tiêu trên được giải tỏa.

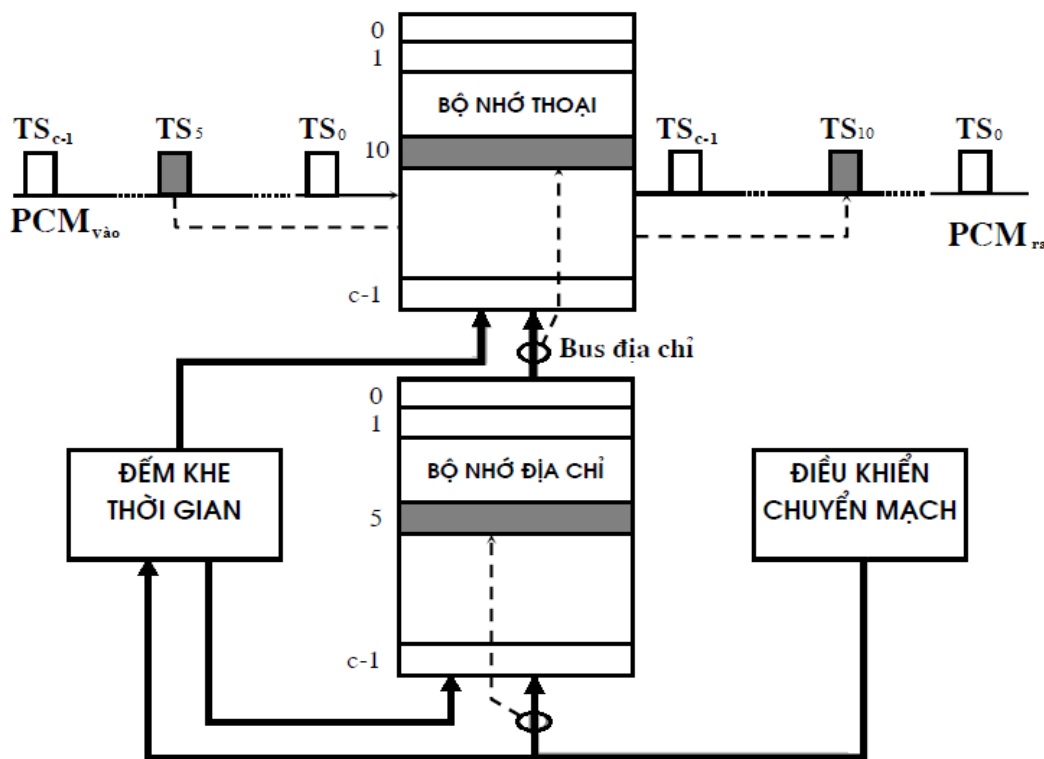
Chú ý:

- Đây mới là chuyển mạch theo một hướng, để chuyển mạch cho một cuộc gọi 2 hướng thì phải có hướng về: TS_{16}/PCM vào \rightarrow TS_8/PCM ra.

2. Chuyển mạch thời gian điều khiển đầu vào

a. Cấu trúc:

Giống chuyển mạch thời gian điều khiển đầu ra (chi tiết khác nhau).



Cấu trúc bộ chuyển mạch thời gian điều khiển đầu vào

b. Nguyên lý: ghi có điều khiển - đọc tuần tự.

- Việc ghi nội dung các bit của các khe thời gian gốc (ở tuyến PCM vào) vào ô nhớ thoại là có điều khiển, phụ thuộc vào địa chỉ đọc được trên ô nhớ điều khiển.
- Việc ghi nội dung vào ô nhớ điều khiển phụ thuộc vào mục tiêu chuyển mạch, ô nhớ điều khiển có chỉ số trùng với chỉ số khe thời gian gốc cần chuyển mạch (ở tuyến PCM vào) ghi nội dung địa chỉ là chỉ số khe thời gian đích cần chuyển mạch (ở tuyến PCM ra) dạng mã nhị phân r bit.
- Việc đọc các ô nhớ điều khiển đồng bộ với các khe thời gian của tuyến PCM, từ địa chỉ đọc được này thông qua mạch giải mã địa chỉ có tín hiệu điều khiển

trên mạch dây tương ứng mở ô nhớ thoại tương ứng để ghi nội dung khe thời gian cùng thời điểm đó/PCM_{vào}.

- Việc đọc các ô nhớ thoại đồng bộ với các khe TG/PCM, nội dung của ô nhớ thoại được đọc ra khe thời gian có cùng chỉ số PCM_{ra}.

Ví dụ: Mục tiêu chuyển mạch là TS₈/PCM_{vào} → TS₁₆/PCM_{ra}; c = 512, r = 9.

- Ô nhớ địa chỉ số 8 sẽ ghi số 16 dạng mã nhị phân 9 bit: 000010000.

- Khi TS₈ xuất hiện → ô nhớ địa chỉ số 8 được đọc, nội dung đọc được là 000010000, qua mạch giải mã địa chỉ được số 16 → mạch dây 16/BUS địa chỉ mở ô nhớ thoại 16 để ghi các bit của khe thời gian TS₈.

- Khi TS₁₆ xuất hiện, đồng thời ô nhớ thoại 16 cũng được đọc. Do đó 8 bit/TS₈ vừa được ghi vào gờ được chuyển qua TS₁₆.

- Sau 125 μs quá trình trên lặp lại. Khi có tín hiệu giải tỏa thì nội dung ở ô nhớ địa chỉ 8 được xóa, tuyến nối theo mục tiêu trên được giải tỏa.

Chú ý:

- Đây mới là chuyển mạch theo một hướng, để chuyển mạch cho một cuộc gọi 2 hướng thì phải có hướng về: TS₁₆/PCM vào TS₈/PCM ra.

- Chuyển mạch thời gian tạo ra lượng trễ nhất định:

Giả thiết: $i < j$; có cTS → khoảng cách 1TS là 125/c (μs)

Nếu TS_i (gốc) → TS_j (đích), thì thời gian trễ là trong một khung:

$$(j-i)TS = (j-i).125/c \text{ (}\mu\text{s)}$$

Nếu TS_j (gốc) → TS_i (đích), thời gian trễ là từ khung này đến khung kia:

$$[c-(j-i)]TS = [c-(j-i)].125/c \text{ (}\mu\text{s)}$$

III. CHUYỂN MẠCH KHÔNG GIAN

1. Chuyển mạch không gian điều khiển đầu ra

a. Cấu trúc:

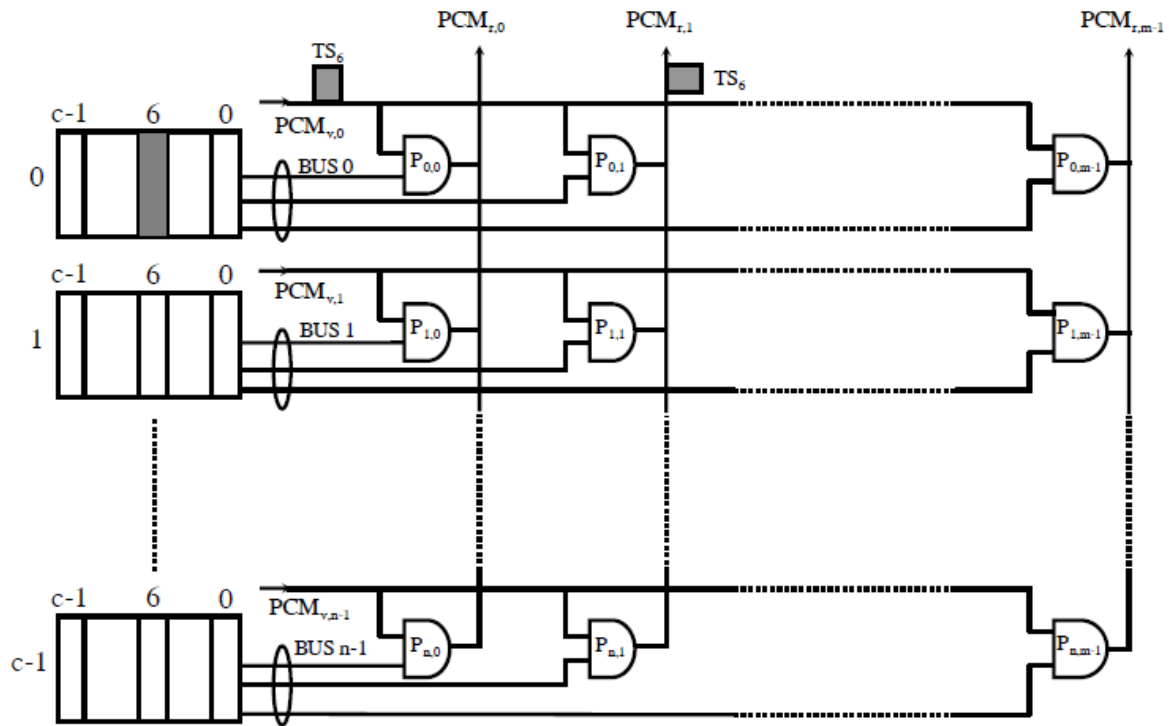
+ Ma trận chuyển mạch: mxn, n hàng ứng n tuyến PCM vào, m cột ứng m tuyến PCM ra

+ Liên kết giữa hàng và cột là các mạch AND hai đầu vào. Các mạch này được định chỉ số theo hàng và cột, ký hiệu P_{ij}. (i=0÷n-1; j=0÷m-1).

- Một đầu vào của các mạch AND trên cùng một hàng được nối đến tuyến PCM vào tương ứng, đầu vào còn lại được nối đến 1 mạch dây tương ứng của BUS địa chỉ trên cùng hàng đó.

- Đầu ra các mạch AND trên cùng một cột được nối đến tuyến PCM ra tương ứng.

- Có n hàng nhớ địa chỉ, mỗi hàng nhớ có c ô nhớ (0÷c-1) bằng số khe thời gian của tuyến PCM vào và ra, mỗi ô nhớ địa chỉ có r bit (r = log₂m, m-số tuyến PCM ra).



Cấu trúc bộ chuyển mạch không gian điều khiển đầu ra

b. Nguyên lý:

- Căn cứ vào mục tiêu chuyển mạch, điều khiển chuyển mạch xác định hàng nhớ địa chỉ. Khe thời gian cần chuyển mạch ở tuyến PCM vào nào thì hàng nhớ địa chỉ đó thực hiện ghi địa chỉ. Ô nhớ địa chỉ có chỉ số trùng với chỉ số khe thời gian cần chuyển mạch ghi nội dung là chỉ số của tuyến PCM ra dạng mã nhị phân r bit.

- Việc đọc các ô nhớ địa chỉ đồng bộ với các khe thời gian của các tuyến PCM. Từ địa chỉ đọc được này mà có tín hiệu điều khiển trên mạch dây tương ứng của BUS ở hàng đó để mở mạch AND $P_{i,j}$ tương ứng.

Ví dụ: Xét mục tiêu chuyển mạch $TS_6/PCM_{v,0} \rightarrow TS_6/PCM_{r,1}$; $n=m=8$, $r=3$

- Căn cứ vào mục tiêu trên, ô nhớ địa chỉ số 6/hàng nhớ địa chỉ 0 ghi nội dung là 001.

- Khi đọc đến ô nhớ này, trên mạch dây số 1/BUS 0 sẽ có tín hiệu điều khiển (mức 1) đưa ra mở mạch AND: $P_{0,1}$, do đó các bit ở $TS_6/PCM_{v,0} \rightarrow TS_6/PCM_{r,1}$.

- Chu kỳ nối mạch là $125 \mu s$. khi có tín hiệu giải tỏa thì ô nhớ địa chỉ số 6/hàng nhớ địa chỉ 0 được xóa, tuyến nối theo mục tiêu trên được giải tỏa.

2. Chuyển mạch không gian điều khiển đầu vào

a. Cấu trúc:

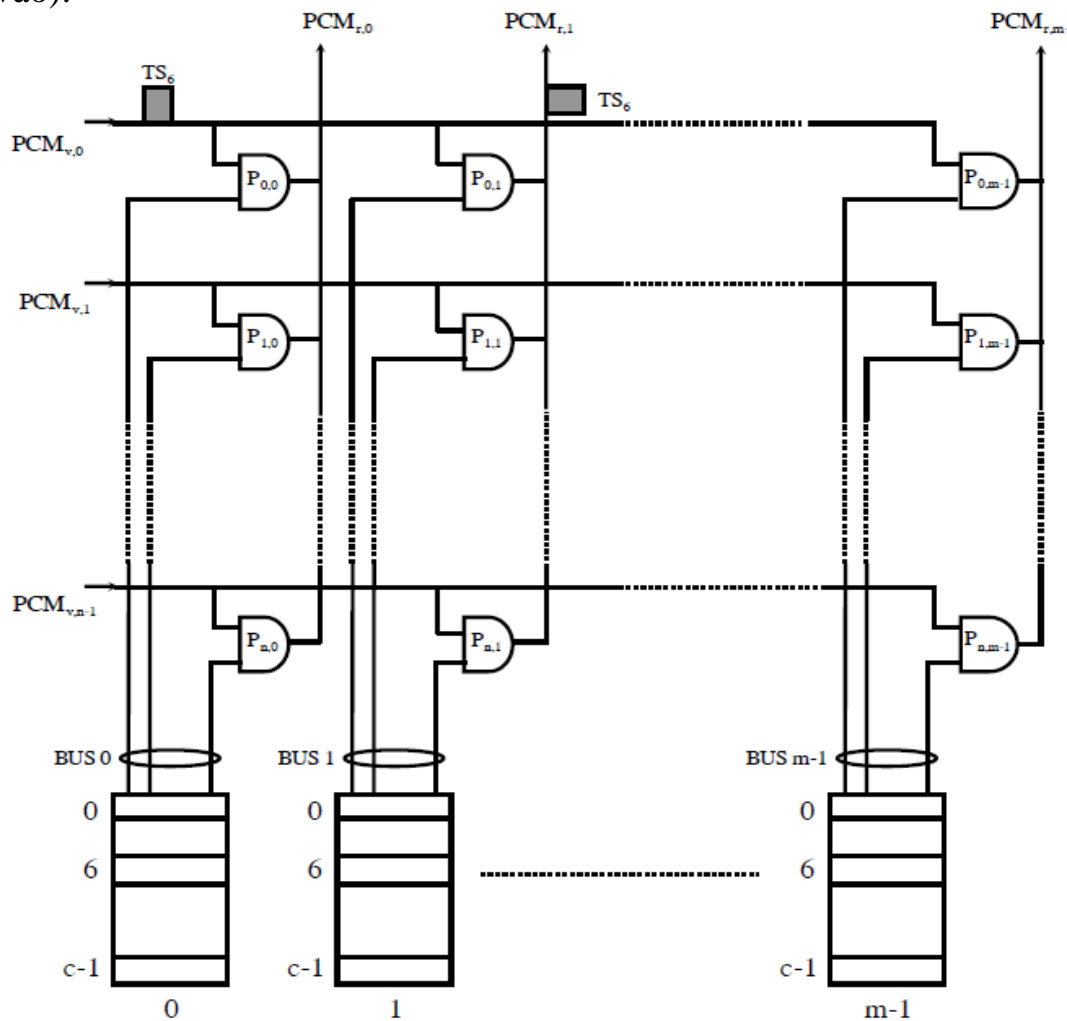
+ Ma trận chuyển mạch: $m \times n$, n hàng ứng n tuyến PCM vào, m cột ứng m tuyến PCM ra

+ Liên kết giữa hàng và cột là các mạch AND hai đầu vào. Các mạch này được định chỉ số theo hàng và cột, ký hiệu $P_{i,j}$. ($i=0 \div n-1$; $j=0 \div m-1$).

- Một đầu vào của các mạch AND trên cùng một hàng được nối đến tuyến PCM vào tương ứng, đầu vào còn lại của các mạch AND trên cùng một cột được nối đến 1 mạch dây tương ứng của BUS địa chỉ trên cùng cột đó.

- Đầu ra các mạch AND trên cùng một cột được nối đến tuyến PCM ra tương ứng.

- Có m cột nhớ địa chỉ, mỗi cột nhớ có c ô nhớ ($0 \div c-1$) bằng số khe thời gian của tuyến PCM vào và ra, mỗi ô nhớ địa chỉ có r bit ($r = \log_2 n$, n -số tuyến PCM vào).



Cấu trúc bộ chuyển mạch không gian điều khiển đầu vào

b. Nguyên lý:

- Căn cứ vào mục tiêu chuyển mạch, điều khiển chuyển mạch xác định cột nhớ địa chỉ. Khe thời gian cần chuyển mạch ở tuyến PCM ra nào thì cột nhớ địa chỉ đó thực hiện ghi địa chỉ. Ô nhớ địa chỉ có chỉ số trùng với chỉ số khe thời gian cần chuyển mạch ghi nội dung là chỉ số của tuyến PCM vào dạng mã nhị phân r bit.

- Việc đọc các ô nhớ địa chỉ đồng bộ với các khe thời gian của các tuyến PCM. Từ địa chỉ đọc được này mà có tín hiệu ĐK trên mạch dây tương ứng của BUS ở cột đó để mở mạch AND $P_{i,j}$ tương ứng.

Ví dụ: Xét mục tiêu CM $TS_6/PCM_{v,0} \rightarrow TS_6/PCM_{r,2}$; $n=m=8$, $r=3$

- Căn cứ vào mục tiêu trên, ô nhớ địa chỉ số 6/cột nhớ địa chỉ 2 ghi nội dung là 000.

- Khi đọc đến ô nhớ này, trên mạch dây số 0/BUS 2 sẽ có tín hiệu điều khiển (mức 1) đưa ra mở mạch AND: $P_{0,2}$, do đó các bit ở $TS_6/PCM_{v,0} \rightarrow TS_6/PCM_{r,2}$.

- Chu kỳ nối mạch là $125 \mu s$. khi có tín hiệu giải tỏa thì ô nhớ địa chỉ số 6/cột nhớ địa chỉ 2 được xóa, tuyến nối theo mục tiêu trên được giải tỏa.

IV. GHÉP THỨ CẤP, CHUYỂN MẠCH GHÉP

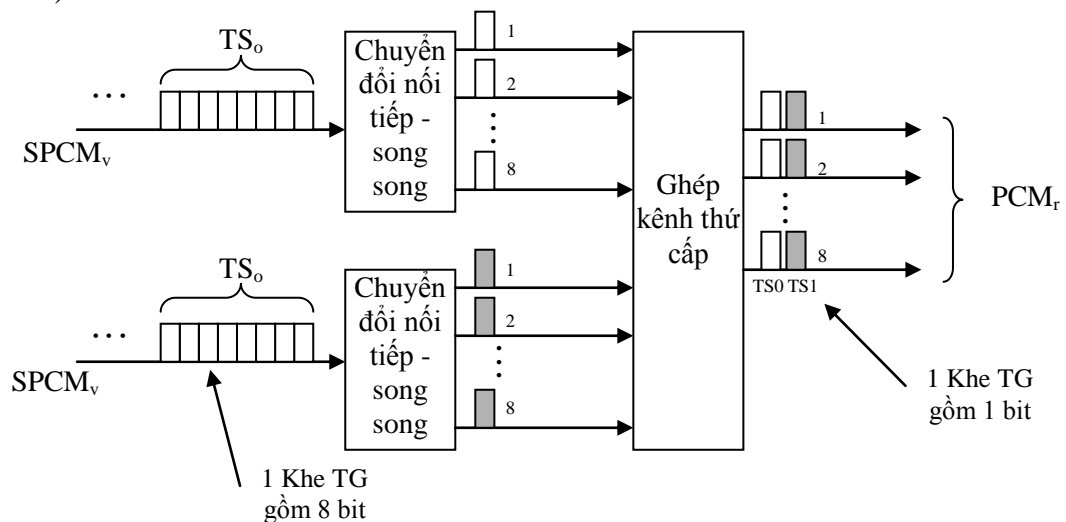
1. Ghép kênh thứ cấp

a. Khái quát

- Nhằm tăng hiệu suất của trường chuyển mạch thì ở tổng đài số thường sử dụng các bộ chuyển mạch thời gian và không gian chuẩn làm việc theo nguyên lý chuyển mạch các bit song song tốc độ cao.

- Các luồng số sơ cấp trước khi vào trường chuyển mạch là các luồng số truyền dẫn bit nối tiếp, nên phải biến đổi thành luồng số truyền dẫn bit song song.

- Tốc độ của các bộ chuyển mạch thường là 4,096 Mb/s (khi này phải ghép 16 luồng 2,048 Mb/s); hoặc là 8,912 Mb/s (khi này phải ghép 32 luồng 2,048 Mb/s).



b. Bộ chuyển đổi nối tiếp - song song và ghép kênh thứ cấp

* Sơ đồ:

+ Sơ đồ mạch có cấu trúc hai đợt:

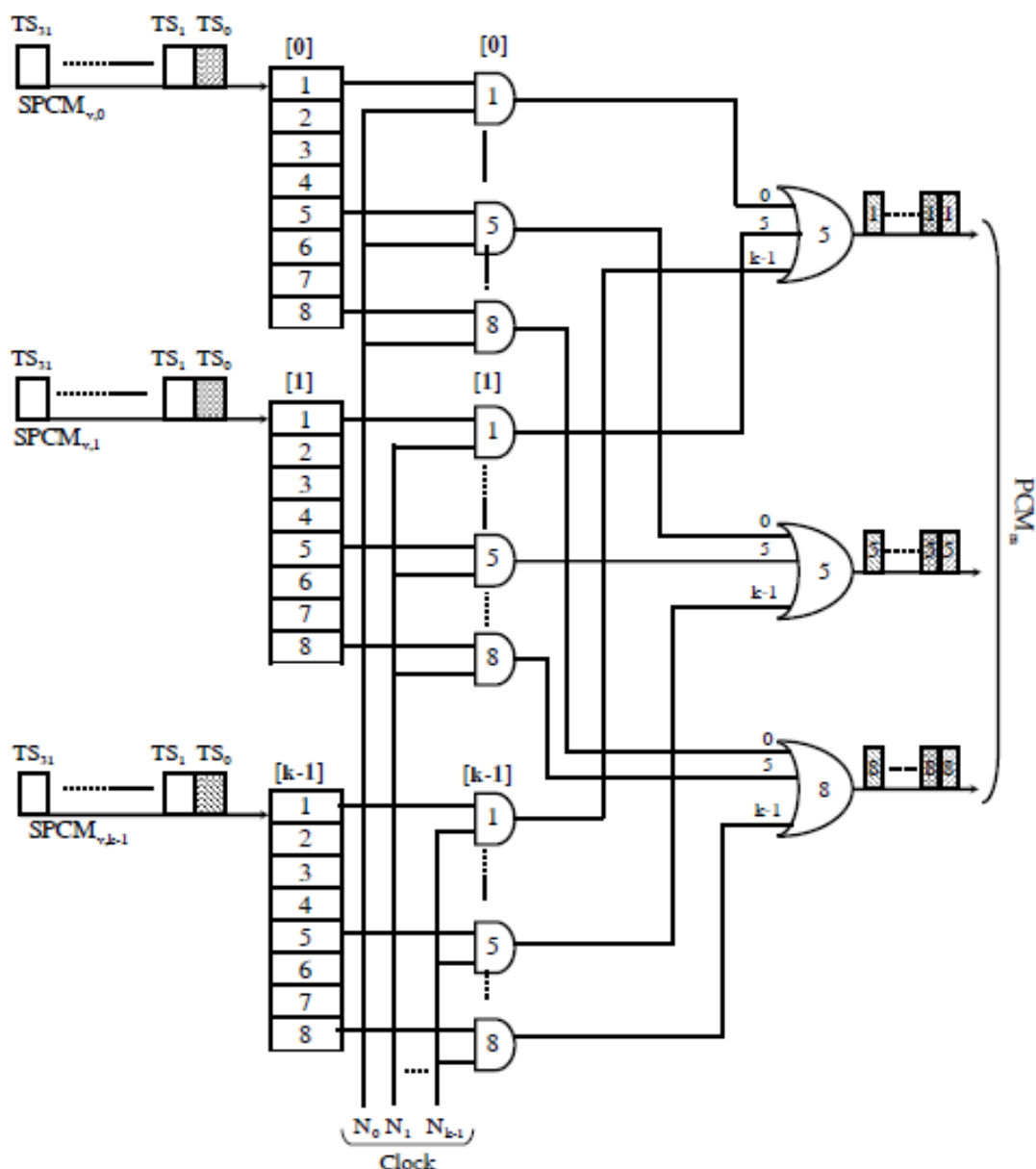
- Đợt đầu vào chứa các bộ nhớ đệm (đánh số từ $[0]$ - $[k-1]$), số lượng bộ nhớ đệm bằng số tuyến PCM vào cơ sở (ký hiệu $SPCM_v$, đánh số $SPCM_{v,0}$ - $SPCM_{v,k-1}$), mỗi bộ nhớ đệm có 8 bit.

- Đợt thứ hai là các cổng chốt, số cổng chốt bằng số bộ nhớ đệm, mỗi cổng chốt có 8 mạch AND hai đầu vào không chế 8 bit.

- Một đầu vào/AND được nối đến bit tương ứng/ bộ nhớ đệm; đầu vào thứ hai được nối đến thiết bị nhíp trên mạch dây tương ứng. (mỗi nhíp N_i đọc đồng thời 8 bit của bộ nhớ đệm thứ $[i]$, $i=0$ đến $k-1$).

- Đầu ra các mạch AND được nối đến đầu vào các mạch OR theo nguyên tắc: Đầu ra các mạch AND có chỉ số là J ($J=1$ đến 8) được nối đến các đầu vào có chỉ số là J . Như vậy có 8 mạch OR, mỗi mạch OR có k đầu vào.

- Đầu ra mỗi mạch OR được nối đến một mạch dây của tuyến PCM_{ra} , tuyến này được dẫn tới trường chuyển mạch.



Cấu trúc bộ chuyển đổi bit nối tiếp - song song và ghép kênh thứ cấp

* Nguyên lý: (xét với các tuyến ghép 32 khe thời gian)

+ 8 bit của các khe thời gian có cùng chỉ số trên các tuyến ghép SPCM xuất hiện đồng thời, được ghi vào bộ nhớ đệm tương ứng ở đầu đầu vào. Mỗi vòng nhịp được các khe thời gian có cùng chỉ số ở mỗi tuyến vào.

+ Vòng nhịp thứ 1:

- Với nhịp N_0 , cổng chốt số [0] mở \rightarrow bộ nhớ đệm [0] được đọc \rightarrow 8 bit/ TS_0 ở bộ nhớ đệm [0] được đưa đồng thời qua 8 đầu ra của mạch OR.

- Đến nhịp $N_{k-1} \rightarrow$ cổng chốt [k-1] mở \rightarrow 8 bit/ TS_0 ở bộ nhớ đệm [k-1] được đọc ra 8 đầu ra mạch OR.

⋮

+ Vòng nhịp thứ 32: ghép 8 bit của các khe thời gian TS_{31} của k tuyến SPCM ra 8 đầu ra mạch OR, cũng có nghĩa là 8 mạch dây của tuyến PCM.

+ Kết quả là: 8 mạch dây của tuyến PCM_{ra} là luồng số truyền dẫn các bit song song, xét trên một mạch dây sẽ có tốc độ giảm đi 8 lần so với tốc độ của luồng số SPCM_{vào}.

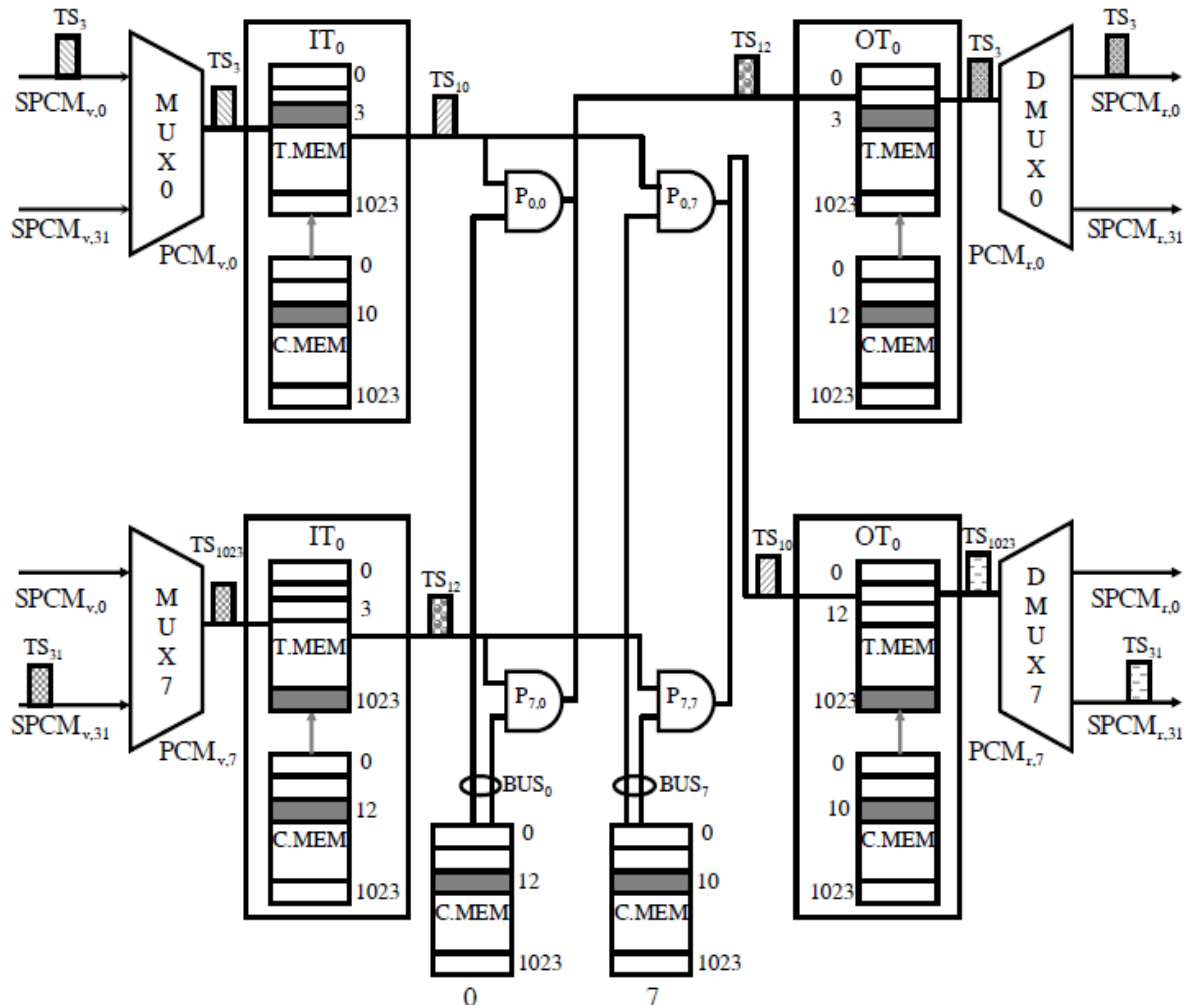
* Chú ý:

+ $V_{PCM} = k \cdot V_{SPCM}/8$, (k là số tuyến SPCM)

+ Quan hệ giữa TS/PCM và TS/SPCM: có k tuyến SPCM 32 khe thời gian; $J=0 \div 31$; $i=0 \div k-1$, khi đó: $TS_i/SPCM_i \rightarrow TS_{(j,k+i)}/PCM$.

2. Chuyển mạch ghép hợp

a. Sơ đồ:



Cấu trúc bộ chuyển mạch ghép TST

Xét bộ chuyển mạch TST như sau:

- Bộ MUX thực hiện chuyển đổi nt-ss và ghép 32 tuyến SPCM 32 khe thời gian thành tuyến PCM 1024 khe thời gian trước khi đưa vào mỗi bộ chuyển mạch thời gian. Mỗi bộ chuyển mạch thời gian này sẽ có 1024 ô nhớ thoại và địa chỉ.

- Ma trận chuyển mạch không gian có kích thước 8x8, như vậy có 8 bộ chuyển mạch thời gian ở đầu vào (IT) và 8 bộ chuyển mạch thời gian ở đầu ra (OT).

- Giả thiết:

IT làm việc theo nguyên lý điều khiển đầu ra;

OT làm việc theo nguyên lý điều khiển đầu vào;
Chuyển mạch không gian làm việc theo nguyên lý điều khiển đầu vào.
Vậy sẽ có 8 cột nhớ địa chỉ.

b. Nguyên lý:

Xét mục tiêu chuyển mạch: hướng đi: $TS_0/SPCM_{v,0}/MUX_0 \rightarrow TS_{31}/SPCM_{r,31}/DMUX_7$

Hướng về: $TS_{31}/SPCM_{v,31}/MUX_7 \rightarrow TS_0/SPCM_{r,0}/DMUX_0$

* Hướng đi: giả thuyết: TS_{10} là khe TG trung gian ở CM S.

+ $TS_0/SPCM_{v,0}$ qua MUX_0 sẽ là $TS_0/PCM_{v,0}$.

+ Bộ IT: chuyển $TS_0/PCM_{v,0} \rightarrow TS_{10}/PCM_{trg,0}$.

- Nội dung $TS_0/PCM_{v,0}$ được ghi vào ô nhớ thoại 0/IT₁.

- Ô nhớ địa chỉ 10/IT₁ ghi nội dung “0000000000” (số 0 nhị phân 10 bit)

- Khi TS_{10} xuất hiện, ô nhớ điều khiển 10/IT₁ được đọc, qua giải mã ĐC trên mạch dây số 0 BUS ĐC/IT₁ có tín hiệu điều khiển mở ô nhớ thoại 0/IT₁. Do đó $TS_0/PCM_{v,0}$ đã được chuyển qua TS_{10} ở chuyển mạch không gian.

+ Bộ chuyển mạch không gian: chuyển $TS_{10}/PCM_{trg,0} \rightarrow TS_{10}/PCM_{trg,7}$.

- Ô nhớ 10/ cột nhớ địa chỉ 7 ghi nội dung là 000 (số 0 3 bit).

- Khi TS_{10} xuất hiện, ô nhớ 10/cột nhớ địa chỉ 7/CM không gian được đọc, qua giải mã địa chỉ thì trên mạch dây số 0/BUS7/CM không gian có tín hiệu điều khiển (mức 1) mở mạch AND P_{0,7}. Do đó $TS_{10}/PCM_{trg,0} \rightarrow TS_{10}/PCM_{trg,7}$.

+ Bộ OT: chuyển $TS_{10}/PCM_{trg,7} \rightarrow TS_{1023}/PCM_{r,7}$.

- Ô nhớ địa chỉ 10/OT₇ ghi nội dung “111111111” (số 1023 nhị phân 10 bit)

- Khi TS_{10} xuất hiện, ô nhớ điều khiển 10/OT₇ được đọc, qua giải mã địa chỉ trên mạch dây số 1023 BUS ĐC/OT₇ có tín hiệu điều khiển mở ô nhớ thoại 1023/OT₇. Do đó nội dung $TS_{10}/PCM_{trg,7}$ được ghi vào ô nhớ thoại 1023/OT₇.

- Khi TS_{1023} xuất hiện thì ô nhớ thoại 1023/OT₇ được đọc. Vậy $TS_{10}/PCM_{trg,7}$ đã được chuyển qua $TS_{1023}/PCM_{r,7}$.

+ $TS_{1023}/PCM_{r,7}$ qua $DMUX_7$ sẽ là $TS_{31}/SPCM_{r,31}$.

+ Sau 125μs, quá trình trên lặp lại. Khi có tín hiệu giả tỏa thì các ô nhớ địa chỉ của các bộ chuyển mạch được xóa. Tuyến nối theo mục tiêu trên được giải tỏa.

* Hướng về: giả thiết: TS_{12} là khe thời gian trung gian ở chuyển mạch không gian.

Nguyên lý hoạt động tương tự hướng đi. Mục tiêu nối mạch cụ thể phụ thuộc vào chỉ số khe thời gian ở các tuyến SPCM.