

ĐẠI HỌC QUỐC GIA TP HỒ CHÍ MINH
TRƯỜNG ĐẠI HỌC BÁCH KHOA
KHOA ĐIỆN - ĐIỆN TỬ
BỘ MÔN VIỄN THÔNG



BÁO CÁO ĐỒ ÁN 2
THIẾT KẾ BỘ SAR-ADC 8 BIT SỬ DỤNG CÔNG
NGHỆ 45NM

Giảng viên hướng dẫn: Ths. Nguyễn Khánh Lợi

Sinh viên thực hiện: Nguyễn Quang Khải Tú

MSSV: 2012378

Thành phố Hồ Chí Minh, tháng 05, năm 2024

LỜI CẢM ƠN

Sau khi hoàn thành đồ án 2 này, em muốn gửi lời cảm ơn đến thầy hướng dẫn Ths. Nguyễn Khánh Lợi, người đã định hướng em từ những bước đầu tiên để tiếp cận với hướng điện tử viễn thông nói chung và hướng điện tử nói riêng. Cảm ơn thầy đã dành thời gian để chia sẻ những kinh nghiệm, những đề tài tốt, nghề nghiệp và quan trọng hơn hết là hướng dẫn Đồ án 2.

Em cũng cảm ơn hai người anh Võ Văn Thái và Bùi Lê Quốc Doanh vì đã đồng hành và hỗ trợ em từng bước để hoàn thành đề tài. Cảm ơn anh vì đã chia sẻ nhiều kiến thức, kinh nghiệm lũy của bản thân và giúp đỡ trong suốt quá trình để cho em có thể hoàn thành tốt hơn cho đồ án 2 của mình.

Bởi vì trong trong giai đoạn tiếp cận với hướng vi mạch tương tự nên quá trình nghiên cứu không thể tránh khỏi sai sót cũng như chưa thể hoàn chỉnh được thiết kế. Em mong thầy cô sẽ thông cảm và rất mong nhận được những lời khuyên từ thầy cô để đề tài này được hoàn thiện hơn và có thể phát triển lên đồ án tốt nghiệp.

Trân trọng!

MỤC LỤC

LỜI CẢM ƠN	i
TÓM TẮT ĐỒ ÁN.....	iii
DANH SÁCH HÌNH MINH HỌA	iv
DANH SÁCH BẢNG SỐ LIỆU	vi
BẢNG CÁC TỪ VIẾT TẮT	vii
CHƯƠNG 1: GIỚI THIỆU	1
1. Tổng quan.....	1
2. Mục tiêu đề tài	2
3. Cấu trúc báo cáo	2
CHƯƠNG 2: TỔNG QUAN VỀ ADC	3
1) Tổng quan	3
2) Lý thuyết cơ bản của ADC	3
3) Các loại ADC thường gặp.....	5
3.1) Flash ADC.....	5
3.2) Pipeline ADC	6
3.3) Delta-Sigma ADC.....	7
3.4) SAR-ADC	8
CHƯƠNG 3: KIẾN TRÚC SAR-ADC	11
1. Tổng quan.....	11
2. Cấu trúc	11
2.1) Nguyên lý hoạt động.....	11
2.2) Track & Hold.....	12
2.3) Comparator	14
2.4) SAR Control Logic	16
2.5) R-2R DAC.....	19
CHƯƠNG 4: MÔ PHỎNG, KẾT QUẢ VÀ THẢO LUẬN	23

1. Tổng quan.....	23
2. Track and Hold	23
3. Comparator	26
4. SAR Control Logic	28
5. R-2R DAC	31
6. SAR-ADC 8 bit.....	33
Kết Luận	36
1. Kết quả đạt được.....	36
2. Hướng phát triển trong tương lai	36
TÀI LIỆU THAM KHẢO	37

TÓM TẮT ĐỒ ÁN

Đồ án này trình bày về quá trình nghiên cứu và mô phỏng thiết kế của bộ chuyển đổi tương tự sang số (Analog to Digital Converter) với kiểu thiết kế SAR-ADC (Successive Approximation Register) được triển khai trong quy trình CMOS 45nm.

Với mục tiêu thiết kế SAR-ADC 8 bit có tốc độ lấy mẫu 2Msps với điện áp ngõ vào nằm trong tầm [0.5 ; 1.2](V) với điện áp cung cấp đầu vào là 1.2V. Ta tiến hành thực hiện nghiên cứu, phân tích, mô phỏng và đánh giá từng khối thành phần có trong SAR-ADC sử dụng trực tiếp Tool Cadence. Sau khi hoàn thành tất cả các khối, các khối này được kết nối và thiết lập các thông số để có thể hoạt động đồng nhất và cho ra giá trị mã hóa ít sai số nhất có thể so với thực tế.

DANH SÁCH HÌNH MINH HỌA

Hình 2.1: Quá trình chuyển đổi của ADC.....	3
Hình 2.2: Dạng tín hiệu cho từng giai đoạn.....	4
Hình 2.3: Phân loại ADC theo chức năng.....	5
Hình 2.4: Flash ADC	6
Hình 2.5: Pipeline ADC.....	7
Hình 2.6: Delta-Sigma ADC	8
Hình 2.7: SAR-ADC.....	9
Hình 3.1: Nguyên lý hoạt động của SAR-ADC	11
Hình 3.2 Cấu trúc và dạng sóng của Track & Hold	13
Hình 3.3 Sử dụng MOSFET làm Switch cho mạch.	13
Hình 3.4 Switch với NMOS.....	14
Hình 3.5 Sơ đồ mạch Double-Tail Dynamic Comparator.....	15
Hình 3.6 Sơ đồ mạch D-FlipFlop.....	17
Hình 3.7 Mạch SAR-Control Logic trong SAR-ADC	18
Hình 3.8: Sơ đồ mạch R-2R DAC.....	20
Hình 3.9: Mạch tương đương R-2R DAC	20
Hình 3.10: Mạch tương đương của mạng điện trở bên trong	21
Hình 3.11: Phân tích mạch của 4 bit R-2R DAC	22
Hình 4.1 Testbench mạch Track & Hold.....	23
Hình 4.2 Mô phỏng dạng sóng mạch Track & Hold	25
Hình 4.3 Testbench mạch Comparator	26
Hình 4.4 Mô phỏng dạng sóng mạch Comparator	27
Hình 4.5 Testbench mạch SAR-Logic-Cotrol.....	28
Hình 4.6 Mô phỏng dạng sóng của mạch SAR-Control-Logic	30
Hình 4.7 Testbench mạch R-2R DAC	31

Hình 4.8 Mô phỏng kết quả của mạch R-2R DAC	32
Hình 4.9 Testbench mạch ADC 8 bit	33
Hình 4.10 Mô phỏng SAR-ADC với $V_{in} = 1.2V$	35

DANH SÁCH BẢNG SỐ LIỆU

Bảng 4.1 Thông số mô phỏng Track & Hold.....	24
Bảng 4.3 Thông số mô phỏng Comparator	26
Bảng 4.5 Thông số mô phỏng SAR Control Logic	29
Hình 4.7 Thông số mô phỏng mạch R-2R DAC	31
Bảng 4.9 Thông số mô phỏng của SAR-ADC	34

BẢNG CÁC TỪ VIẾT TẮT

Kí hiệu	Từ gốc
ADC	Analog to Digital Converter
CMOS	Complementary Metal Oxide Semiconductor
DAC	Digital to Analog Converter
LSB	Least Significant Bit
MSB	Most Significant Bit
SAR	Successive Approximation Register
T&H	Track and Hold

CHƯƠNG 1: GIỚI THIỆU

1. Tổng quan

Chuyển đổi tín hiệu tương tự sang số (ADC) là một phần cơ bản của thiết bị điện tử hiện đại. Hầu hết các mạch điện tử hoạt động nhờ bộ xử lý kỹ thuật số và bộ nhớ, bởi vì tín hiệu kỹ thuật số được xác định rõ và dễ đọc ngay cả khi có nhiễu. Tuy nhiên, rất nhiều tín hiệu phải được xử lý là tín hiệu tương tự, như sóng âm thanh hoặc điện từ. Do đó, đầu vào tương tự này phải được chuyển đổi thành đầu ra ở dạng số chính xác, được tạo thành từ n tín hiệu nhị phân: Số bit càng cao, độ phân giải của bộ chuyển đổi càng lớn. Do tính phức tạp của chúng, ADC thường được thiết kế dưới dạng mạch tích hợp với công nghệ CMOS. Có các tham số khác nhau mô tả hành vi của ADC, nhưng quan trọng nhất là các tham số sau:

Bandwidth (băng thông): Băng thông là phạm vi tần số mà bộ chuyển đổi có thể hoạt động. Nó bị giới hạn bởi tần số lấy mẫu tối đa của bộ chuyển đổi và tùy thuộc vào loại ADC, đi từ hàng chục kHz đến hàng chục GHz.

Resolution (độ phân giải): được đặt theo số bit, đó là số mức kỹ thuật số khác nhau mà một giá trị tương tự có thể được chuyển đổi thành. Nó cũng liên quan đến loại bộ chuyển đổi.

Accuracy (độ chính xác): nhiễu và biến dạng làm thay đổi độ phân giải hiệu quả của bộ chuyển đổi, làm giảm độ chính xác của nó. Nó được thể hiện một cách cơ bản dưới dạng SNDR (Tỷ lệ tín hiệu trên nhiễu).

Power consumption and area (điện năng tiêu thụ và diện tích): vì trong nhiều trường hợp, ADC được sử dụng trong các hệ thống hạn chế về năng lượng và không gian, nên điện năng tiêu thụ và diện tích là những con số quan trọng đánh giá cao bộ chuyển đổi.

ADC SAR đã được chứng minh là một giải pháp tối ưu để hoạt động ở tần số hoạt động trung bình-cao (50 Ksps-500 Msps) trong khi vẫn giữ được độ phân giải chấp nhận

được (8-12 bit) và mức tiêu thụ điện năng thấp. Những kiến trúc này được hưởng lợi từ việc mở rộng quy mô công nghệ và điện áp cung cấp thấp, nhờ vào việc sử dụng các mạch đơn giản có hành vi tối ưu trong các điều kiện này.

2. Mục tiêu đề tài

Mục tiêu của đề tài là nghiên cứu, thiết kế và triển khai một kiến trúc SAR ADC 8 bit với tốc độ lấy mẫu 2Msps và khoảng điện áp đầu vào từ 0.5V đến 1.2V. Quá trình thiết kế được thực hiện trong môi trường Cadence với quy trình thiết kế 45nm và điện áp cung cấp 1.2V. Đề tài tập trung vào phát triển một mạch chuyển đổi tín hiệu tương tự thành dạng số với độ chính xác cao, tốc độ chuyển đổi nhanh và hiệu suất năng lượng tối ưu.

3. Cấu trúc báo cáo

Chương 1 sẽ giới thiệu tổng quan về đề tài và mục tiêu thiết kế cũng như cấu trúc của đồ án này.

Chương 2 trình bày tổng quan lý thuyết cơ bản về ADC và những thông số để đánh giá một thiết kế ADC. Ngoài ra trong chương này cũng trình bày về phân loại ADC tùy vào ứng dụng trên thị trường hiện nay.

Chương 3 đi vào phân tích nguyên lý hoạt động, giải thuật của mạch SAR-ADC và giải thích chức năng, các thông số đánh giá từng khối thành phần trong SAR ADC bao gồm: Theo dõi và giữ (Sample and Hold), So sánh (Comparator), điều khiển Logic (SAR control logic) và bộ chuyển đổi số sang tương tự (DAC).

Chương 4 bao gồm những bước tiến hành mô phỏng mạch trên ứng dụng Cadence với công nghệ 45nm, những thông tin yêu cầu về thông số khi mô phỏng cũng như giải thích và đánh giá những kết quả thu được.

CHƯƠNG 2: TỔNG QUAN VỀ ADC

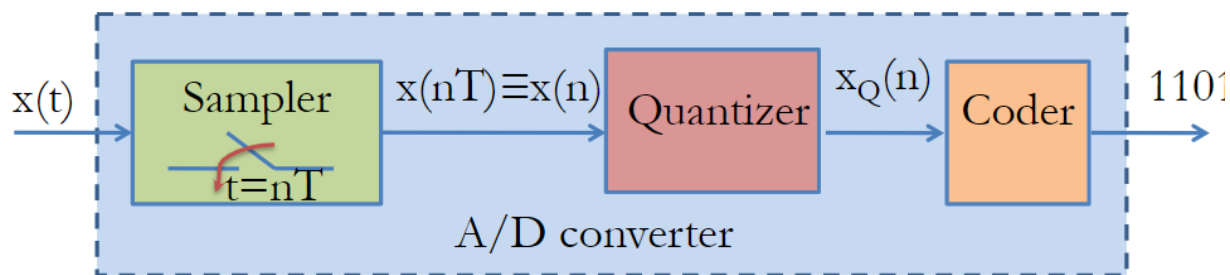
1) Tổng quan

Chương này trình bày về lý thuyết cơ bản của ADC, những thông số tính chất và cấu trúc ADC thường được sử dụng trong thực tế (Pipeline, Flash, Delta-Sigma và SAR ADC), các thông số được sử dụng để đánh giá hiệu suất của mạch chuyển đổi cũng được trình bày.

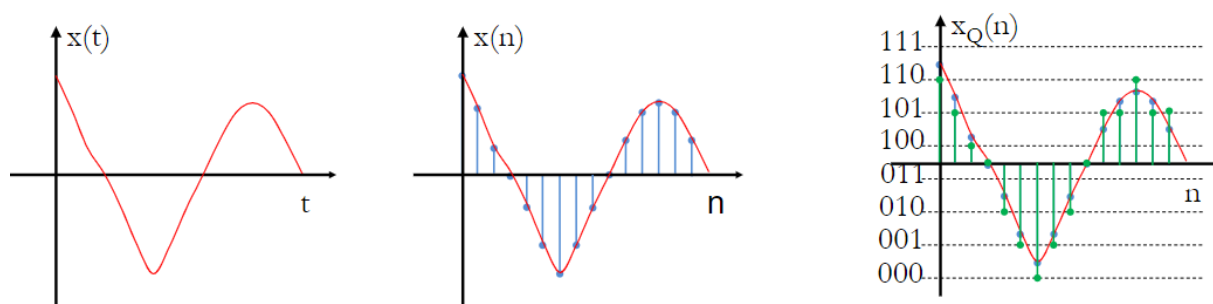
2) Lý thuyết cơ bản của ADC

ADC là viết tắt của Analog-to-Digital Converter, là một thiết bị điện tử được sử dụng để chuyển đổi tín hiệu analog sang tín hiệu số. Tín hiệu analog là tín hiệu có giá trị liên tục trong khoảng thời gian và có thể nhận giá trị trong khoảng liên tục, trong khi tín hiệu số là tín hiệu chỉ có thể có giá trị rời rạc và đại diện cho một giá trị nhất định. Biểu diễn kỹ thuật số này sau đó có thể được xử lý, thao tác, tính toán, truyền hoặc lưu trữ.

ADC được sử dụng rộng rãi trong nhiều lĩnh vực, chẳng hạn như điện tử tiêu dùng, công nghiệp, y tế, hệ thống điều khiển và nhiều ứng dụng khác. Quá trình chuyển đổi được thực hiện trong ADC gồm có: Lấy mẫu (Sampler), Lượng tử (Quantizer) và mã hóa (Coder)



Hình 2.1: Quá trình chuyển đổi của ADC



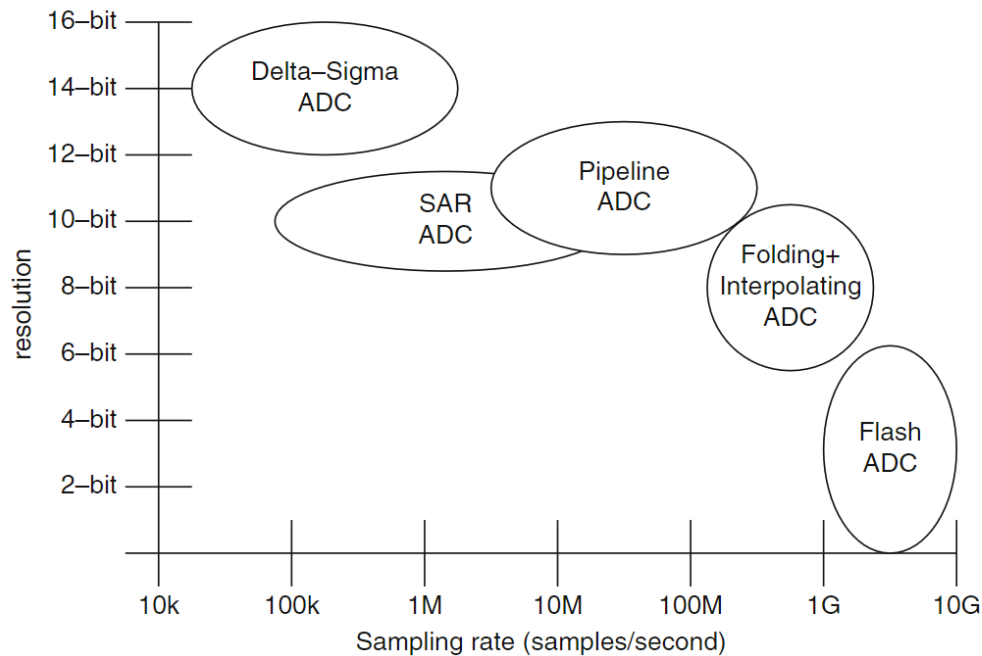
Hình 2.2: Dạng tín hiệu cho từng giai đoạn

Sampling (Lấy mẫu): Lấy mẫu là quá trình lấy giá trị của tín hiệu analog tại các thời điểm nhất định. Để đảm bảo chính xác, tần số lấy mẫu phải đủ cao để đáp ứng đúng tần số của tín hiệu đầu vào và theo định lý lấy mẫu Nyquist-Shannon, tần số lấy mẫu phải lớn hơn gấp đôi tần số của tín hiệu đầu vào.

Quantization (Lượng tử): Quá trình số hóa là chuyển đổi tín hiệu analog thành tín hiệu số bằng cách xấp xỉ giá trị của tín hiệu analog bằng một số lượng có hạn các giá trị. Số lượng các giá trị này được xác định bởi độ phân giải của ADC. Khi độ phân giải càng cao, ADC sẽ có khả năng chuyển đổi chính xác các tín hiệu đầu vào với độ chính xác cao hơn.

Coding (mã hóa): Đây là quá trình biểu diễn các giá trị rời rạc được lấy mẫu và chuyển đổi bởi quantization dưới dạng tín hiệu số. ADC có thể sử dụng nhiều phương pháp mã hóa khác nhau, chẳng hạn như mã hóa đơn giản nhất là mã nhị phân (binary encoding) hoặc các phương pháp mã hóa khác như mã Gray hay mã nhị phân không dấu.

3) Các loại ADC thường gặp

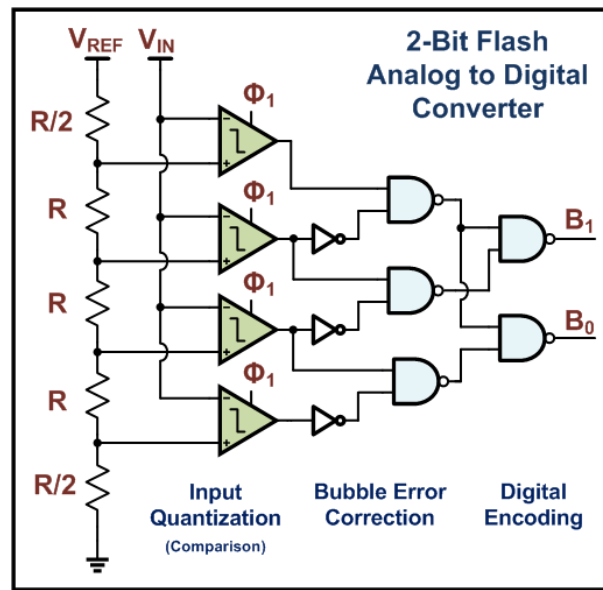


Hình 2.3: Phân loại ADC theo chức năng

3.1) Flash ADC

Flash ADC được biết đến là loại ADC nhanh nhất. Nó phù hợp với các thiết kế yêu cầu tốc độ nhanh ở độ phân giải thấp. Vấn đề là Flash ADC sử dụng một số lượng lớn các bộ so sánh (Comparator), đối với bộ chuyển đổi N-bit, nó cần $2^N - 1$ bộ so sánh, điều này có nghĩa là số lượng bộ so sánh tăng theo cấp số nhân với số lượng bit.

Trong khi bộ so sánh là một trong những thành phần tiêu hao nhiều năng lượng nhất trong ADC, Flash ADC tiêu thụ rất nhiều năng lượng. Flash ADC sử dụng một thang điện áp tuyến tính với một bộ so sánh ở mỗi "bậc thang" của thang để so sánh điện áp đầu vào với các điện áp tham chiếu kế tiếp. Thang tham chiếu được xây dựng bằng điện trở hoặc tụ điện để phân chia điện áp. Đầu ra từ bộ so sánh là đầu vào của bộ mã hóa kỹ thuật số, chuyển đổi đầu vào thành giá trị nhị phân.



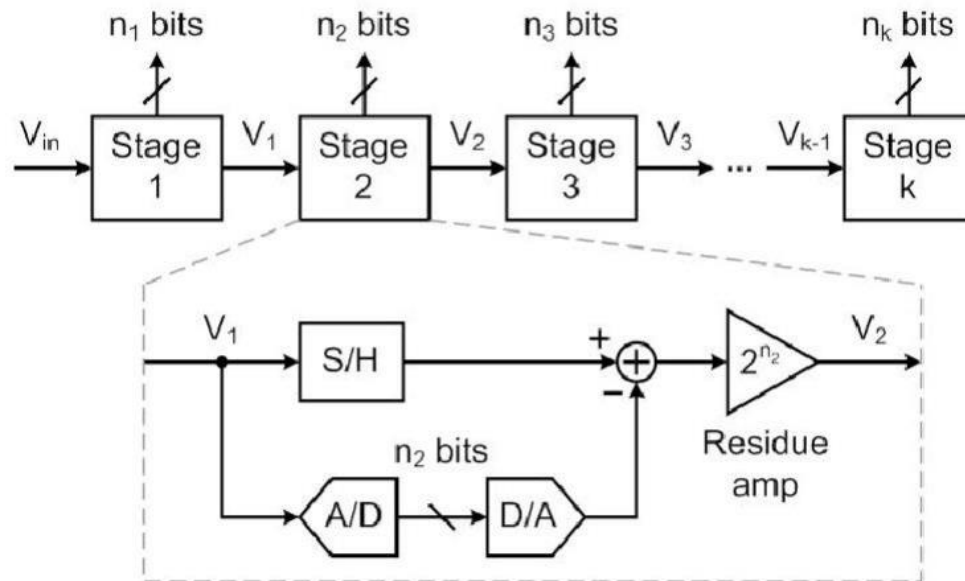
Hình 2.4: Flash ADC

3.2) Pipeline ADC

Pipelined ADC là một loại ADC phổ biến yêu cầu độ phân giải 8–14 bit và tốc độ lấy mẫu từ một vài MS/s đến hàng trăm MS/s. Sự phổ biến của cấu trúc liên kết có thể được quy cho cấu trúc đơn vị tương đối đơn giản và lặp đi lặp lại của nó, cũng như giảm đáng kể số lượng bộ so sánh cần thiết để đạt được độ phân giải cố định.

Pipelined ADC được sử dụng trong nhiều ứng dụng như: hệ thống di động, hình ảnh CCD, hình ảnh siêu âm y tế, máy thu kỹ thuật số, video kỹ thuật số (ví dụ: HDTV), xDSL, modem cáp và Ethernet nhanh. ADC Pipeline có thiết kế gồm nhiều giai đoạn (stage) kết hợp với nhau để tách tín hiệu đầu vào thành nhiều tín hiệu nhỏ hơn, sau đó chuyển đổi từng tín hiệu nhỏ này thành tín hiệu số. Mỗi giai đoạn bao gồm một bộ chuyển đổi ADC và một bộ lưu trữ tạm thời, cùng với các tín hiệu đồng bộ hóa (clock) để đảm bảo tín hiệu được chuyển đổi đồng bộ và chính xác. Ưu điểm của ADC Pipeline bao gồm độ phân giải cao, tốc độ chuyển đổi nhanh và hiệu suất cao. Tuy nhiên, nhược điểm của ADC Pipeline là độ trễ chuyển đổi tương đối cao và chi phí thiết kế cao hơn so với các loại ADC khác, đặc biệt là với độ phân giải cao và ADC.

Pipeline yêu cầu năng lượng cao để hoạt động, vì vậy nó có thể khó đáp ứng với các yêu cầu điện năng trong một số ứng dụng di động hoặc trong các thiết bị yêu cầu năng lượng thấp.



Hình 2.5: Pipeline ADC

3.3) Delta-Sigma ADC

ADC Sigma-Delta chứa các thiết bị điện tử tương tự rất đơn giản (bộ so sánh, tham chiếu điện áp, công tắc và một hoặc nhiều bộ tích hợp và mạch tổng tương tự) và mạch tính toán kỹ thuật số khá phức tạp. Bộ chuyển đổi Sigma-delta đánh đổi tốc độ lấy độ phân giải. Kiến trúc Sigma-Delta ADC thường được sử dụng trong các ứng dụng yêu cầu độ phân giải từ 12 đến 24 bit. Nhu cầu lấy mẫu nhiều lần (ít nhất 16 lần và thường nhiều hơn) để tạo ra một mẫu cuối cùng cho thấy rằng các thành phần tương tự bên trong trong bộ điều biến sigmadelta hoạt động nhanh hơn nhiều so với tốc độ dữ liệu cuối cùng.

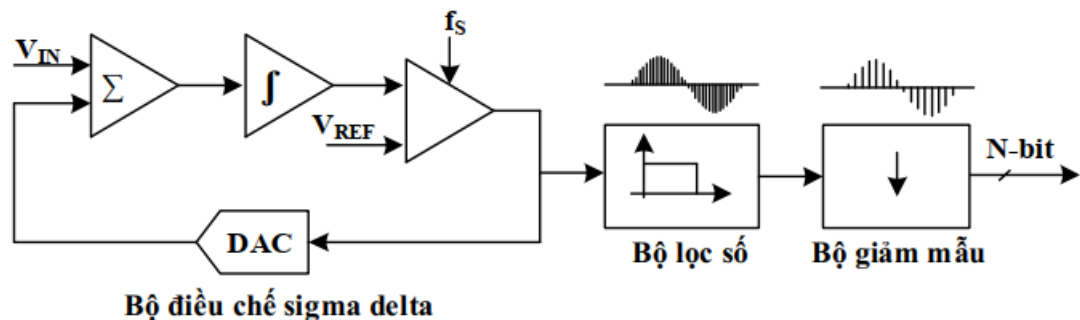
ADC Delta-sigma hoạt động bằng cách sử dụng một bộ lọc thông số cao (HPF) trước khi thực hiện chuyển đổi analog sang số. Điều này cho phép ADC loại bỏ các tín hiệu không mong muốn và giữ lại tín hiệu cần đo. Sau đó, tín hiệu này được đưa vào một mạch tích hợp

đặc biệt gọi là mạch điều chế Delta-sigma để chuyển đổi tín hiệu analog thành tín hiệu số.

Bộ điều chế Delta-Sigma sử dụng một khối điều chế Delta-Sigma để giảm nhiễu và tăng độ phân giải của tín hiệu đầu vào. Sau khi được lưu trữ, tín hiệu số này được đưa vào một bộ lọc số thông thấp (LPF) để loại bỏ các nhiễu và tín hiệu cao tần không mong muốn. Cuối cùng, tín hiệu số được đưa ra từ ADC Delta-sigma dưới dạng một chuỗi các giá trị số.

Một trong những ưu điểm lớn nhất của ADC Delta-sigma là độ chính xác cao. Nó cũng tiêu thụ rất ít năng lượng so với các loại ADC khác, làm cho nó được sử dụng rộng rãi trong các ứng dụng di động và pin.

Tuy nhiên, một trong những nhược điểm chính của ADC Delta-sigma là tốc độ chuyển đổi chậm hơn so với các loại ADC khác, làm cho nó không phù hợp cho các ứng dụng yêu cầu tốc độ cao. Ngoài ra, ADC Delta-sigma cũng có độ trễ và nhiễu thấp hơn so với các loại ADC khác, nhưng vẫn có thể bị ảnh hưởng bởi nhiễu môi trường.

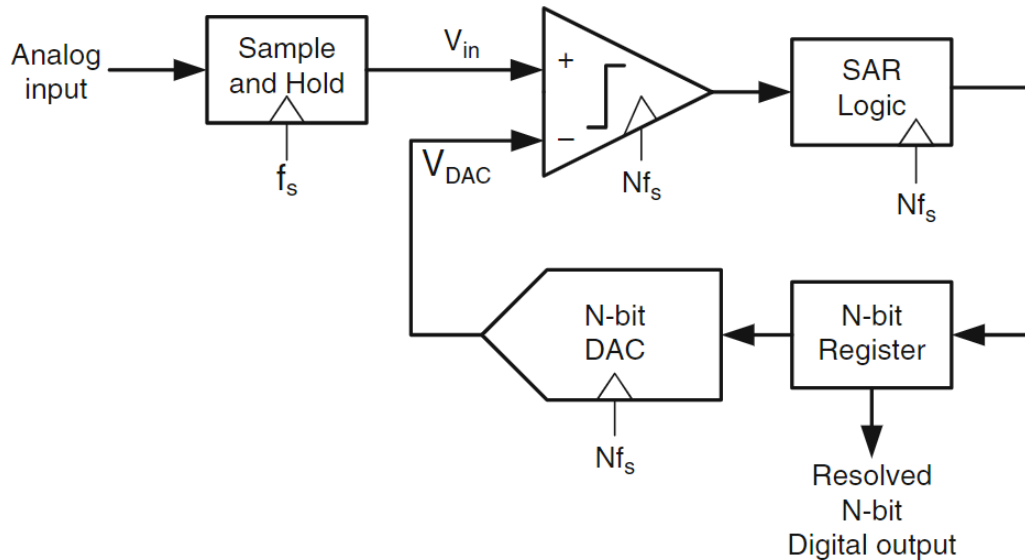


Hình 2.6: Delta-Sigma ADC

3.4) SAR-ADC

SAR-ADC chiếm phần lớn thị phần ADC cho độ phân giải trung bình và cao với tốc độ lấy mẫu dưới 5Msps. Độ phân giải cho SAR-ADC phổ biến nhất nằm trong khoảng từ 8 đến 16 bit và chúng cung cấp mức tiêu thụ điện năng thấp. Sự kết hợp các tính năng này làm cho các ADC này trở nên lý tưởng cho nhiều ứng dụng khác nhau, chẳng hạn như thiết bị di động/chạy bằng pin, bộ số hóa bút, điều khiển công nghiệp và thu thập dữ liệu/tín hiệu. Như tên ngụ ý, SAR-ADC về cơ bản thực hiện thuật toán tìm kiếm nhị phân. Do đó, mặc dù mạch bên trong có thể đang chạy ở tốc độ vài Megahertz

(MHz), tốc độ lấy mẫu của ADC là một phần nhỏ của con số đó do thuật toán xấp xỉ liên tiếp. Kiến trúc ADC N-bit SAR đơn giản hóa.



Hình 2.7: SAR-ADC

❖ Tóm lại:

Đối với tất cả các kiến trúc được đề cập, SAR ADC là kiến trúc được lựa chọn cho gần như tất cả các hệ thống thu thập dữ liệu đa kênh. Cũng như nhiều ứng dụng thiết bị đo đạc. Đối với nhiều ứng dụng đo lường công nghiệp, ADC Sigma-Delta là lý tưởng; nó có sẵn ở độ phân giải từ 12 bit đến 24 bit.

Σ - Δ ADC và DAC, dễ dàng tích hợp vào IC có chức năng kỹ thuật số ở mức độ cao, cũng thống trị thị trường băng tần và âm thanh. Đối với tốc độ lấy mẫu lớn hơn khoảng 5MSPS, kiến trúc Pipeline ADC chiếm ưu thế.

➤ Kết luận:

Với tất cả những phân tích trên, SAR ADC là lựa chọn đáng giá nhất cho nhiều ứng dụng nhờ các ưu điểm:

- ✓ Nguyên tắc rất đơn giản. SAR ADC thực hiện thuật toán tìm kiếm nhị phân.
- ✓ Tiêu thụ điện năng thấp. SAR ADC chỉ sử dụng một bộ so sánh, đây là một trong

những thành phần tiêu thụ điện năng nhiều nhất.

- ✓ Không có độ trễ đường ống (độ trễ). Trong ADC đường ống, độ trễ đường ống là bội số của chu kỳ xung clock lấy mẫu trong khi SAR ADC sử dụng xung clock bên trong độc lập xung clock hồ lấy mẫu.
- ✓ Diện tích chip ít hơn, phần lớn nhất của SAR ADC là khối DAC, nhưng có thể giảm đáng kể nếu triển khai kiến trúc phù hợp.

CHƯƠNG 3: KIẾN TRÚC SAR-ADC

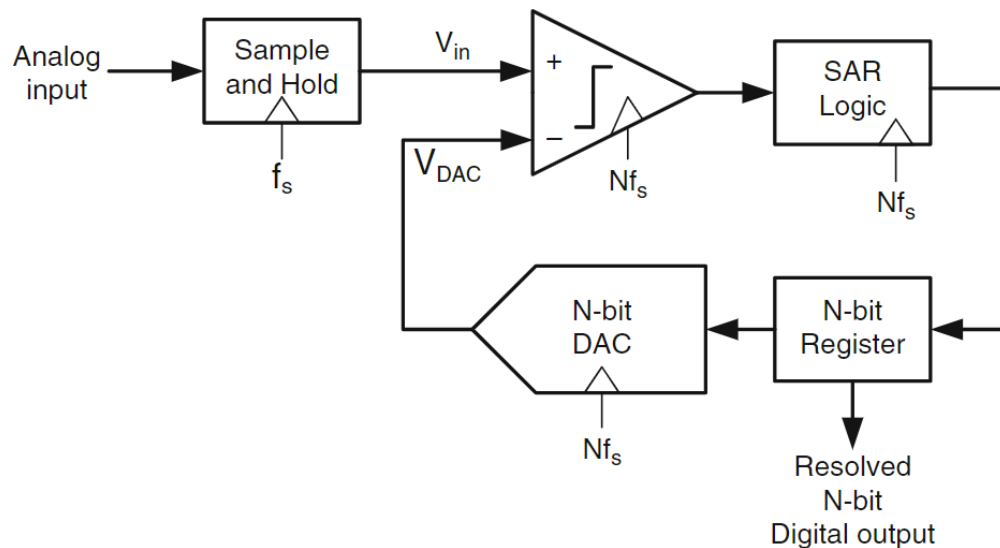
1. Tổng quan

Nội dung trong chương này liên quan về những lý thuyết cơ bản của mạch SAR-ADC bao gồm cấu trúc mạch, giải thuật hoạt động. Nguyên lý hoạt động của từng khối thành phần (Sample & Hold, Comparator, SAR Control Logic và Capacitor DAC) cũng như đặc tính về dòng áp và các thông số đánh giá cho từng mạch cũng được phân tích ở đây.

2. Cấu trúc

2.1) Nguyên lý hoạt động

SAR ADC về cơ bản thực hiện tìm kiếm nhị phân trong một tập hợp tất cả các mức lượng tử trước khi xuất kết quả cuối cùng. Hình 1 cho thấy hình ảnh khối được đề xuất của SARADC (n-bit) bao gồm một S/H Stage (Lấy mẫu và giữ) để lấy mẫu và giữ tín hiệu đầu vào tương tự trong một khoảng thời gian cụ thể.



Hình 3.1: Nguyên lý hoạt động của SAR-ADC

Một khối so sánh được sử dụng để so sánh giá trị tương tự được lấy mẫu ($\square\square\square$) với tín hiệu tương tự từ khối DAC tương ứng với n-bit và tạo ra tín hiệu so sánh tương ứng dưới dạng logic “1” hoặc “0”. Khối SAR control logic (Successive approximation register) được sử dụng để điều khiển logic để tạo dữ liệu số từ bit có trọng số cao nhất (Most Significant Bit -MSB) đến bit quan trọng nhất (Least Significant Bit -LSB) bằng cách xấp xỉ tuần tự n bit kỹ thuật số theo đầu ra của bộ so sánh và n bit DAC để tạo ra một giá trị tương tự tương ứng với dữ liệu số từ khối SAR. SAR bao gồm các thanh ghi đầu ra để lưu dữ liệu. Nó bao gồm một bộ tạo xung nhịp bổ sung để cung cấp cho ADC một xung nhịp bên trong. Đây là một trong những đánh đổi để đạt được tốc độ là độ chính xác. So với các ADC khác này, Flash ADC đơn giản và chỉ yêu cầu logic cho quá trình chuyển đổi cuối cùng thành nhị phân.

2.2) Track & Hold

Trong điện tử, mạch Track and Hold là một trong những khối quan trọng của ADC. Chức năng chính của nó là lấy mẫu một tín hiệu tương tự thay đổi liên tục và giữ (khóa, đóng băng) giá trị của nó ở mức không đổi trong một khoảng thời gian tối thiểu quy định.

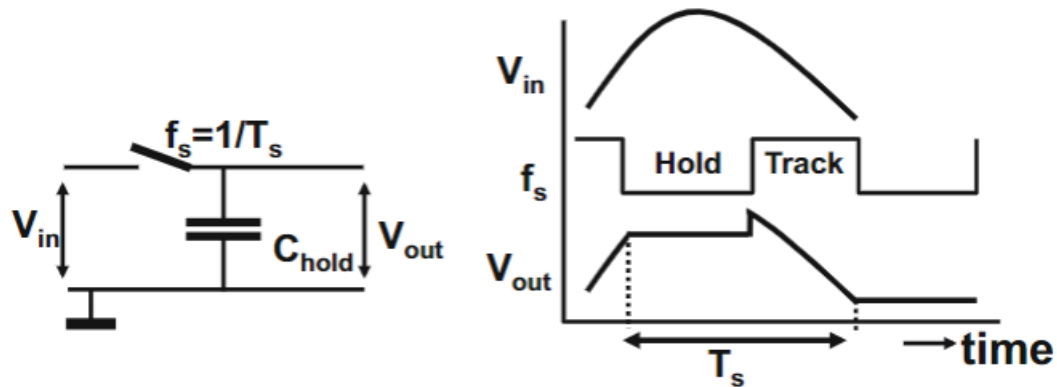
Chia làm hai pha thực hiện:

- Khoảng thời gian theo dõi (Track) là thời gian mà giá trị ở ngõ ra theo sát giá trị ngõ vào (với độ lệch cực thấp lý tưởng).
- Khoảng thời gian giữ giá trị lấy mẫu (Hold). Trong thời gian này, giá trị được giữ nguyên giá trị ở cuối thời điểm Track cho đến hết pha. Đây cũng là thời gian cần thiết để bộ ADC mã hóa (chuyển đổi) tín hiệu tương tự sang mô tả giá trị dưới dạng số (digital).
- Do SAR-ADC là bộ xử lý ADC có tốc độ trung bình và độ phân giải trung bình, với mục tiêu xu hướng là Low-Power nên bộ Track & Hold là một lựa chọn hợp lý.

Bao gồm các thành phần:

Tụ điện đóng vai trò giữ điện áp (Hold Capacitor).

Một công tắc (MOSFET) đóng vai trò chuyển đổi giữa hai trạng thái theo dõi và giữ.



Hình 3.2 Cấu trúc và dạng sóng của Track & Hold

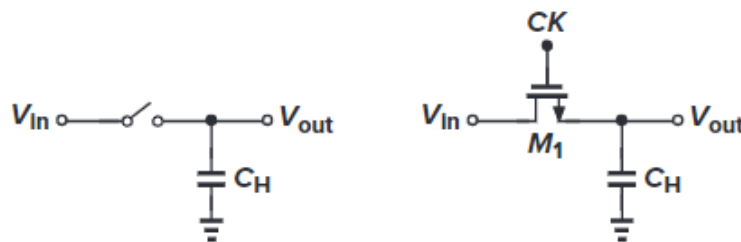
Hold Capacitor

Hold Capacitor và Sample switch là hai thành phần chủ chốt trong mạch S&H và T&H. Giá trị của tụ dành cho tỉ số SNR vượt qua 40-50dB được xác định bởi nhiễu $kT/Chold$.

Switch MOSFET

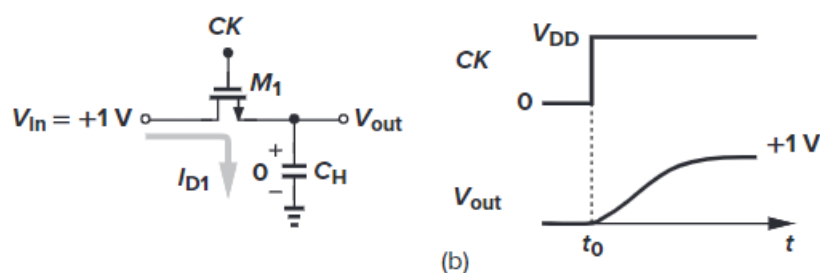
Switch có thể được thay thế bằng cách sử dụng MOSFET, vì đơn giản MOSFET có thể được bật (như công tắc) khi được phân cực hợp lý.

Một mạch đơn giản Track and Hold có sơ đồ đơn giản như sau:



Hình 3.3 Sử dụng MOSFET làm Switch cho mạch.

Switch có thể được thay thế bằng cách sử dụng MOSFET, vì đơn giản MOSFET có thể được bật (như công tắc) trong khi nó không mang dòng

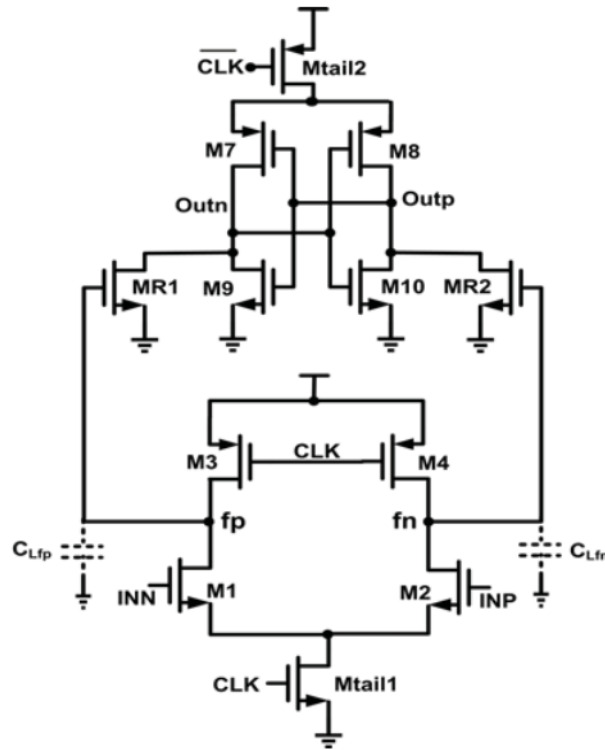


Hình 3.4 Switch với NMOS

2.3) Comparator

So sánh là một trong những thao tác cơ bản được sử dụng trong bộ so sánh tương tự sang số. Bộ so sánh (Comparator) tạo ra một giá trị logic, cho biết liệu một đầu vào (lấy mẫu) cao hơn hay thấp hơn đầu vào kia. Tín hiệu được lấy mẫu này sau đó được áp dụng cho các bộ so sánh để tìm tương đương kỹ thuật số của giá trị tương tự đầu vào. Ngày nay, nhu cầu về ADC tốc độ cao ngày càng tăng. Vì bộ so sánh là khối xây dựng cơ bản được sử dụng trong ADC nên yêu cầu bộ so sánh có tốc độ cao, độ trễ ít hơn và ít nhiễu ngược hơn.

Thông thường, các bộ so sánh như Dynamic Comparator được ưa thích hơn trong ADC vì các bộ so sánh này có độ trễ ít hơn và tiêu thụ ít điện năng hơn. Cơ chế phản hồi tích cực (positive feedback) được cung cấp bởi các bộ biến tần back-to-back giúp chuyển đổi chênh lệch điện áp nhỏ hơn thành đầu ra mức kỹ thuật số toàn thang đo.



Hình 3.5 Sơ đồ mạch Double-Tail Dynamic Comparator

➤ **Phân tích mạch:**

Hoạt động của bộ so sánh được giải thích như sau. Quá trình hoạt động chia làm hai pha: reset và so sánh.

Trong giai đoạn reset (CLK = 0):

- Mtail1 và Mtail2 tắt, tránh tiêu hao công suất tĩnh.

M3 và M4 bật, điều này làm cho điện áp tại hai nút fn và fp được kéo lên VDD(pre-charge), do đó bóng bán dẫn Mc1 và Mc2 bị cắt ($V_{SG} = 0$).

- Lúc này, các MOSFET MR1 và MR2 sẽ được bật và sẽ xả điện áp tại đầu ra xuống đất (discharge). Vì vậy điện áp lúc này tại đầu ra $V_{outn} = V_{outp} = 0$.

Trong giai đoạn so sánh (CLK = VDD):

- Mtail1 và Mtail2 được bật.

- M3 và M4 tắt, làm cho điện áp tại hai điểm fn và fp được xả xuống đất với tốc độ $IM_{tail1}/C_{fn}(p)$, và sự chênh lệch về tốc độ xả điện áp phụ thuộc vào sự chênh

lệch điện áp của V_{in_n} và V_{in_p} , dẫn tới hình thành sự chênh lệch điện áp phụ thuộc vào $\Delta V_{fn}(p)$. Hai MOSFET trung gian MR1 và MR2 sẽ đưa sự chênh lệch này qua hai Inverter được mắc cặp chéo (M7,M9 và M8,M10) và cũng tạo ra một lá chắn tốt giữa ngõ vào và ngõ ra. Vì thế sẽ giảm được nhiễu dội ngược (kickback noise).

- Khi điện áp f_p, f_n càng lúc càng giảm làm cho MR1, MR2 có xu hướng mang ít dòng trong khi đó dòng qua M_{tail2} càng lúc càng tăng, điều làm cho điện áp tại Out_n và Out_p càng được kéo lên V_{dd} . Tuy nhiên V_{outp} được kéo lên vượt V_{dd} V_{thp} trước V_{out} làm M7 tắt dẫn với V_{outn} được xả về 0. Chốt tái tạo (latch regeneration) cái mà được hình thành bởi back-to-back inverter (M7,M9 và M8,M10) được hoạt động.

2.4) SAR Control Logic

SAR Logic chịu trách nhiệm kiểm soát hoạt động của ADC, đặt lại bộ so sánh và thay đổi các công tắc DAC vào đúng thời điểm trong chu kỳ chuyển đổi. Nó cũng lưu trữ và hiển thị kết quả của chuyển đổi. SAR Logic điều khiển DAC bằng cách triển khai thuật toán tìm kiếm nhị phân, sau khi bit đầu tiên của chuyển đổi thu được trực tiếp so sánh giá trị được lấy mẫu trên hai nửa của DAC vi sai, các bước tiếp theo được thực hiện:

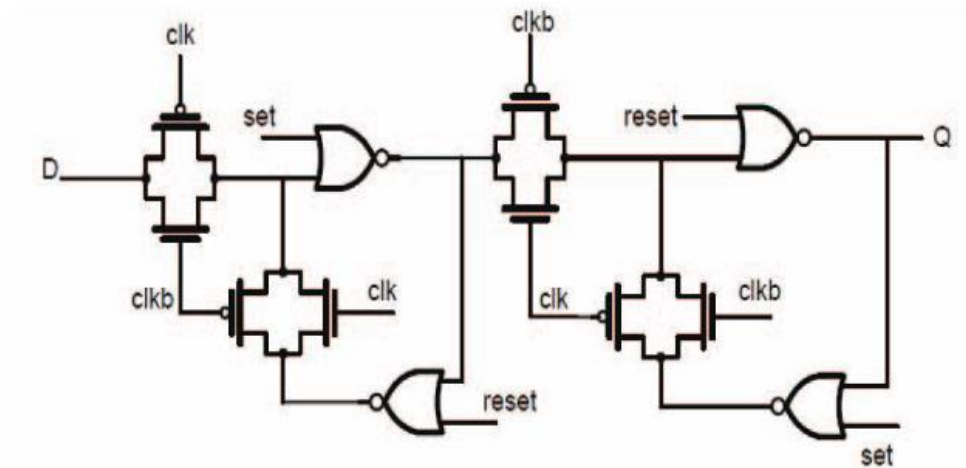
- Bit được đánh giá là lưu trữ.
- Bộ so sánh được đặt lại.
- Công tắc DAC liên quan đến quyết định bit được thay đổi, làm thay đổi điện áp đầu vào của bộ so sánh.
- Logic sẵn sàng cho bit tiếp theo.

Hình 3.7 cho thấy một cấu trúc SAR – Control Logic được đề xuất trong và là cấu trúc được sử dụng rộng rãi do kỹ thuật thiết kế đơn giản của nó. Nó là sự kết hợp giữa bộ đếm vòng (phần trên) và thanh ghi mã (phần dưới).

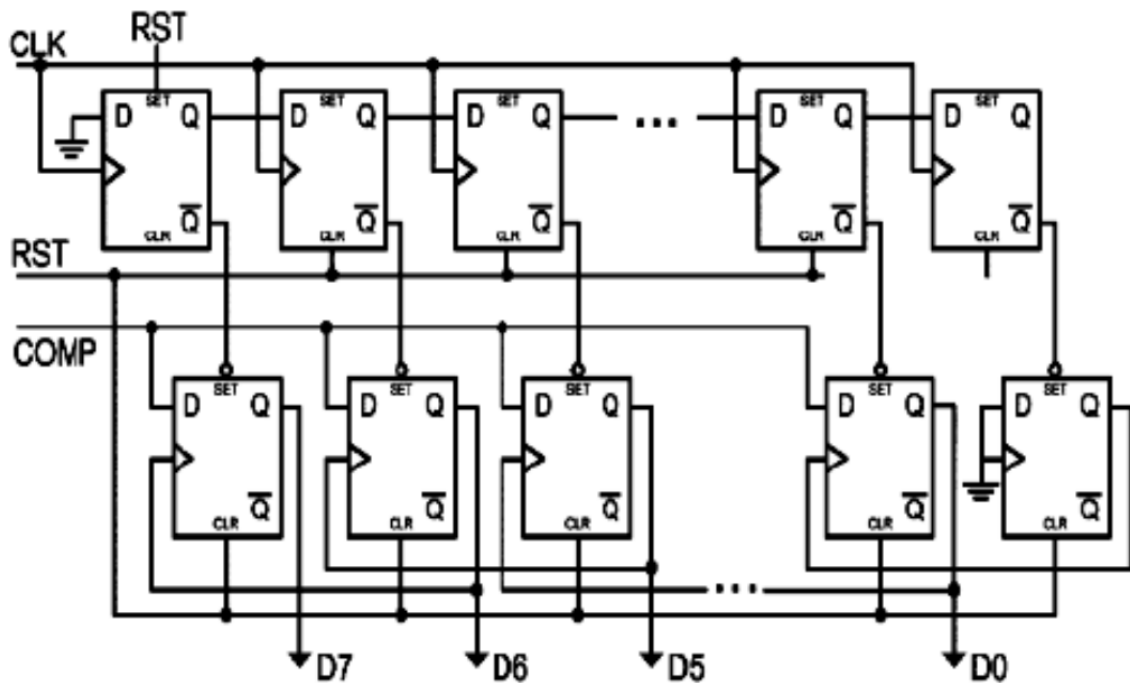
Trong mỗi lần chuyển đổi, EOC đầu tiên ở mức cao, thiết lập lại tất cả các flip-flop và đổi với chuyển đổi còn lại, EOC ở mức thấp. Trong Clock tiếp theo MSB, flip-flop quan

trọng nhất được đặt thành logic '1' và điện áp DAC tương ứng được tạo ra. Sau đó, bộ đếm chuyển logic '1' từ MSB sang LSB.

Trong mỗi chu kỳ Clock, đầu ra của bộ đếm vòng đặt đầu ra của flip-flop thành ghi mã. Đầu ra của flip-flop được đặt bởi bộ đếm vòng được sử dụng làm Clock cho flip-flop trước đó. Tại cạnh dương của Clock, tải của flip-flop này là kết quả của bộ so sánh. Trong kiến trúc này, các flip-flop được thiết lập lại DFF, các flip-flop dựa trên cổng truyền được sử dụng cho mục đích năng lượng thấp.



Hình 3.6 Sơ đồ mạch D-FlipFlop



Hình 3.7 Mạch SAR-Control Logic trong SAR-ADC

➤ **Phân tích mạch:**

❖ **Quá trình 1:** $RST=1$

Ở quá trình này, ta xét bộ đếm vòng: Toàn bộ Flip-Flop được cài đặt giá trị 0 (Q), trừ Flip-Flop đầu tiên (MSB của bộ đếm vòng) có Q=1.

❖ **Quá trình 2: $RST=0$**

Khi tín hiệu RST=0 tín hiệu ngõ ra của Flip-Flop đầu tiên của thanh ghi mã (D7) được cài đặt lên giá trị 1. Lúc này bộ so sánh bắt đầu làm việc và cho ra giá trị COMP tương ứng.

❖ **Quá trình 3: CLK=0 \rightarrow 1**

Bộ đếm vòng bắt đầu làm việc, giá trị 1 từ Flip-Flop MSB bắt đầu dịch tới LSB theo cạnh lên của xung Clock. Từng Flip-Flop tương ứng của bộ thanh ghi mã được cài đặt ngõ ra lên giá trị 1 (sử dụng cho mục đích kiểm tra bit), và khi ngõ ra của Flip-Flop (MSB-1-D6) của bộ thanh ghi mã thay đổi từ 0→1 thì Flip-Flop (MSB-D7) đủ điều kiện để hoạt động (cạnh lên của clock, set = reset = 0) nên giá trị từ ngõ ra của bộ so sánh sẽ được update lại cho bit MSB.

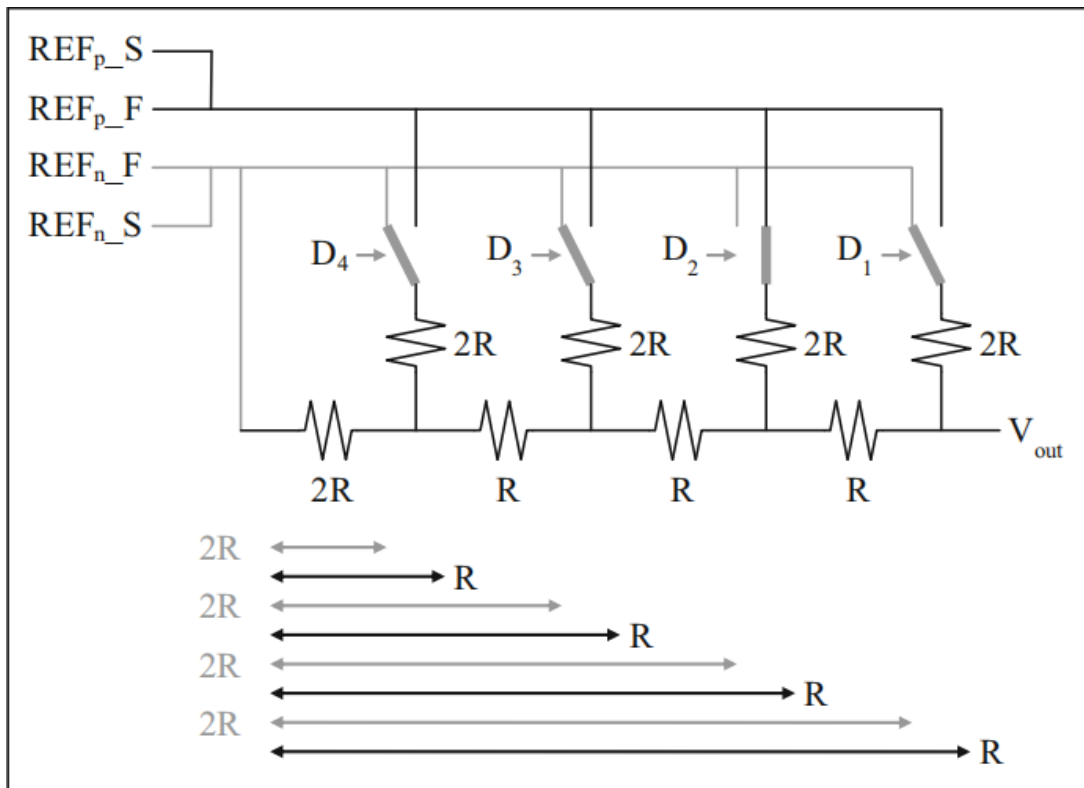
❖ Quá trình 4:

Xung clock sẽ được tích cực và 3 quá trình trên sẽ được lặp lại với từng bit cho tới bit cuối cùng.

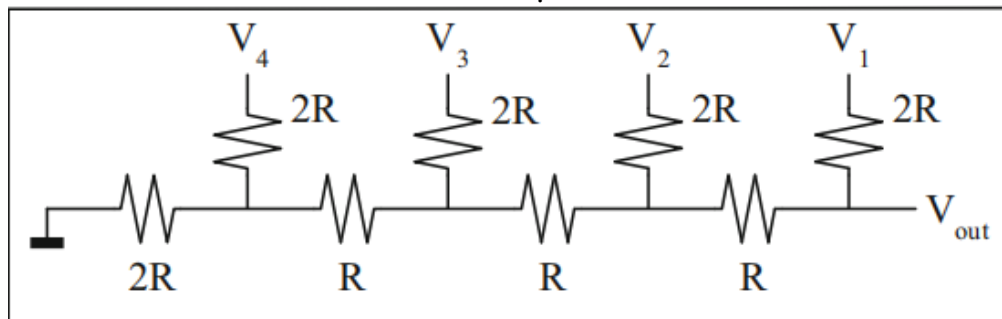
2.5) R-2R DAC

DAC như là một trái tim của bộ ADC với chức năng chủ chốt của nó là thực hiện chuyển đổi dữ liệu kỹ thuật số (thường là nhị phân) thành tín hiệu tương tự (thường là điện áp). Trong cấu trúc thông thường của SAR-ADC, bao gồm mạch lấy mẫu và giữ (S/H), bộ so sánh, thanh ghi xấp xỉ liên tiếp (SAR-LOGIC) và bộ chuyển đổi kỹ thuật số sang tương tự (DAC). Trong số đó có DAC có tầm quan trọng lớn hơn, tiêu thụ năng lượng đáng kể trong ADC.

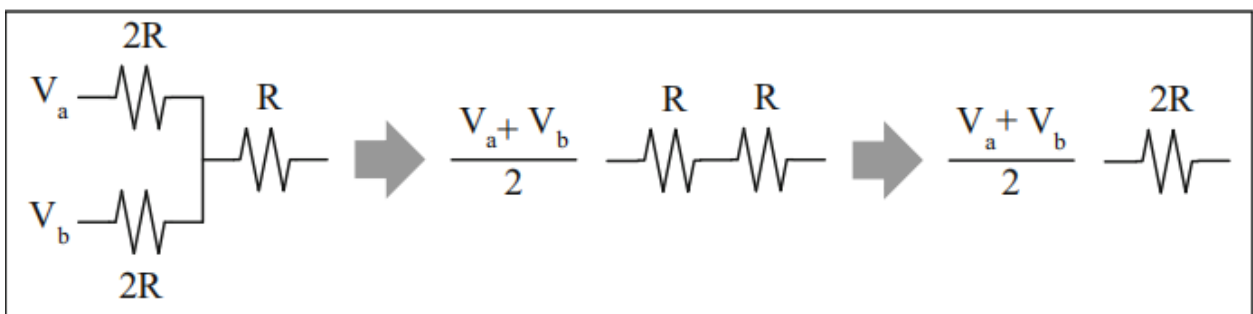
Thiết kế được sử dụng ở đây là R-2R DAC, thực chất là một chuỗi các bộ chia điện trở được cấu hình như trong hình 3.8. Các điện trở trong các mũi tên bên dưới mạch tổng hợp đến chỉ ra điện trở R hoặc 2R. Có thể thấy rằng điện trở đầu ra là không đổi với giá trị R. Bằng cách này, hằng số thời gian tại nút đầu ra Vout là độc lập để mạch đủ điều kiện cho sự biến dạng hài hòa tốt.



Hình 3.8: Sơ đồ mạch R-2R DAC



Hình 3.9: Mạch tương đương R-2R DAC



Hình 3.10: Mạch tương đương của mạng điện trở bên trong

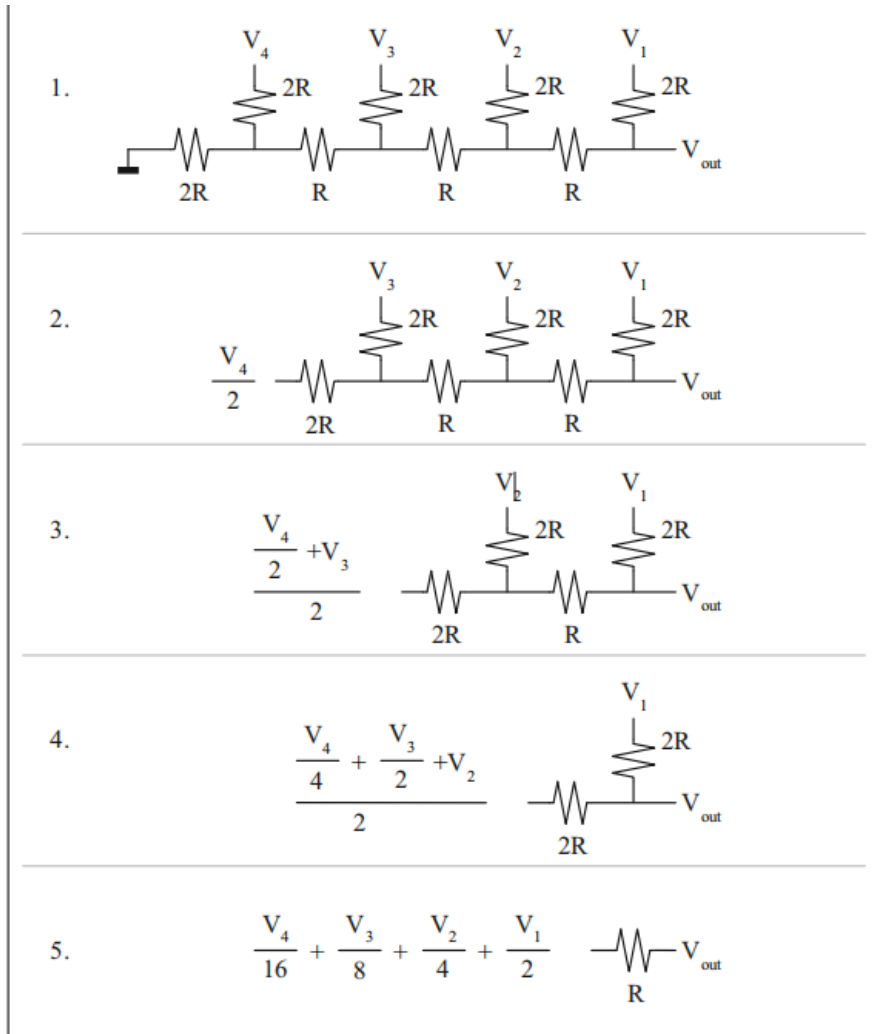
Việc phân tích mạch trong hình 3.9 có thể được đơn giản hóa bằng cách thay thế công tắc có nguồn điện áp V1, V2, V3 và V4 như trong hình 3.10 và sau đó bằng cách thay thế mạch theo từng phần bằng điện áp và điện trở tương đương như hình 3.10.

Với hai phép biến đổi cơ bản từ hình 3.9 và 3.10, quá trình phân tích có thể bắt đầu từ bên trái. Hình 3.11 cho thấy các bước khác nhau. Dựa trên hình 3.11, V4 sẽ đóng vai trò là LSB và V1 là MSB, các điện trở kết nối với V1 đại diện cho 2^{n-1} LSB với n là độ phân giải của DAC, trong trường hợp này là 4 bit. Bất kỳ sự không phù hợp điện trở nào sẽ trực tiếp dẫn đến lỗi DNL. Điều này có thể dễ dàng được nhìn thấy trong bước 4 của hình 3.11. Nếu điện trở đến V1 có giá trị của $2R + \Delta R$ và do đó không khớp ΔR và nếu tất cả các LSB được kết nối với nối đất trong khi V1 kết nối với điện áp tham chiếu REF (1000) thì mạng điện trở hoạt động như bộ chia điện trở thuần túy theo công thức sau

$$V_{out}(1000) = REF \cdot \frac{2R}{\Delta R + 4R}$$

Nếu tất cả các LSB cho mỗi điện trở giống nhau đều kết nối với điện áp tham chiếu REF (0111) và MSB nối đất thì điện áp đầu ra là

$$V_{out}(0111) = REF \cdot \left(1 - \frac{1}{8}\right) \cdot \frac{\Delta R + 2R}{\Delta R + 4R}$$



Hình 3.11: Phân tích mạch của 4 bit R-2R DAC

Các thứ tự tính toán được trình bày dưới đây:

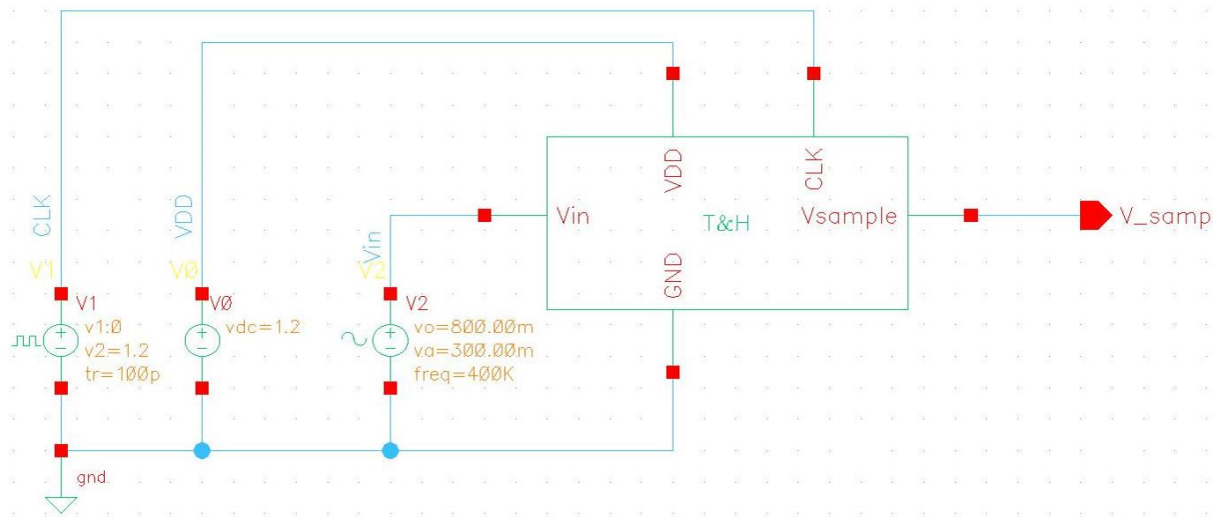
$$\begin{aligned} \Delta V_{out} &= REF \cdot \frac{2R}{\Delta R + 4R} - REF \cdot \left(1 - \frac{1}{8}\right) \cdot \frac{\Delta R + 2R}{\Delta R + 4R} \\ \Delta V_{out} &= \frac{REF}{\Delta R + 4R} \cdot \left[2R - \left(1 - \frac{1}{8}\right) \cdot (\Delta R + 2R)\right] \\ \Delta V_{out} &= \frac{REF}{\Delta R + 4R} \cdot \left[2R - \Delta R - 2R + \frac{1}{8} \frac{\Delta R + 4R}{2} + \frac{1}{8} \frac{\Delta R}{2}\right] \\ \Delta V_{out} &= \frac{REF}{16} - REF \cdot \frac{15}{16} \cdot \frac{\Delta R}{\Delta R + 4R} \end{aligned}$$

CHƯƠNG 4: MÔ PHỎNG, KẾT QUẢ VÀ THẢO LUẬN

1. Tổng quan

Trong chương này sẽ trình bày quá trình mô phỏng dạng sóng chức năng từng khối trong SAR-ADC sử dụng công nghệ 45nm trên Tool Cadence với chức năng ADL để mô phỏng mạch. Mạch mô phỏng, các thông số mô phỏng và lý do chọn thông số, dạng sóng ngõ ra và các thông số để đánh giá cũng sẽ được trình bày, từ đó có thể nhận xét và so sánh với dạng sóng mà ta mong muốn.

2. Track and Hold



Hình 4.1 Testbench mạch Track & Hold

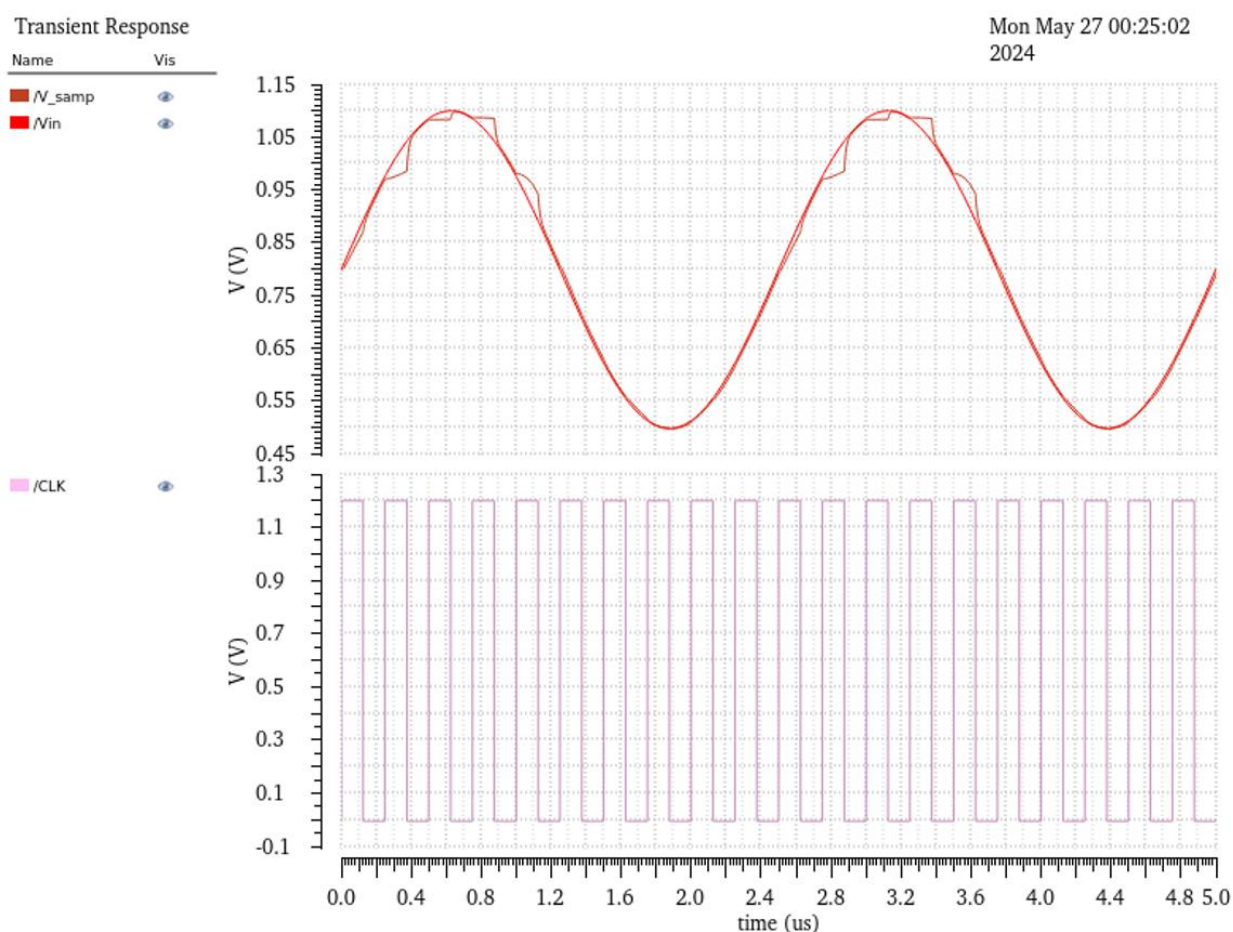
Tên	Nguồn	Giá trị	Chức năng
VDD	V1	$V_{dc} = 1.2V$	Điện áp cung cấp.
CLK	V2	$V_0 = 0V$ $V_1 = 1.2V$ Period = 0.25us Rise (fall) time = 100ps	Cung cấp tần số cho mạch hoạt động.
Vin	V0	Offset = 0.55V Amplitude = 0.25V Frequency = 400KHz	Ngõ vào cần lấy mẫu.

Bảng 4.1 Thông số mô phỏng Track & Hold

Giải thích Testbench:

Chọn nguồn Since với lý do là nguồn since thay đổi liên tục theo thời gian từ đó có thể dễ dàng quan sát việc lấy mẫu hơn. Chọn offset và amplitude phù hợp để tâm giao động điện áp nằm trong khoảng [0.3;0.8].

Với đặc tả thiết kế đặt ra ban đầu là bộ lấy mẫu với tốc độ 4Msps, nên chu kì của xung clock sẽ là $T_{pulse} = 1 / 4.106 = 0.25us$.



Hình 4.2 Mô phỏng dạng sóng mạch Track & Hold

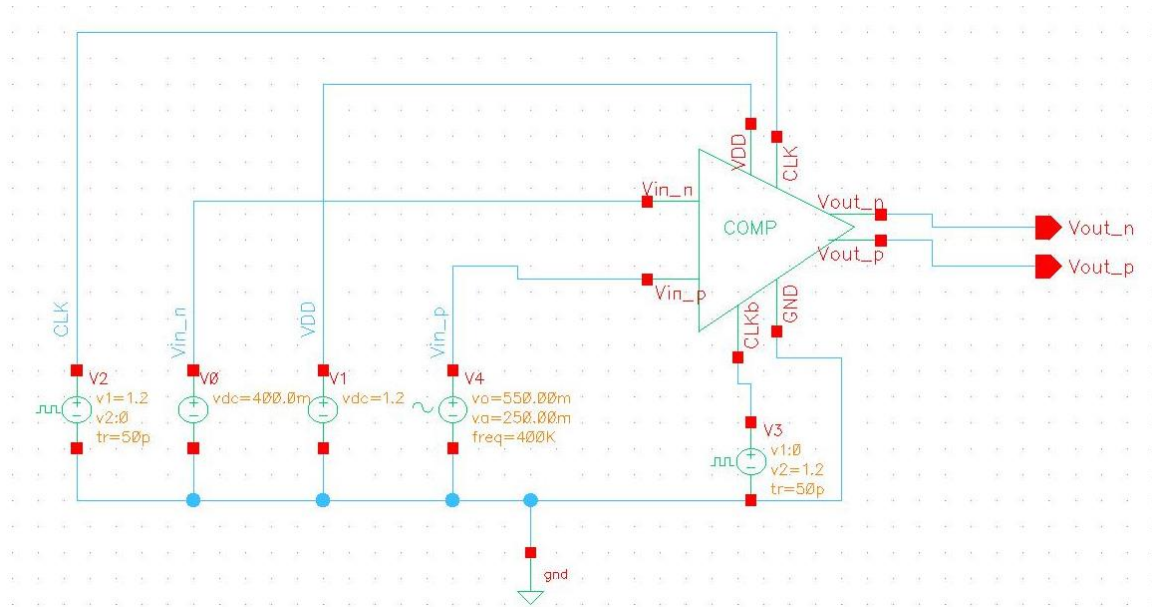
Nhận xét dạng sóng:

Với điện áp cấp vào nằm trong khoảng $[0.3; 0.5]$ V thì điện áp ngõ ra cũng dao động trong khoảng này. Sau mỗi chu kì của xung clock thì ngõ ra của thiết kế sẽ lấy mẫu một lần sau đó giá trị được giữ trong suốt chu kì đó và sẽ được thực hiện quá trình 10 lần trong một chu kì

Khi xung Clock ở mức tích cực cao, ngõ ra theo sát với hình dạng ngõ vào và khi Clock tích cực thấp thì ngõ ra tiến hành giữ điện áp (xuất hiện những góc hình vuông ở tín hiệu V_{sample}).

Khi chuyển đổi tín hiệu xung clock thì tín hiệu ngõ ra có phần gai điện áp (nhỏ), nguyên nhân là do quá trình đáp ứng dòng và áp của tụ điện

3. Comparator



Hình 4.3 Testbench mạch Comparator

Tên	Nguồn	Giá trị	Chức năng
VDD	V1	$V_{dc} = 1.2V$	Điện áp cung cấp.
CLK (CLKB)	V2,V3	$V0 = 0V(1.2V)$ $V1 = 1.2V(0V)$ Period = 12.5us Rise (fall) time = 50ps	Cung cấp xung tần số cho mạch hoạt động (D_FlipFlop)
Vin_p	V4	Offset = 0.55V Amplitude = 0.25V Frequency = 400KHz	Ngõ vào cần lấy mẫu.
Vin_n	V0	$V_{dc} = 0.4V$	Ngõ vào thứ hai.

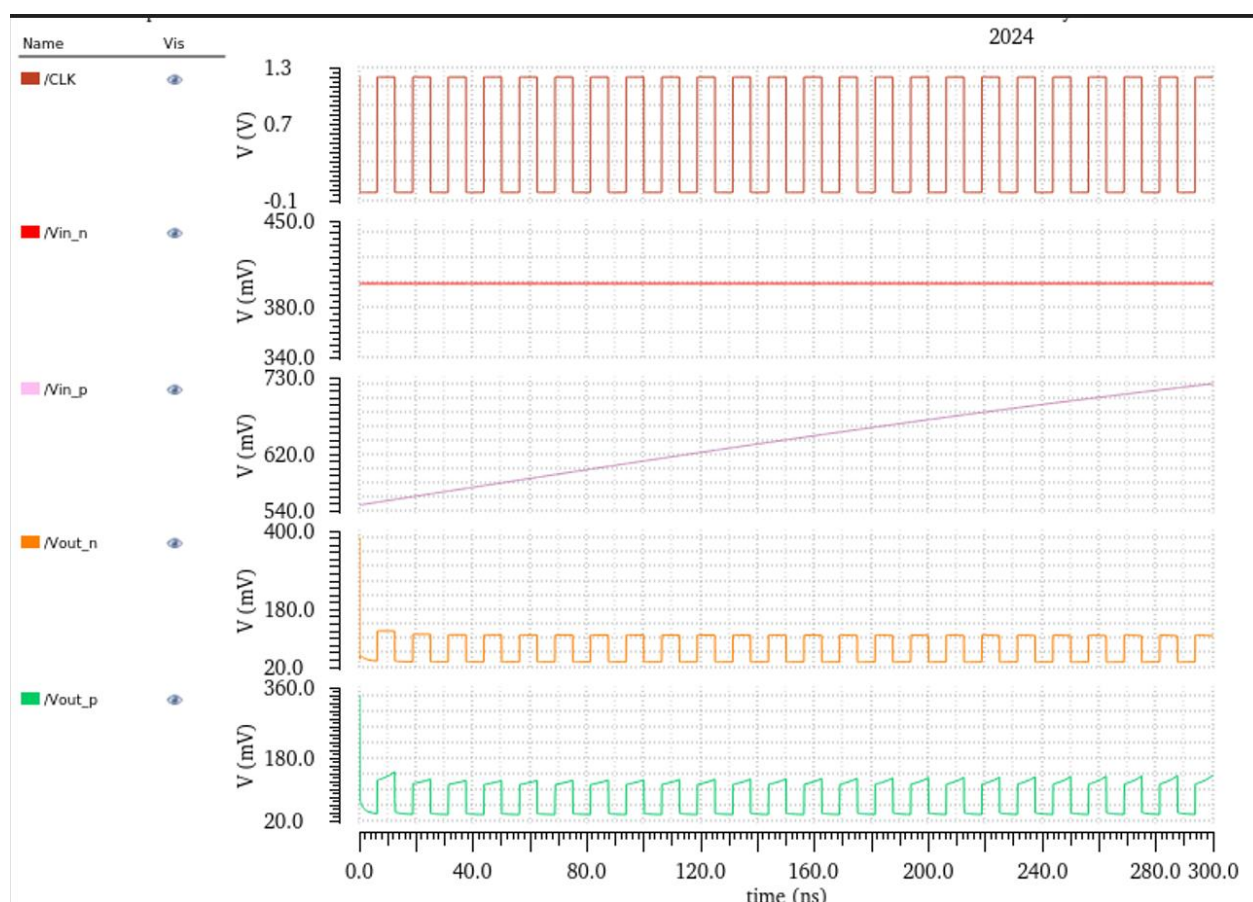
Bảng 4.3 Thông số mô phỏng Comparator

Giải thích Testbench:

Lấy điện áp ngõ vào (V_{in_p}) là giá trị được lấy được từ ngõ ra của bộ Track & Hold.

Lấy ngõ vào còn lại là nguồn DC để có thể dễ quan sát được giá trị so sánh.

Giá trị xung Clock được gán giá trị nhỏ gấp 20 lần với chu kỳ lấy mẫu, bởi vì khi ở quá trình Hold thì quá trình xét và cập nhật 8 bit sẽ được hoạt động. Ở quá trình này, bộ so sánh sẽ được thực hiện 10 lần cùng với DAC và SAR-Control-Logic (2 chu kỳ cuối cùng dùng để cập nhật bit cuối cùng).



Hình 4.4 Mô phỏng dạng sóng mạch Comparator

Nhận xét dạng sóng:

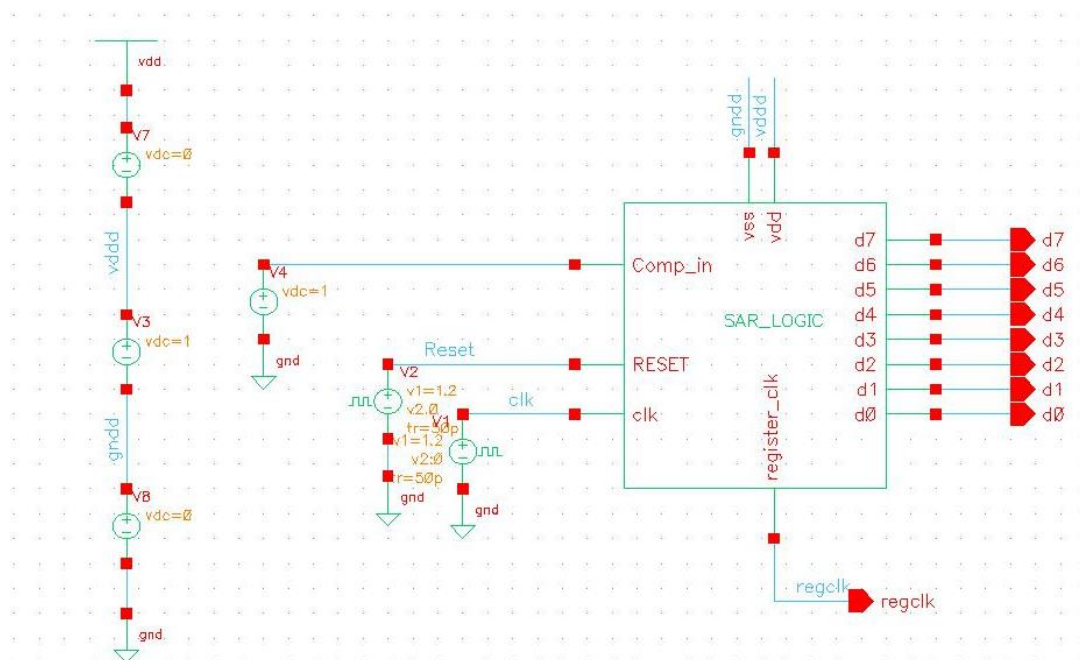
Với thông số được thiết lập như ở bảng thông số, thì bộ Comparator sẽ thực hiện 10 phép so sánh (tương đương với 10 chu kỳ xung clock) trong một chu kỳ của sóng Vin_p (sóng sine màu đỏ).

Khi giá trị Vin_p ở đỉnh dưới và nhỏ hơn giá trị Vin_n ($V_{dc} = 0.4V$), thì ta thấy ngõ ra Vout_n được chuyển trạng thái lên 1.2V ứng với mỗi chu kỳ clock trong quá trình này.

Và khi Vin_p ở đỉnh trên và lớn hơn Vin_n, điều này tương đương với Vout_p được chuyển trạng thái lên 1.2V ứng với mỗi chu kỳ xung clock.

Ở những điểm cạnh lên của xung clock nhưng $V_{in_n} < V_{in_p}$ (hoặc $V_{in_p} < V_{in_n}$) thì ở đây xuất hiện những gai điện áp nhỏ. Đây là những điểm tăng điện áp của Vout_n (hoặc Vout_p) trước khi back-to-back Inverter hoạt động tái tạo chốt (regenerative latch).

4. SAR Control Logic



Hình 4.5 Testbench mạch SAR-Logic-Cotrol

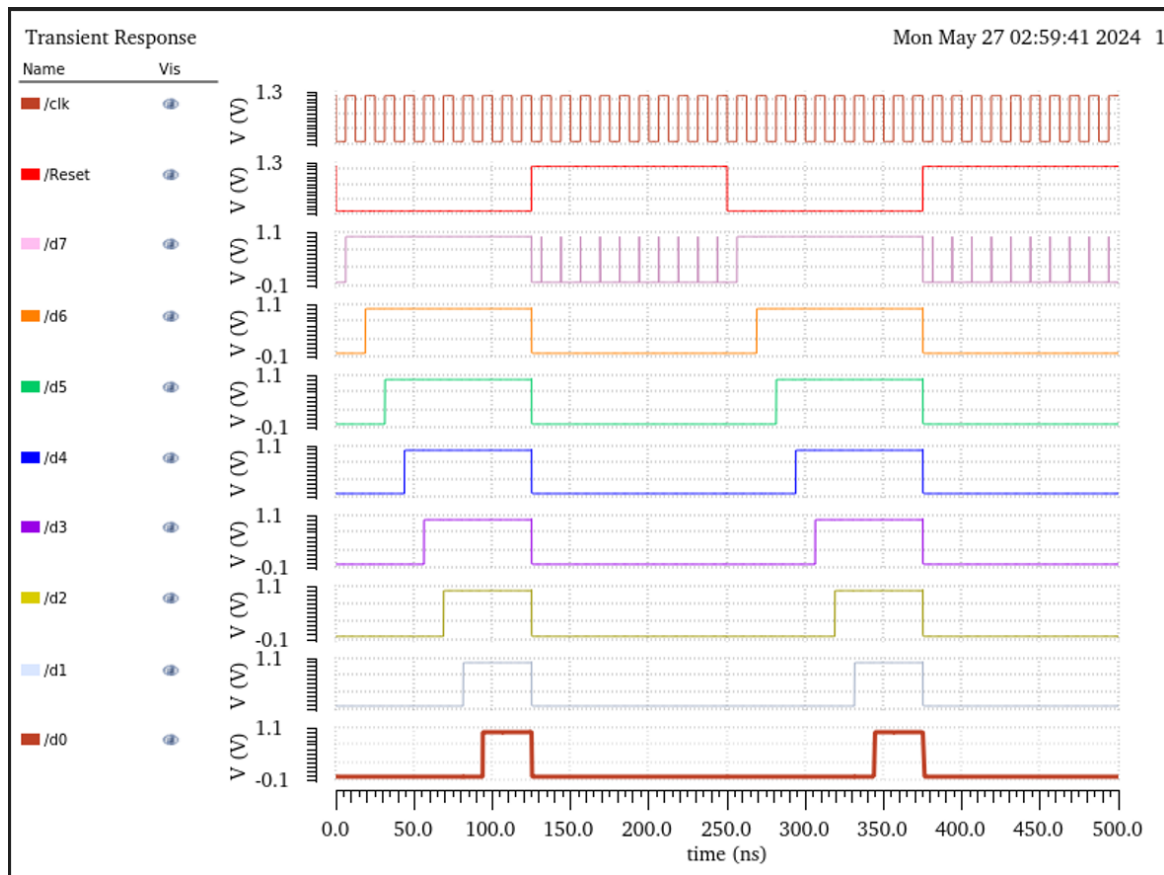
Tên	Nguồn	Giá trị	Chức năng
VDD	V3	$V_{dc} = 1V$	Điện áp cung cấp.
CLK	V1	$V1 = 0V$ $V2 = 1.2V$ Period = 12.5us Rise (fall) time = 50ps	Cung cấp xung tần số cho mạch hoạt động (D_FlipFlop)
Reset	V2	$V1 = 0V$ $V2 = 1.2V$ Period = 250ns Rise (fall) time = 50ps	Tín hiệu Reset, để khởi tạo bit được xét đầu tiên.
Comp	V4	$V_{dc} = 1V$	Tín hiệu ngõ ra ở Comparator để cập nhật giá trị bit.

Bảng 4.5 Thông số mô phỏng SAR Control Logic

Giải thích testbench:

Tín hiệu COMP được cài đặt là 0V để có thể để quan sát trực quan hơn ở 8 ngõ ra. Tín hiệu RST được cài đặt giống với tần số mẫu, khi RST ở mức 0 quá trình xét và cập nhật bit bắt đầu xảy ra đồng thời với quá trình Hold trong Track & Hold.

Clock được cài đặt giống với bộ Comparator.



Hình 4.6 Mô phỏng dạng sóng của mạch SAR-Control-Logic

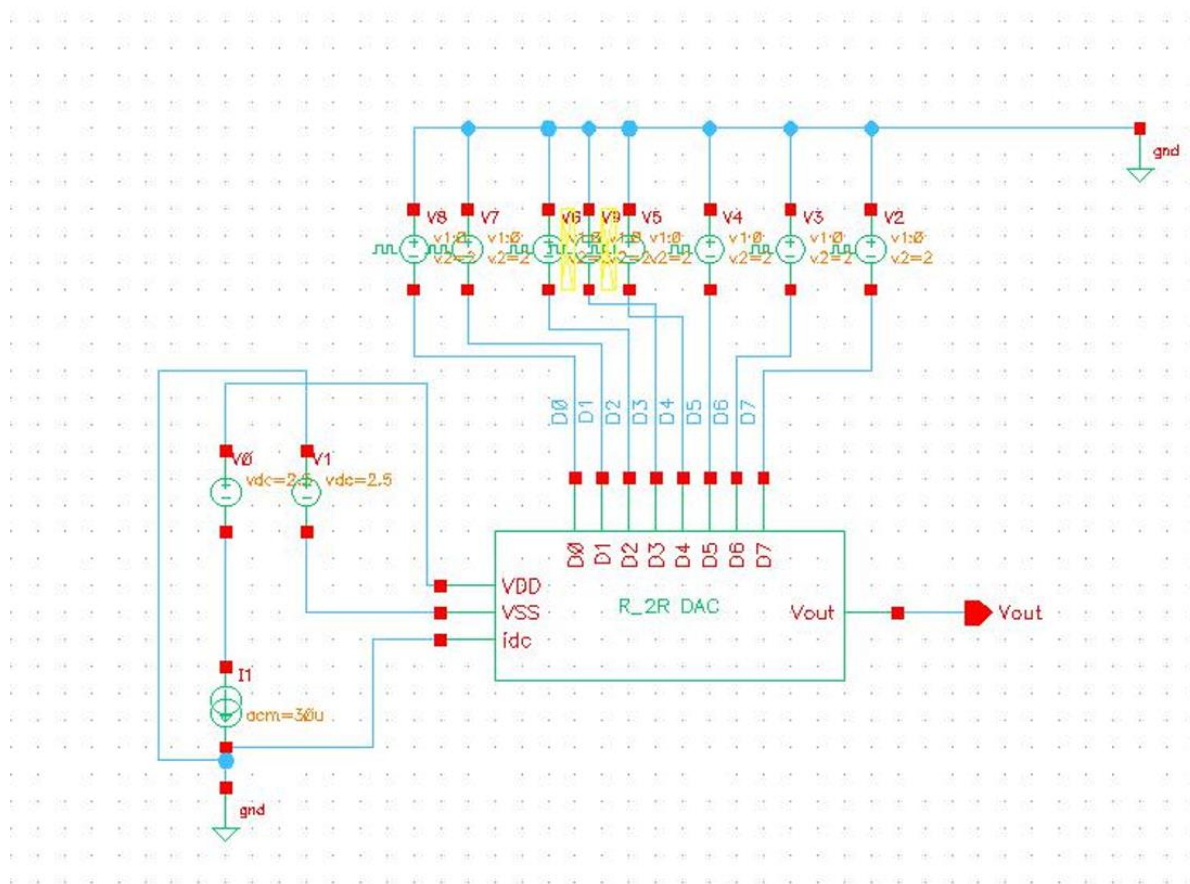
Nhận xét dạng sóng:

Khi tín hiệu RST được tích cực mức 1 (1.2V) thì tất cả các giá trị ngõ ra đều bằng 0 bởi vì tín hiệu RST được nối với chân Reset của mỗi FlipFlop.

Khi RST được tích cực mức thấp, mạch bắt đầu hoạt động quá trình xét bit. Ta thấy trong hình trên, lần lượt các ngõ ra $D7$, $D6$,... $D0$, được tích cực và đảm bảo khi ngõ $Dx+1$ được tích cực thì tín hiệu Dx bằng 0.

Điều đặc biệt ở đây là tín hiệu đầu tiên $D7$ có chiều rộng xung bằng một nửa các tín hiệu còn lại. Lý do bởi chỉ có thể hai tín hiệu RST và CLK cùng cạnh xuống thì mới cho ra tín hiệu mong muốn, vì thế nên tín hiệu $D7$ chỉ được giữ trong nửa chu kỳ.

5. R-2R DAC



Hình 4.7 Testbench mạch R-2R DAC

Tên	Nguồn	Giá trị	Chức năng
VDD	V0	$V_{dc} = 2.5V$	Điện áp cung cấp.
VSS	V1	$V_{dc} = 2.5V$	Điện áp cung cấp
Idc	idc	$I_{dc} = 30\mu A$	Dòng cho OpAmp
Vpulse	Từ V2 - V9	$V_0 = 0V, V_1 = 2V$ Period = 10ns (tăng gấp 2 lần cho đến V9) Pluse width = 5ns (tăng gấp 2 lần cho đến V9)	Cung cấp điện áp cho mỗi con trở và giá trị ngõ vào của bit 0 đến 7

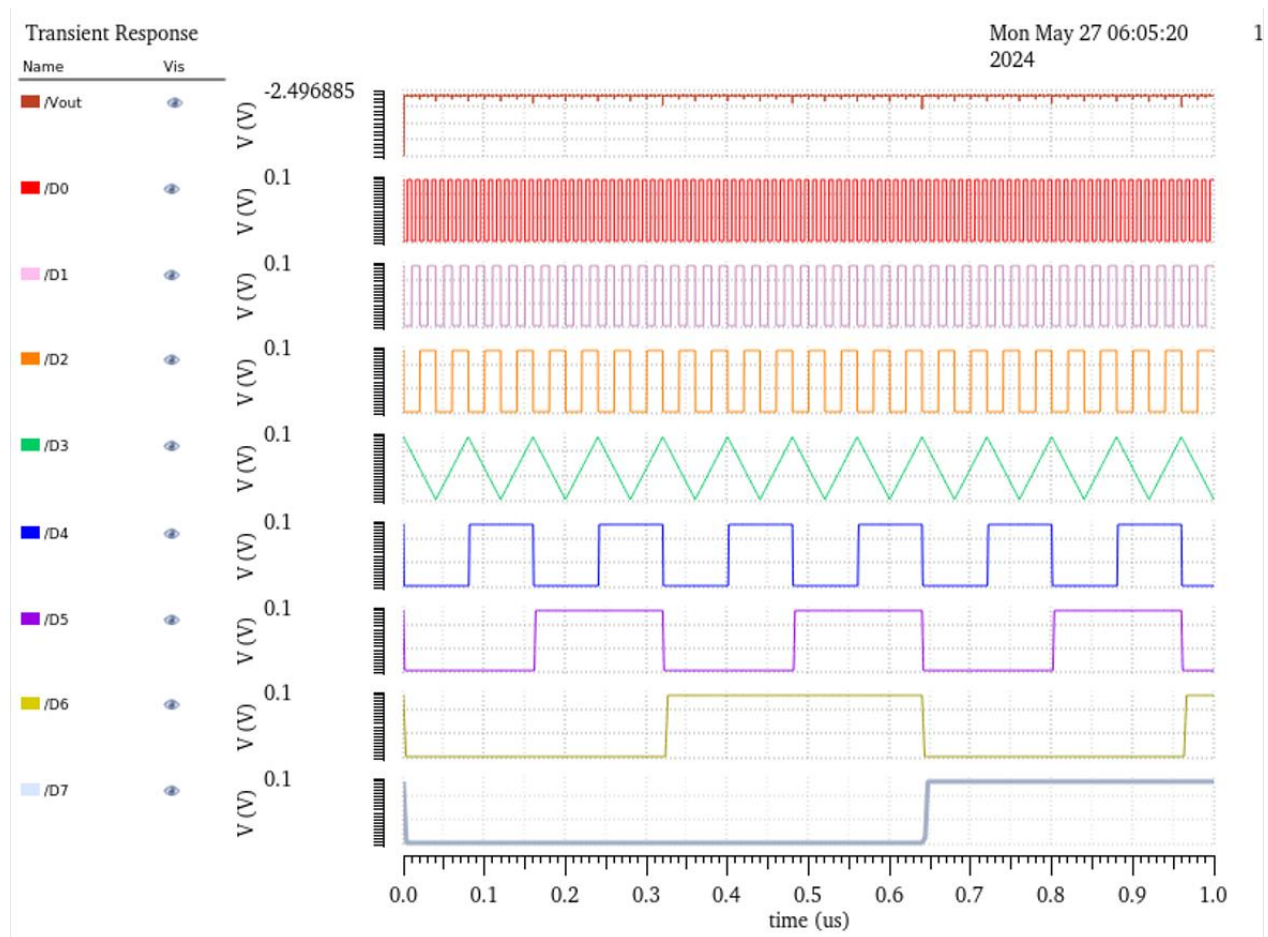
Hình 4.7 Thông số mô phỏng mạch R-2R DAC

Giải thích testbench:

Với (0) là bit x có giá trị bit 0 ($x=0, 1, 2, \dots, 7$).

Với $Dx(0)$ là bit x mang giá trị bit 1

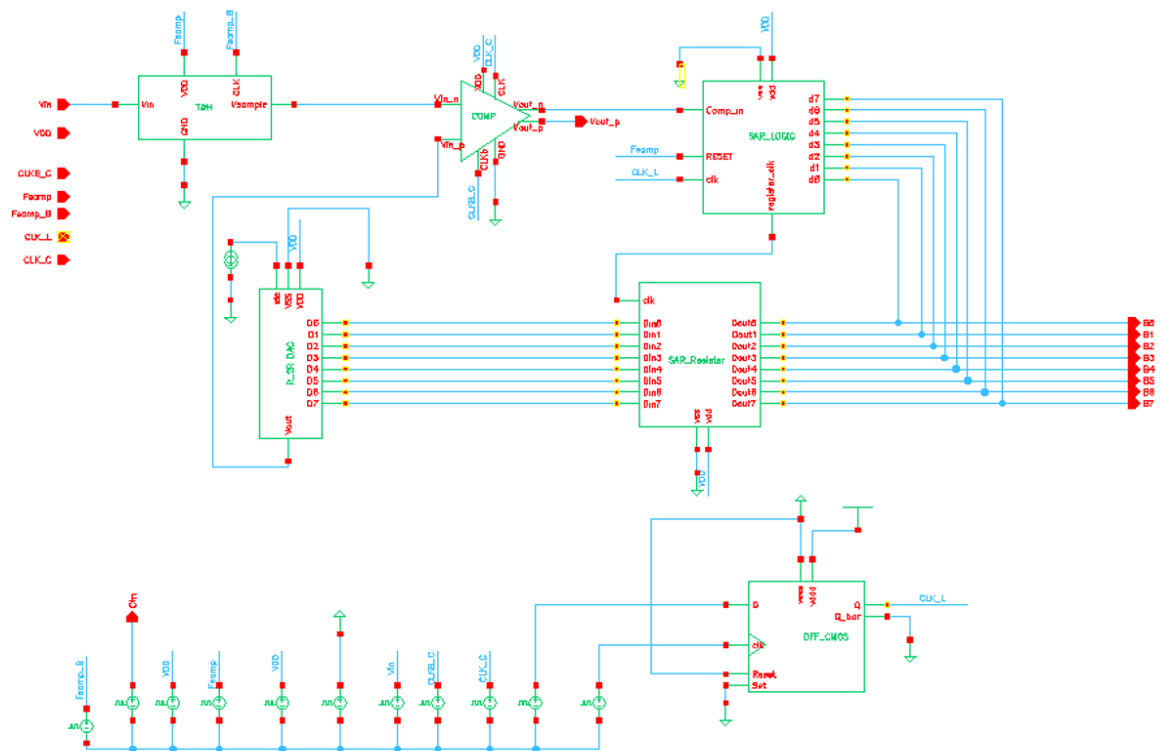
Thông số dòng tham chiếu (I_{dc}) được cài đặt với nguồn xung đảm bảo khi tín hiệu tích cực mức cao trong suốt quá trình chuyển xét bit và cập nhật hoạt động. Giá trị này là do điện trở hoạt động ở miền tần số



Hình 4.8 Mô phỏng kết quả của mạch R-2R DAC

Nhận xét dạng sóng:

Các ngõ ra từ D0 đến D7 có xung tăng dần và khoảng cách các xung clock giãn ra từ xung D0 đến xung D7 với nguyên nhân là do dòng bị cản ở các điện trở có trong OpAmp. Riêng ngõ ra D3 không có xung vuông mà là xung tam giác có thể là do dòng không đủ để hình thành xung vuông (I_{dc} là 30uA). Từ đó cho thấy bộ R2R DAC làm gần đúng chức năng là chuyển tín hiệu Analog sang Digital thông qua các điện trở và OpAmp.

6. SAR-ADC 8 bit

Hình 4.9 Testbench mạch ADC 8 bit

Tên	Nguồn	Giá trị	Chức năng
VDD (VSS)	V1	$V_{dc} = 1.2V$	Điện áp cung cấp.
CLK_C (CLKB_C), CLK_L	V2	$V0 = 0V (1.2v)$ $V1 = 1.2V (0V)$ Period = 25ns Rise (fall) time = 100ps	Cung cấp tần số cho mạch hoạt động. Riêng xung CLK_L trễ $\frac{1}{4}$ chu kì so với CLK_C.
Vin	Vdc	Giá trị ngõ vào: 1.2V	Ngõ vào cần chuyển đổi.
Fsamp (Fsamp_B)	V6	$V0 = 0V (1.2V)$ $V1 = 1.2V (0V)$ Period = 275ns Rise (fall) time = 500ps Pulsewidth = 25ns	Cung cấp tần số cho mạch T&H hoạt động

Bảng 4.9 Thông số mô phỏng của SAR-ADC

Giải thích testbench:

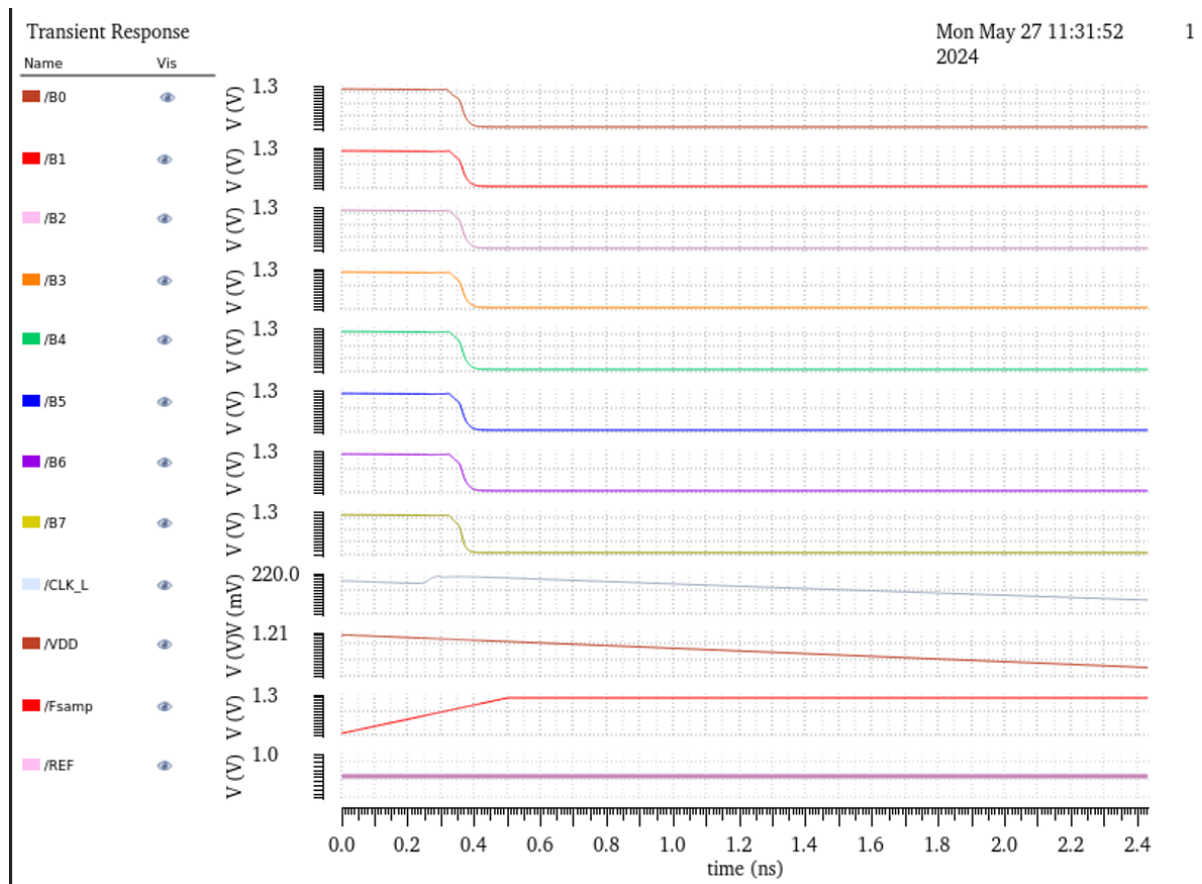
Với các tín hiệu ngõ vào như VDD, REF, Fsamp, CLK_Comp đã được giải thích ở phần mô phỏng từng khối.

Tín hiệu CLK được thiết lập với chu kì bằng một nửa chu kì tín hiệu CLK_Comp. Hai tín hiệu này lấy làm ngõ vào cho D-FlipFlop tạo nên một chu kì xung clock mới (CLK_Logic) có xung trễ $\frac{1}{4}$ chu kì so với CLK_Comp. Lý do sử dụng tín hiệu CLK_Logic cho khối SARControl-Logic là vì với độ trễ $\frac{1}{4}$ thì giá trị so sánh ngõ ra của Comparator đã được ổn định và sẵn sàng làm giá trị cập nhật bit cho bộ SAR-Control-Logic. (Hình ...)

Khối INVERT_BIT được dùng để đảo bit như trong phần mô phỏng Capacitor-DAC đã đề cập.

Với những thông số khác trong mạch được giải thích rõ ràng ở các phần mô phỏng ở các khối thành phần ta tiến hành kết nối các khối lại với nhau để có thể hoạt động đồng nhất. Tiến hành mô phỏng ở chế độ transient với thời gian mô phỏng 300ns ứng với mỗi trường hợp ta được:

Với $V_{in} = 1.2V$ được mô phỏng trong hình 4.10 kết quả thu được lấy ở thời điểm 0.5ns là $B7B6B5B4B3B2B1B0 = 11111111$.



Hình 4.10 Mô phỏng SAR-ADC với $V_{in} = 1.2V$

Nhận xét dạng sóng:

Ta thấy được ứng với các giá trị 1.2 V thì thiết kế SAR-ADC mô phỏng đúng với mã hóa bit mong đợi được tính toán bằng tay theo lý thuyết. Tuy nhiên đối với trường hợp 0.55V thì bit thứ hai bit cuối cùng bị chênh lệch 1 LSB so với lý thuyết (mô phỏng “00” so với thực tế là ”01”), điều này chứng tỏ ADC vẫn chưa tuyến tính hoàn toàn. Dạng sóng ở tín hiệu REF (là tín hiệu ngõ ra của DAC) xuất hiện gai áp ở những điểm cạnh lên và cạnh xuống của hai tín hiệu CLK_C, CLK_L. Điều này chứng tỏ hai MOSFET (M1, M2) ngõ vào của bộ Comparator vẫn xuất hiện dòng rò dẫn đến tác động ngược lên điện áp lên ngõ ra của DAC và ngõ ra của Track and Hold.

Kết Luận**1. Kết quả đạt được**

Trong đồ án này, em đã chọn thiết kế SAR-ADC vì hai lý do chính: tiêu thụ điện năng thấp và nguyên lý hoạt động đơn giản. Em đã tiến hành một nghiên cứu chi tiết về SAR-ADC và những ưu điểm của nó trong việc chuyển đổi tín hiệu analog sang số.

Em đã thành công trong việc thiết kế một SAR-ADC 8 bit với tốc độ lấy mẫu 2Msps và điện áp cung cấp ngõ vào 1.2V. Điện áp ngõ vào được giới hạn trong khoảng từ 0.5V đến 1.2V và kết quả thu được cho thấy các khối thành phần hoạt động chính xác và đáp ứng các đặc tả thiết kế đã đề ra. Tuy chỉ là khối SAR-ADC cơ bản nhưng hiệu suất chuyển đổi vẫn đáp ứng khá tốt.

2. Hướng phát triển trong tương lai

Với những ảnh hưởng không mong muốn của xung clock tác động trực tiếp lên các khối thành phần như DAC và Track & Hold gây ra sự biến đổi điện áp (gai điện áp ở những thời điểm cạnh lên cạnh xuống của clock), trong tương lai sẽ tiếp tục nghiên cứu và thực thi một khối Buffer để có thể giảm thiểu ảnh hưởng từ các khối phía sau lên khối phía trước.

TÀI LIỆU THAM KHẢO

- [1] Frank Ohnhäuser, Analog-Digital Converters for Industrial Applications Including an Introduction to Digital-Analog Converters, Germany: Springer-Verlag Berlin Heidelberg 2015.
- [2] B. Razavi, Design of Analog CMOS Integrated Circuits, 2nd ed., New York: McGrawHill Education, 2017.
- [3] Marcel Pelgrom, Analog-to-Digital Conversion, Third Edition., Springer International Publishing Switzerland 2010, 2013, 2017.
- [4] S. Morteza pour and E. K. F. Lee, "A 1-V, 8-bit successive approximation ADC in standard CMOS process," in IEEE Journal of Solid-State Circuits, vol. 35, no. 4, pp. 642-646, April 2000.
- [5] I. G. Naveen and S. Sonoli, "Design and simulation of 10-bit SAR ADC for low power applications using 180nm technology," 2016 International Conference on Electrical, Electronics, Communication, Computer and Optimization Techniques (ICEECOT), 2016.
- [6] J. A. Michaelson, Digital to analog converters, 2012