

ĐẠI HỌC QUỐC GIA TP. HỒ CHÍ MINH
TRƯỜNG ĐẠI HỌC BÁCH KHOA
KHOA ĐIỆN – ĐIỆN TỬ
BỘ MÔN VIỄN THÔNG



LUẬN VĂN TỐT NGHIỆP ĐẠI HỌC

**ĐỀ TÀI: THIẾT KẾ BỘ NHỚ THỰC THI GIẢI
THUẬT CHUYỂN VỊ TRÍ DỮ LIỆU SỬ DỤNG
8T TP - SRAM KÍCH THƯỚC 8x4**

GVHD: Ths. Nguyễn Khánh Lợi
SVTH : Nguyễn Quang Khải Tú
MSSV: 2012378

TP. HỒ CHÍ MINH, THÁNG 08 NĂM 2024

**CÔNG TRÌNH ĐƯỢC HOÀN THÀNH TẠI
TRƯỜNG ĐẠI HỌC BÁCH KHOA –ĐHQG -HCM**

Cán bộ hướng dẫn Khóa luận tốt nghiệp :.....

Cán bộ chấm nhận xét 1 :.....

Cán bộ chấm nhận xét 2 :.....

Khóa luận tốt nghiệp được bảo vệ tại Trường Đại học Bách Khoa, ĐHQG Tp.HCM
ngày tháng năm

Thành phần Hội đồng đánh giá khóa luận tốt nghiệp gồm:

1.

2.

3.

Xác nhận của Chủ tịch Hội đồng đánh giá khóa luận tốt nghiệp và Chủ nhiệm Bộ môn
sau khi luận văn đã được sửa chữa (nếu có).

CHỦ TỊCH HỘI ĐỒNG

CHỦ NHIỆM BỘ MÔN.....

Số: _____ /BKĐT

Khoa: Điện – Điện tử

Bộ Môn: Viễn Thông

NHIỆM VỤ LUẬN VĂN TỐT NGHIỆP

1. Họ và tên: Nguyễn Quang Khải Tú MSSV: 2012378
2. Ngành: Điện – Điện tử Chuyên ngành: Kỹ thuật Điện tử - Viễn Thông
3. Đề tài: Thiết kế bộ nhớ thực thi giải thuật chuyển vị trí dữ liệu sử dụng 8T TP_SRAM kích thước 8x4
4. Nhiệm vụ:
- Nghiên cứu, thiết kế Barrel Shifter và tiến hành kiểm tra hoạt động
- Thiết kế 8T TP-SRAM và kiểm tra hoạt động so sánh
- Thực thi dịch chuyển dữ liệu bằng barrel shifter trên 8T TP – SRAM
5. Ngày giao nhiệm vụ luận văn: 17/06/2024
6. Ngày hoàn thành nhiệm vụ: 27/08/2024
7. Họ và tên người hướng dẫn: Phân hướng dẫn
Ths. Nguyễn Khánh Lợi
BM Viễn Thông, Khoa Điện – Điện Tử
Nội dung và yêu cầu LVTN đã được thông qua Bộ Môn.

TP.HCM, ngày 27 tháng 08 năm 2024

CHỦ NHIỆM BỘ MÔN

PGS.TS Hà Hoàng Kha

NGƯỜI HƯỚNG DẪN CHÍNH

Ths. Nguyễn Khánh Lợi

PHẦN DÀNH CHO KHOA, BỘ MÔN:

Người duyệt (chấm sơ bộ):.....

Đơn vị:.....

Ngày bảo vệ :.....

Điểm tổng kết:.....

Noi lưu trữ luận văn:

LỜI CẢM ƠN

Em xin chân thành gửi lời cảm ơn tới thầy Nguyễn Khánh Lợi đã tận tình hướng dẫn đồ án tốt nghiệp và đồng hành hỗ trợ em về mặt kiến thức lẫn thiết kế. Trong suốt quá trình thực hiện đề tài, thầy đã hỗ trợ em tận tình để thực hiện đề tài một cách suông sẻ nhất.

Em cũng xin gửi lời cảm ơn đến quý thầy cô và các anh chị tại khoa Điện – Điện tử, trường Đại học Bách khoa – ĐHQG TP.HCM truyền đạt kiến thức và hỗ trợ em trong toàn bộ quá trình học tập và nghiên cứu tại trường. Quá trình học tập tại đây đã giúp em tích lũy được một lượng kiến thức rất lớn để em có thể vận dụng và thực hiện các công việc một cách chủ động nhất.

Trong quá trình thực hiện đồ án em có gặp nhiều sai sót và thiếu sót do còn hạn chế về vốn kiến thức, em mong rằng có thể nhận được góp ý từ quý thầy cho đề tài này để em có thể hoàn thiện nó hơn nữa.

Cuối cùng em xin chân thành cảm ơn thầy Lợi và kính chúc thầy sức khỏe và phát triển hơn nữa trên con đường giảng dạy và nghiên cứu của mình.

Tp. Hồ Chí Minh, ngày 27 tháng 08 năm 2024 .

Sinh viên



Nguyễn Quang Khải Tú

LỜI CAM ĐOAN

Tôi tên là Nguyễn Quang Khải Tú, là sinh viên chuyên ngành Kỹ thuật Điện tử - Viễn Thông, khóa 2020, tại Đại học Quốc gia thành phố Hồ Chí Minh – Trường Đại học Bách Khoa. Tôi xin cam đoan những nội dung sau đây là sự thật: (i) Đồ án nghiên cứu này hoàn toàn do chính tôi thực hiện; (ii) Các tài liệu và trích dẫn trong đồ án này được tham khảo từ các nguồn thực tế, có uy tín và độ chính xác cao; (iii) Các số liệu và kết quả của công trình này được tôi tự thực hiện một cách độc lập và trung thực.

Tp. Hồ Chí Minh, ngày 27 tháng 08 năm 2024 .

Sinh viên



Nguyễn Quang Khải Tú

TÓM TẮT ĐO ÁN

Trong những năm gần đây, lĩnh vực điện toán mô phỏng não người (Neuromorphic) đã trở thành một điểm nổi bật trong nghiên cứu hiện đại. Kỹ thuật neuromorphic, còn được gọi là điện toán neuromorphic, được đề xuất vào cuối những năm 1980 bởi nhà khoa học và kỹ sư người Mỹ Carver Mead. Khái niệm này mô tả việc sử dụng các hệ thống tích hợp rất lớn (very-large-scale integration - VLSI) để mô phỏng kiến trúc thần kinh sinh học trong não. Trong những năm gần đây, neuromorphic đã mở rộng để bao gồm cả phần mềm và phần cứng kết hợp giữa mạch số và mạch song song, miễn là chúng tuân thủ mô hình của hệ thần kinh.

Theo đó, nhu cầu về bộ nhớ có khả năng chuyển tiếp (TP memory) ngày càng tăng. Bộ nhớ TP giảm độ phức tạp của thiết kế và cho phép triển khai phần cứng với chi phí thấp, làm cho nó trở thành lựa chọn hấp dẫn trong lĩnh vực điện toán trong bộ nhớ (IMC). Nó giúp giảm tiêu thụ năng lượng bằng cách giảm thiểu chuyển động dữ liệu trong bộ xử lý mạng nơ-ron sâu (DNN). Bộ nhớ TP thường được triển khai dưới dạng bộ nhớ truy cập ngẫu nhiên tĩnh (SRAM), cung cấp sự linh hoạt trong hướng truy cập dữ liệu cho các hoạt động nội bộ trên chip, được triển khai dưới dạng TP SRAM bitcell. Sự kết hợp của hai bóng bán dẫn truy cập với một tế bào SRAM 6T tiêu chuẩn tạo thành hai cặp WL và BL trực giao.

Trong đồ án tốt nghiệp này, em đề xuất một phương pháp thiết kế TP-SRAM. Để tạo điều kiện truy cập dữ liệu trực giao, chúng tôi cải tiến sơ đồ địa chỉ TP và đơn giản hóa việc giải mã địa chỉ. Bằng cách sử dụng bitcell 8T SRAM mới và cầu WL chéo (DWL), diện tích của TP-SRAM có thể được giảm bớt. Em sẽ thiết kế 8TP SRAM với kích thước 8x4 và em cũng sẽ thiết kế, mô phỏng Barrel Shifter sử dụng TP-SRAM. Trong quá trình thiết kế Barrel Shifter để thực hiện dịch chuyển dữ liệu trên SRAM, Barrel Shifter cần kết nối với các khối ngoại vi như Mux, Selective Precharge, ngoại vi sử dụng cho 1-bit I/O và các khối khác. Barrel Shifter dựa trên 8T TP-SRAM có thể thực hiện cả hai chức năng là dịch trái và phải trên mỗi hàng hoặc cột theo mong muốn.

ABSTRACT

In recent years, the field of neuromorphic computing has become a prominent area of modern research. Neuromorphic technology, also known as neuromorphic computing, was initially proposed in the late 1980s by American scientist and engineer Carver Mead. This concept describes the use of very-large-scale integration (VLSI) systems to simulate the biological neural architecture in the human brain. Over time, neuromorphic computing has expanded to include both software and hardware implementations, combining digital and analog circuits, as long as they adhere to neural system models.

One specific area of interest within neuromorphic computing is the demand for memory with transition capabilities (TP memory). TP memory reduces design complexity and enables cost-effective hardware deployment, making it an attractive choice in in-memory computing (IMC). It helps reduce energy consumption by minimizing data movement within deep neural network (DNN) processors. TP memory is often implemented as static random-access memory (SRAM), providing flexibility in data access for on-chip internal operations. TP SRAM bitcells are commonly used for this purpose, combining two access transistors with a standard 6T SRAM cell to form complementary word lines (WL) and bit lines (BL).

In this graduation project, I propose a TP-SRAM design method. To facilitate direct data access, we enhance the TP address scheme and simplify address decoding. By utilizing a new 8T SRAM bitcell and cross-coupled word lines (DWL), the area of TP-SRAM can be reduced. Specifically, I will design an 8TP SRAM with an 8x4 configuration. Additionally, I plan to design and simulate a Barrel Shifter using TP-SRAM. During the Barrel Shifter design process for data shifting operations on SRAM, it will need to interface with peripheral blocks such as multiplexers (Mux), selective precharge circuits, 1-bit I/O peripherals, and other relevant components. The 8T TP-SRAM-based Barrel Shifter can perform both left and right shifts on each row or column as desired.

MỤC LỤC

LỜI CẢM ƠN	i
LỜI CAM ĐOAN	ii
TÓM TẮT ĐỒ ÁN	iii
ABSTRACT	iv
DANH SÁCH HÌNH MINH HỌA	viii
DANH SÁCH BẢNG SỐ LIỆU	x
CHƯƠNG 1. GIỚI THIỆU	1
1.1 Tổng quan	1
1.2 Tình hình nghiên cứu trong và ngoài nước	2
1.3 Nhiệm vụ đồ án	2
CHƯƠNG 2. CƠ SỞ LÝ THUYẾT	4
2.1. Bộ truy xuất dữ liệu ngẫu nhiên tĩnh – SRAM	4
2.1.1. SRAM cell loại 6T	5
2.1.2. SRAM cell chuyển tiếp – Transposable 8T SRAM – 8T TP-SRAM	7
2.2. Bộ dịch chuyển dữ liệu – Barrel shifter	8
2.3. Các bộ ngoại vi	10
2.3.1. Bitline Multiplexer – BL Mux	10
2.3.2. Selective Precharge	10
2.3.3. Control	11
2.3.4. Ngoại vi I/O 1-bit	11
2.4. Bộ nhớ TP	12
CHƯƠNG 3. THỰC HIỆN VÀ THIẾT KẾ PHẦN CỨNG	14
3.1. Thiết kế các cổng logic cơ bản	14
3.1.1. Cổng NAND	14

3.1.2. Cổng AND	15
3.1.3. Cổng NOR	16
3.1.4. Cổng OR	17
3.2. Thiết kế TP Memory	18
3.3. Thiết kế Selective Precharge	20
3.4. Thiết kế BL Mux	22
3.5. Thiết kế khối Control	24
3.6. Thiết kế Barrel Shifter	27
3.6.1. Thiết kế Barrel shifter đơn	27
3.6.2. Thiết kế Bidirectional Barrel Shifter	29
3.7. Thiết kế 8T TP-SRAM	33
CHƯƠNG 4. KẾT QUẢ THỰC HIỆN	38
4.1. Kết quả thực hiện và mô phỏng khối Barrel Shifter	38
4.2. Kết quả thực hiện và mô phỏng khối Bidirectional Barrel Shifter	41
4.3. Kết quả thực hiện và mô phỏng 8T TP-SRAM	43
4.3.1. Chế độ ghi	43
4.3.2. Chế độ đọc	44
4.4. Kết quả thực hiện và mô phỏng TP Memory array 4x2	46
4.4.1. Thực hiện chế độ ghi	46
4.4.2. Thực hiện chế độ đọc	48
4.5. Kết quả thực hiện và mô phỏng TP Memory full array 8x4	50
4.5.1. Chế độ ghi	50
4.5.2. Chế độ đọc	52
4.6. Kết quả thực hiện và mô phỏng TP memory kết hợp đè xuất	53
4.6.1. Chế độ ghi	54
4.6.2. Chế độ đọc	59
4.7. Đánh giá	60

CHƯƠNG 5. KẾT LUẬN VÀ HƯỚNG PHÁT TRIỂN	61
5.1 Kết luận	61
5.2 Hướng phát triển	61
CHƯƠNG 6. TÀI LIỆU THAM KHẢO	62

DANH SÁCH HÌNH MINH HỌA

Hình 1. Sơ đồ cấu trúc SRAM	4
Hình 2. Sơ đồ cấu trúc 6T SRAM	5
Hình 3. Sơ đồ hoạt động ghi "0" của 6T SRAM	6
Hình 4. Sơ đồ hoạt động ghi "1" của 6T SRAM	6
Hình 5. Cấu trúc 8T TP-SRAM đè xuất	7
Hình 6. Sơ đồ cấu trúc Barrel shifter hai chiều	8
Hình 7. Cấu trúc thiết kế Barrel shifter đè xuất	9
Hình 8. Mux (symbol)	10
Hình 9. Ngoại vi I/O 1-bit	12
Hình 10. NAND symbol	14
Hình 11. Sơ đồ mạch thiết kế cổng NAND	15
Hình 12. Cổng AND symbol	15
Hình 13. Sơ đồ mạch thiết kế cổng AND	16
Hình 14. Cổng NOR symbol	16
Hình 15. Sơ đồ mạch thiết kế cổng NOR	17
Hình 16. Cổng NOR symbol	18
Hình 16. Sơ đồ mạch thiết kế cổng OR	18
Hình 17. Sơ đồ khói thiết kế TP Memory [1]	19
Hình 18. Sơ đồ mạch thiết kế TP Memory 4x2	20
Hình 19. Sơ đồ mạch thiết kế TP Memory 8x4	20
Hình 20. Khối Selective Precharge đè xuất	21
Hình 21. Sơ đồ khói thiết kế khói Selective Precharge đè xuất	21
Hình 22. Sơ đồ mạch thiết kế khói Selective Precharge đè xuất	22
Hình 23. Khối BL Mux đè xuất	23
Hình 24. Sơ đồ thiết kế khói BL Mux đè xuất	23
Hình 25. Sơ đồ mạch thiết kế khói BL Mux đè xuất	24
Hình 26. Sơ đồ thiết kế khói Control đè xuất	25
Hình 27. Khối Control đè xuất	25
Hình 28. Sơ đồ mạch thiết kế khói Control	26
Hình 29. Khối Barrel shifter	27
Hình 30. Sơ đồ thiết kế khói Barrel shifter	27
Hình 32. Quá trình hoạt động của khói Barrel shifter	28
Hình 33. Sơ đồ mạch thiết kế khói Barrel Shifter	29
Hình 34. Hoạt động khói Barrel shifter 2 chiều khi dịch chuyển dữ liệu sang trái rồi đưa vào bộ nhớ	30
Hình 35. Hoạt động dịch dữ liệu sang phải rồi trả về của khói Barrel shifter 2 chiều	31
Hình 36. Sơ đồ khói Barrel shifter 2 chiều	32
Hình 37. Sơ đồ mạch thiết kế khói Barrel shifter 2 chiều	33
Hình 38. Sơ đồ khói 8T TP-SRAM	34
Hình 39. Sơ đồ khói 8T TP-SRAM đè xuất	34
Hình 40. Sơ đồ mạch thiết kế 8T TP-SRAM	35
Hình 41. Hoạt động lấy dữ liệu theo hàng từ bộ nhớ và chuyển vị sang trái	35
Hình 42. Hoạt động lấy dữ liệu theo đường chéo và chuyển vị sang phải	36
Hình 43. Dữ liệu ban đầu chứa trong bộ nhớ	36
Hình 44. Dữ liệu được chọn khi thực hiện giải thuật đường chéo	37
Hình 45. Dữ liệu sau khi thực hiện giải thuật	37
Hình 46. Sơ đồ mạch thiết kế khói Barrel shifter	38
Hình 47. Thông số PMOS đặc biệt	39
Hình 48 Sơ đồ mô phỏng khói Barrel shifter	39

Hình 49. Kết quả mô phỏng sóng khỏi Barrel shifter	40
Hình 50. Sơ đồ mô phỏng khỏi Barrel shifter 2 chiều	41
Hình 51. Kết quả mô phỏng sóng khỏi Barrel shifter 2 chiều	42
Hình 52. Sơ đồ mô phỏng chế độ ghi của 8T TP-SRAM	43
Hình 53. Kết quả mô phỏng sóng chế độ ghi 8T TP-SRAM	44
Hình 54. Sơ đồ mô phỏng chế độ đọc 8T TP-SRAM	44
Hình 55. Kết quả mô phỏng sóng chế độ đọc 8T TP-SRAM	45
Hình 56. Sơ đồ mô phỏng TP Memory array 4x2	46
Hình 57. Cài đặt testbench cho chế độ ghi	46
Hình 58. Kết quả mô phỏng sóng chế độ ghi WL dữ liệu vào 8T TP-SRAM 4x2	47
Hình 59. Sơ đồ mạch thiết kế chế độ đọc 8T TP-SRAM	48
Hình 60. Xây dựng thêm cổng NAPTU kiểm tra dữ liệu đọc	48
Hình 61. Kết quả mô phỏng sóng chế độ đọc 8T TP-SRAM	49
Hình 62. Kết quả mô phỏng sóng chế độ đọc 8T TP-SRAM	49
Hình 63. Sơ đồ mạch thiết kế TP Memory	50
Hình 64. Xây dựng symbol cho TP Memory	50
Hình 65. Sơ đồ cấp năng lượng cho WL và DWL	51
Hình 66. Sơ đồ mạch thiết kế chế độ đọc TP Memory	53
Hình 67. Kết quả mô phỏng sóng chế độ đọc TP Memory	53
Hình 68. Sơ đồ mạch thiết kế mô phỏng chế độ ghi dữ liệu vào TP Memory	54
Hình 69. Khối Control và khối Barrel shifter 2 chiều	55
Hình 70. Khối I/O	55
Hình 71. Khối BL Mux	56
Hình 72. Khối Selective Precharge	56
Hình 73. Kết quả mô phỏng sóng chế độ đọc có sử dụng Precharge	57
Hình 74. Kết quả mô phỏng sóng chế độ đọc không sử dụng Precharge	58
Hình 75. Sơ đồ mạch mô phỏng quá trình đọc	59
Hình 76. Kết quả mô phỏng sóng quá trình đọc	59

DANH SÁCH BẢNG SỐ LIỆU

Bảng 1. Bảng so sánh tiến trình thiết kế của các bài báo.....	2
Bảng 2. So sánh lợi thế của Selective Precharge và Precharge thông thường	11
Bảng 3. Bảng sự thật cổng NAND	14
Bảng 4. Bảng sự thật cổng AND	16
Bảng 5. Bảng sự thật cổng NOR	17
Bảng 6. Bảng sự thật cổng OR	18
Bảng 7. Bảng sự thật khối BL Mux	24
Bảng 8. Bảng sự thật chức năng khói Control	26
Bảng 9. Bảng sự thật khói Barrel shifter	28
Bảng 10. Bảng sự thật khói Barrel shifter 2 chiều	32
Bảng 11. Bảng thông số thiết lập mô phỏng khói Barrel shifter	39
Bảng 12. Bảng thông số mô phỏng khói Barrel shifter 2 chiều	41
Bảng 13. Bảng thông số mô phỏng chế độ ghi 8T TP-SRAM	43
Bảng 14. Bảng thông số thiết lập mô phỏng chế độ đọc	45
Bảng 15. Tín hiệu các chân Bit-line BL và BLX	51
Bảng 16. Bảng giá trị ghi vào TP Memory	51
Bảng 17. Bảng giá trị khi thực hiện ghi vào TP Memory theo đường chéo	52
Bảng 18. Bảng giá trị xác nhận tín hiệu được ghi vào TP Memory đường chéo	52

CHƯƠNG 1. GIỚI THIỆU

1.1 Tổng quan

Cùng với sự phát triển của ngành điện tử nói chung và ngành vi mạch nói riêng, nhu cầu ngày càng tăng về bộ nhớ có thể chuyển đổi dữ liệu, sắp xếp lại các dữ liệu hay chuyển vị và đặc biệt được ứng dụng vào các bộ xử lý Neuromorphic hiện đại [1] [2] [3]. Ở các nghiên cứu trước đây để có thể chuyển đổi các luồng dữ liệu thì các kỹ sư đã sử dụng cách flip-flop hay các khối Mux [4] để tạo thành các mảng có chức năng nêu trên. Không giống như bộ nhớ thông thường, nơi chỉ tế bào bits được đặt theo word-line (WL) mới có thể được truy cập, TP Memory cho phép truy cập có chọn lọc vào cả hai bitcell được phân phối theo hướng WL và bit-line (BL). Dựa vào giá trị của các nghiên cứu tạo ra trước đó em tiến hành thực hiện thiết kế bộ nhớ có thể thực thi giải thuật chuyển vị dữ liệu sử dụng 8T TP-SRAM [1] để có thể kiểm tra và mô phỏng lại quá trình hoạt động của Barrel Shifter trên SRAM chuyển tiếp.

Đầu tiên là tổng quan về các khái niệm đã nêu: bộ nhớ SRAM (Static Random Access Memory) là một loại bộ nhớ trong điện tử kỹ thuật số được sử dụng để lưu trữ và truy xuất dữ liệu một cách nhanh chóng và hiệu quả. Bộ nhớ SRAM thường được sử dụng trong các ứng dụng yêu cầu tốc độ truy xuất nhanh và không cần dung lượng lớn. Và để có thể dịch chuyển vị trí, hoặc chuyển vị các bit dữ liệu từ SRAM thì barrel shifter là một lựa chọn tối ưu hiện nay. Barrel shifter là một mạch logic trong kỹ thuật số được thiết kế để thực hiện các phép dịch bit hoặc chuyển vị trên dữ liệu đầu vào. Mạch này có khả năng dịch hoặc chuyển vị các bit trong một từ (word) dữ liệu sang trái hoặc sang phải một số bit được xác định trước, mà không cần phải thực hiện các phép logic phức tạp.

Với bộ nhớ 8T TP được đề xuất thực hiện, nhờ kích hoạt chọn lọc WL ta có thể dễ dàng lựa chọn luồng dữ liệu theo hàng hoặc đường chéo khi đó chức năng truy cập bộ nhớ TP cũng được bật lên. Đây là thế tối ưu hóa tốc độ cũng diện tích thấp hơn so với các cách sử dụng 6T SRAM trước đó [5].

Ở những năm trước đây, Barrel Shifter thường sẽ được tạo thành bởi rất nhiều khối Mux hoặc flip-flop. Điều này làm kích thước của một khối barrel shifter có thể rất lớn và tốc độ hoạt động không cao, nhưng ở nghiên cứu được đề xuất em sẽ thiết kế nó dựa trên giải thuật Domino Logic. Một giải thuật cho phép các bit từ bộ nhớ có thể được dịch chuyển một cách dễ dàng và tuần tự hơn.

1.2 Tình hình nghiên cứu trong và ngoài nước

Từ các nghiên cứu trước đây, một số kiến trúc của SRAM dùng cho việc chuyển đổi dữ liệu từ năm 2010 được tóm tắt như bảng bên dưới:

Tác giả	Tên bài báo	Năm nghiên cứu	Tech. (nm)
Dain Chon, Woong Choi	[1] Hardware Efficient Transposable 8T SRAM for Orthogonal Data Access	2023	28
Jae-sun Seo, Bernard Brezzo, Yong Liu, Benjamin D. Parker, Steven K. Esser, Robert K. Montoye, Bipin Rajendran, José A. Tierno, Leland Chang, Dharmendra S. Modha, and Daniel J. Friedman	[2] A 45nm CMOS Neuromorphic Chip with a Scalable Architecture for Learning in Networks of Spiking Neurons	2011	45
Jongeun Koo, Jinseok Kim, Sungju Ryu, Chulsoo Kim, and Jae-Joon Kim	[5] Area-Efficient Transposable 6T SRAM for Fast Online Learning in Neuromorphic Processors	2019	28

Bảng 1. Bảng so sánh tiến trình thiết kế của các bài báo.

1.3 Nhiệm vụ đồ án

Nội dung 1: Tìm hiểu lý thuyết, nguyên lý hoạt động của các khối logic cơ bản sau: Inverter, Buffer, And, Or ,Nor, Nand. Tiến hành mô phỏng cách thức hoạt động và kiểm tra tính ứng dụng trong quá trình chuyển đổi dữ liệu

Kết quả thu được: các công logic hoạt động đúng với chức năng đề ra

Nội dung 2: Tìm hiểu nguyên lý hoạt động và kiểm tra so sánh khối BL Mux và Mux 2:1. Sau đó tiến hành mô phỏng cách thức hoạt động và kiểm tra luồng tín hiệu

Cách thức thực hiện: Khối Mux 2:1 là một khối chức năng cơ bản được cấu thành và ghép nối từ các khối logic như And, Nor và Inverter và chỉ cần một tín hiệu Select nhưng ở con BL MUX vì là dựa trên cấu trúc của TP-SRAM. Nên nó sẽ hoạt động luân phiên giữa công Select và Select đảo.

Kết quả thu được: 2 khối Mux hoạt động đúng với chức năng và giống nhau chỉ khác ở tín hiệu Select.

Nội dung 3: Tìm hiểu nguyên lý hoạt động của các ngoại vi như BL – Peri, Selective Precharge, Control. Sau đó tiến hành thiết kế và kiểm tra.

Cách thức thực hiện: Tìm các thông tin và nguyên lý hoạt động ở [1] sau đó tiến hành vẽ ra bảng chân trị để kiểm tra cách thức hoạt động của các khối ngoại vi.

Kết quả thu được: Các khối ngoại vi hoạt động đúng với chức năng đề ra và phù hợp với các tín hiệu ngõ ra của bảng Boolean.

Nội dung 4: Tìm hiểu nguyên lý hoạt động của 6T SRAM, 8T TP – SRAM. Thiết kế và mô phỏng hoạt động của 8T TP – SRAM . Kiểm tra quy tắc dịch chuyển dữ liệu và lấy dữ liệu dựa theo giải thuật đường chéo.

Cách thức thực hiện: Tìm hiểu kỹ nguyên lý hoạt động ở bài báo [1] sau đó đánh giá hoạt động của WL và DWL để thể hiện khả năng tích hợp hoạt động dịch chuyển dữ liệu theo hàng hoặc cột hoặc đường chéo.

Kết quả: SRAM thực hiện đúng chức năng đọc và ghi và đặc biệt ở TP SRAM có thể thực hiện đồng thời đọc và ghi trên hàng và cả đường chéo

Nội dung 5: Tìm hiểu nguyên lý hoạt động của Barrel Shifter, thiết kế và mô phỏng hoạt động của một barrel shifter. Áp dụng giải thuật Domino logic và khối barrel shifter để thực hiện dịch chuyển dữ liệu tùy định.

Cách thức thực hiện: Tìm hiểu cách hoạt động và ý nghĩa của barrel shifter sau thiết kế trên phần mềm, cuối cùng tùy định đưa dữ liệu và và chọn giá trị dịch chuyển dữ liệu mong muốn để kiểm tra tín hiệu ngõ ra.

Kết quả: Barrel shifter thực hiện đúng chức năng có thể dịch chuyển một đoạn bit.

Nội dung 6: Kết hợp thiết kế một mảng 8T TP – SRAM sử dụng Barrel để dịch chuyển dữ liệu trên 8T TP – SRAM với kích thước 4x2 và 8x4

Kết quả thực hiện: Thực thi thành công và tiến hành đo diện tích của mảng để tài đặt ra.

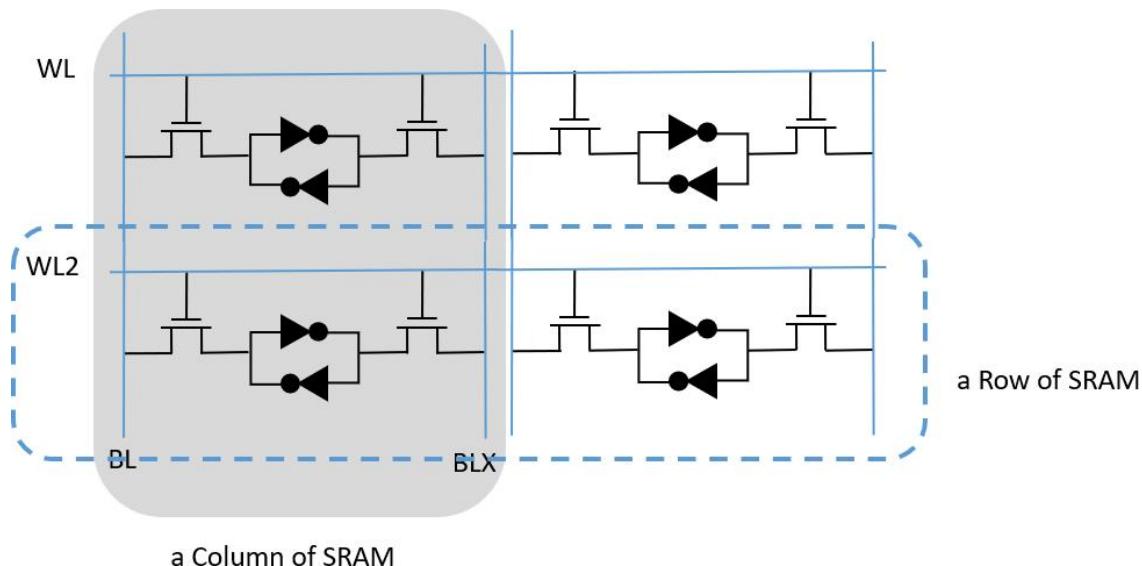
CHƯƠNG 2. CƠ SỞ LÝ THUYẾT

2.1. Bộ truy xuất dữ liệu ngẫu nhiên tĩnh – SRAM

SRAM là viết tắt của Static Random Access Memory, tức là bộ nhớ truy cập ngẫu nhiên tĩnh. Đây là một loại bộ nhớ được sử dụng phổ biến trong các thiết bị điện tử như máy tính, điện thoại thông minh và các hệ thống nhúng. Khác với RAM động (DRAM), cần phải được làm mới định kỳ để có thể duy trì dữ liệu của mình, SRAM giữ dữ liệu miễn là nguồn điện được cung cấp cho hệ thống một cách liên tục.

SRAM với thời gian truy cập nhanh và độ trễ thấp, làm cho nó lý tưởng để sử dụng làm bộ nhớ cache trong các bộ vi xử lý và các ứng dụng có tốc độ cao khác - nơi truy cập nhanh đến dữ liệu là quan trọng. Nó thường được sử dụng để lưu trữ dữ liệu tạm thời, bộ nhớ cache và các register trong các mạch tích hợp kỹ thuật số khác nhau.

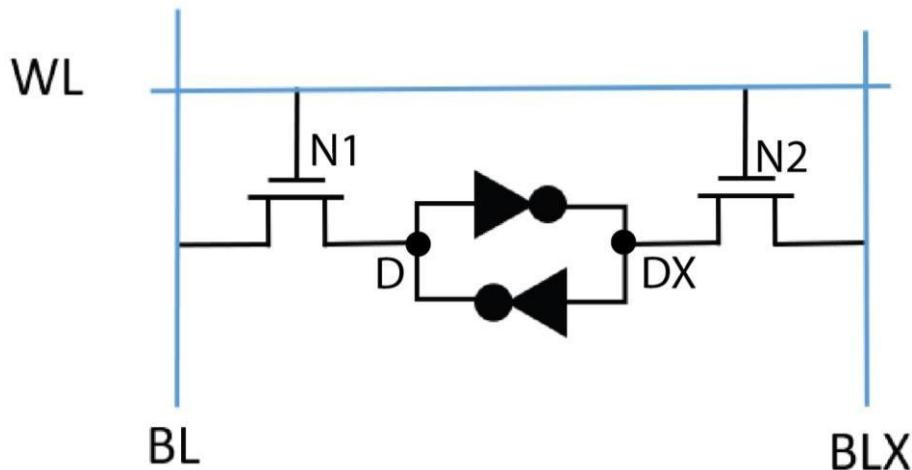
SRAM được xây dựng bằng cách sử dụng các flip-flop được làm từ transistor, có thể lưu trữ một chữ số nhị phân (bit) dữ liệu. Nó được tổ chức thành các mảng các ô nhớ, mỗi ô bao gồm một số transistor, thường là 6 hoặc 8 trong các cài đặt hiện đại. Các ô nhớ này có thể được truy cập ngẫu nhiên, nghĩa là dữ liệu có thể được đọc hoặc ghi vào bất kỳ vị trí nào trong mảng bộ nhớ mà không cần phải truy cập vào các vị trí khác trước. Khả năng truy cập ngẫu nhiên này đã đặt tên cho SRAM, "bộ nhớ truy cập ngẫu nhiên".



Hình 1. Sơ đồ cấu trúc SRAM

2.1.1. SRAM cell loại 6T

6T SRAM sẽ gồm 2 trạng thái là viết (Write operation) dùng để ghi dữ liệu vào bên trong SRAM và đọc (Read operation) dùng để đọc dữ liệu ra bên ngoài dựa vào 2 đường BL và BLX¹

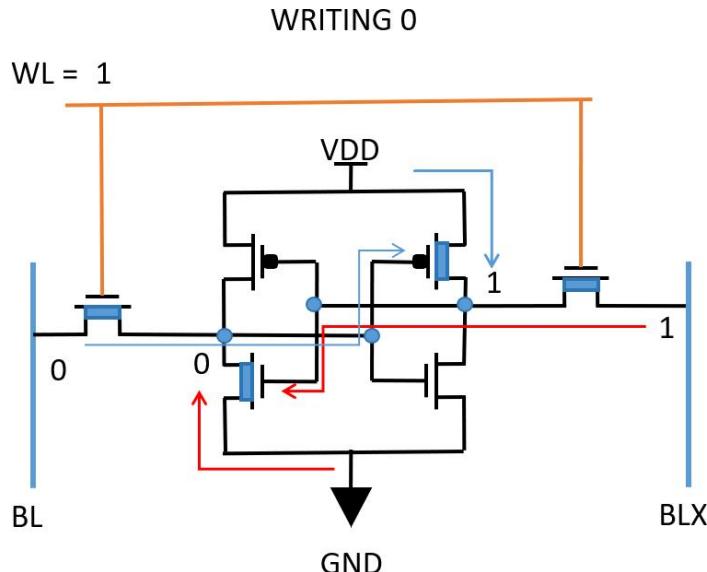


Hình 2. Sơ đồ cấu trúc 6T SRAM

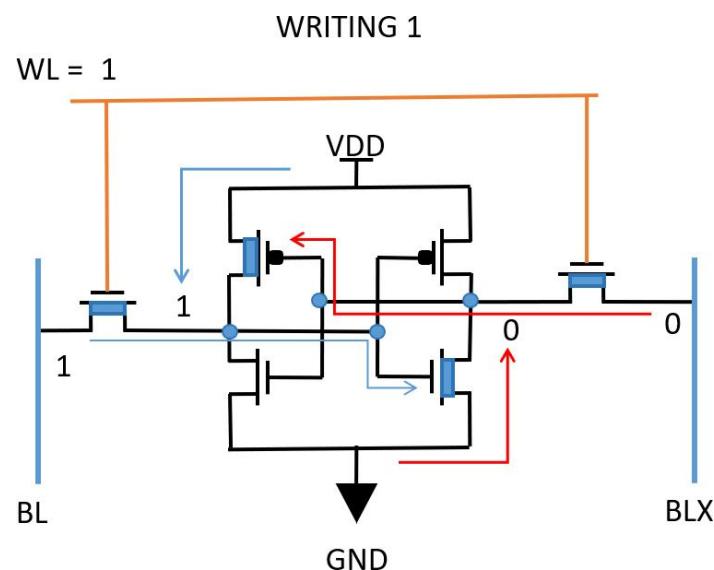
Write operation (chế độ ghi)

- Write ‘0’ Operation: dòng bit-line (BL) sẽ được gán giá trị ‘0’ vô vàn và dòng BLX có giá trị tương đương VDD. Dòng word-line (WL) sẽ khiến cho 2 transistor N1 và N2 bật. Theo đó giá trị ở bit line sẽ được chứa trong D, D sẽ mang giá trị ‘0’ và DX sẽ mang giá trị “1”
- Write ‘1’ Operation: Cách để ghi được giá trị ‘1’ cũng tương tự cách ghi trên. Dòng BL nhận giá trị của VDD và dòng BLX nhận giá trị 0 vô. Sau đó word-line (WL) cũng sẽ cho phép hai transistor N1 và N2 bật. Theo đó giá trị ‘1’ sẽ được chứa trong D và DX chứa giá trị ‘0’.

¹ J. Koo,J. Kim,S.Ryu,C.Kim, and J.-J.Kim, “Area-efficient transposable 6T SRAM for fast online learning in neuromorphic processors,” in Proc. IEEE Custom Integr. Circuits Conf. (CICC), Austin, TX, USA, Apr. 2019, pp. 1–4.



Hình 3. Sơ đồ hoạt động ghi “0” của 6T SRAM



Hình 4. Sơ đồ hoạt động ghi "1" của 6T SRAM

Read operation (chế độ đọc)

- Để thực hiện chế độ đọc từ SRAM, ta kết nối 2 đường BL và BLX với tụ C_{BL} và tụ C_{BLX} và tiến hành nạp đầy 2 tụ trên. WL bật 2 transistor N1 và N2.
- Lấy ví dụ trước đó D mang giá trị “0” và DX mang giá trị “1”. Khi này D sẽ nối thẳng xuống đất thông qua transistor giúp xả tụ C_{BL} về giá trị “0”. Sau quá trình xả tụ hai tụ

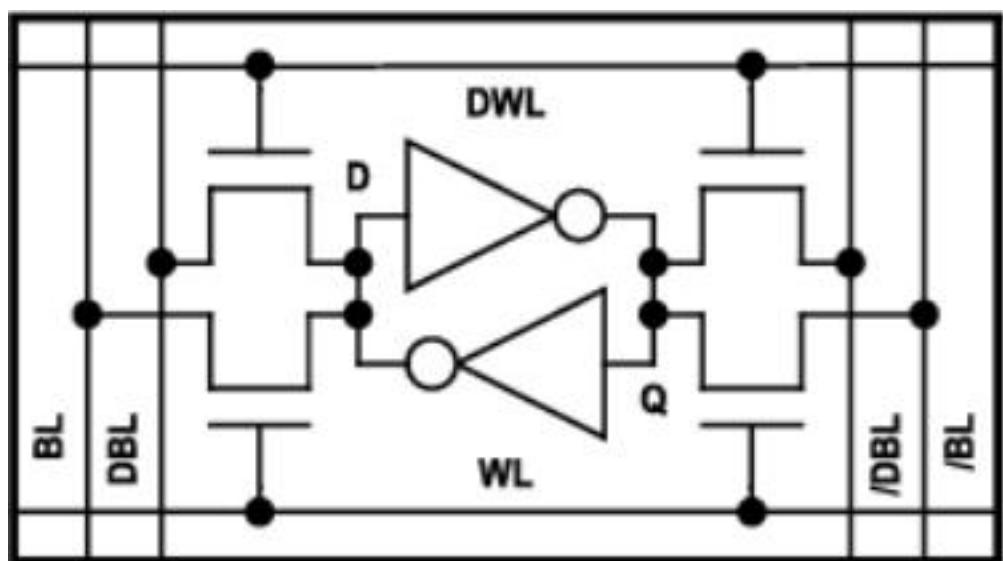
sẽ mang giá trị và giá trị đó là giá trị cần đọc. Tụ C_{BL} mang giá trị “0”, tụ C_{BLX} mang giá trị của VDD.

- Tương tự để đọc giá trị D là “1” ta bắt đầu từ quá trình ghi “1” vào BL.

2.1.2. SRAM cell chuyển tiếp – Transposable 8T SRAM – 8T TP-SRAM

8T TP – SRAM là một SRAM có cách thức hoạt động gần giống với nguyên lý hoạt động của 6T SRAM nhưng sẽ được bổ sung 2 transistor kết nối vào DWL (WL chéo với 6T SRAM tiêu chuẩn

8T TP-SRAM được đề xuất sử dụng các ký hiệu WL, BL và BLX để truy cập theo hàng và các tín hiệu DWL, DBL và DBLX để truy cập theo cột.



Hình 5. Cấu trúc 8T TP-SRAM đề xuất

Write operation (chế độ ghi)

Ở chế độ ghi của 8T TP-SRAM có thể tùy định giá trị cấp cho WL và DWL để quy định TP SRAM sẽ truy cập theo cột hay hàng và cách thực thi chế độ ghi khi cấp tín hiệu “1” cho DWL cũng tương tự với cách cấp tín hiệu cho WL.

- Write ‘0’ Operation: dòng bit-line (DBL) sẽ được gán giá trị ‘0’ và dòng DBLX có giá trị tương đương VDD. Dòng word-line (DWL) sẽ khiến cho 2 transistors N3 và N4 bật. Theo đó giá trị ở bit line sẽ được chứa trong D, D sẽ mang giá trị ‘0’ và DX sẽ mang giá trị “1”
- Write ‘1’ Operation: Cách để ghi được giá trị ‘1’ cũng tương tự cách ghi trên. Dòng DBL nhận giá trị của VDD và dòng DBLX nhận giá trị 0 và. Sau đó word-line (DWL)

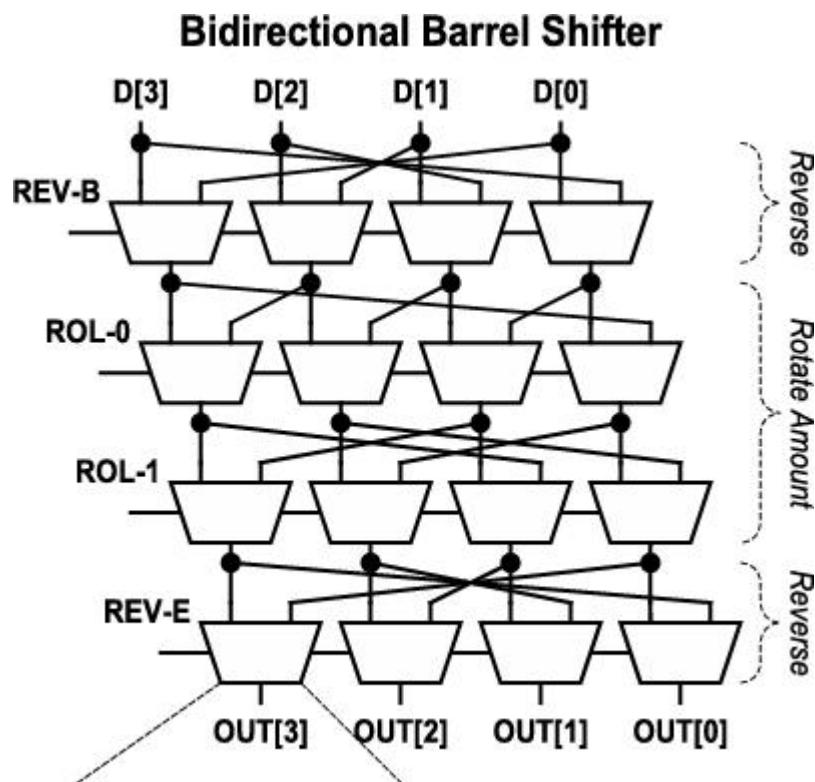
cũng sẽ cho phép hai transistor N1 và N2 bật. Theo đó giá trị ‘1’ sẽ được chứa trong D và DX chứa giá trị ‘0’.

Read operation (chế độ đọc)

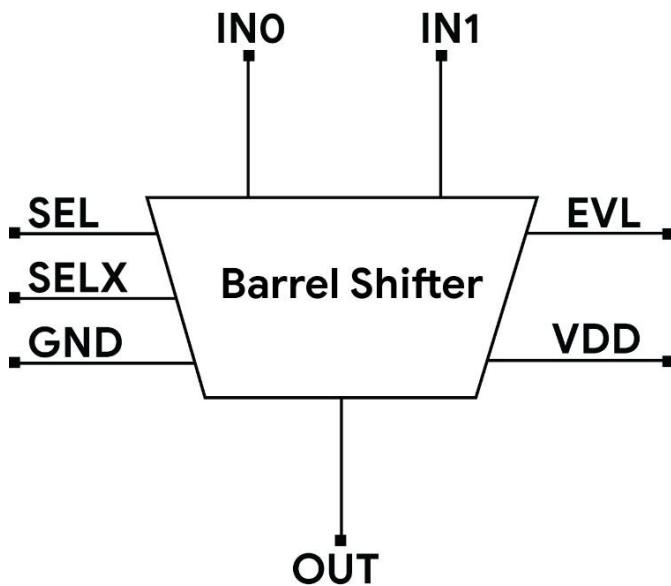
- Để thực hiện chế độ đọc từ SRAM, ta kết nối 2 đường DBL và DBLX với tụ C_{DBL} và tụ C_{DBLX} và tiến hành nạp đầy 2 tụ trên. DWL bật 2 transistor N3 và N4.
- Lấy ví dụ trước đó D mang giá trị “0” và DX mang giá trị “1”. Khi này D sẽ nối thẳng xuống đất thông qua transistor giúp xả tụ C_{DBL} về giá trị “0”. Sau quá trình xả tụ hai tụ sẽ mang giá trị và giá trị đó là giá trị cần đọc. Tụ C_{DBL} mang giá trị “0”, tụ C_{DBLX} mang giá trị của VDD.
- Tương tự để đọc giá trị D là “1” ta bắt đầu từ quá trình ghi “1” vào DBL.

2.2. Bộ dịch chuyển dữ liệu – Barrel shifter

Barrel Shifter là một mạch kỹ thuật số đóng vai trò quan trọng trong kiến trúc máy tính và thiết kế kỹ thuật số. Nó được sử dụng để thực hiện các hoạt động dịch bit trên dữ liệu nhị phân.



Hình 6. Sơ đồ cấu trúc Barrel shifter hai chiều



Hình 7. Cấu trúc thiết kế Barrel shifter để xuất

Barrel Shifter được cấu tạo từ một mảng các multiplexers (MUX) được sắp xếp theo cấu trúc "rotating barrel". Mỗi multiplexer có thể chọn một trong nhiều đầu vào để xuất ra đầu ra. Dữ liệu nhị phân đầu vào được đưa vào mảng multiplexer, và vị trí dịch được xác định bởi các tín hiệu điều khiển. Các multiplexer sẽ chọn các bit dữ liệu phù hợp để xuất ra đầu ra sau khi dịch chuyển.

Chức năng chính của barrel shifter là dịch các bit của một từ nhị phân đầu vào sang trái hoặc sang phải một số vị trí cụ thể, còn được gọi là khoảng cách dịch. Khác với các bộ dịch chuyển dữ liệu truyền thống thực hiện dịch một hoặc một vài vị trí mỗi lần, một barrel shifter có thể thực hiện các dịch của nhiều vị trí trong một chu kỳ xung clock, làm cho nó rất hiệu quả cho một số ứng dụng cụ thể.²

Barrel shifters thường được sử dụng trong các bộ vi xử lý cho các mục đích khác nhau, bao gồm các phép toán số học, xử lý dữ liệu và tính toán địa chỉ. Chúng đặc biệt hữu ích trong các ứng dụng nơi cần dịch chuyển nhanh chóng của dữ liệu, như trong các đơn vị logic và số học (ALU), đầu phẩy động (FPU).

Tóm lại, một barrel shifter nâng cao hiệu suất và hiệu quả của các hệ thống mạch logic kỹ thuật số bằng cách cung cấp một cơ chế nhanh chóng và linh hoạt để dịch chuyển các dữ liệu nhị phân.

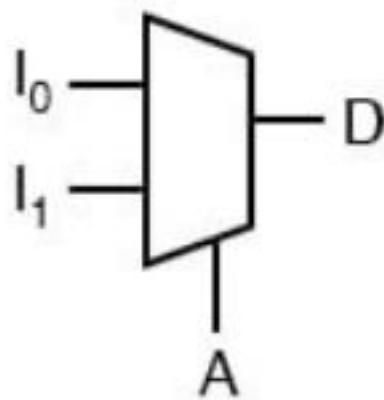
² Dain Chon, Yoojeong Yang, Hayoung Choi, and Woong Choi. “Hardware-Efficient Barrel Shifter Design Using Customized Dynamic Logic Based MUX,”. ISOCC. 2022.

2.3. Các bộ ngoại vi

2.3.1. Bitline Multiplexer – BL Mux

Trong hệ thống bộ nhớ chuyển tiếp, BL là một trong các thành phần quan trọng được sử dụng để đọc và ghi dữ liệu được lưu trữ trong các ô nhớ. Một bộ MUX là một mạch kỹ thuật số chọn một trong nhiều tín hiệu đầu vào và chuyển tiếp nó đến một đầu ra duy nhất.

Do đó, BL Mux là một ngoại vi được sử dụng để chọn hoặc định tuyến tín hiệu trên các bit-line trong các mảng bộ nhớ. Nó cho phép lựa chọn các bit-line cụ thể để đọc hoặc ghi dữ liệu trong quá trình truy cập bộ nhớ.



Hình 8. Mux (symbol)

Trong kiến trúc bộ nhớ trên, BL Mux đóng vai trò quan trọng trong việc cho phép các hoạt động đọc và ghi hiệu quả bằng cách điều khiển luồng dữ liệu giữa các ô nhớ và các mạch đầu vào/ra của hệ thống bộ nhớ. Chúng giúp truy cập dữ liệu mong muốn được lưu trữ trong các ô nhớ và định hướng nó đến các đường dẫn dữ liệu phù hợp để xử lý hoặc truy xuất.

2.3.2. Selective Precharge

Trong các hệ thống bộ nhớ, khi một hàng của bộ nhớ được chọn để truy cập, BL (bit-lines) trong hàng đó được kích hoạt để đọc hoặc ghi dữ liệu. Sau khi hoạt động hoàn tất, có thể cần phải "precharge" các dòng bit này trở lại mức logic ban đầu để chuẩn bị cho hoạt động tiếp theo.

Precharge chọn lọc sử dụng các tín hiệu điều khiển để xác định những hàng thực sự được truy cập trong mỗi chu kỳ truy cập dữ liệu. Sau đó, chỉ những hàng này được precharge

về trạng thái ban đầu, trong khi các hàng còn lại giữ nguyên trạng thái. Việc sử dụng các mạch logic hiệu quả giúp tối ưu hóa quá trình điều khiển và giảm thiểu tiêu thụ năng lượng.

Selective Precharge được ứng dụng rộng rãi trong các thiết kế bộ nhớ máy tính hiện đại, bao gồm DRAM, SRAM và bộ nhớ flash. Kỹ thuật này đóng vai trò quan trọng trong việc nâng cao hiệu suất và tiết kiệm năng lượng cho các thiết bị điện tử như máy tính, điện thoại thông minh và máy tính bảng.

	Selective Precharge	Traditional Precharge
Phạm vi precharge	Chỉ những hàng được chọn	Toàn bộ bộ nhớ
Năng lượng tiêu thụ	Thấp	Cao
Tốc độ truy cập	Nhanh	Chậm
Delay	Thấp	Cao

Bảng 2. So sánh lợi thế của Selective Precharge và Precharge thông thường

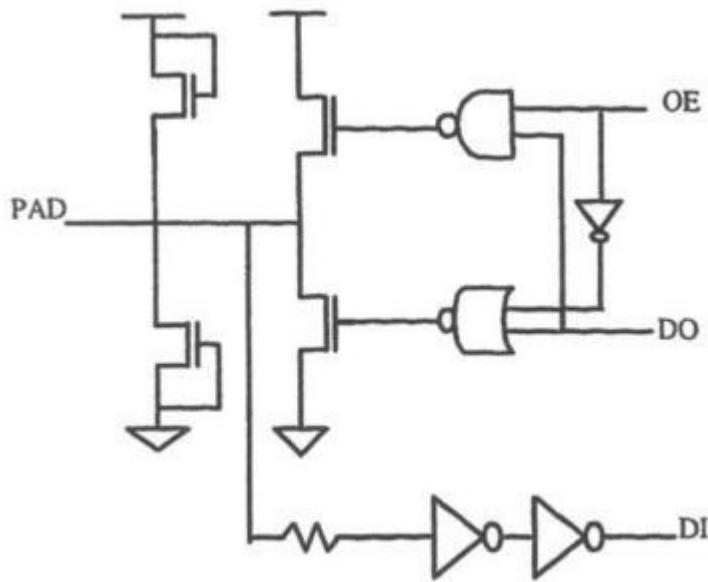
2.3.3. Control

Khối control đóng vai trò trung tâm trong việc quản lý và điều khiển mọi hoạt động của hệ thống bộ nhớ. Nó đảm bảo việc đọc, ghi dữ liệu chính xác, hiệu quả và tối ưu hóa hiệu suất cho hệ thống.

Control hoạt động phối hợp chặt chẽ với các bộ phận khác trong hệ thống bộ nhớ, bao gồm các chip DRAM, SRAM, bộ đệm dữ liệu,... Nhờ sự kết hợp hoàn hảo này, control giúp hệ thống bộ nhớ đạt được hiệu suất cao, độ tin cậy và khả năng mở rộng đáp ứng nhu cầu ngày càng tăng của các hệ thống kỹ thuật số hiện đại.

Khối điều khiển bộ nhớ là một bộ phận thiết yếu trong hệ thống bộ nhớ, đóng vai trò then chốt trong việc quản lý dữ liệu và đảm bảo hiệu suất hoạt động. Nhờ sự phức tạp và hiệu quả của control, hệ thống bộ nhớ có thể lưu trữ và truy cập dữ liệu một cách nhanh chóng, chính xác và tiết kiệm năng lượng.

2.3.4. Ngoại vi I/O 1-bit



Hình 9. Ngoại vi I/O 1-bit

Chức năng chính của khối IO PAD:

- Cung cấp giao diện vật lý: IO PAD tạo ra các chân giao tiếp vật lý trên chip để kết nối với các thiết bị ngoại vi thông qua dây dẫn hoặc PCB.
- Điều khiển tín hiệu: IO PAD điều khiển mức điện áp, dòng điện và thời gian của các tín hiệu truyền qua lại giữa chip và thiết bị ngoại vi.
- Bảo vệ chip: IO PAD bảo vệ chip khỏi các nhiễu điện, điện áp tĩnh và các yếu tố môi trường khác có thể gây hại.
- Cải thiện hiệu suất: IO PAD được thiết kế để tối ưu hóa tốc độ truyền tín hiệu, giảm thiểu nhiễu và đảm bảo độ tin cậy của dữ liệu.

2.4. Bộ nhớ TP

TP Memory, viết tắt của Transposable Memory hay còn gọi là bộ nhớ chuyển vị, là một loại bộ nhớ mới trong mảng lưu trữ dữ liệu, mang đến những vượt trội so với các bộ nhớ thông thường như:

Điểm mạnh lớn nhất của TP Memory chính là khả năng truy cập dữ liệu không giới hạn hướng truy cập. Khác với các bộ nhớ thông thường gò bó bởi thứ tự hàng và cột, TP Memory cho phép truy cập dữ liệu ở bất kỳ vị trí nào một cách tự do. Điều này mang lại lợi thế to lớn cho các ứng dụng kỹ thuật số, xử lý ngôn ngữ tự nhiên và trí tuệ nhân tạo, nơi các thuật toán đòi hỏi truy cập đồng thời vào nhiều phần dữ liệu liên quan một cách linh hoạt.

TP Memory được tối ưu hóa để mang đến hiệu suất cao và tiết kiệm năng lượng, đặc biệt phù hợp cho các ứng dụng cần truy cập dữ liệu linh hoạt. Khác với các bộ nhớ thông thường chỉ tối ưu hóa cho hiệu suất tốt nhất trong môi trường ứng dụng cụ thể, TP Memory thể hiện tính linh hoạt vượt trội trong truy cập dữ liệu, dẫn đến hiệu quả năng lượng cao hơn trong nhiều trường hợp.³

³ Dain Choi, Woong Choi. “Hardware Efficient Transposable 8T SRAM for Orthogonal Data Acces,”. IEEE Access. 2023, vol. 12.

CHƯƠNG 3. THỰC HIỆN VÀ THIẾT KẾ PHẦN CỨNG

3.1. Thiết kế các cổng logic cơ bản

3.1.1. Cổng NAND

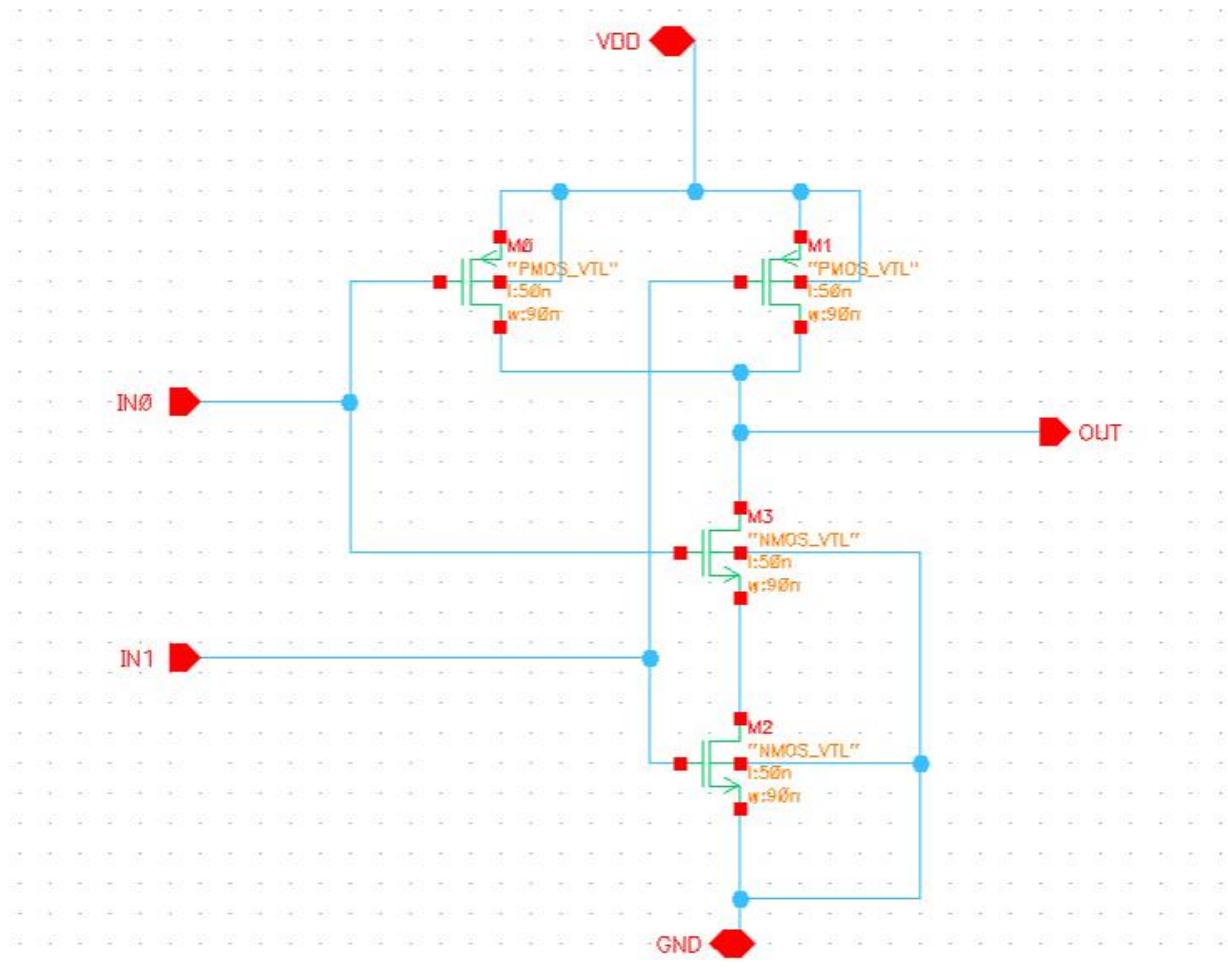
Cổng NAND là một mạch logic kỹ thuật số thực hiện phép toán logic NAND. Phép toán NAND trả về giá trị FALSE chỉ khi cả hai đầu vào đều là TRUE. Nếu một trong hai đầu vào là FALSE, đầu ra sẽ là TRUE



Hình 10. NAND symbol

IN0	IN1	OUT
0	0	1
0	1	1
1	0	1
1	1	0

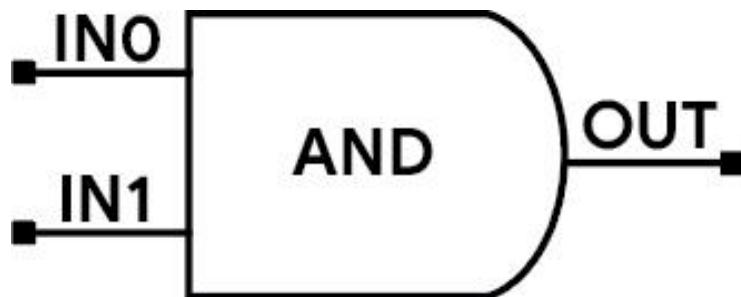
Bảng 3. Bảng sự thật cổng NAND



Hình 11. Sơ đồ mạch thiết kế cổng NAND

3.1.2. Cổng AND

Cổng AND là một mạch logic kỹ thuật số thực hiện phép toán logic AND. Phép toán AND trả về giá trị TRUE chỉ khi cả hai đầu vào đều là TRUE. Nếu một trong hai đầu vào là FALSE, đầu ra sẽ là FALSE.

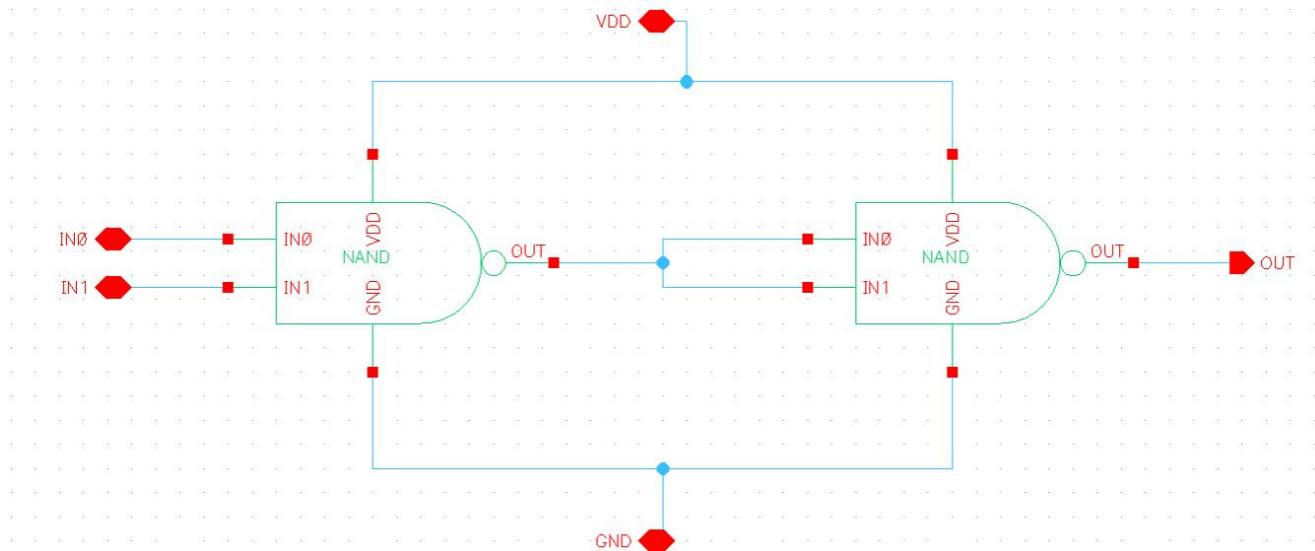


Hình 12. Cổng AND symbol

IN0	IN1	OUT
0	0	0
0	1	0
1	0	0
1	1	1

Bảng 4. Bảng sự thật công AND

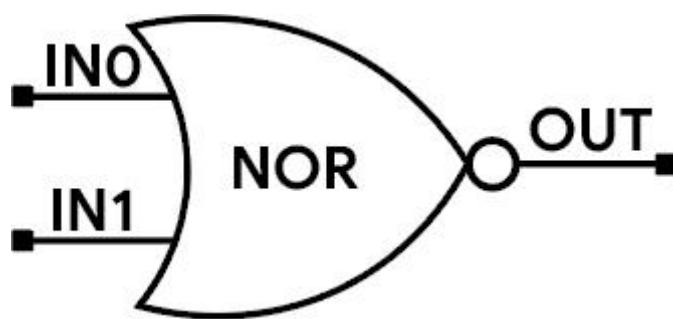
Bằng cách ghép liên tiếp 2 công NAND lại với nhau, công ra công NAND thứ 1 cho vào cả 2 tín hiệu công NAND thứ 2. Ta tạo thành công AND



Hình 13. Sơ đồ mạch thiết kế công AND

3.1.3. Công NOR

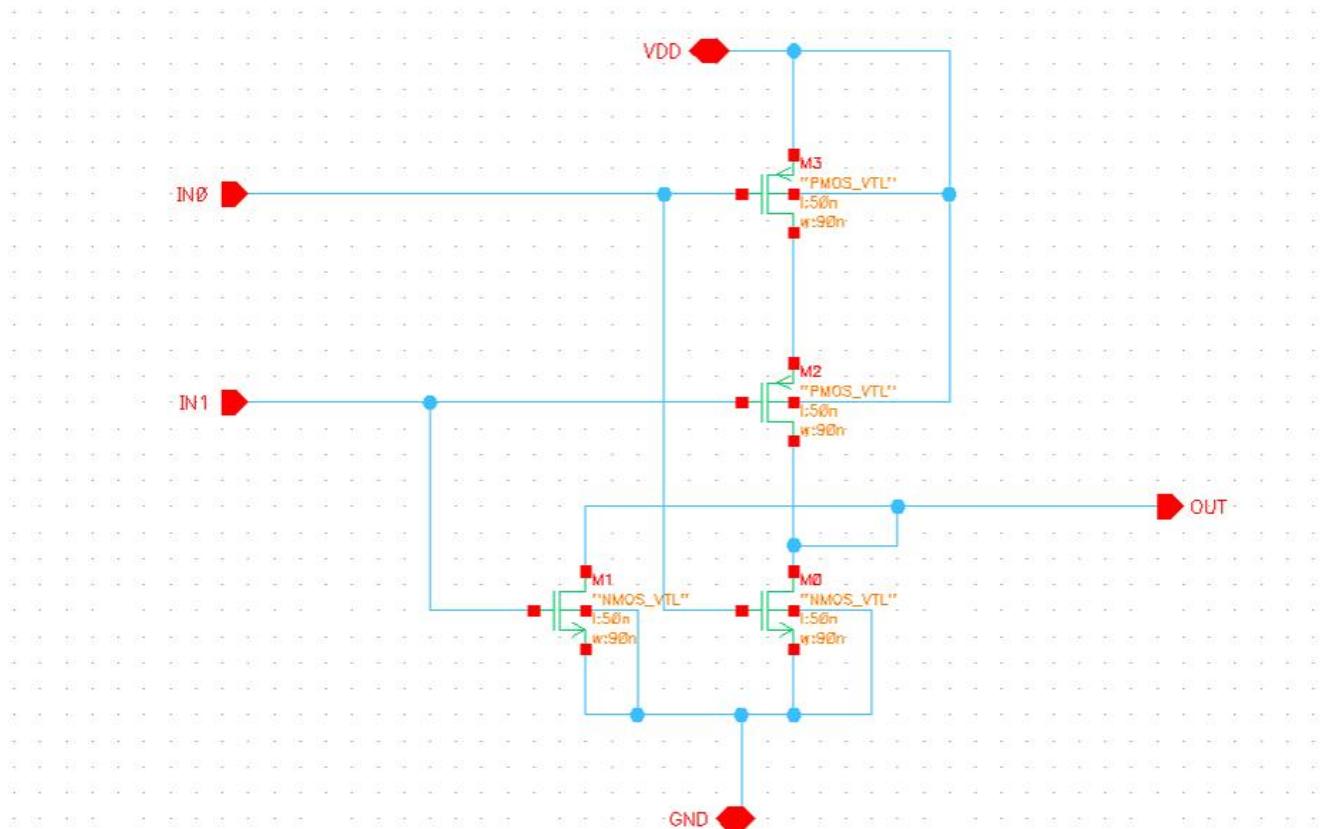
Công NOR thực hiện phép toán logic NOR. Nó trả về TRUE khi cả hai đầu vào đều là FALSE, và FALSE trong mọi trường hợp khác.



Hình 14. Công NOR symbol

IN0	IN1	OUT
0	0	1
0	1	0
1	0	0
1	1	0

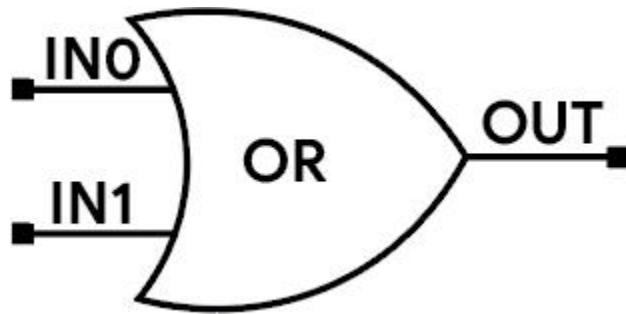
Bảng 5. Bảng sự thật cỗng NOR



Hình 15. Sơ đồ mạch thiết kế cỗng NOR

3.1.4. Cỗng OR

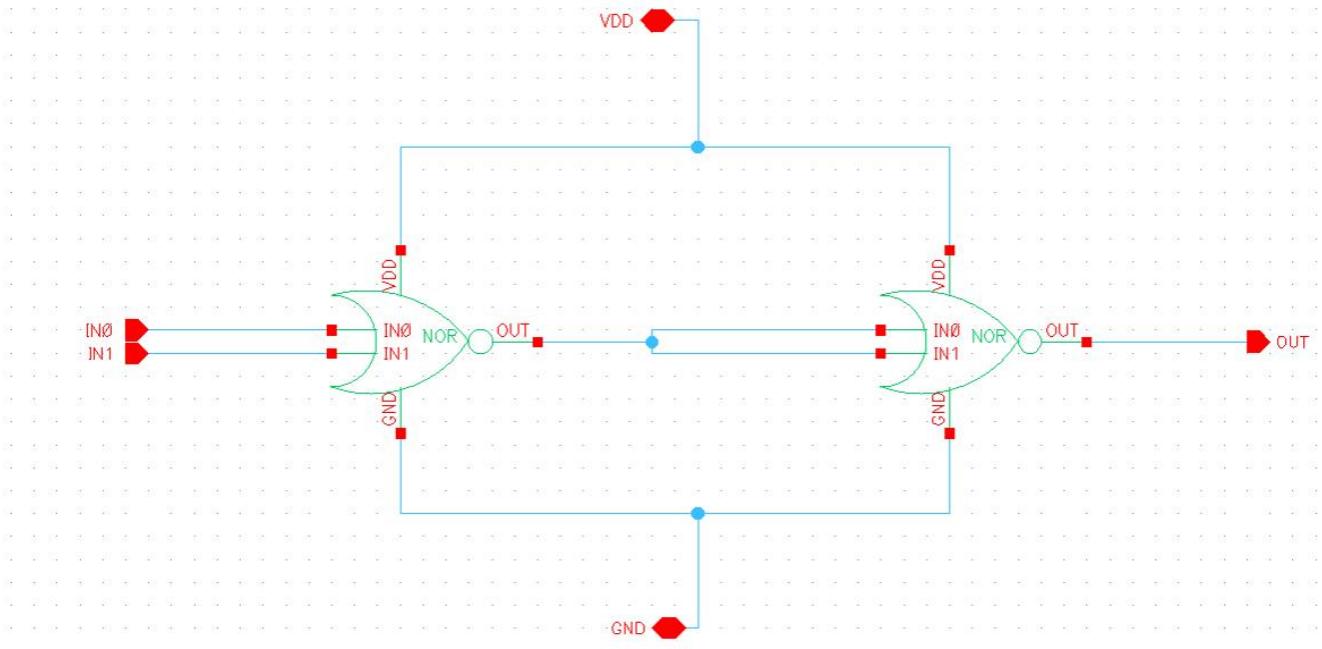
Cỗng OR trả về TRUE khi ít nhất một trong hai đầu vào là TRUE. Nếu cả hai đầu vào đều là FALSE, đầu ra là FALSE.



Hình 16. Cỗng NOR symbol

IN0	IN1	OUT
0	0	0
0	1	1
1	0	1
1	1	1

Bảng 6. Bảng sự thật cỗng OR

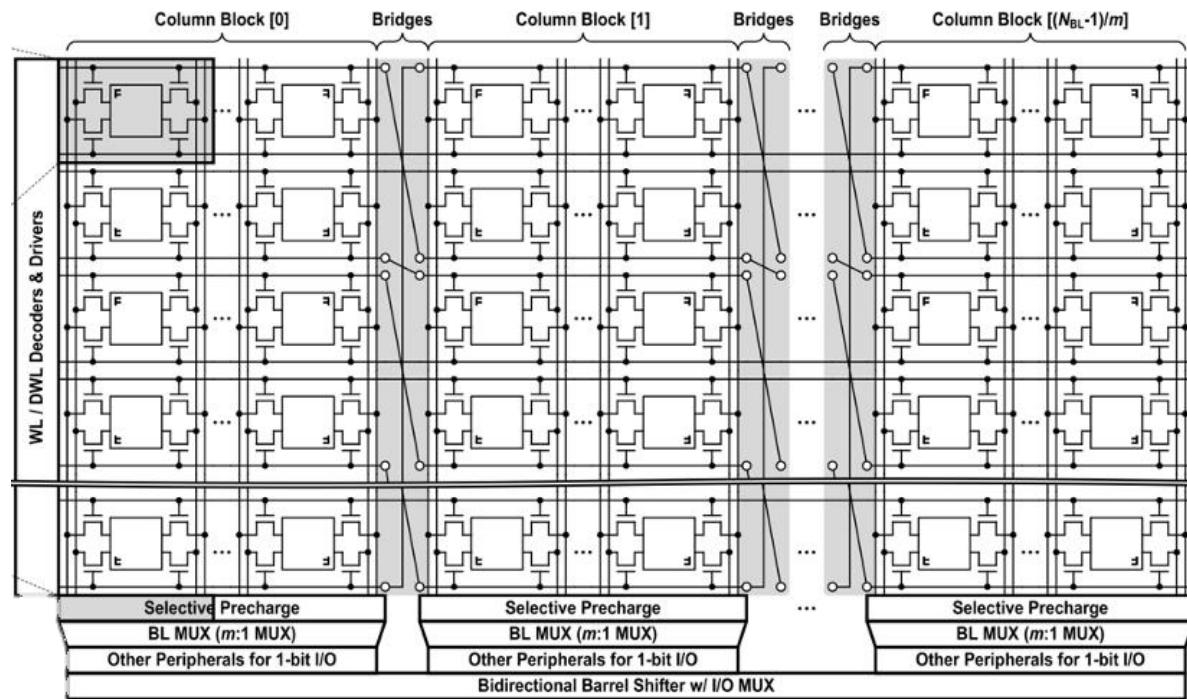


Hình 16. Sơ đồ mạch thiết kế cỗng OR

3.2. Thiết kế TP Memory

TP-SRAM được đề xuất dựa trên cấu trúc bộ nhớ TP dựa trên I/O tích hợp, vì vậy nó bao gồm các WL bổ sung theo hướng chéo (DWL) và barrel shifter. Ngoài ra còn tích hợp thêm một số ngoại vi thích hợp. Trong cấu trúc xen kẽ cột, khi các cột chia sẻ một tín hiệu tới BL MUX trong một mảng ô được nhóm thành một khối cột, dữ liệu 1-bit được truy cập từ một

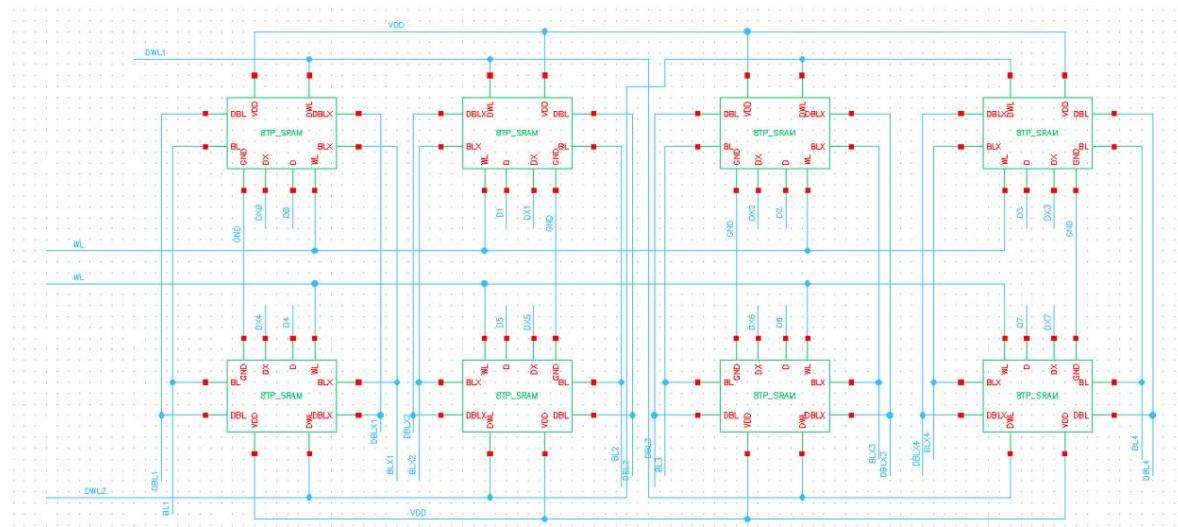
khối cột. DWL được kết nối theo chiều ngang trong khối cột giống như WL thông thường nhưng được kết nối theo đường chéo xuống dưới.



Hình 17. Sơ đồ khái niệm thiết kế TP Memory [1]

- Khối WL/DWL Decoders & Drivers có chức năng chọn lựa tín hiệu ngõ vào WL hoặc DWL để quy định chức năng dịch chuyển dữ liệu theo hàng hoặc đường chéo.
- Khối Selective Precharge có chức năng nạp và tích cực tín hiệu ngõ vào/ra để TP Memory thực hiện chức năng lưu trữ và đọc dữ liệu trước và sau khi dịch chuyển
- Khối BL Mux có chức năng chọn lọc dữ liệu ngõ ra để trả về đúng với giá trị mong muốn ban đầu nạp vào bộ nhớ
- Khối Other Peripherals for 1-bit I/O hay BL-Peri có chức năng như một khối buffer giúp cải thiện tín hiệu truyền
- Khối Bidirectional Barrel Shifter có chức năng dịch dữ liệu để đưa vào bộ nhớ thực hiện chức năng ghi và đọc dữ liệu ra khỏi bộ nhớ sau quá trình dịch chuyển ngược lại để trả về đúng vị trí ban đầu

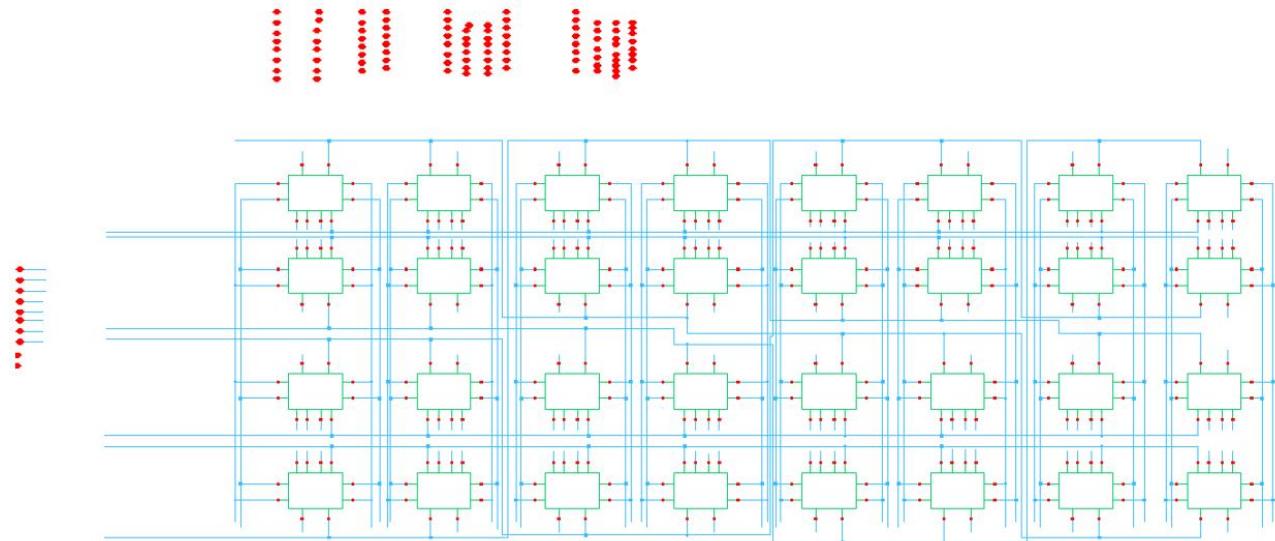
Thực hiện thiết kế 8T TP-SRAM array 4x2



Hình 18. Sơ đồ mạch thiết kế TP Memory 4x2

TP Memory kích thước array 2×2 8T TP-SRAM thực hiện đủ chức năng của một khối memory chọn dữ liệu theo hàng bằng tín hiệu vào WL nhận tích cực “1” và chọn tín hiệu theo đường chéo khi DWL tích cực lên “1”

Thiết kế TP Memory array 8x4

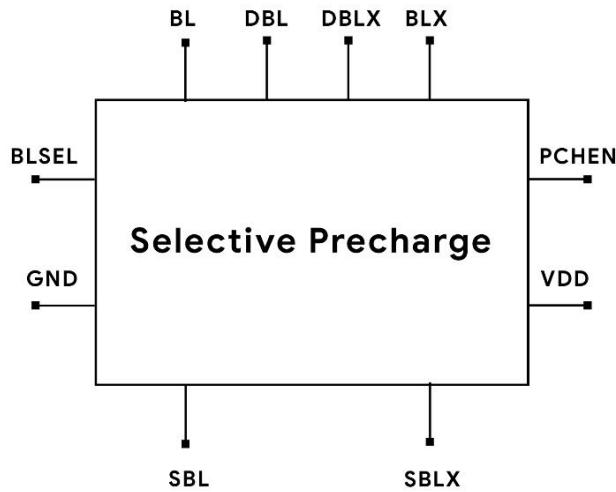


Hình 19. Sơ đồ mạch thiết kế TP Memory 8x4

3.3. Thiết kế Selective Precharge

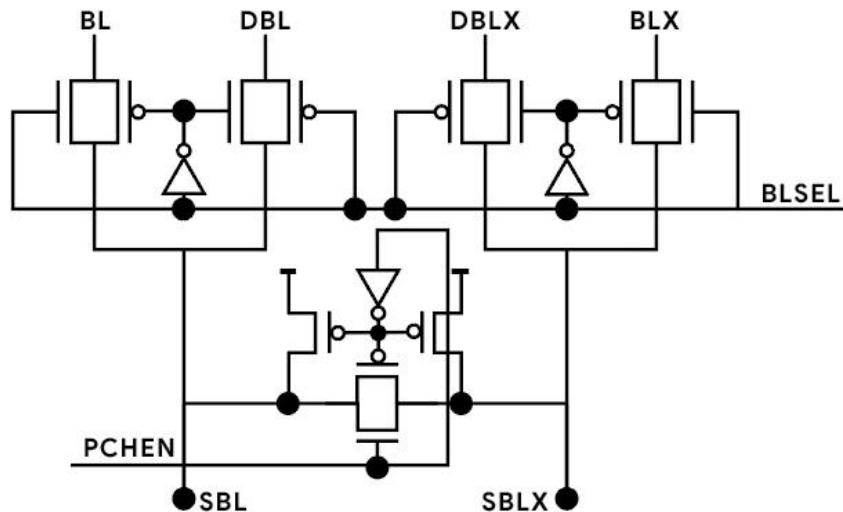
Trong bitcell được đề xuất với hai WL (WL và DWL), chỉ có một WL có thể hoạt động, vì vậy các BL có cùng cực (BL, DBL và BLX, DBLX) có thể được nối cứng với hai cặp BL khác nhau (cặp BL, cặp DBL). Tuy nhiên, cách này làm tăng điện dung BL, làm tăng công suất

chuyển mạch BL và giảm tính ổn định của hoạt động đọc dữ liệu của 8T TP-SRAM. Vì lý do này, TP-SRAM được đề xuất sử dụng một khói Selective Precharge.

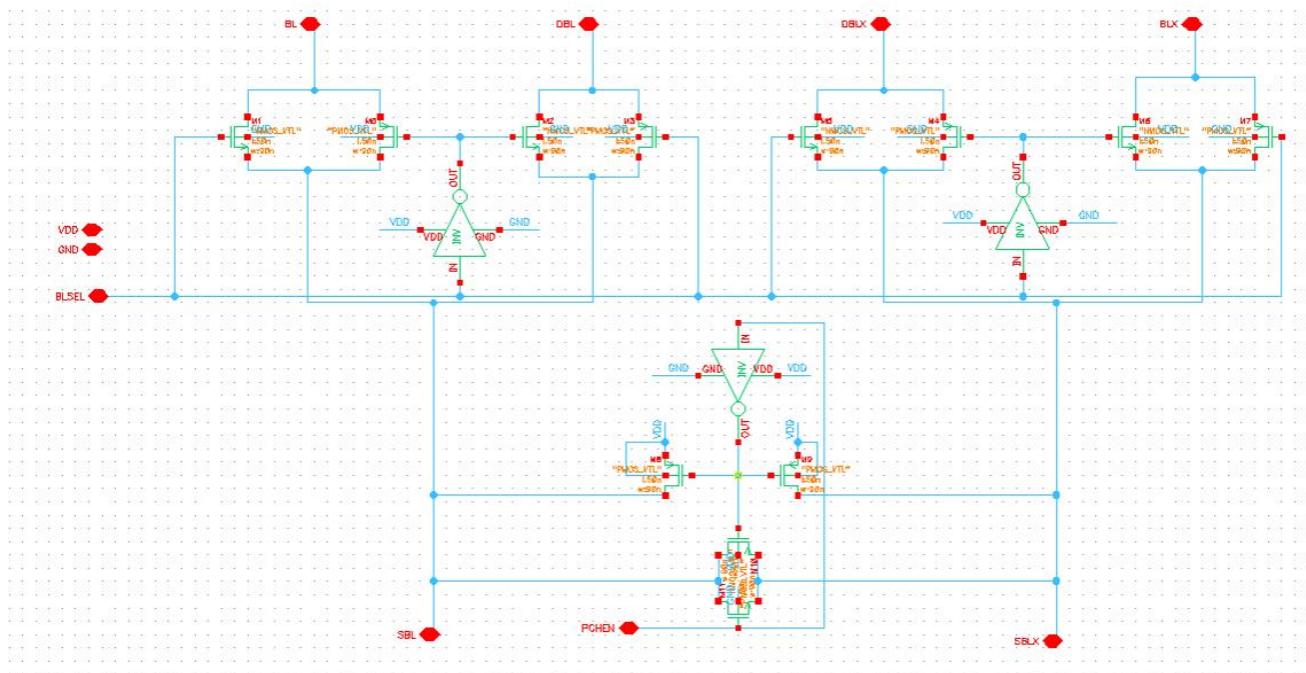


Hình 20. Khối Selective Precharge đề xuất

Các tín hiệu ngõ vào BL, DBL, DBLX, BLX là các tín hiệu được trả ra sau hoạt động của mảng 8T TP-SRAM (tùy thuộc vào quá trình chọn tín hiệu ngõ ra từ hàng hay cột).



Hình 21. Sơ đồ khối thiết kế khối Selective Precharge đề xuất



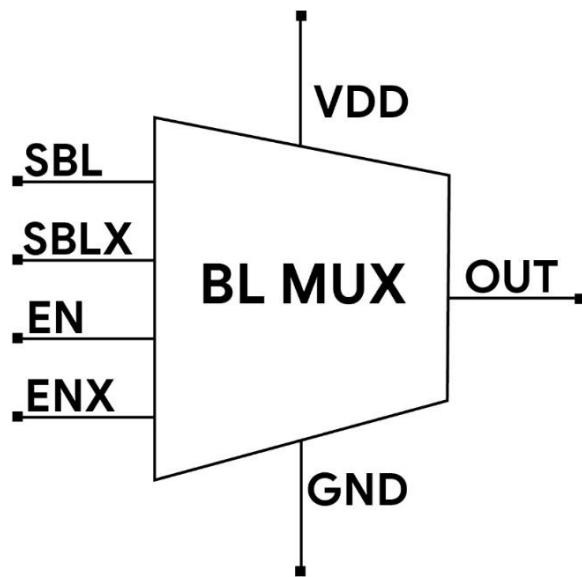
Hình 22. Sơ đồ mạch thiết kế khối Selective Precharge đè xuất

3.4. Thiết kế BL Mux

Trong một khối Barrel Shifter đè xuất, BL Mux sẽ là thành phần quan trọng được sử dụng để tiến hành thực hiện lưu và chọn dữ liệu ngõ ra hỗ trợ cho thao tác dịch chuyển các bit dữ liệu của barrel shifter. Một số lượng Mux sẽ được ghép lại với nhau theo Domino Logic để tiến hành tạo thành một Barrel Shifter có khả năng dịch dữ liệu tùy ý theo yêu cầu thực thi.⁴

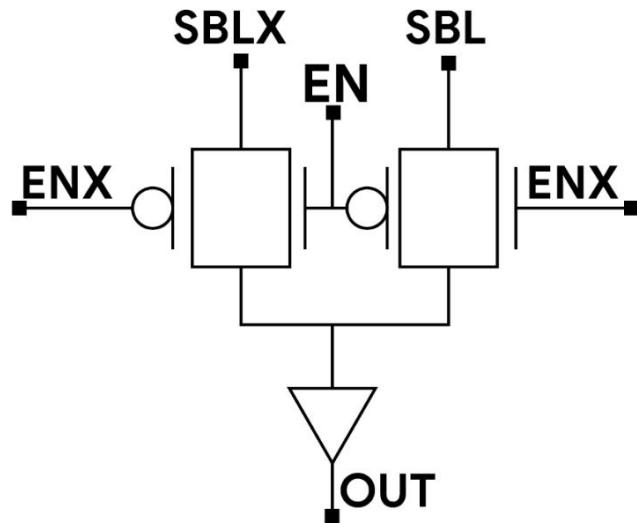
Qua quá trình kiểm chứng và so sánh giữa BL Mux và Mux 2:1 nhận thấy rằng về mặt logic 2 cổng này có hoạt động tương tự nhau. Ở Mux 2:1 sẽ có 2 ngõ vào và một tín hiệu chọn lựa để quy định ngõ ra và cần thiết kế lên bằng 3 cổng logic là 2 cổng AND và 1 cổng OR làm tăng tiết diện của khối Mux sử dụng cùng mục đích. Riêng ở BL Mux đè xuất chỉ cần dùng 4 transistor và một cổng buffer để có thể cấu thành một cổng thực hiện đầy đủ chức năng của một khối multiplexer

⁴ J.-s. Seo, B. Brezzo, Y. Liu, B. D. Parker, S. K. Esser, R. K. Mon toye, B. Rajendran, J.A. Tierno, L. Chang, D. S. Modha, and D. J. Friedman, “A 45 nm CMOS neuromorphic chip with a scalable architecture for learning in networks of spiking neurons,” in Proc.IEEE Custom Integr. Circuits Conf. (CICC), San Jose, CA, USA, Sep. 2011, pp. 1–4

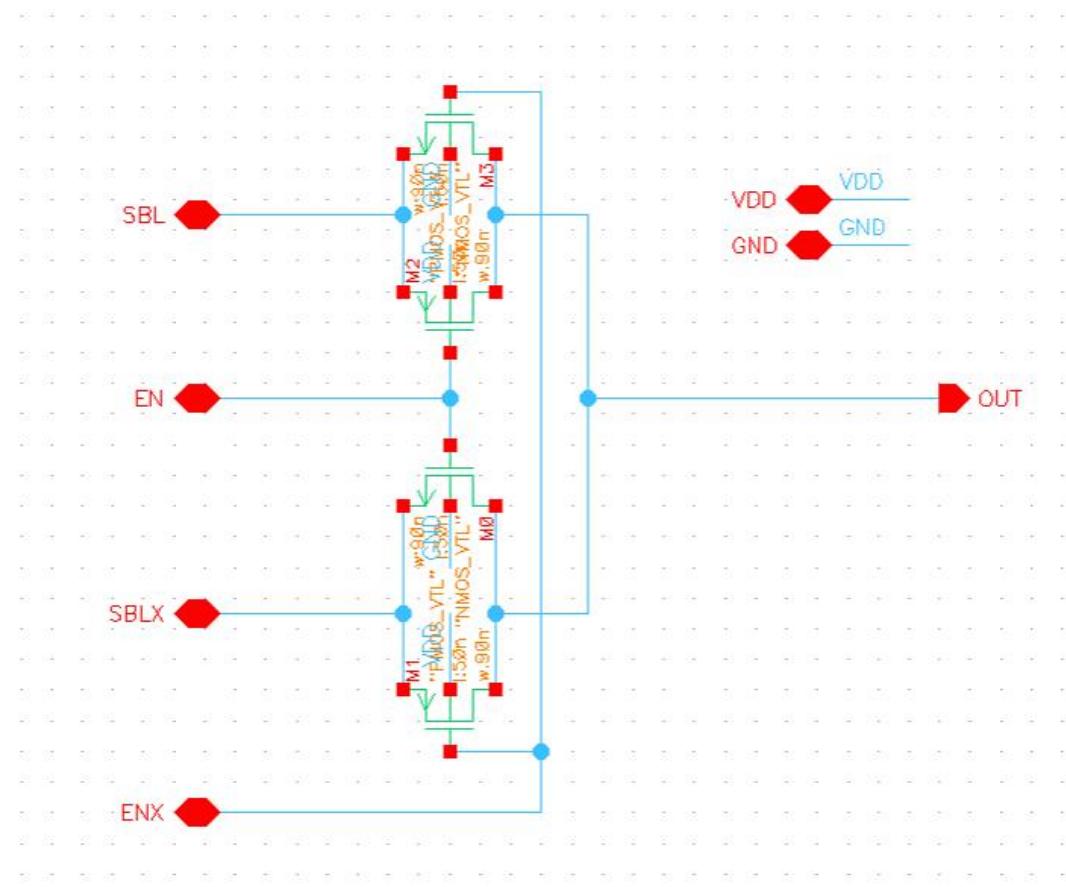


Hình 23. Khối BL Mux để xuất

Ở khối Mux 2 tín hiệu SBL và SBLX là nơi nhận tín hiệu ngõ vào sau khi trải qua quá trình Selective Precharge trước đó để tiến hành thực hiện dịch dữ liệu tại barrel shifter. Ngõ vào EN và ENX sẽ là 2 ngõ quy định tín hiệu ra với ENX sẽ là cổng cho tín hiệu đảo bit của EN.



Hình 24. Sơ đồ thiết kế khối BL Mux để xuất



Hình 25. Sơ đồ mạch thiết kế khối BL Mux để xuất

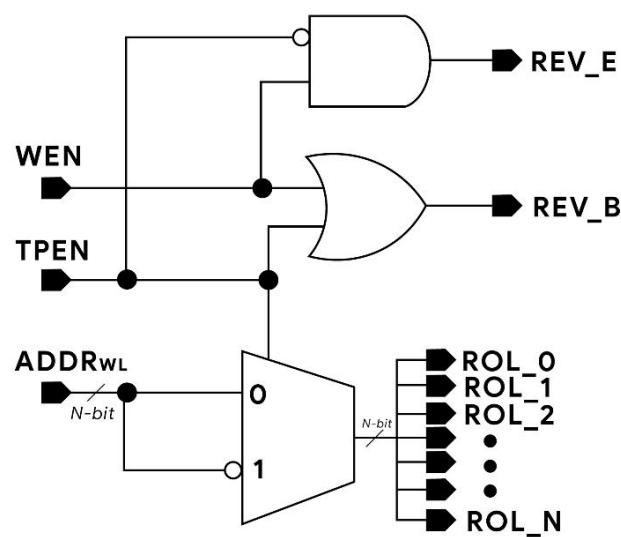
SBL	SBLX	EN	ENX	OUT
1	0	0	1	1
1	0	1	0	0
0	1	1	0	1
0	1	0	1	0

Bảng 7. Bảng sự thật khối BL Mux

Từ bảng chân trị có thể thấy rằng BL Mux thực hiện đúng nguyên lý hoạt động trên sơ đồ nguyên lý mô phỏng ở phần mềm.

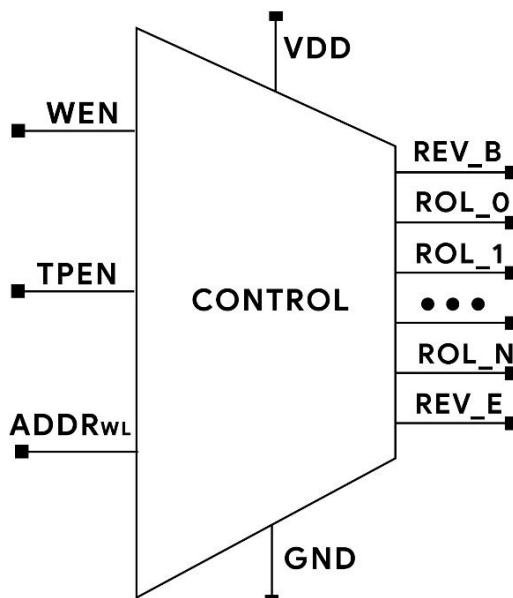
3.5. Thiết kế khối Control

Khối Control một khối chức năng giúp xác định chức năng thực thi liên kết với khối barrel shifter. Nó định ra các tín hiệu REV_E, REV_B, ROL_n, để tạo ra các tín hiệu xác lập khả năng dịch trái, dịch phải của barrel shifter.



Hình 26. Sơ đồ thiết kế khối Control để xuất

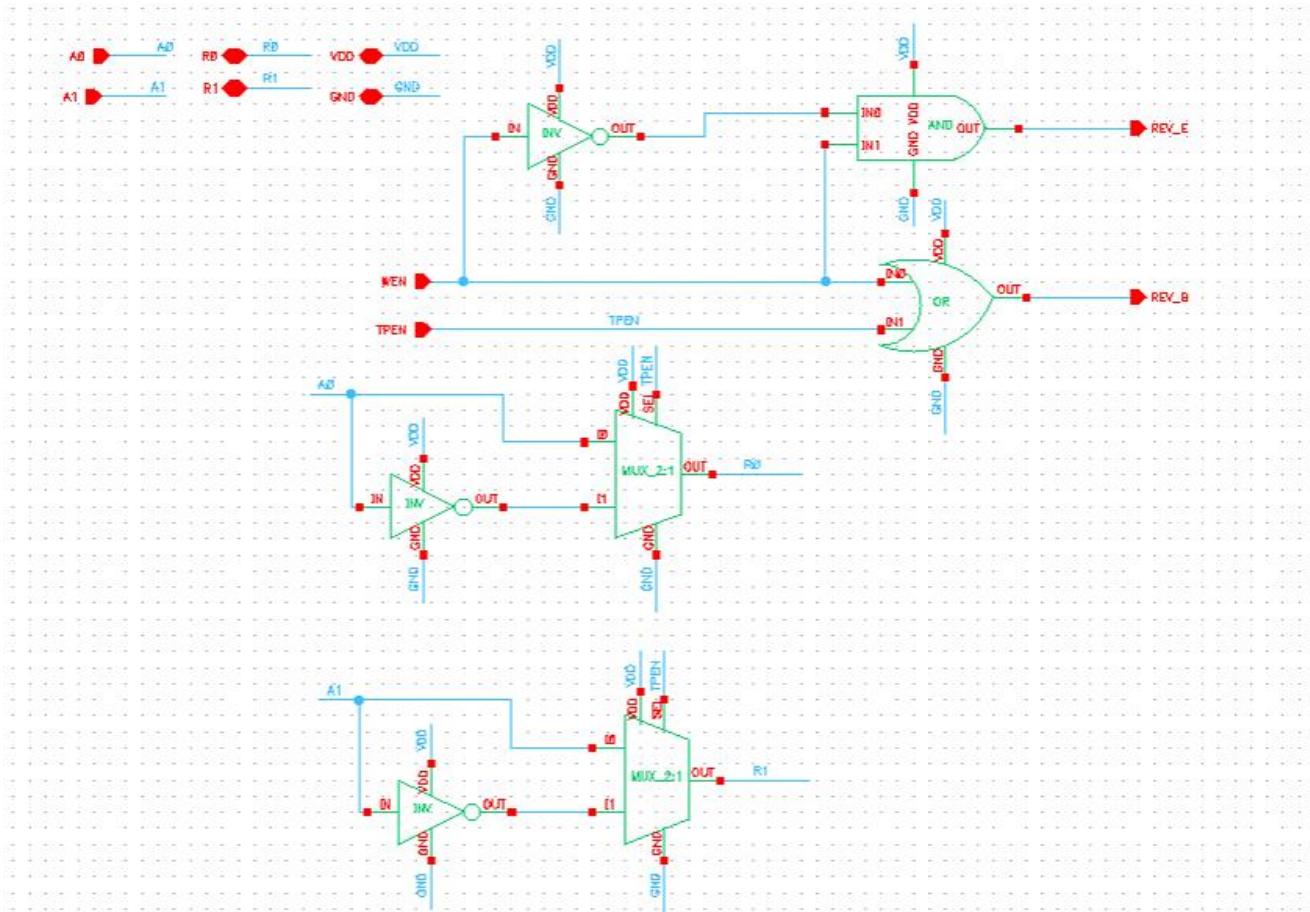
Trong sơ đồ nguyên lý thực hiện khói Control cần sử dụng một khói Mux2:1 để xác lập dữ liệu ngõ ra phù hợp với yêu cầu dịch chuyển dữ liệu, một công AND và OR giúp xác định yêu cầu lấy dữ liệu theo hàng hay cột.



Hình 27. Khối Control để xuất

TPEN	WEN	REV-B	REV-E	ROL-X
0	0	0	0	ADDR _{WL}
0	1	1	1	ADDR _{WL}
1	0	1	0	\ADDR _{WL}
1	1	1	0	\ADDR _{WL}

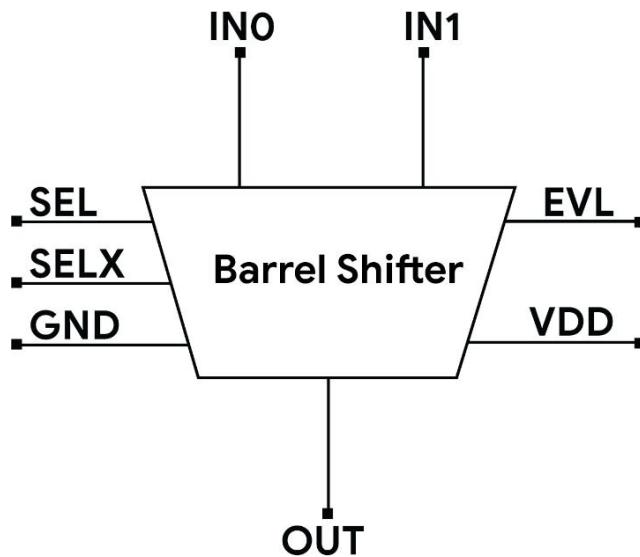
Bảng 8. Bảng sự thật chức năng khối Control



Hình 28. Sơ đồ mạch thiết kế khói Control

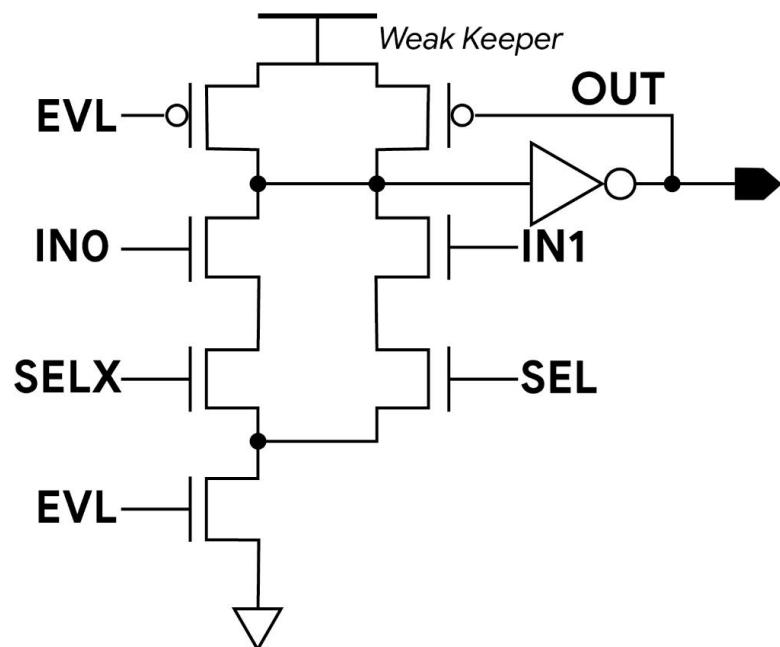
3.6. Thiết kế Barrel Shifter

3.6.1. Thiết kế Barrel shifter đơn



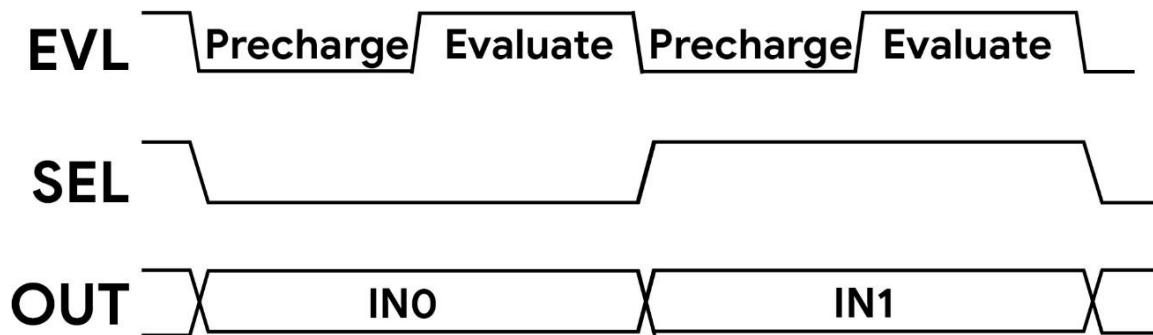
Hình 29. Khối Barrel shifter

Barrel shifter là một khối xử lý tín hiệu ngõ vào thực hiện xác định tính hiệu ngõ ra tương tự cách hoạt động của một khối Mux nhưng ở mỗi chu kỳ hoạt động barrel shifter dành ra nửa chu kỳ để precharge nguồn để tuân tự đưa tín hiệu mới vào. Tín hiệu ngõ ra phụ thuộc vào ngõ vào IN0, IN1 và tín hiệu select (SEL).

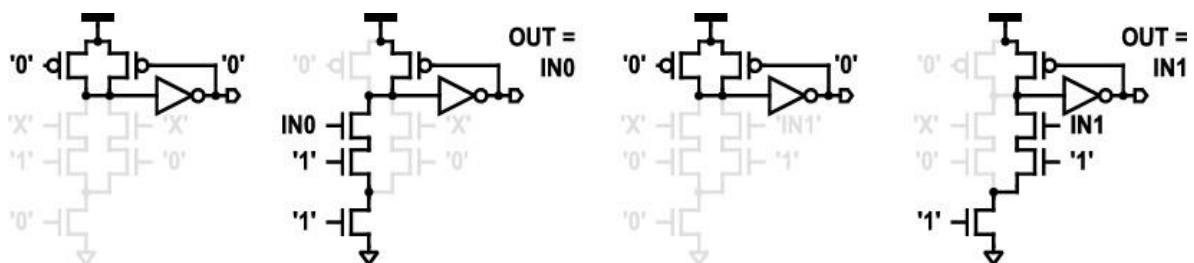


Hình 30. Sơ đồ thiết kế khối Barrel shifter

Mô tả cách thức hoạt động của barrel shifter [6]. Khi quá trình precharge diễn ra, 2 transistor PMOS bật, nguồn VDD đi qua xả nguồn về OUT nên OUT nhận “0”. Khi quá trình evaluate diễn ra, 2 transistor bên trái bật, OUT = IN0, tương tự khi 2 transistor bên phải bật lên, OUT = IN1. Ở đây ta nhận thấy transistor PMOS bên phải nhận năng lượng từ ngõ ra inverter sẽ có kích thước nhỏ hơn các transistor khác. Vì ở quá trình Precharge trước đó gây ra mức tiêu thụ điện năng tương đối lớn.



Hình 31. Dạng sóng của khối Barrel shifter

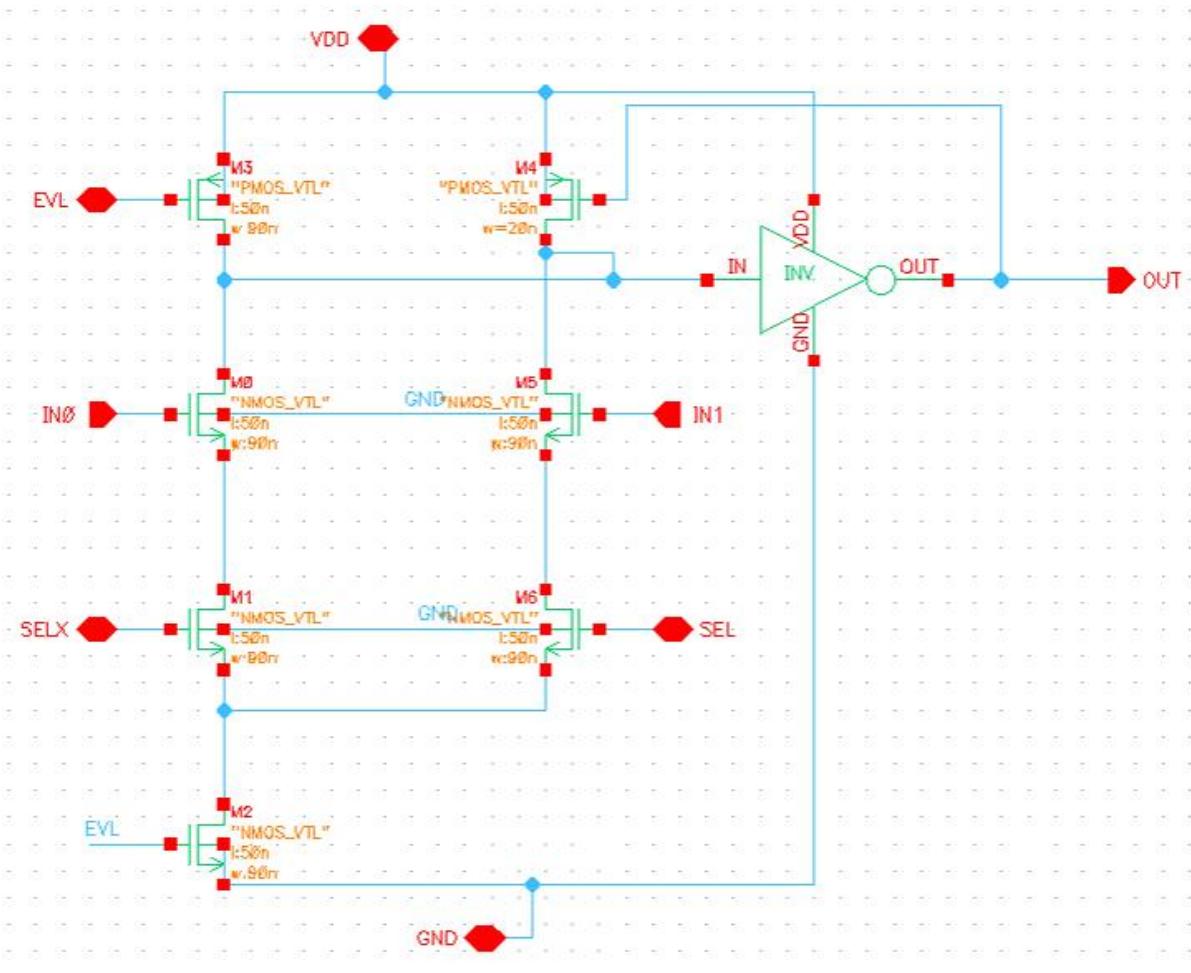


Hình 32. Quá trình hoạt động của khối Barrel shifter

Tín hiệu EVL quy định quá trình Precharge hoặc Evaluate của barrel shifter, khi EVL tích cực mức 0 vôn, barrel shifter thực hiện precharge nên tín hiệu ngõ ra sẽ là “0”. Khi EVL tích cực mức 1, barrel shifter đưa vào trạng thái evaluate, tín hiệu SEL sẽ quy định ngõ ra mang cùng giá trị với ngõ vào nào.

EVL	Trạng thái	SEL	IN0	IN1	OUT
0	Precharge	0	x	x	0
0	Evaluate	0	0	x	0
1	Evaluate	0	1	x	1
0	Precharge	1	x	x	0
1	Evaluate	1	x	0	0
1	Evaluate	1	x	1	1

Bảng 9. Bảng sự thật khối Barrel shifter

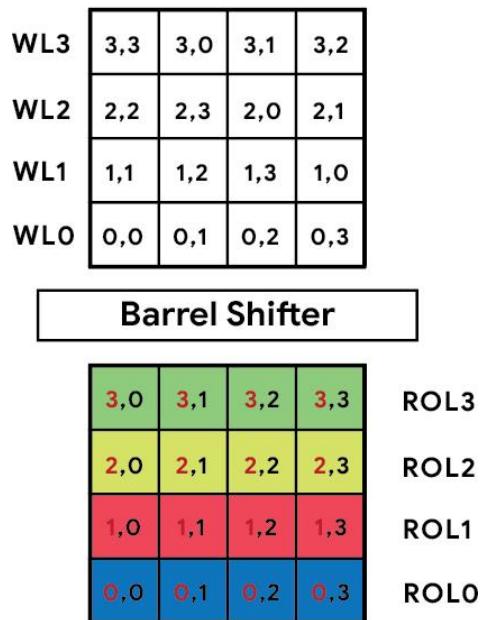


Hình 33. Sơ đồ mạch thiết kế khối Barrel Shifter

3.6.2. Thiết kế Bidirectional Barrel Shifter

Ở bộ nhớ TP được đề xuất, barrel shifter thực thi chức năng dịch chuyển các bit dữ liệu sang trái hoặc phải theo hàng hoặc cột giúp sắp xếp lại dữ liệu theo mong muốn theo nguyên tắc bên dưới.

ROW-WISE ACCESS

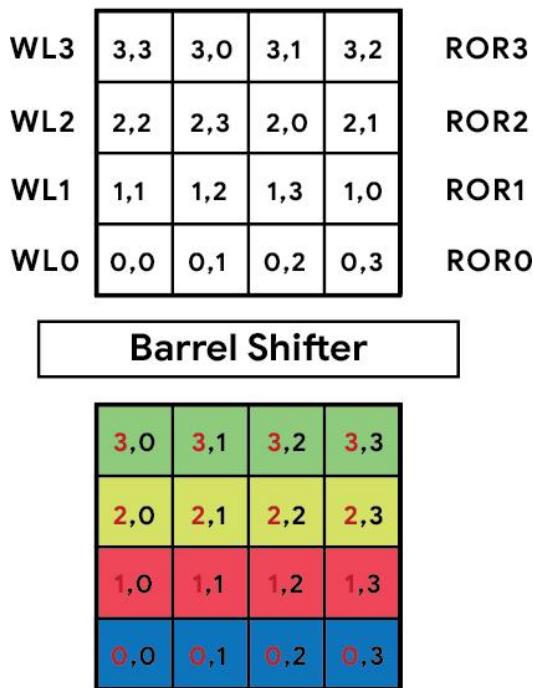


Hình 34. Hoạt động khối Barrel shifter 2 chiều khi dịch chuyển dữ liệu sang trái rồi đưa vào bộ nhớ

Giả sử ban đầu đè xuất yêu cầu là sắp xếp lại khối bit đè xuất đưa vào bộ nhớ TP ở chế độ ghi (write) ở hàng (row). Barrel shifter thực hiện 4 yêu cầu ROL-n (dịch trái với n là khoảng cách dịch, n trùng với số hàng). Ví dụ ở hàng số 2 thực hiện ROL2 tức là các bit hàng sẽ giữ lại và dịch các bit cột sang trái 2 đơn vị.

⁵ R. Rafati, S. M. Fakhraie, and K. C. Smith, “A 16-bit barrel-shifter implemented in data- driven dynamic logic (D^3L),” IEEE Trans. Circuits Syst. I, Reg. Papers, vol. 53, no. 10, pp. 2194–2202, Oct. 2006.

ROW-WISE ACCESS



Hình 35. Hoạt động dịch dữ liệu sang phải rồi trả về của khối Barrel shifter 2 chiều

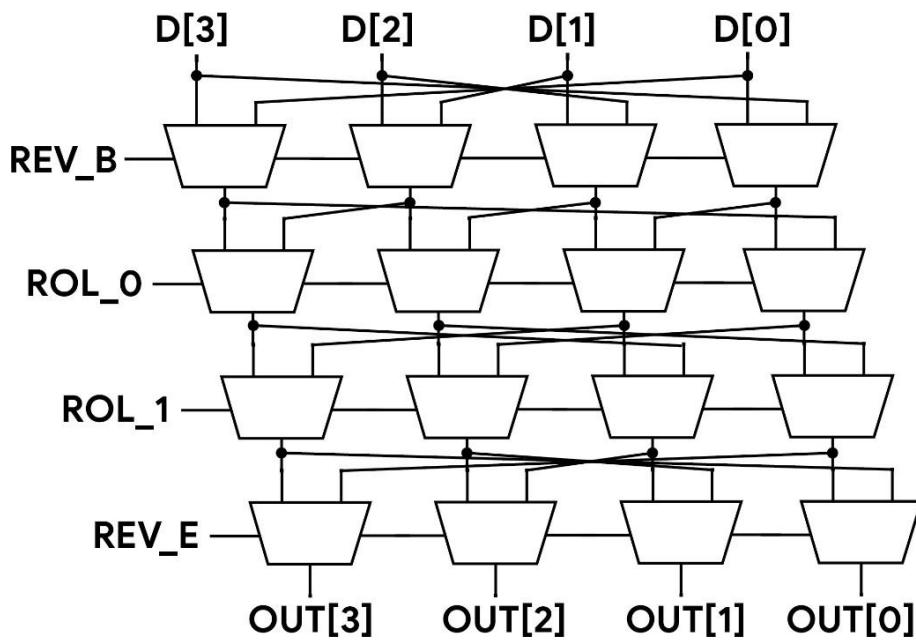
Sau đó ở chế độ đọc, các bit dữ liệu được lấy ra và barrel shifter dịch theo tín hiệu ROR-n (với n là khoảng cách dịch, n trùng với số hàng theo nguyên tắc đường chéo). Các bit được trả lại ngược ra đúng với giá trị ban đầu đưa vào.⁶

Như nêu ở trên chính là nguyên lý hoạt động của một Barrel shifter khi dịch chuyển một ô dữ liệu 4x4. Và để thực hiện được khả năng đó trước tiên cần tính số lượng BL Mux cần để ghép thành một khối barrel shifter hoàn chỉnh. Số lượng BL mux của một khối barrel shifter sẽ được tính theo công thức từ [1]:

$$N_{\text{Mux}} = N_{\text{I/O}} \times (\log_2 N_{\text{I/O}} + 2)$$

Trong đó $N_{\text{I/O}}$ số lượng bit I/O cần dịch chuyển. Ví dụ barrel shifter cần thực thi chức năng dịch chuyển 4 bit dữ liệu. suy ra $N_{\text{I/O}} = 2$ và $\log_2 N_{\text{I/O}} = 2$ nên $N_{\text{Mux}} = 16$.

⁶ R. Rafati, S. M. Fakhraie, and K. C. Smith, “A 16-bit barrel-shifter implemented in data- driven dynamic logic (D^3L),” IEEE Trans. Circuits Syst. I, Reg. Papers, vol. 53, no. 10, pp. 2194–2202, Oct. 2006.

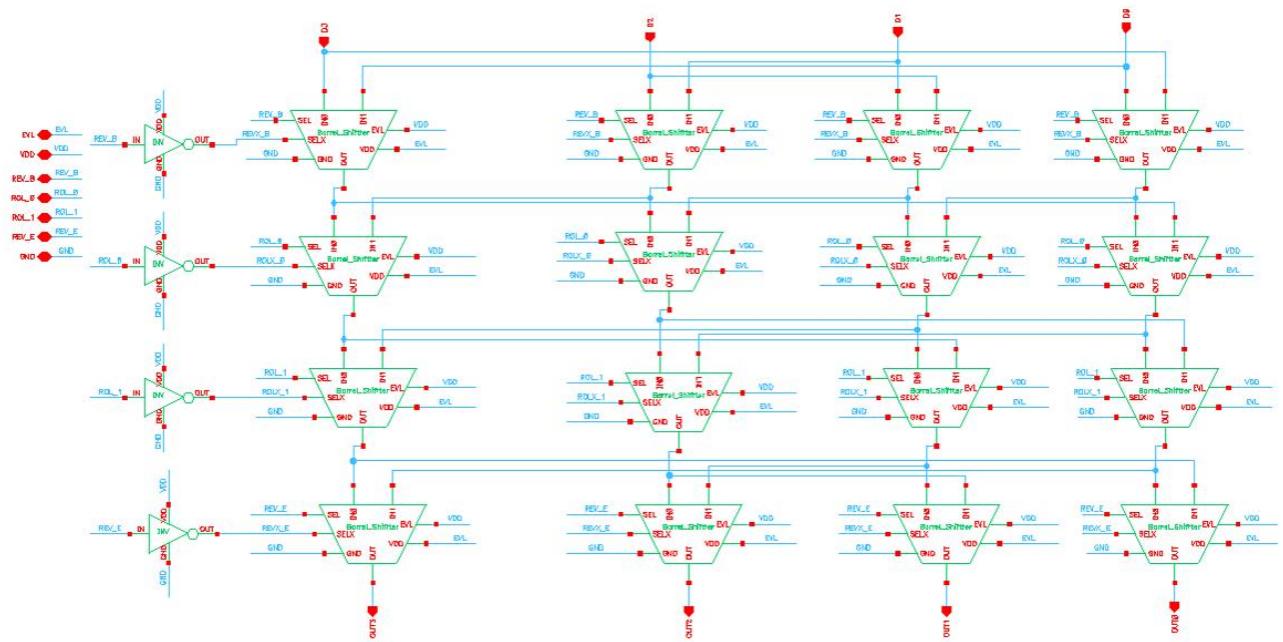


Hình 36. Sơ đồ khái niệm của một khối Barrel shifter 2 chiều

Ở đây, các tín hiệu REV_B, REV_E, ROL_0, ROL_1 là các tín hiệu quy định cho hoạt động đảo, dịch trái, dịch phải. Các tín hiệu này ràng buộc theo nguyên tắc “0”, “1” để quy định các tên tín hiệu REV, ROL và ROR lần lượt biểu thị đảo ngược, dịch trái và dịch phải. Giống như biểu diễn số nhị phân, khoảng cách dịch chuyển được xác định bởi sự kết hợp của các tín hiệu trung gian ROL_0, ROL_1. Mặt khác, hướng dịch chuyển theo hàng hay cột được quyết định bởi hoạt động của hai tín hiệu REV_B, REV_E. Chi phí phần cứng của bộ chuyển đổi thùng hai chiều bị ảnh hưởng bởi tổng số giai đoạn và tổng số đơn vị MUX.

Function		REV_B	ROL_0	ROL_1	REV_E
Xoay trái 0 đơn vị	ROL0	0	0	0	0
Xoay trái 1 đơn vị	ROL1	0	1	0	0
Xoay trái 2 đơn vị	ROL2	0	0	1	0
Xoay trái 3 đơn vị	ROL3	0	1	1	0
Xoay phải 0 đơn vị	ROR0	1	0	0	1
Xoay phải 1 đơn vị	ROR1	1	1	0	1
Xoay phải 2 đơn vị	ROR2	1	0	1	1
Xoay phải 3 đơn vị	ROR3	1	1	1	1

Bảng 10. Bảng sự thật khái niệm của một khối Barrel shifter 2 chiều

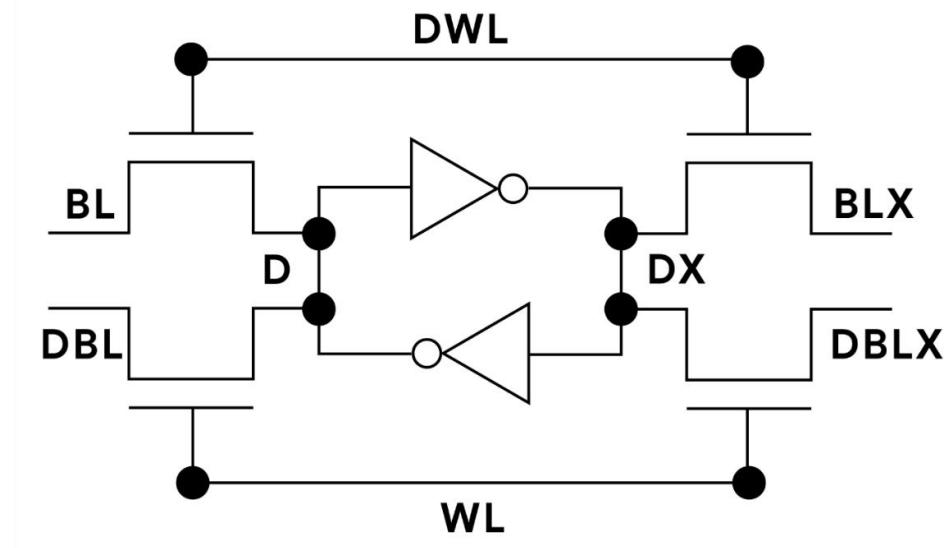


Hình 37. Sơ đồ mạch thiết kế khối Barrel shifter 2 chiều

3.7. Thiết kế 8T TP-SRAM

8T TP-SRAM được đề xuất sử dụng các ký hiệu WL, BL và BLX để truy cập theo hàng và các tín hiệu DWL, DBL và DBLX để truy cập theo cột. Trong SRAM được đề xuất với hai WL (WL và DWL), chỉ có một WL có thể hoạt động, vì vậy các BL có cùng cực (BL, DBL và BLX, DBLX) có thể được kết nối với hai cặp BL khác nhau (cặp BL, cặp DBL). Tuy nhiên, cấu hình này làm tăng điện dung BL, làm tăng công suất chuyển đổi BL và làm giảm độ ổn định của hoạt động đọc

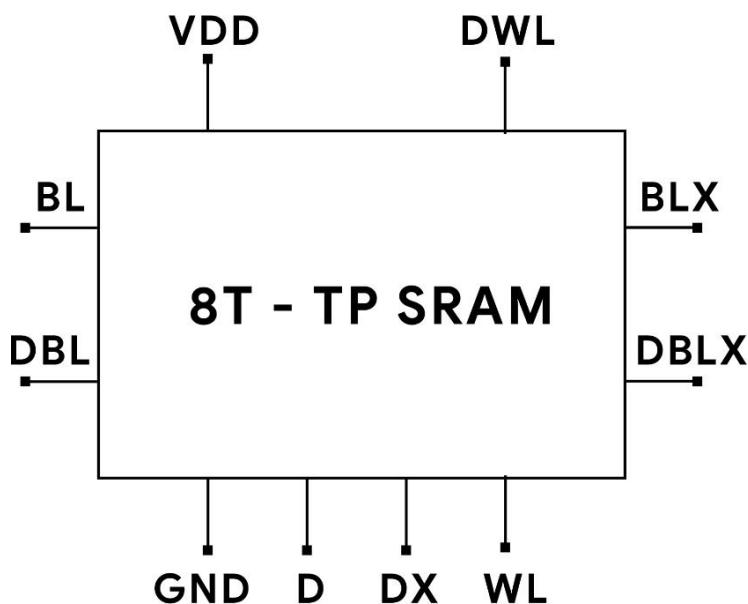
⁷ Dain Choi, Woong Choi. "Hardware Efficient Transposable 8T SRAM for Orthogonal Data Acces,". IEEE Access. 2023, vol. 12.



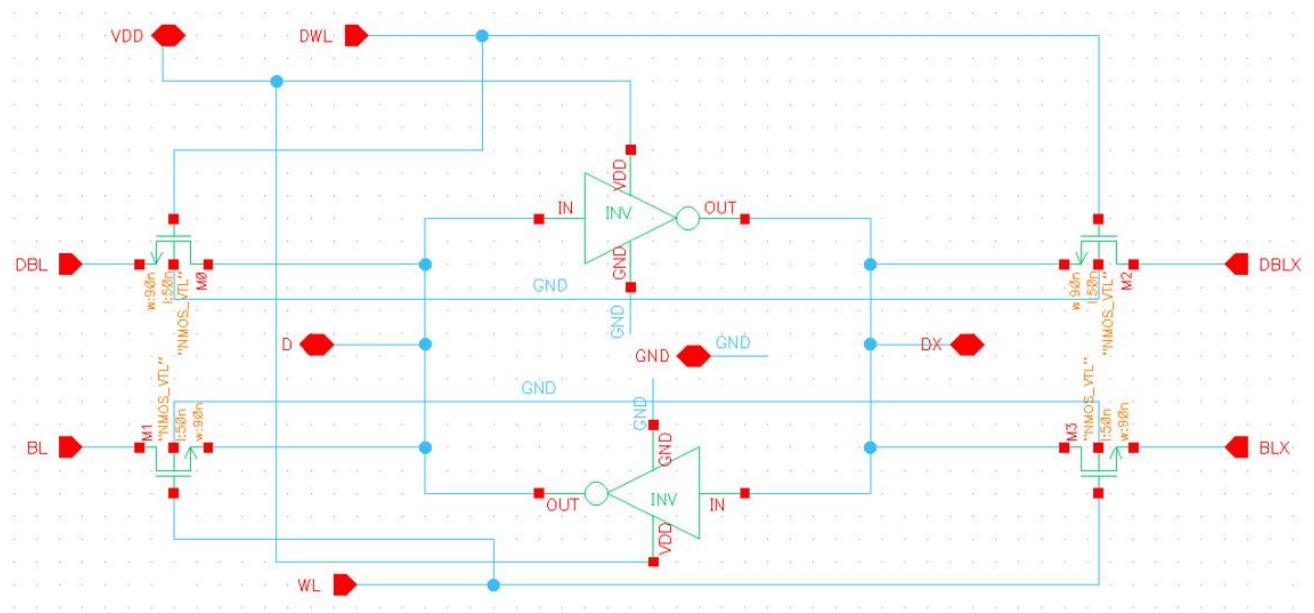
Hình 38. Sơ đồ khói 8T TP-SRAM

Tế bào bit được đè xuất bao gồm hai bóng bán dẫn bổ sung để kết nối WL (DWL) chéo với tế bào SRAM 6T tiêu chuẩn. Nó có cấu trúc tương tự như một tế bào SRAM 2RW 8T cỗng kép tiêu chuẩn.

Sơ đồ nguyên lý hoạt động của 8T TP-SRAM đè xuất tích hợp thêm WL chéo (DWL) giúp bộ nhớ này cho phép truy cập dữ liệu theo hàng hoặc cột một cách nhanh chóng khi kết hợp hoạt động với barrel shifter.

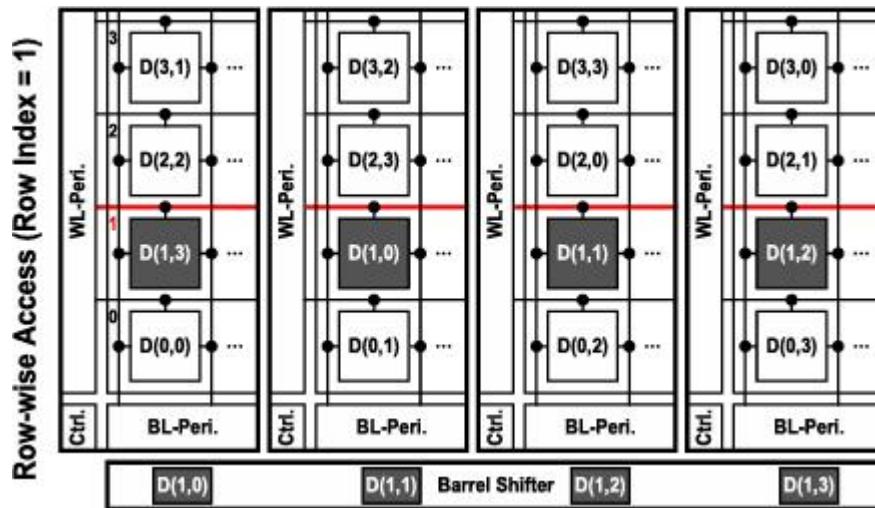


Hình 39. Sơ đồ khói 8T TP-SRAM đè xuất



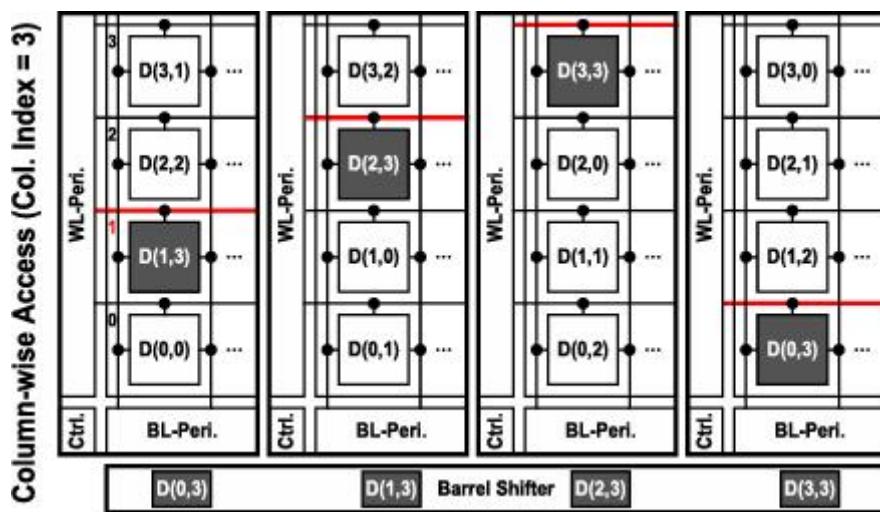
Hình 40. Sơ đồ mạch thiết kế 8T TP-SRAM

Trong sơ đồ địa chỉ TP thông thường, chỉ mục WL cho truy cập theo hàng khớp với chỉ mục hàng, nhưng chỉ mục DWL cho truy cập theo chiều dọc không khớp với chỉ mục cột, như được hiển thị trong hình bên dưới.⁸



Hình 41. Hoạt động lấy dữ liệu theo hàng từ bộ nhớ và chuyển vị sang trái

⁸ R. Rafati, S. M. Fakhraie, and K. C. Smith, “A 16-bit barrel-shifter implemented in data- driven dynamic logic (D^3L),” IEEE Trans. Circuits Syst. I, Reg. Papers, vol. 53, no. 10, pp. 2194–2202, Oct. 2006.



Hình 42. Hoạt động lấy dữ liệu theo đường chéo và chuyển vị sang phải

Điều này làm tăng sự phức tạp của việc giải mã địa chỉ để tìm chỉ mục của DWL. Vì vậy sơ đồ địa chỉ TP được đề xuất.

3,0	3,1	3,2	3,3
2,0	2,1	2,2	2,3
1,0	1,1	1,2	1,3
0,0	0,1	0,2	0,3

Hình 43. Dữ liệu ban đầu chứa trong bộ nhớ

Ban đầu có một khối dữ liệu được sắp xếp chuẩn theo đơn vị hàng và cột, đây là khối dữ liệu giúp ta dễ dàng quan sát quá trình chuyển đổi.

3,0	3,1	3,2	3,3	
2,0	2,1	2,2	2,3	
1,0	1,1	1,2	1,3	
0,0	0,1	0,2	0,3	

Hình 44. Dữ liệu được chọn khi thực hiện giải thuật đường chéo

Sau đó dữ liệu sẽ được tiến hành dịch trái theo từng hàng với số hàng sẽ chính là khoảng cách bit dịch được. Ví dụ ở đoạn 3.0, 3.1, 3.2, 3.3, đây là hàng thứ 3 tức sẽ tiến hạch dịch trái 3 đơn vị bit.



3,0	3,1	3,2	3,3	3,0	3,1	3,2
2,0	2,1	2,2	2,3	2,0	2,1	
1,0	1,1	1,2	1,3	1,0		
0,0	0,1	0,2	0,3			

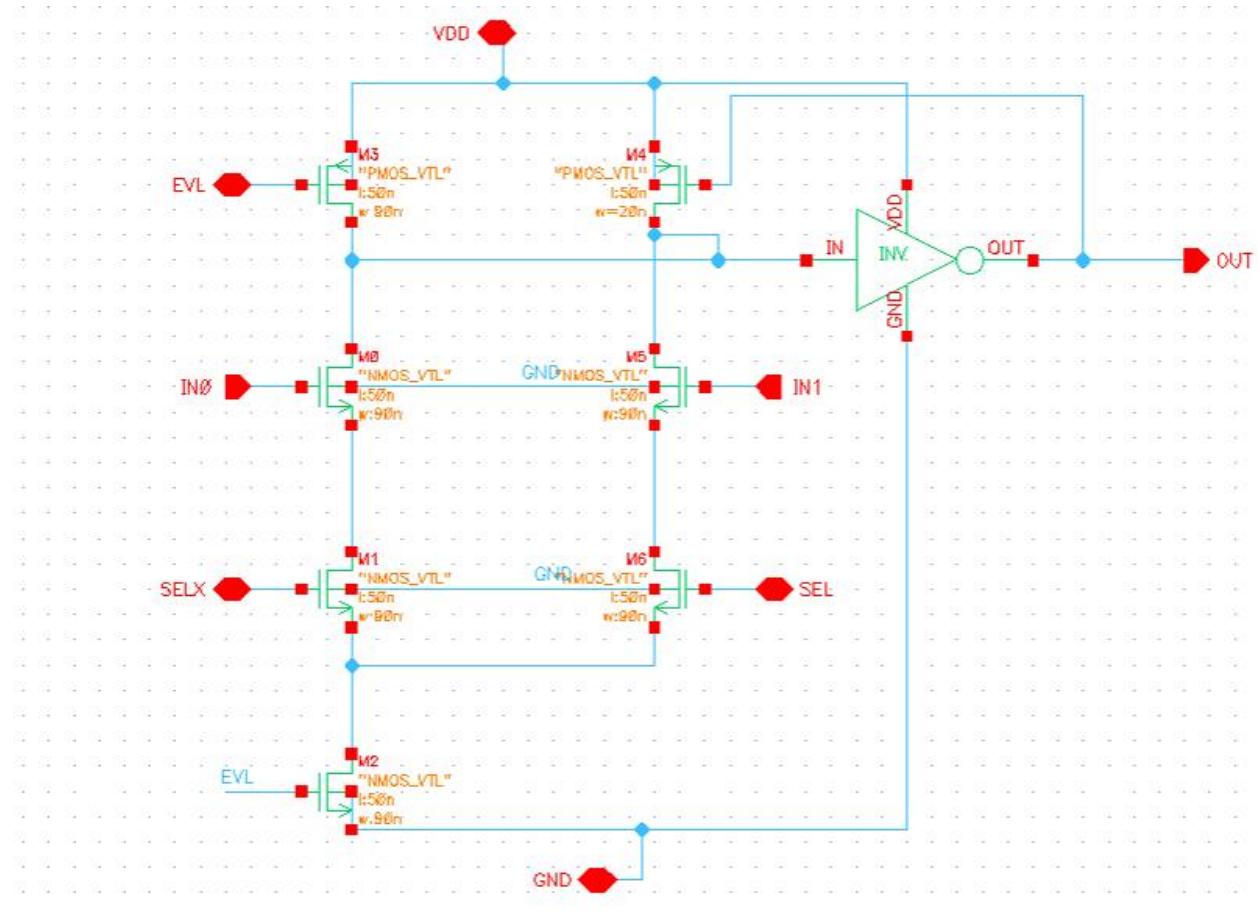
Hình 45. Dữ liệu sau khi thực hiện giải thuật

Sau quá trình đó toàn bộ đoạn bit được dịch sang trái sẽ được đẩy lại về vị trí còn trống theo đúng với thứ tự xếp hàng trước đó.

CHƯƠNG 4. KẾT QUẢ THỰC HIỆN

4.1. Kết quả thực hiện và mô phỏng khối Barrel Shifter

Trước khi đi đến mô phỏng và kiểm tra khối barrel shifter, em cần kiểm tra về cách hoạt động của mạch chính barrel shifter schematic



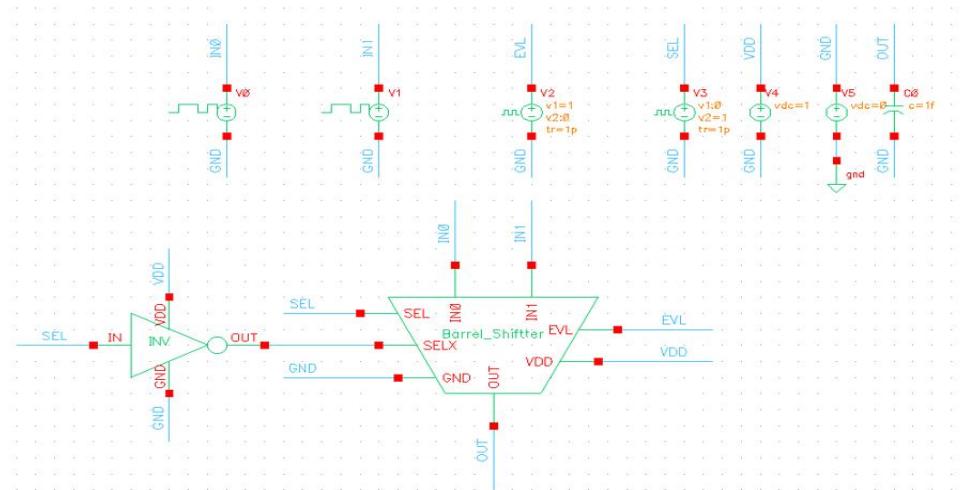
Hình 46. Sơ đồ mạch thiết kế khối Barrel shifter

Ở schematic mạch barrel shifter toàn bộ các transistor đều sử dụng chung một kích thước 90x50 nm, riêng transistor PMOS M1 sẽ giảm kích thước hơn so với các con còn lại là 20x50 nm. Lý do vì trong quá trình precharge PMOS M1 đã xả năng lượng quá lớn mà không thể nạp lên lại giá trị 1 volt.



Hình 47. Thông số PMOS đặc biệt

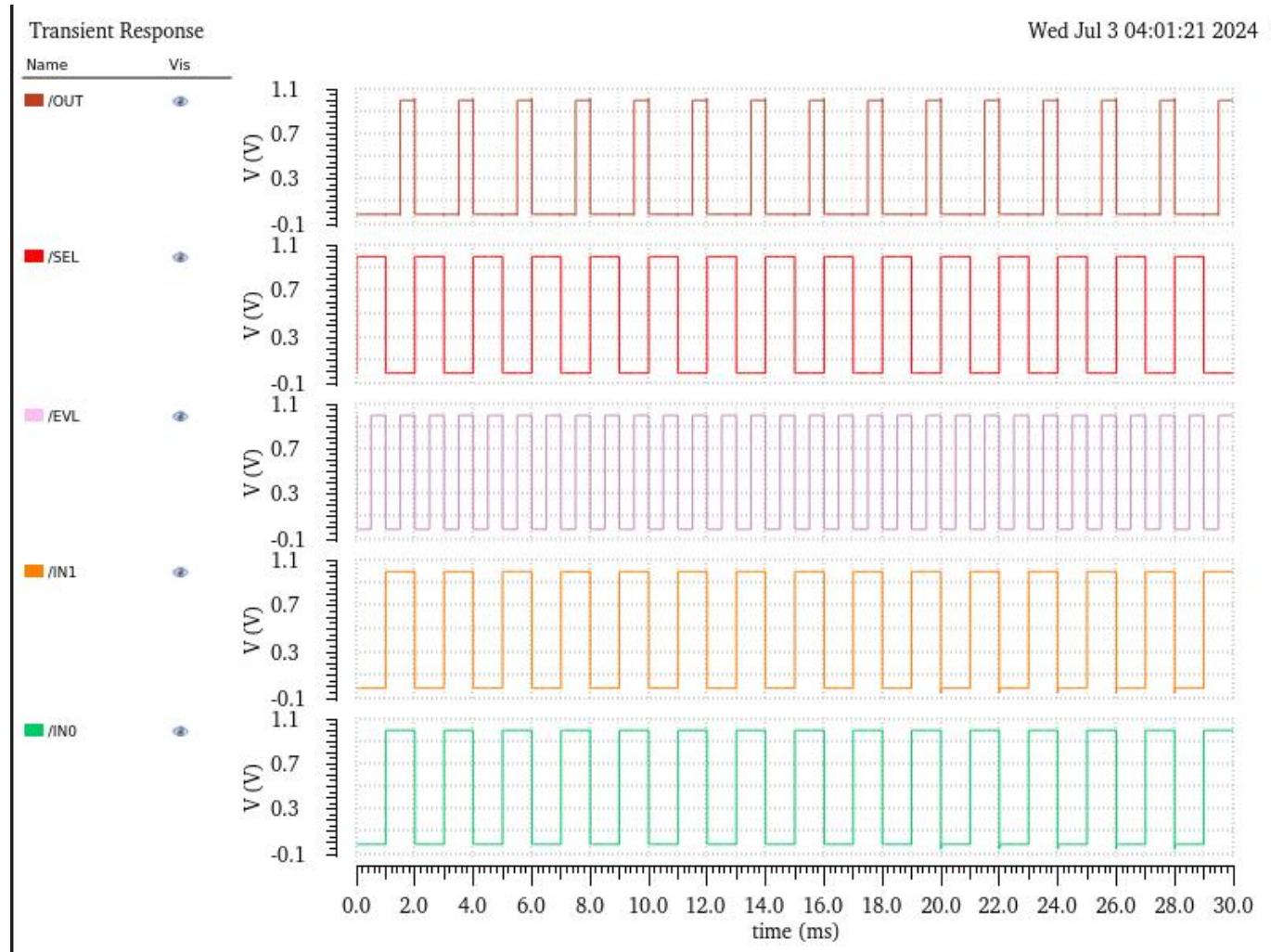
Tiến hành mô phỏng mạch barrel shifter để kiểm tra khả năng lựa dữ liệu ngõ vào/ra.



Hình 48 Sơ đồ mô phỏng khối Barrel shifter

	V0	V1	V2	V3	V4	V5
Vdc					1	0
Voltage 1	0	0	1	0		
Voltage 2	1	1	0	1		
Period	1m	1m	1m	2m		
Delay time	0	0	0	0		
Rise time	1p	1p	1p	1p		
Fall time	1p	1p	0,5m	1m		
Pulse width						

Bảng 11. Bảng thông số thiết lập mô phỏng khối Barrel shifter



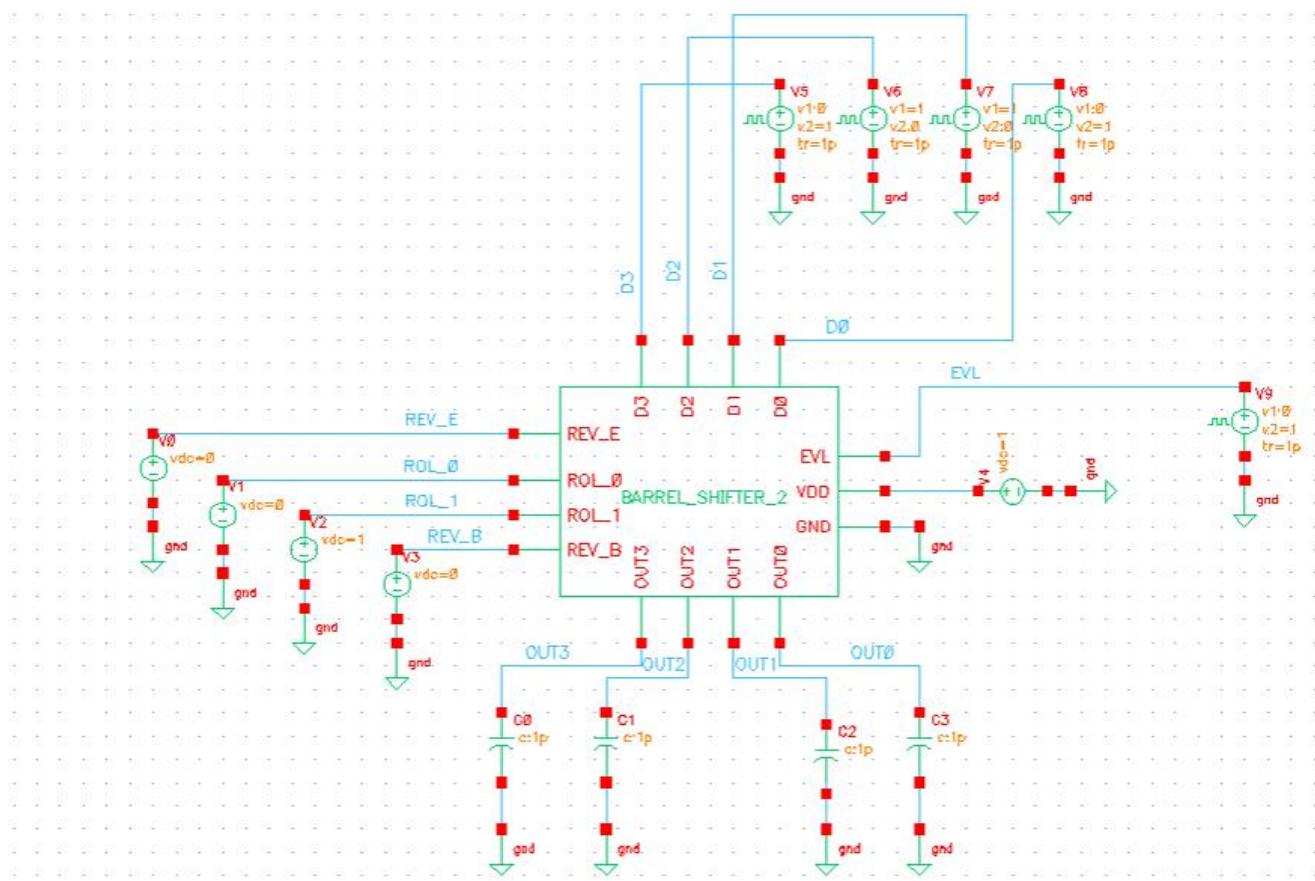
Hình 49. Kết quả mô phỏng sóng khối Barrel shifter

Phân tích dạng sóng, nhận thấy EVL khi tích cực mức 0 Barrel shifter vào trạng thái Precharge nên ngõ ra nhận giá trị “0”. Khi EVL tích cực mức 1, SEL cùng đồng thời tích cực mức 1. Ngõ ra OUT nhận giá trị của IN1 nên OUT nhận giá trị 0

Ngược lại khi SEL tích cực mức 0, EVL đưa về trạng thái evaluate (tích cực mức 1), ngõ OUT nhận tín hiệu của IN0 nên tích cực mức 1

Qua đó ta đánh giá so sánh với Mux 2:1, nhận thấy khối Barrel shifter có hoạt động tương tự như một khối Mux chỉ thêm vào đó sẽ có thêm quá trình precharge để xả năng lượng.

4.2. Kết quả thực hiện và mô phỏng khối Bidirectional Barrel Shifter

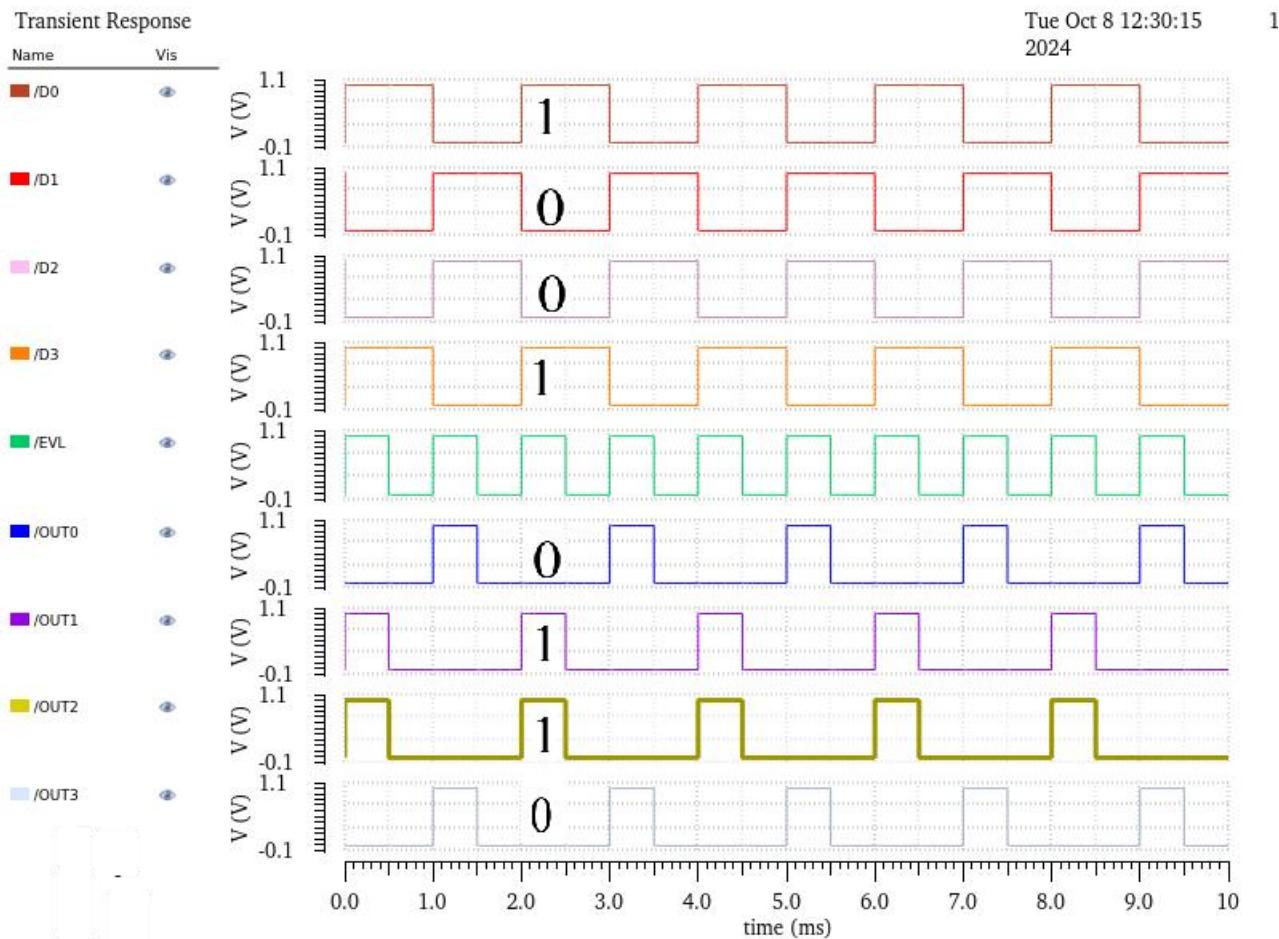


Hình 50. Sơ đồ mô phỏng khối Barrel shifter 2 chiều

Đặt các bit ngõ vào là dãy bit phụ thuộc vào chuỗi sóng vuông từ 0 – 1 để kiểm tra tuần tự độ chính xác của phép thử. Các tín hiệu REV_B, ROL_0, ROL_1, REV_E lần lượt quy định yêu cầu dịch bit của Barrel shifter với tín hiệu là 0100 → Thực hiện ROL1 như bản tín hiệu quy định.

	V0	V1	V2	V3	V4	V5	V6	V7	V8
Vdc		0	0	1	0	0	0	1	1
Voltage 1	0					0	0	1	1
Voltage 2	1					1	1	0	0
Period	1m					2m	2m	2m	2m
Delay time	0					0	0	0	0
Rise time	1p					1p	1p	1p	1p
Fall time	1p					1p	1p	1p	1p
Pulse width	0.5m					1m	1m	1m	1m

Bảng 12. Bảng thông số mô phỏng khối Barrel shifter 2 chiều



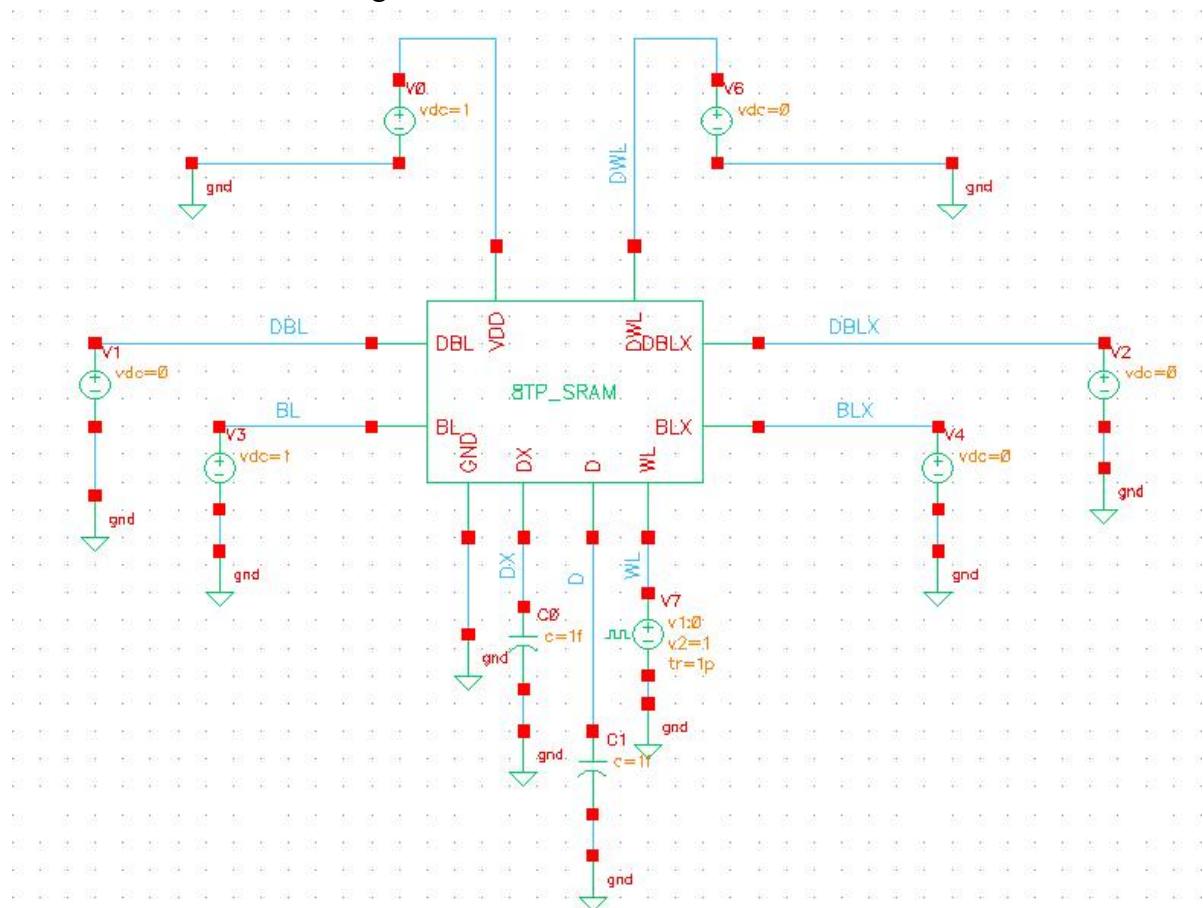
Hình 51. Kết quả mô phỏng sóng khỏi Barrel shifter 2 chiều

Xét ở giai đoạn từ 2-2,5ms. EVL tích cúc mức 1, tín hiệu ngõ vào D3D2D1D0 là 1001 và được gửi vào barrel shifter với chức năng ROL2 (dịch trái 2 đơn vị) sau đó tín hiệu ngõ ra OUT3OUT2OUT1OUT0 trả về 0110 đúng với yêu cầu đặt ra

Xét ở giai đoạn từ 5-5,5ms. EVL tích cúc mức 1, tín hiệu ngõ vào D3D2D1D0 là 0110 và được gửi vào barrel shifter với chức năng ROL2 (dịch trái 2 đơn vị) sau đó tín hiệu ngõ ra OUT3OUT2OUT1OUT0 trả về 1001 đúng với yêu cầu đặt ra

4.3. Kết quả thực hiện và mô phỏng 8T TP-SRAM

4.3.1. Chế độ ghi

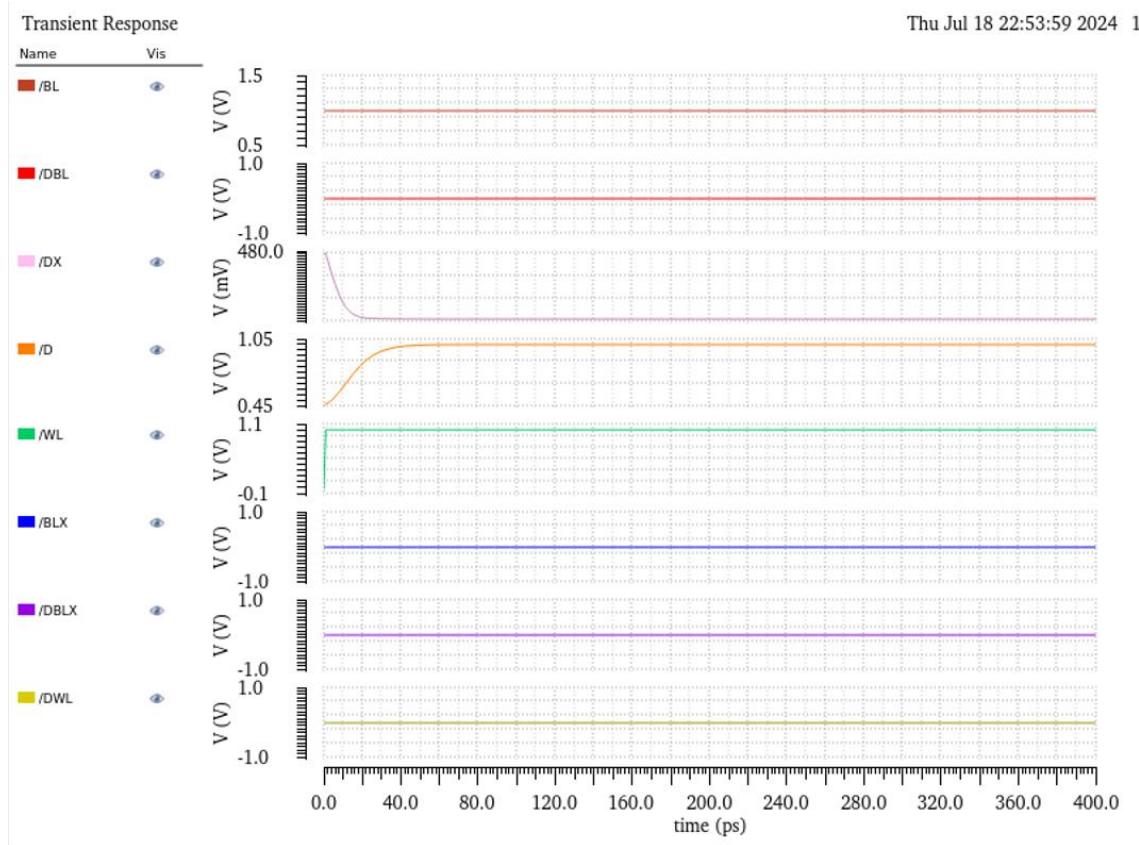


Hình 52. Sơ đồ mô phỏng chế độ ghi của 8T TP-SRAM

Ở chế độ đọc, đặt WL nhận giá trị sóng vuông từ 0 – 1V, đồng nghĩa DWL = 0, kích tín hiệu ngõ vào 2 chân BL BLX lần lượt là 0 và 1.

	V0	V1	V2	V3	V4	V6	V7
Vdc	1	0	0	1	0	0	0
Voltage 1							0
Voltage 2							1
Period							2n
Delay time							0
Rise time							1p
Fall time							1p
Pulse width							1n

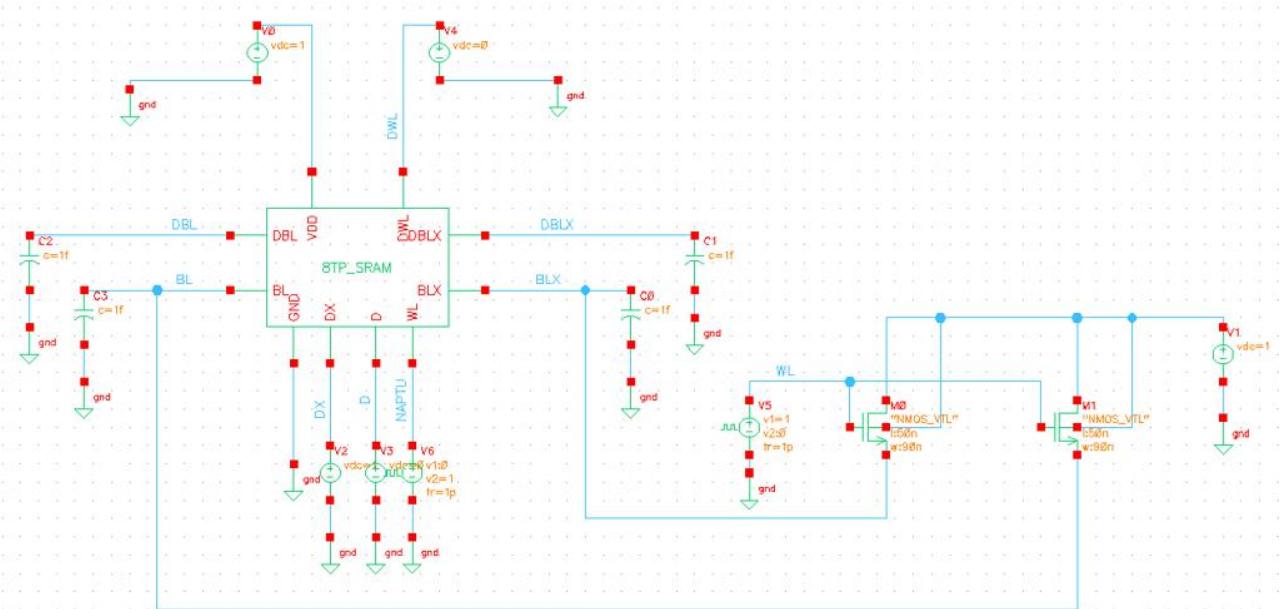
Bảng 13. Bảng thông số mô phỏng chế độ ghi 8T TP-SRAM



Hình 53. Kết quả mô phỏng sóng ché độ ghi 8T TP-SRAM

Nhận thấy khi WL được kích tín hiệu lên 1, BL BLX kích hoạt tín hiệu ghi giá trị 1 vào D và 0 vào Dx. Hoàn tất quá trình ghi

4.3.2. Chế độ đọc

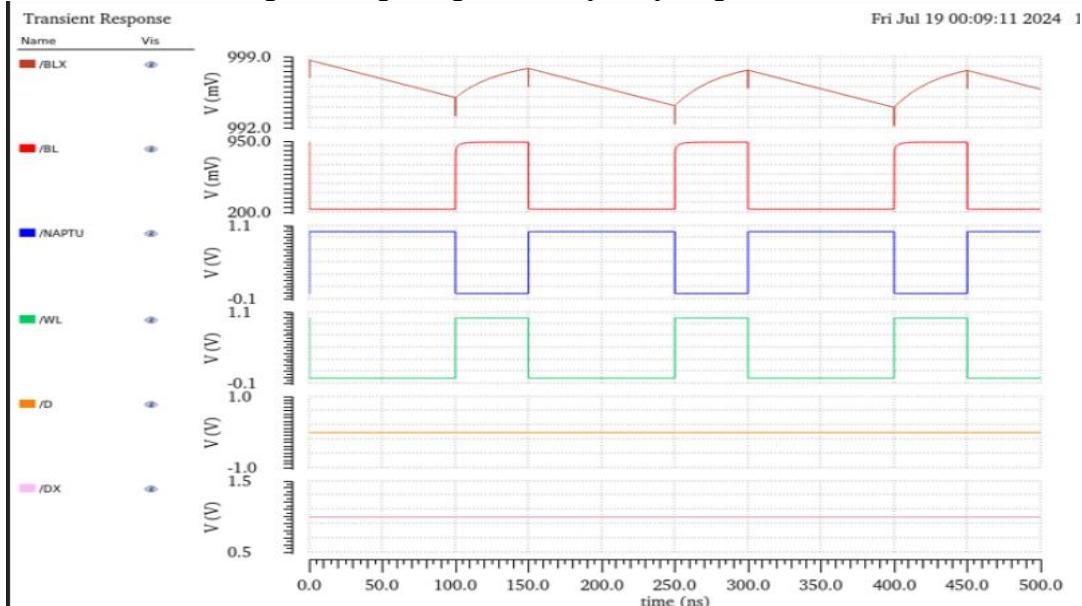


Hình 54. Sơ đồ mô phỏng chế độ đọc 8T TP-SRAM

Khi thực hiện chế độ đọc, ta nối 2 chân BL BLX vào 2 tụ C=1f F, Nối chân WL vào một nguồn đặt tên NAPTU. Đồng thời cấp nguồn BL BLX bằng một WL khác để xác định giá trị luôn có trong BL BLX.

	V0	V2	V5	V6	V3	V4	V1
Vdc	1	1	0	1	0	0	1
Voltage 1			1	0			
Voltage 2			0	1			
Period			150n	150n			
Delay time			0	0			
Rise time			1p	1p			
Fall time			1p	1p			
Pulse width			100n	100n			

Bảng 14. Bảng thông số thiết lập mô phỏng chế độ đọc



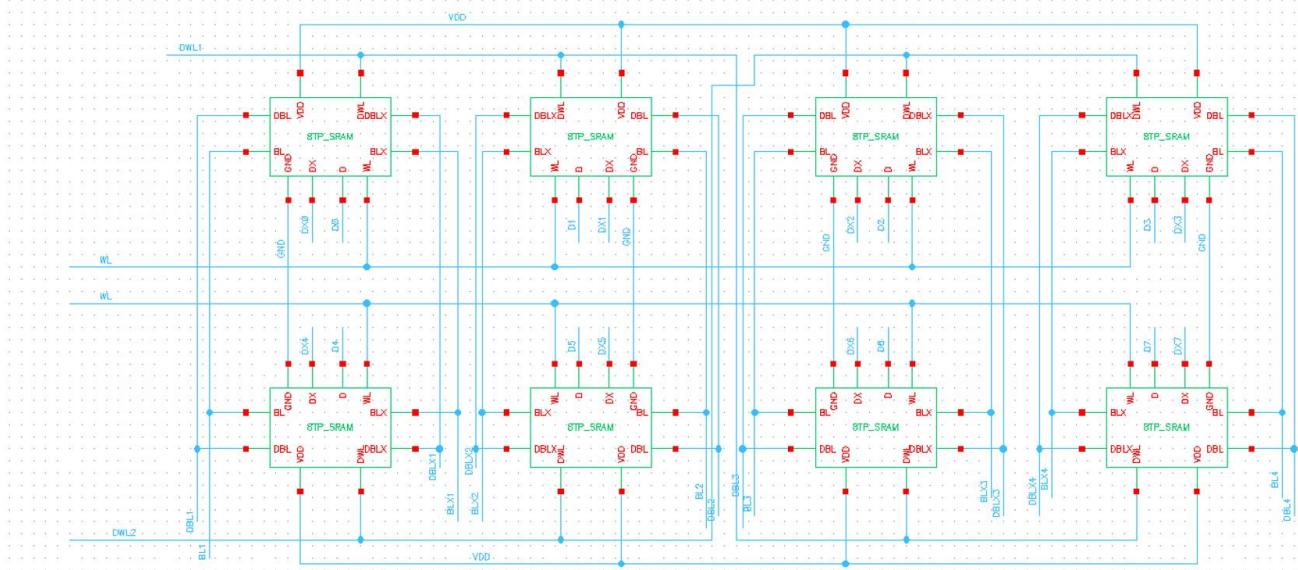
Hình 55. Kết quả mô phỏng sóng chế độ đọc 8T TP-SRAM

Mạch hoạt động đúng nguyên lý đọc SRAM. Kết quả đọc ra từ SRAM ở hai chân BL và BLX đúng với giá trị chứa trong SRAM ($BL = 0$; $BLX = 1$). Đối với các tụ được ghép thêm vào có giá trị lớn thì thời gian nạp đầy điện tích trong tụ lâu hơn, dẫn đến chu kỳ đọc của SRAM cũng sẽ lớn hơn (kết quả mô phỏng thể hiện rõ thời gian nạp khá ngắn để có thể nạp đầy tụ). Như vậy giá trị tụ điện quan trọng trong quá trình đọc SRAM.

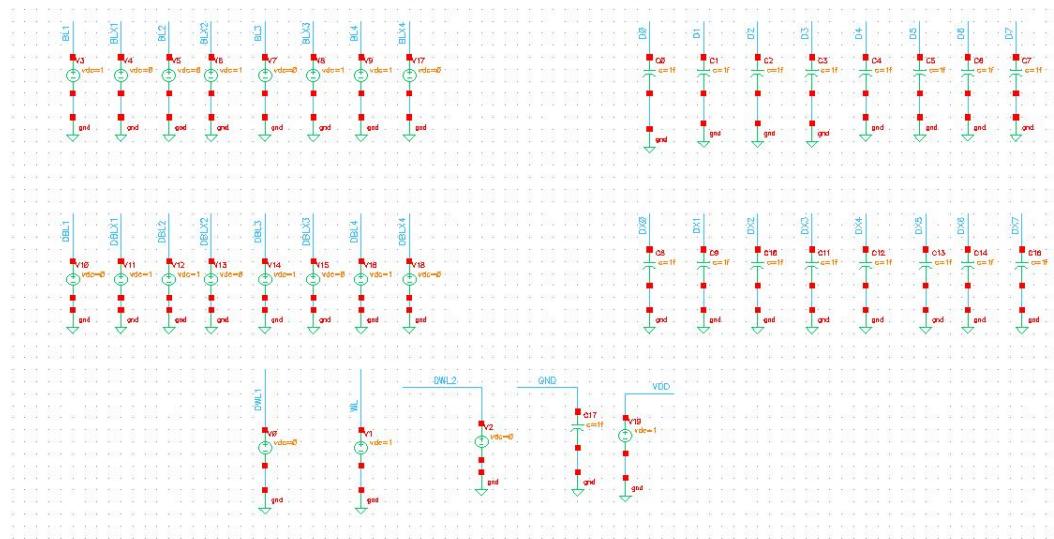
4.4. Kết quả thực hiện và mô phỏng TP Memory array 4x2

4.4.1. Thực hiện chế độ ghi

Khi thực hiện chế độ đọc theo hàng. Đồng thời kích WL0 và WL1 lên tích cực mức 1, các tín hiệu BL0, BL1, BL2, BL3 lần lượt tích cực “1001”.

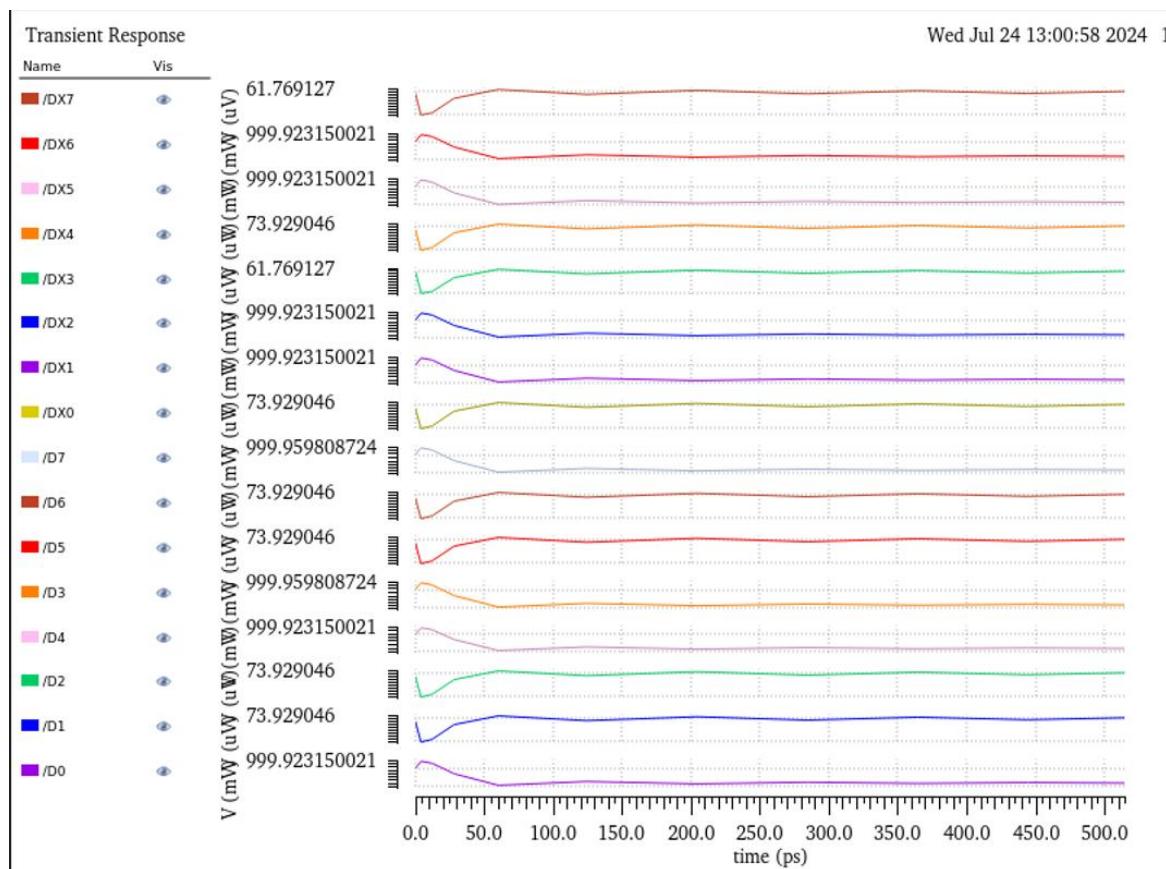


Hình 56. Sơ đồ mô phỏng TP Memory array 4x2



Hình 57. Cài đặt testbench cho chế độ ghi

Khi này các dòng WL cho tín hiệu BL đi qua vào ghi vào bộ nhớ 8T TP-SRAM nên ngõ ra D0D1D2D3D4D5D6D7 lần lượt tích cực: “10011001”.



Hình 58. Kết quả mô phỏng sóng ché độ ghi WL dữ liệu vào 8T TP-SRAM 4x2

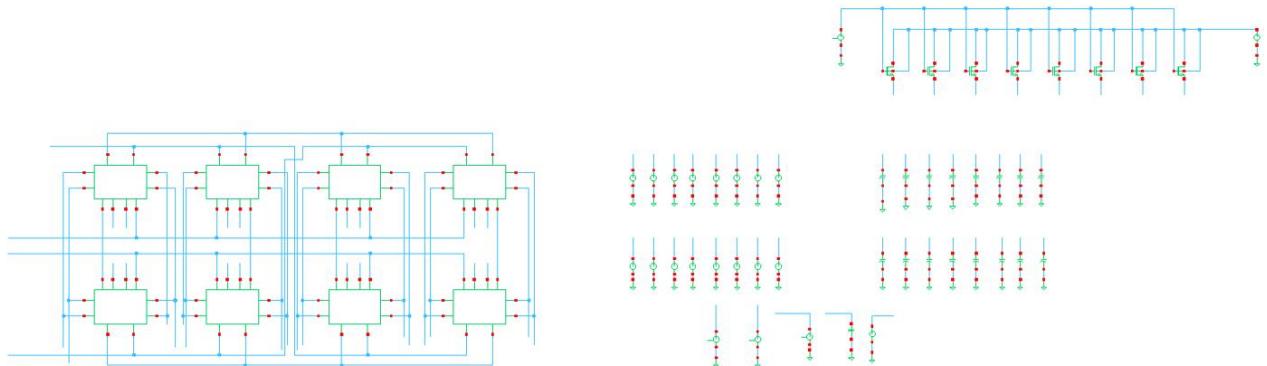
Kết quả dạng sóng thể hiện rằng đã thực thi xong quá trình ghi dữ liệu vào TP memory:

Khi tích cực mức 0 cho WL và kích hoạt tích cực DWL hàng thứ nhất lên mức 1 và DWL hàng thứ 2 mức 0. TP Memory thực hiện chức năng ghi theo đường chéo của nguyên lý hoạt động đã định ra.

Ở đây ta nhận thấy chỉ có D0 D1 D6 và D7 có thể hiện tích cực lên đúng mức với dữ liệu đầu vào là 0111 thì D0 và D1 tích cực mức 1, D6, D7 tích cực mức 0 thể hiện rằng khi không tích cực mức 1 cho các DWL thì các chức năng ghi vào đường chéo ô dữ liệu không được thực hiện

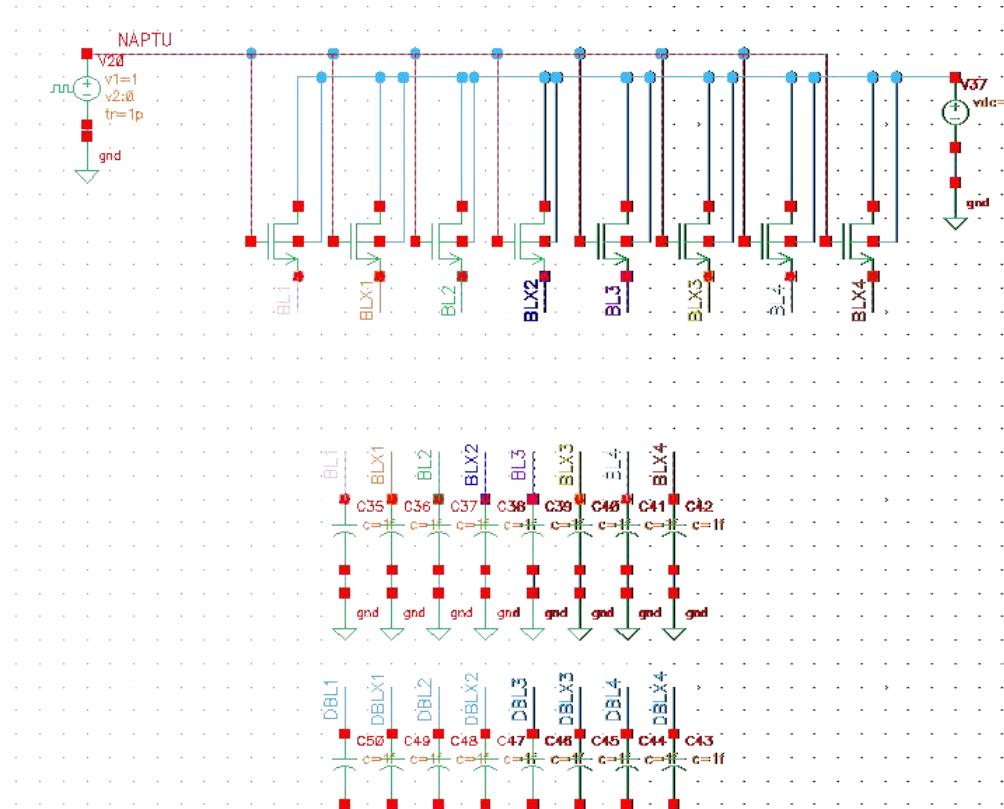
Các data ở D2, D3, D4, D5 đều tích cực được một nửa năng lượng do từ nguồn cấp vào DBL là 1 volts nhưng DWL không được kích hoạt nên dữ liệu không trả về ngõ ra D2D3D4D5.

4.4.2. Thực hiện chế độ đọc

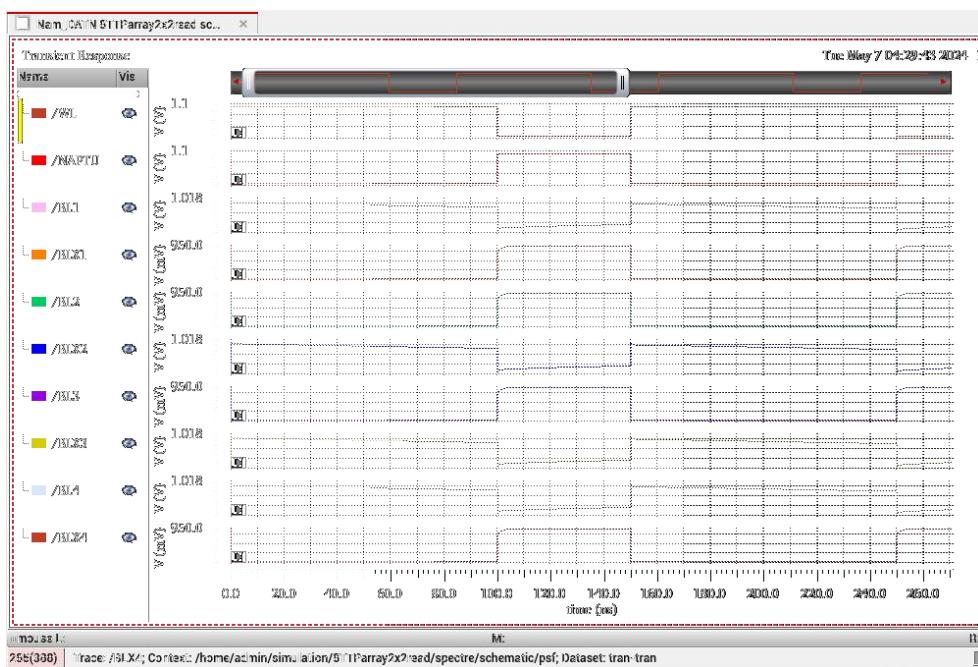


Hình 59. Sơ đồ mạch thiết kế chế độ đọc 8T TP-SRAM

Ở chế độ đọc theo hàng (tích cực mức 1 WL) các giá trị D0D1D2D3D4D5D6D7 đang chứa dãy giá trị 10011001. Khi thực hiện chế độ đọc, mạch hoạt động đúng nguyên lý đọc SRAM. Kết quả đọc ra từ SRAM ở các chân chân BL và BLX đúng với giá trị chứa trong SRAM



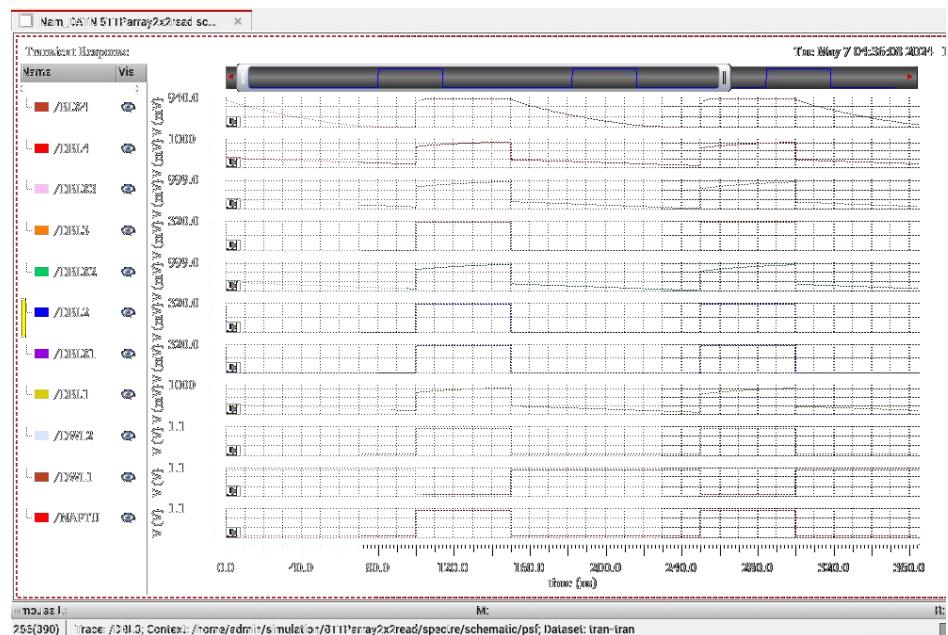
Hình 60. Xây dựng thêm công NAPTU kiểm tra dữ liệu đọc



Hình 61. Kết quả mô phỏng sóng chế độ đọc 8T TP-SRAM

Các chân được nối thêm một nguồn NAPTU giúp việc xả tụ khi chu kỳ xung clock không kích lên ở chân WL

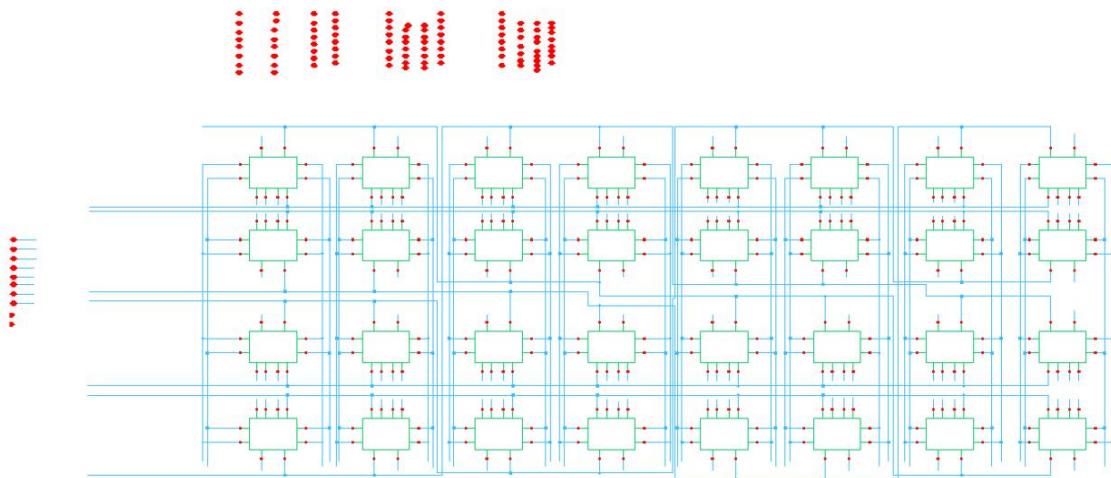
Kích hoạt xung vuông DWL1 từ 0 – 1V và DWL2 từ 1-0V



Hình 62. Kết quả mô phỏng sóng chế độ đọc 8T TP-SRAM

Ở chế độ đọc theo hàng (tích cực mức 1 DWL) các giá trị D0D1D6D7 đang chứa dãy giá trị 0011S. Khi thực hiện chế độ đọc, mạch hoạt động đúng nguyên lý đọc SRAM. Kết quả đọc ra từ SRAM ở các chân BL và BLX đúng với giá trị chứa trong SRAM.

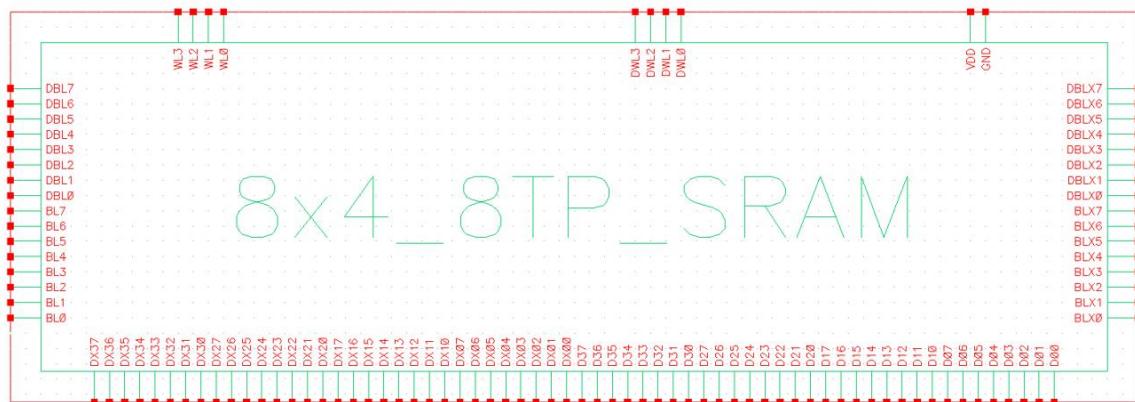
4.5. Kết quả thực hiện và mô phỏng TP Memory full array 8x4



Hình 63. Sơ đồ mạch thiết kế TP Memory

Chọn lựa thiết kế là array 8x4 nhằm kiểm tra khả năng lưu trữ và khả năng chuyển đổi dữ liệu của TP Memory.

Tránh để phức tạp và khó kiểm tra trong quá trình làm, đề xuất xây dựng một Symbol Memory



Hình 64. Xây dựng symbol cho TP Memory

4.5.1. Chế độ ghi

Cáp sóng vuông cho toàn bộ WL, để tiến hành kiểm tra giá trị xác thực được ghi vào D và Dx



Hình 65. Sơ đồ cấp năng lượng cho WL và DWL

Lần lượt cho các giá trị theo bảng sau

BL7	0	BLX7	1
BL6	0	BLX6	1
BL5	1	BLX5	0
BL4	1	BLX4	0
BL3	0	BLX3	1
BL2	0	BLX2	1
BL1	0	BLX1	1
BL0	1	BLX0	0

Bảng 15. Tín hiệu các chân Bit-line BL và BLX

Giá trị trả về ở các D và Dx như sau

D37	0	D27	0	D17	0	D07	0
D36	0	D26	0	D16	0	D06	0
D35	1	D25	1	D15	1	D05	1
D34	1	D24	1	D14	1	D04	1
D33	0	D23	0	D13	0	D03	0
D32	0	D22	0	D12	0	D02	0
D31	0	D21	0	D11	0	D01	0
D30	1	D20	1	D10	1	D00	1

Bảng 16. Bảng giá trị ghi vào TP Memory

Tiến hành kiểm tra với khả năng ghi dữ liệu theo đường chéo (giải thuật đặt ra), Tích cực mức 1 cho DWL3.

Bảng giá trị bên dưới dùng để cấp cho toàn bộ các trường hợp giả định thực thi kiểm tra hoạt động ghi dữ liệu của TP memory, nhưng do ở trường hợp này các WL không được tích cực,

theo đó không cấp điện cho DWL2 DWL1 DWL0 để chỉ quan sát mỗi hoạt động ghi vào bằng phương pháp đường chéo.

Các ô nhớ được ghi địa chỉ vào lần lượt là D30, D31, D22, D23, D14, D15, D06, D07. Tích cực tín hiệu ghi vào dựa trên tín hiệu DBL được tích cực theo cột.

DBL7	0	DBLX7	1
DBL6	0	DBLX6	1
DBL5	1	DBLX5	0
DBL4	1	DBLX4	0
DBL3	0	DBLX3	1
DBL2	0	DBLX2	1
DBL1	1	DBLX1	0
DBL0	1	DBLX0	0

Bảng 17. Bảng giá trị khi thực hiện ghi vào TP Memory theo đường chéo

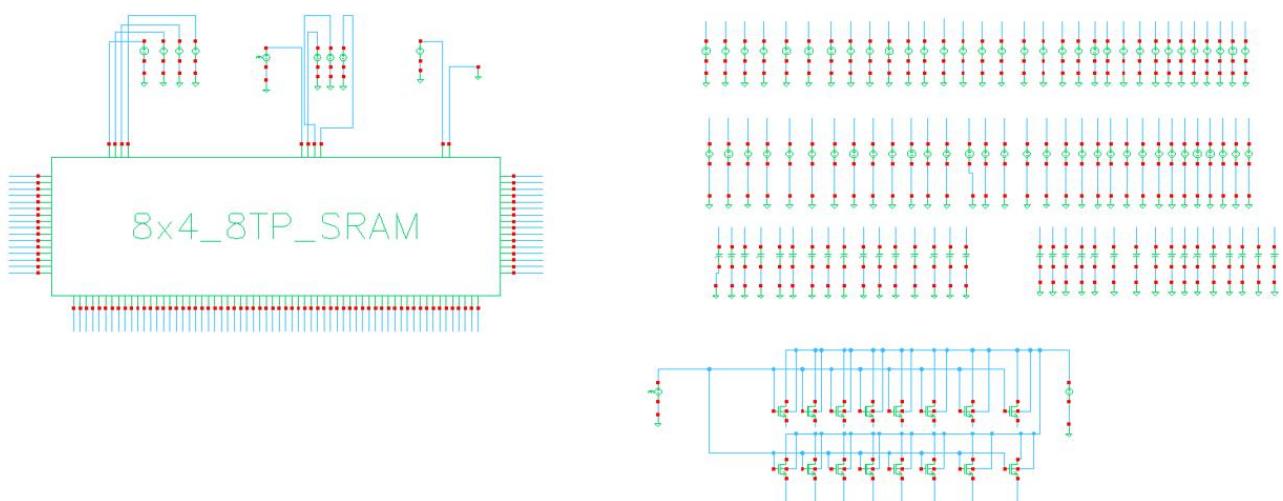
Tín hiệu ngõ ra được ghi vào SRAM đúng quy định ban đầu được đặt ra cho thiết kế

D30	1	DX30	0
D31	1	DX31	0
D22	0	DX22	1
D23	0	DX23	1
D14	1	DX14	0
D15	1	DX15	0
D06	0	DX06	1
D07	0	DX07	1

Bảng 18. Bảng giá trị xác nhận tín hiệu được ghi vào TP Memory đường chéo

4.5.2. Chế độ đọc

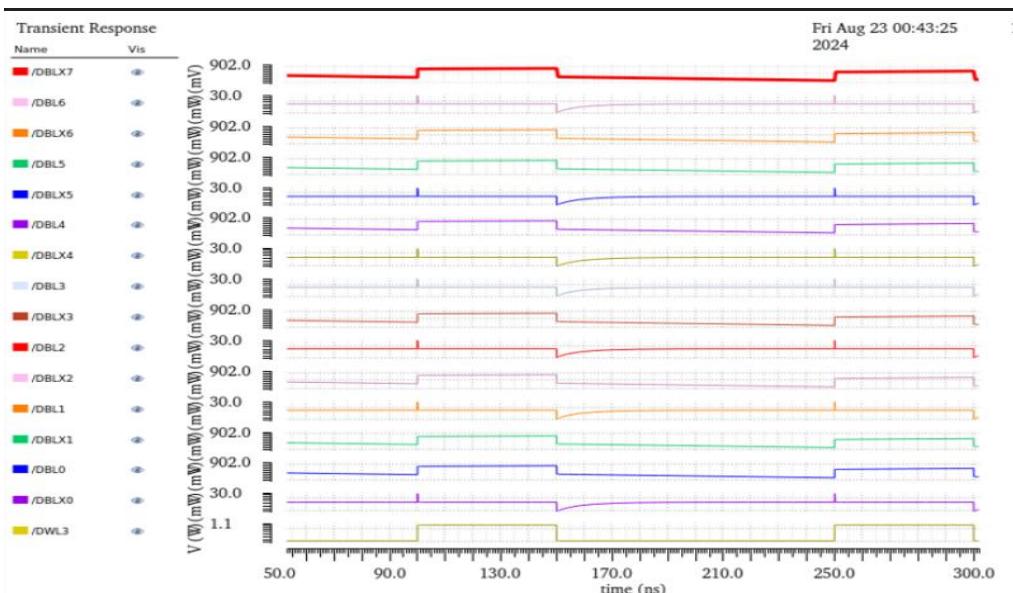
Ở chế độ đọc trong hình bên dưới, ta chọn chế độ đọc các ô dữ liệu theo quy tắc đường chéo, tức là DWL3 đang được kích hoạt. Ta kết nối các chân DBL và DBLX vào tụ có điện dung C=1f F. Sau đó thực thi cho năng lượng DWL3 kích hoạt tụ bắt đầu xả toàn bộ năng lượng ở quá trình đọc trước đó.



Hình 66. Sơ đồ mạch thiết kế chế độ đọc TP Memory

Tiến hành xây dựng một tín hiệu NAPTU để giúp DBL và DBLX xả năng lượng về tụ điện, khi tụ chưa đủ năng lượng tích cực mức 1. Thì quá trình đọc hoàn thành

Quan sát dạng sóng ngõ ra ta nhận định quá trình xả năng lượng về tụ diễn ra đúng với nguyên lý hoạt động.



Hình 67. Kết quả mô phỏng sóng chế độ đọc TP Memory

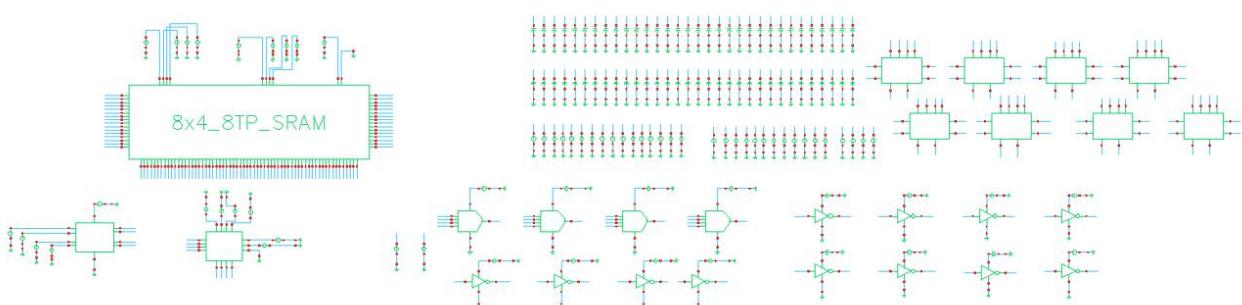
4.6. Kết quả thực hiện và mô phỏng TP memory kết hợp đè xuất.

Thiết kế TP memory đè xuất có chức năng ghi dữ liệu đã được sắp xếp tùy định theo mong muốn vào trong bộ nhớ. Đồng thời có thể dễ dàng lấy dữ liệu ra bên ngoài một cách dễ dàng theo thứ tự hàng hoặc cột nhờ vào giải thuật đường chéo được đặt ra từ ban đầu.

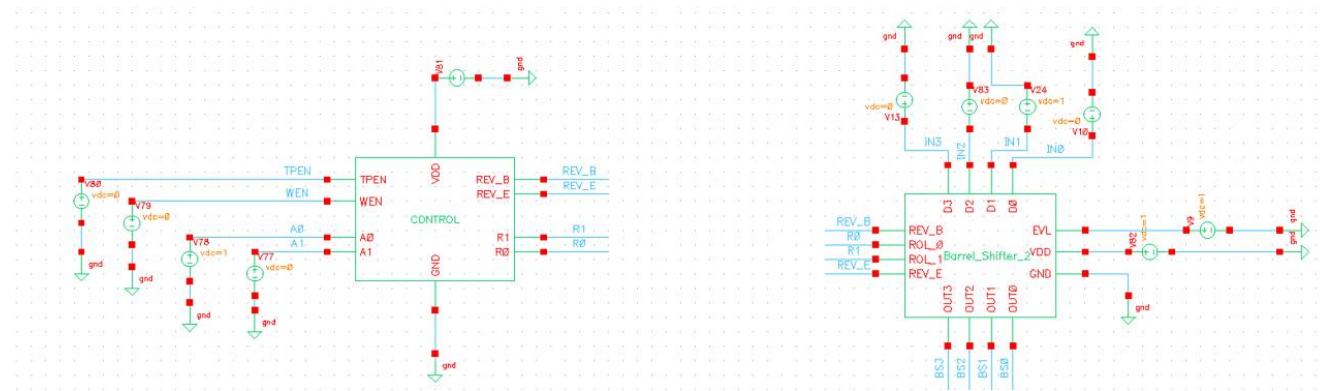
Toàn bộ thiết kế bao gồm các phần tử sau:

- Khối Control: Giúp barrel shifter xác thực hoạt động, quy định yêu cầu dịch trái (ROL) hoặc dịch phải (ROR) mà không ảnh hưởng tới dữ liệu bit
- Khối Barrel shifter: Có chức năng chuyển vị các bit trong dãy dữ liệu ban đầu để thực hiện bước tiếp theo. Đồng thời ở TP memory đè xuất, barrel shifter thực hiện chức năng sắp xếp dữ liệu lại một cách đúng quy tắc bằng phương pháp đảo chế độ dịch khi nạp dữ liệu vào.
- Khối ngoại vi I/O 1-bit: Ở thiết kế đè xuất, ngoại vi này được xác lập bằng 1 khối có chức năng tương tự buffer bao gồm 4 transistor (2 PMOS, 2NMOS).
- Khối BL Mux: Có chức năng giữ hoặc đảo dữ liệu trước khi đưa đến khối precharge. Chức năng giúp ghi dữ liệu đúng mong muốn vào bộ nhớ nếu dữ liệu ban đầu có sai sót, hoặc dữ liệu lấy ra bị sai.
- Khối Selective Precharge: Có chức năng xác định tính hiệu BL, BLX, DBL, DBLX, để thực hiện quá trình ghi dữ liệu vào bộ nhớ, và đọc dữ liệu ra khỏi bộ nhớ bằng cách xả điện tích về tụ
- Khối TP Memory đè xuất: Có chức năng lưu trữ dữ liệu và kiểm tra lấy dữ liệu ra bên ngoài, sự khác biệt ở đây là khối TP memory có khả năng sắp xếp dữ liệu theo đường chéo theo lý thuyết giải thuật trước đó. Hoạt động này giúp cho quá trình lấy dữ liệu ra bên ngoài có thể lấy dữ liệu theo một cột. Điều mà các memory trước đó vẫn còn hạn chế về mặt tuần tự lấy dữ liệu

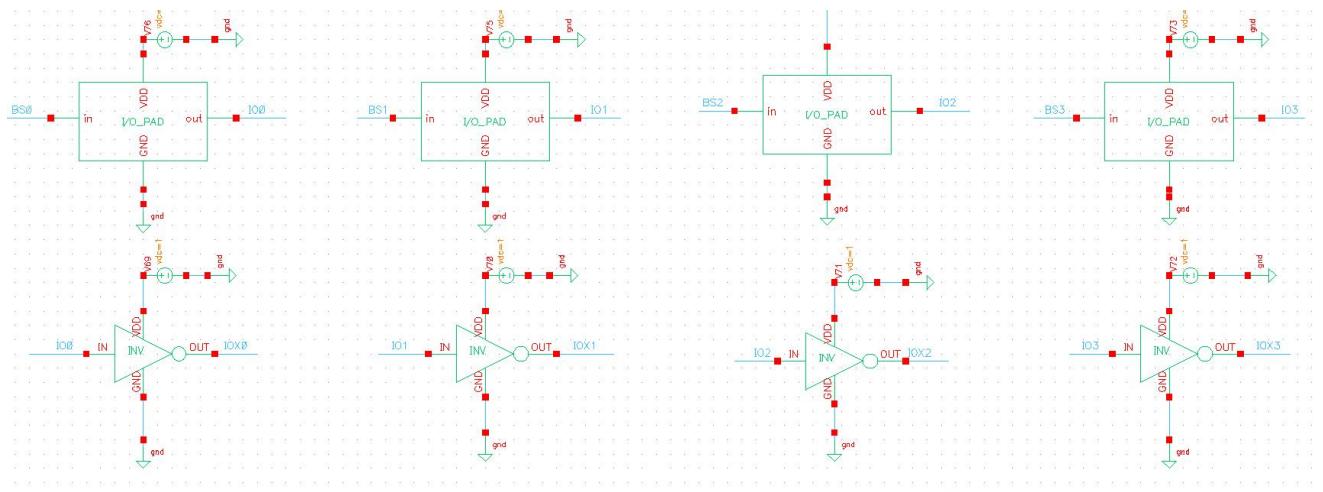
4.6.1. Chế độ ghi



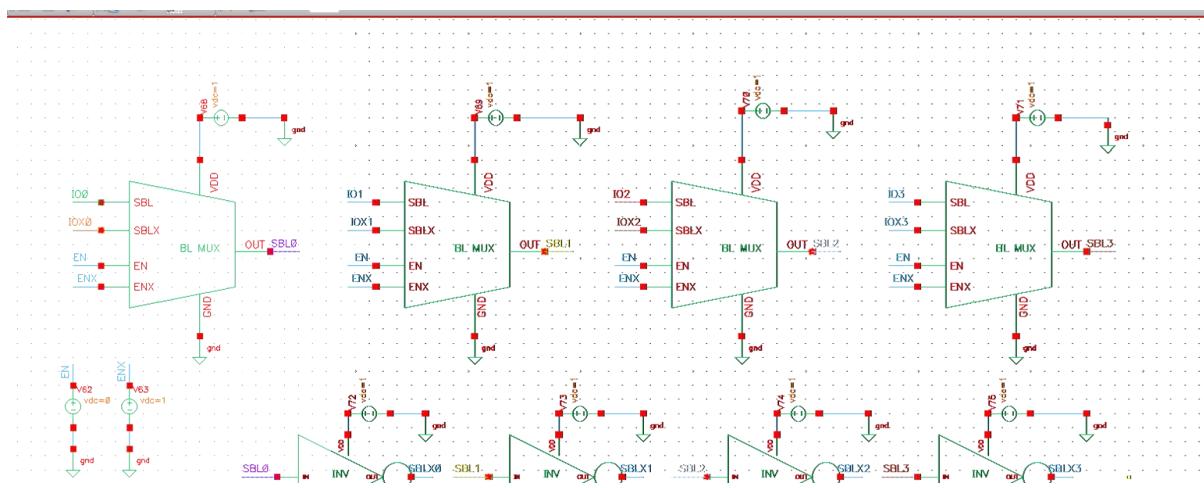
Hình 68. Sơ đồ mạch thiết kế mô phỏng chế độ ghi dữ liệu vào TP Memory



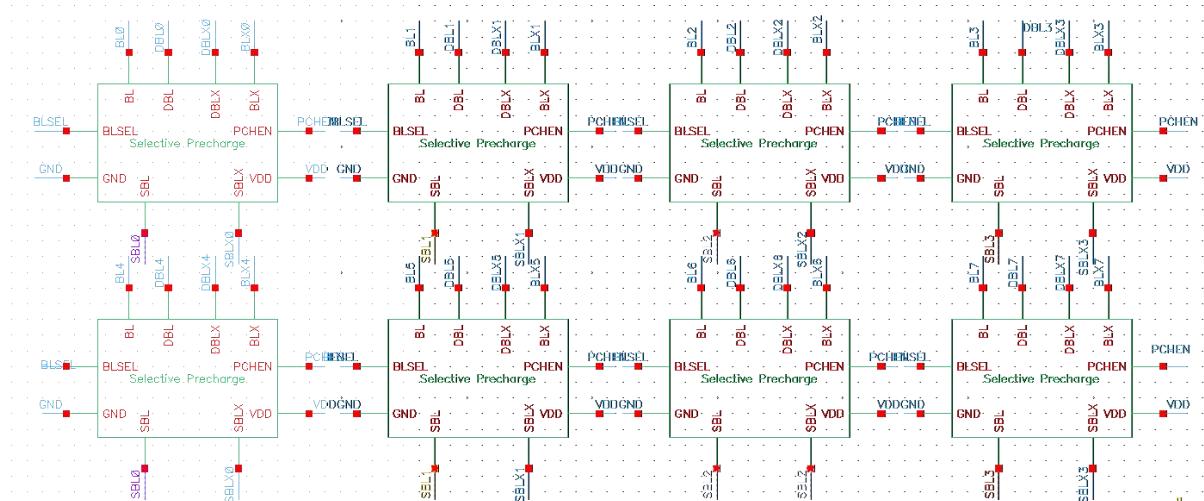
Hình 69. Khối Control và khối Barrel shifter 2 chiều



Hình 70. Khối I/O



Hình 71. Khối BL Mux

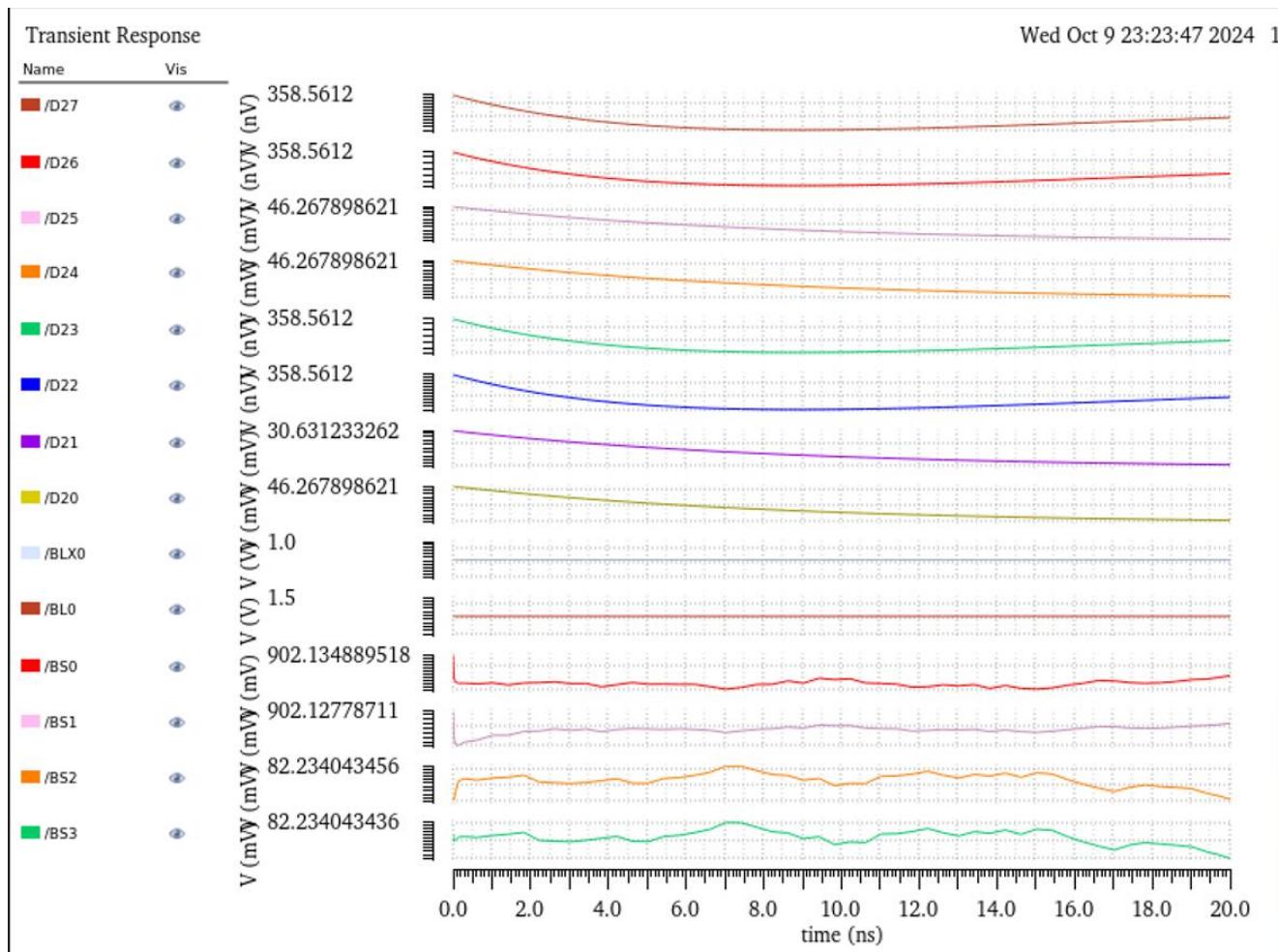


Hình 72. Khối Selective Precharge

Dữ liệu ban đầu nạp vào là 0011

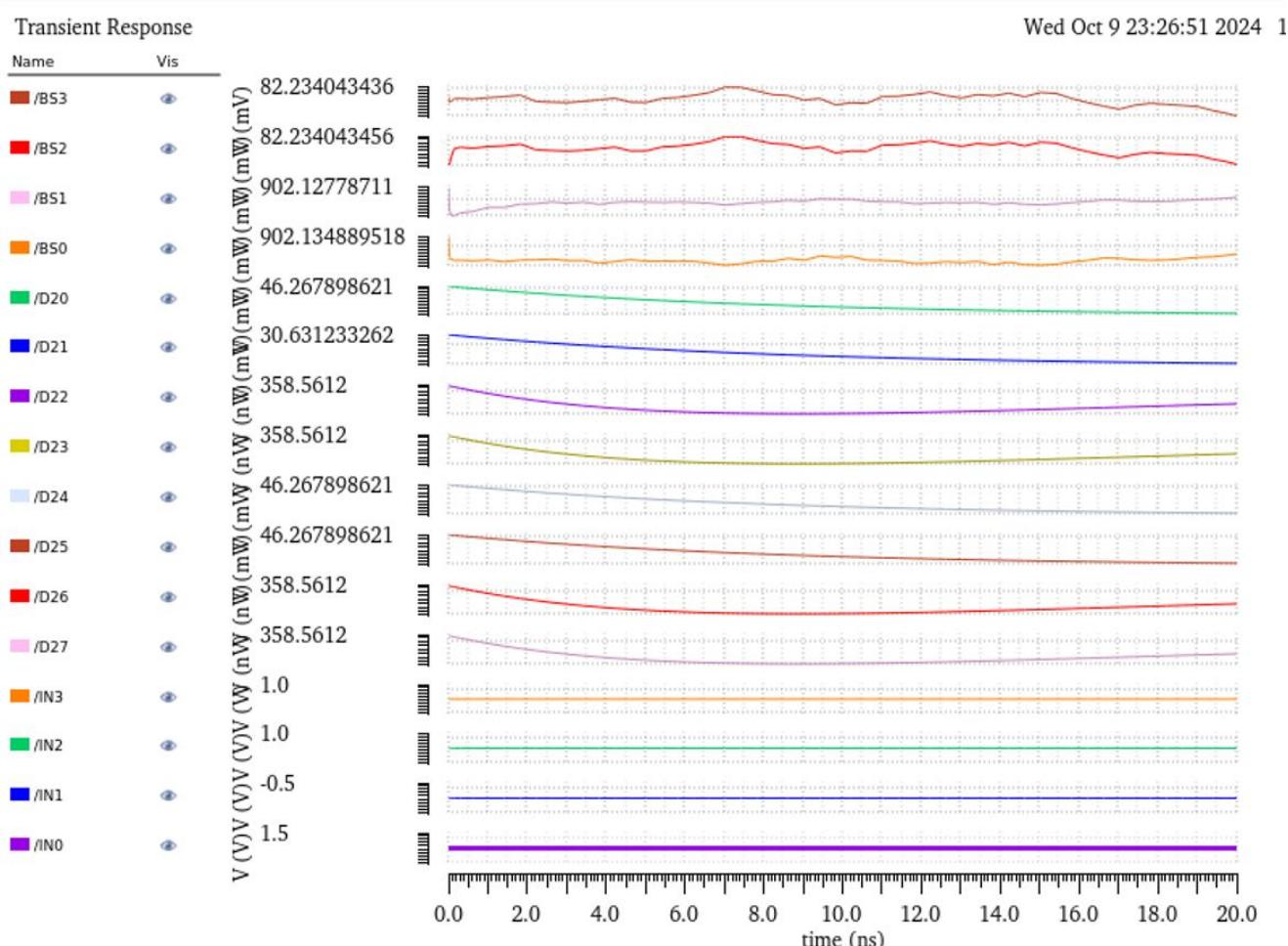
Sử dụng Control quy định tín hiệu khởi động dịch chuyển bit là “0010” tức là ROL2 dịch sang trái 2 đơn vị. Dữ liệu sẽ ghi vào bộ nhớ là “1100” và do sử dụng một mức tín hiệu BL cho cả 2 cột liền kề nên dữ liệu ghi vào sẽ là “11000000”

Kết quả tín hiệu trả về trường hợp 1: Có sử dụng Selective Precharge



Hình 73. Kết quả mô phỏng sóng ché độ đọc có sử dụng Precharge

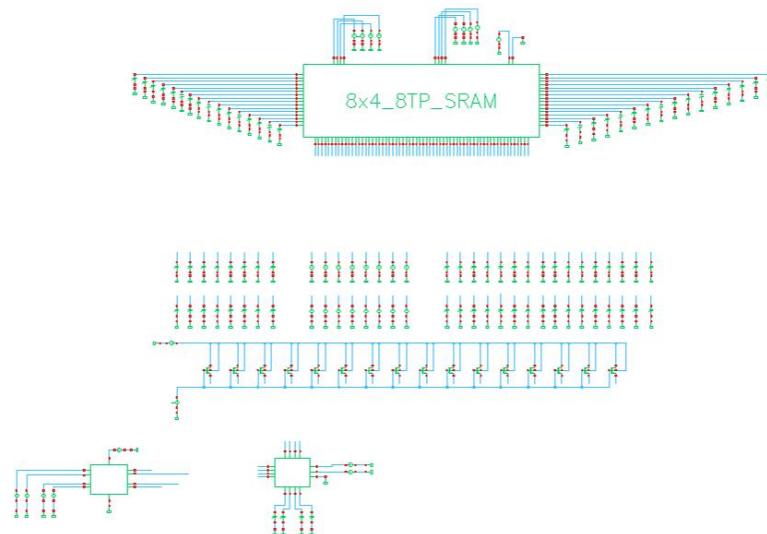
Kết quả tín hiệu trả về trường hợp 2: Không sử dụng Selective Precharge



Hình 74. Kết quả mô phỏng sóng ché độ đọc không sử dụng Precharge

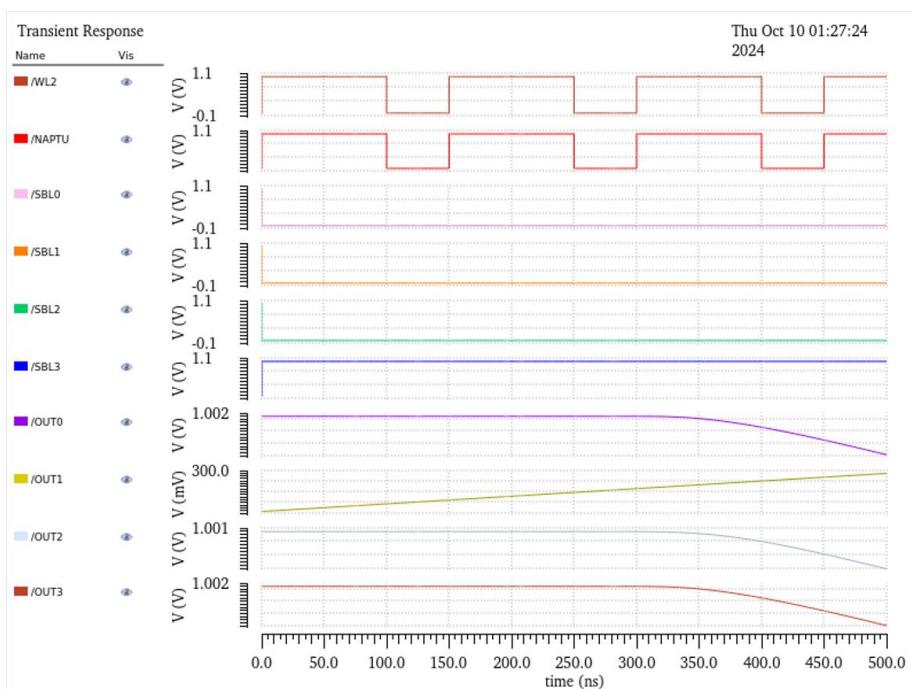
Nhận xét khi tiến hành Precharge toàn bộ mức tín hiệu đều ổn định ở các đầu ra BS3BS1BS2B0 là “1100” khi đầu vào là “0011” đã dịch trái 2 bit ROL2 theo đúng yêu cầu đề ra. Vì vậy, khói Precharge được sử dụng hay không sử dụng đều mang lại sự ổn định cho việc chuyển vị trí dữ liệu.

4.6.2. Chế độ đọc



Hình 75. Sơ đồ mạch mô phỏng quá trình đọc

Quá trình đọc tiến hành kiểm tra và lấy dữ liệu ra bên ngoài chứng minh các ô chứa dữ liệu đã được thêm vào. Dữ liệu đang được giữ trường BL lần lượt là “11000000” kiểm chứng kết quả ngõ OUT phải nhận đúng giá trị “0010” bằng cách kích xung ở control nhận tín hiệu là “1011”. Để barrel shifter thực hiện chức năng ROR2 tức dịch phải 2 khoảng cách để trả dữ liệu về đúng giá trị ban đầu, với giá trị nạp vào là “1000”. Thực hiện thiết kế một tín hiệu NAPTU tiến hành so sánh chế độ ghi về quá trình xả năng lượng về tụ ở các tín hiệu BL, BLX nhằm kiểm tra quá trình ghi thực hiện chính xác.



Hình 76. Kết quả mô phỏng sóng quá trình đọc

4.7. Đánh giá

Nhận thấy thiết kế của em khi thực hiện kiểm thử khối Barrel Shifter 2 chiều đã đạt yêu cầu đề ra là chuyển vị trí dữ liệu như phần kết quả đã báo cáo. Đề từ đó khối TP Memory với hai chế độ đọc và ghi khi được thực hiện kiểm thử cũng cho ra kết quả được đánh giá như sau:

Ở chế độ ghi khi không sử dụng hoặc sử dụng Selective Precharge thì tín hiệu sẽ không bị đẩy lên mức cao của quá trình thực hiện ghi dữ liệu và dữ liệu sẽ vẫn thực hiện đúng yêu cầu đặt ra như phần trên của báo cáo đã ghi.

Ở chế độ đọc, khi thực hiện kiểm thử thì kết quả chuyển vị trí dữ liệu đã được thực hiện chính xác khi kết quả mong muốn khi ngõ ra OUT dịch chuyển giá trị ra đúng là “0010” khi kích xung ở control nhận tín hiệu là “1011”, để barrel shifter thực hiện chức năng ROR2 tức dịch phải 2 khoảng cách để trả dữ liệu về đúng giá trị ban đầu, với giá trị nạp vào là “1000”.

CHƯƠNG 5. KẾT LUẬN VÀ HƯỚNG PHÁT TRIỂN

5.1 Kết luận

Đề xuất sử dụng 8T TP-SRAM trong bộ nhớ có thể chuyển đổi giúp hoạt động ghi và đọc dữ liệu từ bộ nhớ một cách nhanh chóng khi so sánh với kết quả bộ nhớ sử dụng 6T SRAM. Qua quá trình thực hiện mô phỏng, em nhận thấy việc sử dụng thêm khối selective precharge theo đề xuất [1] khiến dữ liệu lưu trữ vào bộ nhớ TP không đúng như mong muốn, nên em chọn bỏ đi khối và bộ nhớ vẫn có thể ghi và đọc dữ liệu một cách bình thường. Phản đặc biệt của nghiên cứu này là em kết hợp sử dụng barrel shifter để có thể dịch chuyển dữ liệu một cách đơn giản theo nguyên lý tín hiệu của control. Kết quả thu được ở chế độ đọc còn chưa đáp ứng được việc dịch chuyển dữ liệu vì còn chưa chính xác như mong muốn.

5.2 Hướng phát triển

Hiện tại bộ nhớ TP được đề xuất chỉ đang thực hiện dựa trên việc tự động quy định khoảng cách chuyển vị dữ liệu lưu vào bộ nhớ theo một khoảng cách giới hạn phụ thuộc vào số lượng bit nạp vào, ví dụ có 4 bit nạp vào cần 16 barrel shifter để có thể dịch chuyển trái phải một cách tuần tự đưa vào bộ nhớ lưu trữ. Nếu số lượng bit tăng hơn ta cần một khối bidirectional barrel shifter lớn hơn để có thể dịch chuyển dữ liệu, vì vậy đây là một thách thức đặt ra cho việc sắp xếp dữ liệu vào bộ nhớ.

Em mong muốn thiết kế thành công một bộ nhớ TP có thể không sử dụng 2 khối ngoại vi là Selective Precharge và I/O Pad, vì qua quá trình thực nghiệm và kiểm tra, em vẫn có thể thiết kế mạch hoạt động đúng với function đặt ra nhưng không cần sử dụng tới khối selective precharge và đo được công suất thấp hơn gấp rưỡi lần so với tài liệu tham khảo. Đây sẽ là mục tiêu tiếp theo để em có thể phát triển thiết kế này hơn nữa. Đồng thời có thể thực hiện được đo công suất toàn mạch ở 2 chế độ ghi và đọc của TP Memory

Đồng thời việc sử dụng 8T TP-SRAM đề xuất đang ở tiến trình 28nm và thường được sản xuất ở 65nm hoặc 45nm, trong tương lai đây sẽ là một mục tiêu đặt ra có thể thiết kế 8T TP-SRAM ở tiến trình 10nm

CHƯƠNG 6. TÀI LIỆU THAM KHẢO

- [1] Dain Choi, Woong Choi. “*Hardware Efficient Transposable 8T SRAM for Orthogonal Data Acces,*”. IEEE Access. 2023, vol. 12.
- [2] J.-s. Seo, B. Brezzo, Y. Liu, B. D. Parker, S. K. Esser, R. K. Mon toye, B. Rajendran, J. A. Tierno, L. Chang, D. S. Modha, and D. J. Friedman, “*A 45 nm CMOS neuromorphic chip with a scalable architecture for learning in networks of spiking neurons,*” in Proc. IEEE Custom Integr. Circuits Conf. (CICC), San Jose, CA, USA, Sep. 2011, pp. 1–4
- [3] J.Kim, J.Koo, T.Kim, and J.-J.Kim, ‘*Efficientsynapsememorystructure for reconfigurable digital neuromorphic hardware,*’ Frontiers Neurosci., vol. 12, p. 829, Nov. 2018.
- [4] Dain Chon, Yoojeong Yang, Hayoung Choi, and Woong Choi. “*Hardware-Efficient Barrel Shifter Design Using Customized Dynamic Logic Based MUX,*”. ISOCC. 2022.
- [5] J. Koo, J. Kim, S. Ryu, C. Kim, and J.-J. Kim, “*Area-efficient transposable 6T SRAM for fast online learning in neuromorphic processors,*” in Proc. IEEE Custom Integr. Circuits Conf. (CICC), Austin, TX, USA, Apr. 2019, pp. 1–4.
- [6] R. Rafati, S. M. Fakhraie, and K. C. Smith, “*A 16-bit barrel-shifter implemented in data-driven dynamic logic (D³L),*” IEEE Trans. Circuits Syst. I, Reg. Papers, vol. 53, no. 10, pp. 2194–2202, Oct. 2006.