**TRƯỜNG ĐẠI HỌC BÁCH KHOA HÀ NỘI**

**ĐỒ ÁN TỐT NGHIỆP**

**Tìm hiểm và triển khai thuật toán xử lý ảnh Sift trên FPGA**

**NGUYỄN VĂN A**

nguyenvanabc@sis.hust.edu.vn

**Ngành Công nghệ Thông tin**

**Chuyên ngành Kỹ thuật máy tính**

|  |  |
| --- | --- |
| **Giảng viên hướng dẫn:** | PGS. TS. Phạm Văn ABC  Chữ ký của GVHD |
| **Bộ môn:** | Kỹ thuật máy tính |
| **Viện:** | Công nghệ Thông tin và Truyền thông |
| **HÀ NỘI, 12/2020** | |

**PHIẾU GIAO NHIỆM VỤ ĐỒ ÁN TỐT NGHIỆP**

**1. Thông tin về sinh viên**

Họ và tên sinh viên: Nguyễn Văn Hùng

Điện thoại liên lạc: 0326.540.044 Email:hung.nv161972@sis.hust.edu.vn

Lớp: CNTT1.01 K61 Hệ đào tạo: Đại học chính quy

Họ và tên sinh viên: Nguyễn Hữu Tráng

Điện thoại liên lạc: 0352408617 Email:trang.nh164196@sis.hust.edu.vn

Lớp: CNTT1.02 K61 Hệ đào tạo: Đại học chính quy

Đồ án tốt nghiệp được thực hiện tại: Đại học Bách khoa Hà Nội

Thời gian làm ĐATN: Từ ngày 20/09/2020 đến 30/12/2020

**2. Mục đích nội dung của ĐATN**

* Tìm hiểu về các IP Core được cung cấp sẵn trong Qsys.
* Tìm hiểu về cách truyền thông tin giữa FPGA và PC.
* Tìm hiểu quá trình thiết kế IP Core sử dụng công cụ DSP Builder, Simulink.
* Xây dựng, thiết kế IP Core thực hiện thuật toán Sift để phát hiện một logo nào đó trong một video.

**3. Các nhiệm vụ cụ thể của ĐATN**

* Tìm hiểu về giao thức PCIe sử dụng trong truyền thông tin giữa FPGA và PC.
* Tìm hiểu về các IP Core, Interface dùng cho xử lý ảnh/video được cung cấp sẵn trong Qsys.
* Tìm hiểu và học sử dụng các công cụ DSP Builder, Simulink, MATLAB.
* Tìm hiểu về các thuật toán Sift.
* Triển khai thuật toán Sift trên FPGA để phát hiện logo trong video, so sánh kết quả khi thực hiện thuật toán bằng OpenCV.
* Tổng kết và đánh giá.

**4. Lời cam đoan của sinh viên:**

Tôi – *Nguyễn Văn Hùng* và Tôi – *Nguyễn Hữu Tráng* – cam kết ĐATN là công trình nghiên cứu của bản than chúng tôi dưới sự hướng dẫn của *TS Đỗ Công Thuần* và *ThS Nguyễn Đức Tiến*.

Các kết quả nêu trong ĐATN là trung thực, không phải là sao chép toàn văn của bất kỳ công trình nào khác.

|  |  |
| --- | --- |
| *Hà Nội, ngày 30 tháng 12 năm 2020*  Tác giả ĐATN  *Nguyễn Văn Hùng* | *Hà Nội, ngày 30 tháng 12 năm 2020*  Tác giả ĐATN  *Lê Thanh Tùng* |

**5. Xác nhận của giáo viên hướng dẫn về mức độ hoàn thành của ĐATN và cho phép bảo vệ:**

|  |  |
| --- | --- |
| *Hà Nội, ngày 30 tháng 12 năm 2020*  Giảng viên hướng dẫn  *TS Đỗ Công Thuần* | *Hà Nội, ngày 30 tháng 12 năm 2020*  Giảng viên hướng dẫn  *ThS Nguyễn Đức Tiến* |

**Lời cảm ơn**

Chúng em xin chân thành gửi lời cảm ơn tới:

Toàn thể các thầy cô trường Đại học Bách khoa Hà Nội đã truyền thụ cho chúng em những kiến thức, kinh nghiệm quý báu trong suốt thời gian chúng em học tập và rèn luyện tại trường.

Thầy Nguyễn Đức Tiến và thầy Đỗ Công Thuần đã nhiệt tình hướng dẫn chúng em hoàn thành đồ án tốt nghiệp.

Anh Nguyễn xx Dũng – kỹ sư tại … đã nhiệt tình giúp đỡ chúng em ngay từ những ngày đầu thực hiện đồ án tốt nghiệp.

Ngoài ra, chúng em xin được gửi lời cảm ơn đến gia đình, bạn bè đã luôn ở bên động viên, tạo điều kiện cho chúng em có thể hoàn thành đồ án tốt nghiệp này.

Do thời gian và kiến thức còn hạn chế nên đồ án này khó tránh khỏi có nhiều thiếu sót, chúng em rất mong nhận được sự đóng góp ý kiến của các thầy cô và các bạn.

**Tóm tắt nội dung đồ án**

Mục tiêu chính của đồ án là triển khai thuật toán Sift trên nền tảng FPGA để giải quyết bài toán phát hiện vị trí logo trong một video.

Nội dung chính của đồ án gồm:

**Chương 1: AVALON INTERFACE**

Chương này trình bày về Avalon Interface được sử dụng phổ biến trong các IP Core được cung cấp sẵn bởi Altera.

**Chương 2: BOARD DE2i-150**

Chương này tập trung khảo sát kiến trúc, ngoại vi cũng như cách truyền thông tin giữa phần FPGA và phần PC của board DE2i-150 dùng để chạy thử nghiệm.

**Chương 3: KIẾN TRÚC HỆ THỐNG**

Chương này sẽ trình bày kiến trúc tổng quan của hệ thống, cho thấy luồng di chuyển của hình ảnh từ đầu vào tới đầu ra.

**Chương 4: THUẬT TOÁN SIFT**

Chương này trình bày lý thuyết cơ sở, các bước thực thi và các công thức của thuật toán Sift.

**Chương 5: TRIỂN KHAI THUẬT TOÁN TRÊN FPGA**

Chương này trình bày về công cụ DSP Builder, các sơ đồ thiết kế của thuật toán từ lớn (tổng quan) đến nhỏ (chi tiết), xây dựng testbench trên MATLAB để kiểm tra tính đúng đắn.

**Chương 6: KẾT QUẢ THỬ NGHIỆM**

Chương này trình bày các đánh giá, so sánh kết quả, tài nguyên đã sử dụng trên board DE2i-150.

Sinh viên thực hiện

Ký và ghi rõ họ tên

**MỤC LỤC**

[PHIẾU GIAO NHIỆM VỤ ĐỒ ÁN TỐT NGHIỆP ii](#_Toc59099587)

[CHƯƠNG 1. AVALON INTERFACE 1](#_Toc59099588)

[1.1 Avalon Interface 1](#_Toc59099589)

[1.2 Avalon Streaming Interface 1](#_Toc59099590)

[1.3 Một số IP Core được cung cấp bởi Altera sẽ sử dụng 1](#_Toc59099591)

[CHƯƠNG 2. BOARD DE2i-150 2](#_Toc59099592)

[2.1 Kiến trúc và ngoại vi của board DE2i-150 2](#_Toc59099593)

[2.2 PCIe – giao thức truyền thông tin giữa FPGA (Cyclone IV GX) và PC (Atom) 2](#_Toc59099594)

[CHƯƠNG 3. KIẾN TRÚC HỆ THỐNG 3](#_Toc59099595)

[3.1 Sơ đồ kiến trúc tổng quan hệ thống 3](#_Toc59099596)

[3.1.1 Sơ đồ khối của hệ thống 3](#_Toc59099597)

[3.1.2 Sơ đồ ghép nối các IP Core trên Qsys cho board DE2i-150 3](#_Toc59099598)

[3.2 Luồng di chuyển của dữ liệu trên hệ thống 3](#_Toc59099599)

[CHƯƠNG 4. THUẬT TOÁN SIFT 4](#_Toc59099600)

[4.1 Phép toán Convolution(tên này ông có thể đặt lại theo ý ông nhá) 4](#_Toc59099601)

[4.2 Xây dựng Gaussian scale-space (tên này ông có thể đặt lại theo ý ông nhá) 4](#_Toc59099602)

[4.3 DoG – Difference of Gaussians 4](#_Toc59099603)

[4.4 Tìm các điểm đặc trưng (Keypoint) 4](#_Toc59099604)

[4.5 Tính hướng tham chiếu cho mỗi điểm đặc trưng(cái này ông chọn sift hay brief thì ghi rõ nhá) 4](#_Toc59099605)

[4.6 Xây dựng bộ mô tả đặc trưng(cái này ông chọn sift hay brief thì ghi rõ nhá) 4](#_Toc59099606)

[4.7 So khớp keypoint 4](#_Toc59099607)

[CHƯƠNG 5. TRIỂN KHAI THUẬT TOÁN TRÊN FPGA 5](#_Toc59099608)

[5.1 Công cụ Altera DSP Builder 5](#_Toc59099609)

[5.1.1 Giới thiệu công cụ Altera DSP Builder 5](#_Toc59099610)

[5.1.2 Một vài IP Core trong Altera DSP Builder được sử dụng 5](#_Toc59099611)

[5.2 Triển khai thuật toán trên FPGA 5](#_Toc59099612)

[5.2.1 IP Core Convolution 5](#_Toc59099613)

[5.2.2 IP Core Gaussion scale-spcae 5](#_Toc59099614)

[5.2.3 IP Core Sift extraction (cái này chính là cái làm xong ra được keypiont đó ông) 5](#_Toc59099615)

[5.2.4 IP Core … description 5](#_Toc59099616)

[5.2.5 IP Core matching 5](#_Toc59099617)

[5.3 Kiểm thử với Testbench trên MATLAB 5](#_Toc59099618)

[CHƯƠNG 6. KẾT QUẢ THỬ NGHIỆM 6](#_Toc59099619)

[6.1 Kết quả thử nghiệm 6](#_Toc59099620)

[6.2 Thông số tài nguyên FPGA, so sánh với thực hiện bằng CPU 6](#_Toc59099621)

[TÀI LIỆU THAM KHẢO 7](#_Toc59099622)

[PHỤ LỤC 8](#_Toc59099623)

**DANH MỤC HÌNH VẼ**

[Hình 2.1 Đồ thị kiểu bánh 20](#_Toc20580104)

[Hình 2.2 Đồ thị kiểu thanh ngang 20](#_Toc20580105)

[Hình 2.3 Đồ thị kiểu cột đứng 21](#_Toc20580106)

[Hình 2.4 Đồ thị kiểu đường 21](#_Toc20580107)

[Hình 2.5 Đồ thị kiểu diện tích 22](#_Toc20580108)

**DANH MỤC HÌNH VẼ**

[Bảng 1.1 Thống kê các thiết bị và giá thành 8](#_Toc20580109)

# AVALON INTERFACE

## Avalon Interface

## Avalon Streaming Interface

## Một số IP Core được cung cấp bởi Altera sẽ sử dụng

# BOARD DE2i-150

## Kiến trúc và ngoại vi của board DE2i-150

## PCIe – giao thức truyền thông tin giữa FPGA (Cyclone IV GX) và PC (Atom)

# KIẾN TRÚC HỆ THỐNG

## Sơ đồ kiến trúc tổng quan hệ thống

### Sơ đồ khối của hệ thống

### Sơ đồ ghép nối các IP Core trên Qsys cho board DE2i-150

## Luồng di chuyển của dữ liệu trên hệ thống

# THUẬT TOÁN SIFT

## Phép toán Convolution(tên này ông có thể đặt lại theo ý ông nhá)

## Xây dựng Gaussian scale-space (tên này ông có thể đặt lại theo ý ông nhá)

## DoG – Difference of Gaussians

## Tìm các điểm đặc trưng (Keypoint)

## Tính hướng tham chiếu cho mỗi điểm đặc trưng(cái này ông chọn sift hay brief thì ghi rõ nhá)

## Xây dựng bộ mô tả đặc trưng(cái này ông chọn sift hay brief thì ghi rõ nhá)

## So khớp keypoint

# TRIỂN KHAI THUẬT TOÁN TRÊN FPGA

## Công cụ Altera DSP Builder

### Giới thiệu công cụ Altera DSP Builder

### Một vài IP Core trong Altera DSP Builder được sử dụng

## Triển khai thuật toán trên FPGA

### IP Core Convolution

### IP Core Gaussion scale-spcae

### IP Core Sift extraction (cái này chính là cái làm xong ra được keypiont đó ông)

### IP Core … description

### IP Core matching

## Kiểm thử với Testbench trên MATLAB

# KẾT QUẢ THỬ NGHIỆM

## Kết quả thử nghiệm

## Thông số tài nguyên FPGA, so sánh với thực hiện bằng CPU

# TÀI LIỆU THAM KHẢO

|  |  |
| --- | --- |
| [1] | Trần Bách, Lưới điện và hệ thống điện, Nhà xuất bản Khoa học Kỹ thuật, 2004. |
| [2] | Abe Masayuki, “A Practical Approach to Accurate Fault Location on Extra High Voltage Teed Feeders,” *IEEE Transaction on Power Delivery,* pp. 159-168, 1995. |
| [3] | Microsoft, "Add citations in a Word document," 2017. |

# PHỤ LỤC

1. **Chi tiết số liệu thí nghiệm**

Trình phụ lục tại đây (nếu có). Trình phụ lục tại đây (nếu có). Trình phụ lục tại đây (nếu có). Trình phụ lục tại đây (nếu có). Trình phụ lục tại đây (nếu có). Trình phụ lục tại đây (nếu có). Trình phụ lục tại đây (nếu có). Trình phụ lục tại đây (nếu có). Trình phụ lục tại đây (nếu có). Trình phụ lục tại đây (nếu có). Trình phụ lục tại đây (nếu có). Trình phụ lục tại đây (nếu có).

1. **Chi tiết các bước tính toán**

Trình phụ lục tại đây (nếu có). Trình phụ lục tại đây (nếu có). Trình phụ lục tại đây (nếu có). Trình phụ lục tại đây (nếu có). Trình phụ lục tại đây (nếu có). Trình phụ lục tại đây (nếu có). Trình phụ lục tại đây (nếu có). Trình phụ lục tại đây (nếu có). Trình phụ lục tại đây (nếu có). Trình phụ lục tại đây (nếu có). Trình phụ lục tại đây (nếu có). Trình phụ lục tại đây (nếu có).

1. **Chi tiết sơ đồ mô phỏng**

Trình phụ lục tại đây (nếu có). Trình phụ lục tại đây (nếu có). Trình phụ lục tại đây (nếu có). Trìn