

TRƯỜNG ĐẠI HỌC SƯ PHẠM KỸ THUẬT TP. HỒ CHÍ MINH  
KHOA ĐIỆN – ĐIỆN TỬ



**BÁO CÁO CUỐI KỲ**

## **MẠCH ĐỒNG HỒ SỐ**

**MÔN HỌC: THỰC TẬP THIẾT KẾ MẠCH TÍCH HỢP VLSI**

**GVHD: TS. Đỗ Duy Tân**

**SVTH:**

Nguyễn Văn Lân                      19161254

Võ Song Ngân                      19161265

Võ Hoàng Quốc                      19161278

TP. HỒ CHÍ MINH – 05/2022

## DANH MỤC HÌNH ẢNH

Hình 2. 1: D Flip Flop thông thường và bảng trạng thái .....	3
Hình 2. 2: Mạch nguyên lý D Flip Flop .....	3
Hình 2. 3: cổng truyền và bảng trạng thái .....	4
Hình 2. 4: Clocked Cmos .....	4
Hình 2. 5: Xung Clock=0 .....	5
Hình 2. 6: Xung Clock=1 .....	5
Hình 2. 7: trạng thái mạch đếm BCD .....	6
Hình 2. 8: bảng trạng thái mạch đếm BCD 4 bit .....	7
Hình 2. 9: K-map cho D0 .....	8
Hình 2. 10: K-map cho D1 D2 D3 .....	8
Hình 2. 11: mạch đếm 4 bit có Reset và load .....	9
Hình 3. 1: sơ đồ khối mạch đồng hồ.....	10
Hình 3. 2: mạch MR_LOAD_CLK .....	11
Hình 3. 3: Mạch đếm 00-59.....	12
Hình 3. 4: sơ đồ nguyên lý mạch đếm 00-59.....	13
Hình 3. 5 symbol mạch đếm 00-23 .....	14
Hình 3. 6 : sơ đồ nguyên lý mạch đếm 00-23.....	15
Hình 3. 7: Symbol mạch đồng hồ .....	15
Hình 3. 8: sơ đồ nguyên lý mạch đồng hồ.....	16
Hình 4. 1: dạng sóng mô phỏng của D Flip Flop .....	17
Hình 4. 2: dạng sóng mô phỏng mạch đếm BCD.....	18
Hình 4. 3: dạng sóng mạch MR_LOAD_CLK.....	19
Hình 4. 4: dạng sóng mạch đếm 00-59.....	19
Hình 4. 5: dạng sóng mạch đếm 00-23.....	20
Hình 4. 6: dạng sóng của mạch đồng hồ .....	21

## MỤC LỤC

CHƯƠNG 1: TỔNG QUAN .....	1
1.1    Đặt vấn đề .....	1
1.2    Mục tiêu nghiên cứu .....	1
1.3    Nội dung nghiên cứu.....	1
1.4    Bố cục .....	1
1.5    Giới hạn.....	2
CHƯƠNG 2: CƠ SỞ LÝ THUYẾT.....	3
2.1    Giới thiệu D Flip Flop.....	3
2.2    Giới thiệu mã BCD và mạch đếm BCD 4 bit .....	6
CHƯƠNG 3: THIẾT KẾ .....	10
3.1    Sơ đồ khối thiết kế .....	10
3.2    Thiết kế mạch MR_LOAD_CLK .....	11
3.2    Thiết kế mạch đếm 00-59 .....	12
3.3    Thiết kế mạch đếm 00-23 .....	14
3.4    Thiết kế mạch đồng hồ.....	15
CHƯƠNG 4: ĐÁNH GIÁ THIẾT KẾ QUA PHẦN MỀM CADENCE .....	17
4.1    Đánh giá D Flip Flop .....	17
4.2    Đánh giá mạch đếm BCD .....	18
4.3    Đánh giá mạch MR_LOAD_CLK.....	19
4.4    Đánh giá mạch đếm 00-59 .....	19
4.5    Đánh giá mạch đếm 00-23 .....	20
4.6    Đánh giá mạch đồng hồ .....	21
TÀI LIỆU THAM KHẢO .....	23

## CHƯƠNG 1: TỔNG QUAN

### 1.1 Đặt vấn đề

Cùng với sự phát triển của khoa học công nghệ, các thiết bị điện tử liên tục phát triển. Việc gia công các thiết bị đều dựa trên nguyên lý số, mạch số trở nên ngày càng thông dụng với cuộc sống. Các hệ thống vận hành đều đòi hỏi vấn đề về realtime để có thể hoạt động một cách chính xác. Thấy được vấn đề đó, nhóm đã thực hiện đề tài “Thiết kế mạch đồng hồ số”.

### 1.2 Mục tiêu nghiên cứu

Hiểu được nguyên lý của mạch đồng hồ số, các module con của mạch đồng hồ số như D Flip Flop, mạch đếm BCD,...

Biết cách xây dựng các module của mạch đồng hồ số trên phần mềm Cadence Virtuoso.

### 1.3 Nội dung nghiên cứu

Thiết kế các mạch đếm, mạch Flip Flop

Mô phỏng dạng sóng và đánh giá mạch mô phỏng so với mạch xây dựng từ lý thuyết.

### 1.4 Bố cục

Bài báo cáo được chia thành 5 chương:

Chương 1: Tổng quan

1.1 Đặt vấn đề

1.2 Mục tiêu nghiên cứu

1.3 Nội dung nghiên cứu

1.4 Bố cục

1.5 Giới hạn

Chương 2: Cơ sở lý thuyết

2.1 giới thiệu D Flip Flop

2.2 Giới thiệu mã BCD và mạch đếm BCD

Chương 3: Thiết kế chi tiết

3.1 Sơ đồ khối của mạch đồng hồ số

3.2 Thiết kế mạch MR\_LOAD\_CLK

3.3 Thiết kế mạch đếm 00-59

3.4 Thiết kế mạch đếm 00-23

3.5 Thiết kế mạch đồng hồ số

#### Chương 4: Đánh giá qua phần mềm Cadence Virtuoso

4.1 Đánh giá D Flip Flop

4.2 Đánh giá mạch đếm BCD

4.3 Đánh giá mạch MR\_LOAD\_CLK

4.4 Đánh giá mạch đếm 00-59

4.5 Đánh giá mạch đếm 00-23

4.6 Đánh giá mạch đồng hồ số

#### 1.5 Giới hạn

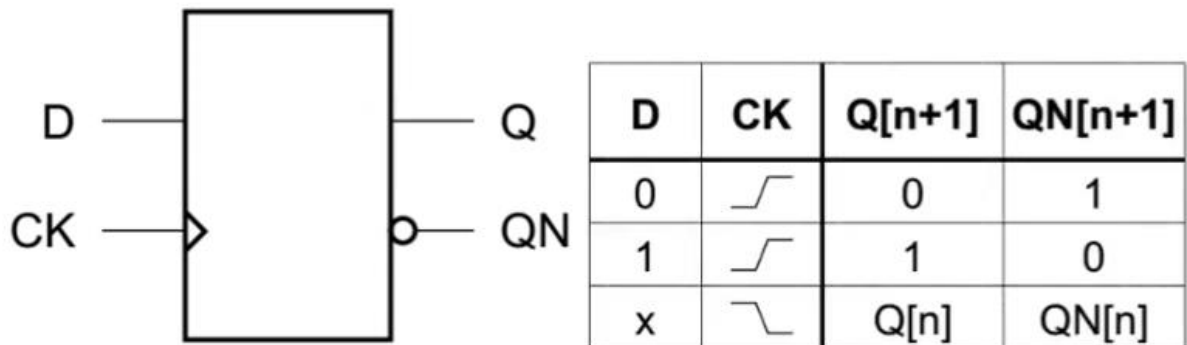
Sử dụng kiến thức kỹ thuật số thiết kế các mạch đếm, D Flip Flop, mạch đếm 00-59,...

Sử dụng các thiết kế cổng logic, Flip Flop trong sách CMOS VLSI Design: A Circuits and Systems Perspective của tác giả David Harris and Neil Weste.

Các mô phỏng được triển khai trên phần mềm Cadence Virtuoso.

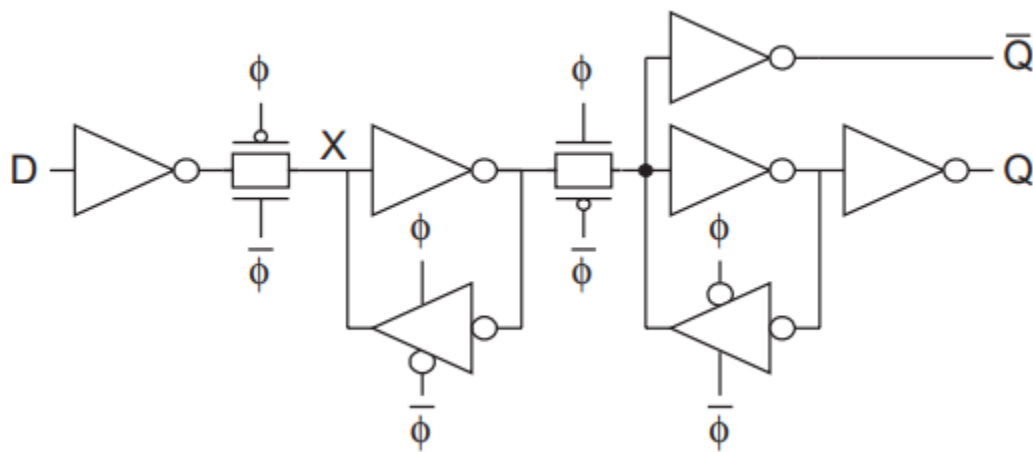
## CHƯƠNG 2: CƠ SỞ LÝ THUYẾT

### 2.1 Giới thiệu D Flip Flop



Hình 2. 1: D Flip Flop thông thường và bảng trạng thái [4]

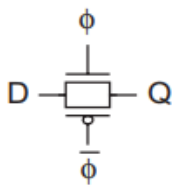
Một D Flip Flop thông thường có sơ đồ khối như hình 2.1, ngõ vào có xung Clock là chân CK và chân dữ liệu là D, mạch có hai ngõ ra là Q và Not Q (QN). Hình bên phải là bảng trạng thái của D FF, mỗi khi xung Clock tích cực cạnh lên dữ liệu từ D sẽ đưa đến ngõ ra Q và QN. Ngược lại, khi xung Clock là cạnh xuống, bắt chấp ngõ vào D ngõ ra giữ nguyên trạng thái trước đó.



Hình 2. 2: Mạch nguyên lý D Flip Flop [1]

Mạch nguyên lý của một D Flip Flop thông thường được cho như hình 2.2, thiết kế gồm 2 cổng truyền, 2 Clocked Cmos và 3 cổng đảo.

- Cổng truyền:

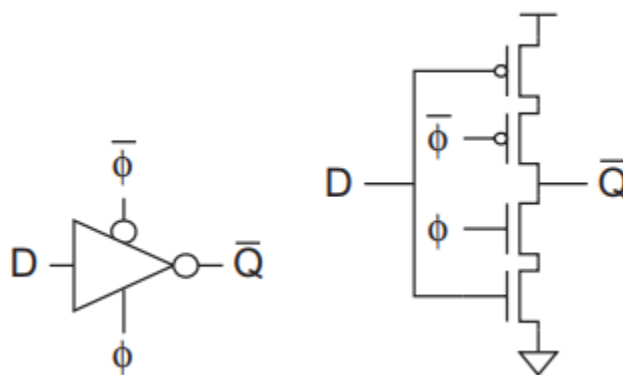


Control $\phi$	PMOS	NMOS	IN	OUT
1	0	1	0	0
			1	1
0	1	0	0	Z
			1	

Hình 2. 3: cổng truyền và bảng trạng thái [4]

Một cổng truyền bao gồm 1 pmos và 1 nmos mắc song song với nhau như hình 2.3, các chân control là tín hiệu xung Clock có thể đảo hoặc không đảo tùy theo vị trí của cổng truyền. Hình bên phải mô tả bảng trạng thái cổng truyền, khi xung Clock là cạnh lên cả hai pmos và nmos đều dẫn lúc này ngõ ra  $Q=D$ , ngược lại khi xung cạnh xuống nmos và pmos đều đóng nên ngõ ra  $Q$  lúc này ở trạng thái trở kháng cao. Cổng truyền được sử dụng trong việc đóng ngắt dữ liệu từ  $D$  đến  $Q$  theo một xung Clock.

- Clocked Cmos:

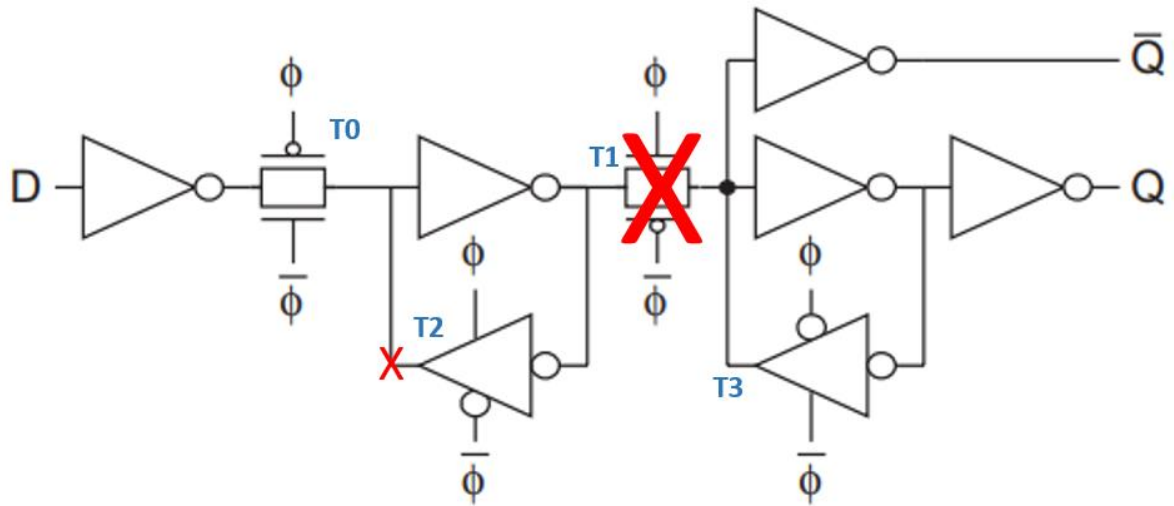


Hình 2. 4: Clocked Cmos [1]

Hình 2.4 mô tả một mạch Clocked Cmos gồm ngõ vào  $D$ , ngõ ra  $Q$  và 2 chân điều khiển là xung Clock. Cũng giống như cổng truyền, Clocked Cmos cũng có nhiệm vụ đóng ngắt dữ liệu từ  $D$  đến  $Q$ , tuy nhiên dữ liệu từ  $D$  sẽ đảo trạng thái khi đến  $Q$ , việc này cũng giống như khi nối tiếp một cổng đảo và một cổng truyền. Dữ liệu từ  $D$  sẽ điều khiển pmos và nmos bên ngoài hoạt động như một cổng đảo và 2 cmos bên trong là một cổng truyền.

Để mô tả nguyên lý của mạch, có thể chia thành 2 trường hợp khi xung Clock =1 và khi xung Clock =0:

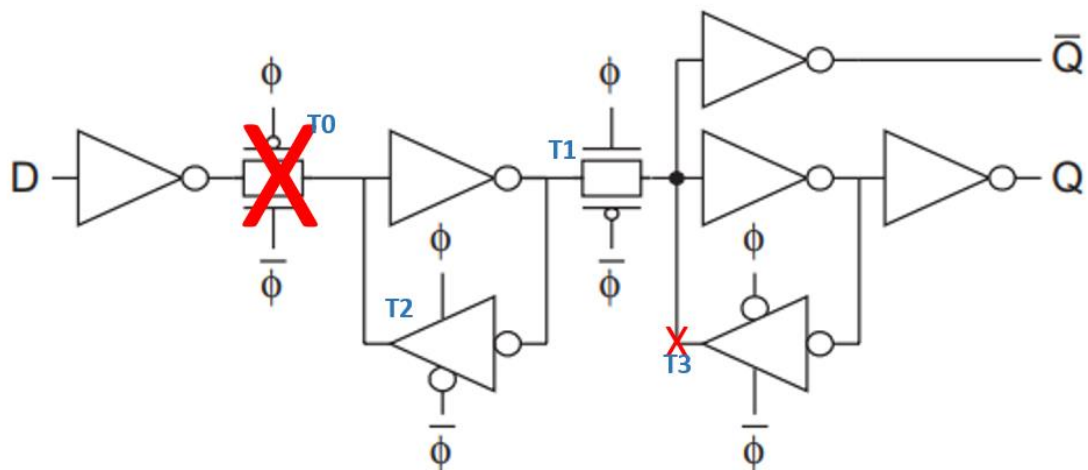
- Khi xung Clock =0:



Hình 2. 5: Xung Clock=0 [1]

Khi xung Clock=0, mạch được mô tả như hình 2.5, lúc này hai cổng truyền T0 và T3 mở, T1 và T2 ngắt. Dữ liệu được truyền từ D vào tầng 1 của D FF nhưng không đến tầng 2 vì T1 đã ngắt, dữ liệu ngõ ra cũng được giữ nguyên ở tầng 2. Dữ liệu trong tầng 1 và 2 được giữ lại và chờ đến khi xung Clock=1.

- Khi xung Clock=1:



Hình 2. 6: Xung Clock=1 [1]

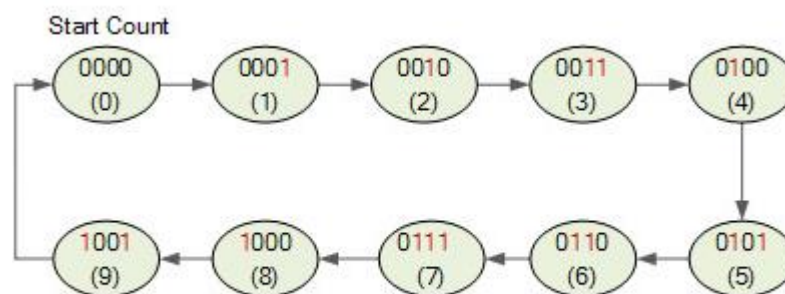


Hình 2.6 mô tả D FF khi xung Clock =1, hai cổng truyền T0 và T3 ngắt, hai cổng T1 và T2 mở. Dữ liệu từ tầng 1 ở trước đó sẽ đưa vào tầng 2 thông qua cổng T1 và tác động vào Q, lúc này Q=D. Trong quá trình này, dữ liệu từ D sẽ không tác động vào mạch do cổng T0 đã ngắt.

## 2.2 Giới thiệu mã BCD và mạch đếm BCD 4 bit

Mã BCD là mã biểu diễn các số từ 0 đến 9 được viết dưới dạng số nhị phân 4 bit. Trong các hệ thống, mã BCD có thể dễ dàng xử lý để hiển thị lên LCD hay LED 7 đoạn. Mạch đồng hồ được biểu diễn bằng ba số nguyên: giờ, phút, giây. Mỗi số sẽ được đưa về dạng 2 số BCD tương ứng hàng chục và đơn vị, vì thế nên cần dùng 24 bit cho ngõ ra của mạch đồng hồ.

Mạch đếm BCD 4 bit có thể đếm 4 bit nhị phân từ 0000 đến 1001 được kết nối từ 4 Flip Flop D, để hạn chế độ trễ các Flip Flop D được kết nối đồng bộ với nhau.



Hình 2. 7: trạng thái mạch đếm BCD [2]

Hình 2.7 minh họa các trạng thái trong 1 mạch đếm BCD, trạng thái bắt đầu là 0000 và kết thúc là 1001. Sau mỗi trạng thái ngõ ra sẽ được tính toán và đưa đến ngõ vào D cho trạng thái tiếp theo, vì vậy mạch đếm đồng bộ là mạch đếm vào song song ra song song.

Present State (Q3 Q2 Q1 Q0)	Next State (Q3+ Q2+ Q1+ Q0+)	D3	D2	D1	D0
0000	0001	0	0	0	1
0001	0010	0	0	1	0
0010	0011	0	0	1	1
0011	0100	0	1	0	0
0100	0101	0	1	0	1
0101	0110	0	1	1	0
0110	0111	0	1	1	1
0111	1000	1	0	0	0
1000	1001	1	0	0	1
1001	0000	0	0	0	0

Hình 2. 8: bảng trạng thái mạch đếm BCD 4 bit [2]

Hình 2.8 mô tả các trạng thái trong 1 mạch đếm BCD 4 bit, trạng thái đếm bắt đầu từ 0000 đến trạng thái tiếp theo là 0001, trong quá trình này các ngõ ra Q0 đến Q3 thông qua các cổng logic được tính toán và đưa trạng thái 0001 đến các ngõ vào D. Khi có xung Clock tác động, các ngõ ra Q sẽ cập nhật trạng thái mới và tiếp tục tính toán lại cho D ở trạng thái tiếp theo. Khi Q=1001 trạng thái tiếp theo sẽ bắt đầu lại với D=0000. Để tính toán các trạng thái cho D, ta sẽ sử dụng phương pháp K-map (Bìa - Karnaugh). **K-map** là một công cụ để thuận tiện trong việc đơn giản các biểu thức đại số Boole. Bìa Karnaugh độc đáo ở chỗ giữa các ô chỉ có sự thay đổi của một biến mà thôi; hay nói cách khác, các hàng và cột được sắp xếp theo nguyên lý mã Gray.

Q1 Q0 \ Q3 Q2	00	01	11	10
00	1	0	0	1
01	1	0	0	1
11	X	X	x	X
10	1	0	X	x

$$D0=Q0'$$

Hình 2. 9: K-map cho D0

Việc sử dụng K-map cho D0 được mô tả như hình 2.9, ứng với mỗi trạng thái Q, D0 sẽ có giá trị tương ứng. Dấu X là trạng thái don't care có thể là 0 hoặc 1, để dễ dàng cho việc tính toán X thường được sử dụng ở mức 1. Nhóm 8 số 1 như hình 2.3 cho ta được hàm ngõ ra bằng đảo của Q0, từ đó  $D0=Q0'$ .

Q1 Q0 \ Q3 Q2	00	01	11	10
00	0	1	0	1
01	0	1	0	1
11	X	X	x	X
10	0	0	X	x

$$D1=Q3'Q1Q0 + Q1Q0'$$

Q1 Q0 \ Q3 Q2	00	01	11	10
00	0	0	1	0
01	1	1	0	1
11	X	X	x	X
10	0	0	X	x

$$D2=Q2Q0'+Q2Q1'+Q2Q1Q0$$

Q1 Q0 \ Q3 Q2	00	01	11	10
00	0	0	0	0
01	0	0	1	0
11	X	X	x	X
10	1	0	X	x

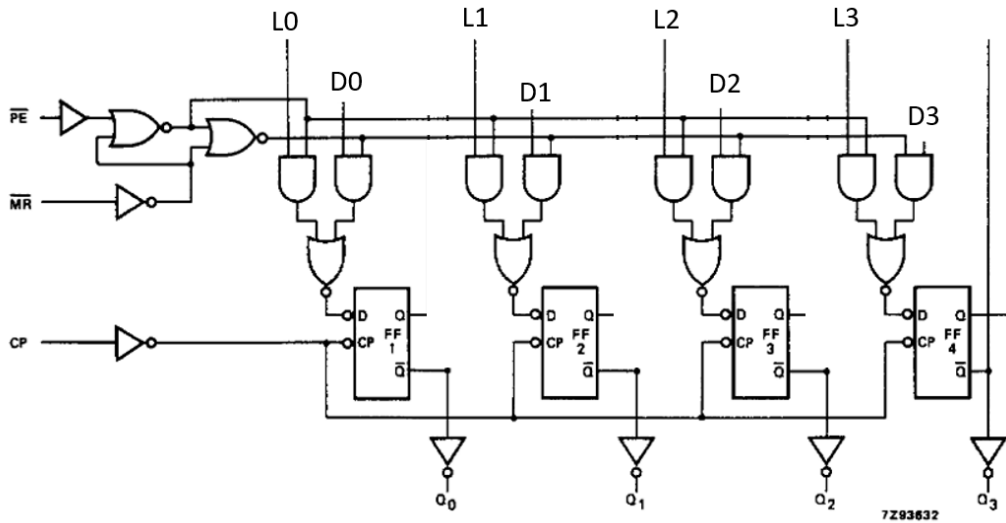
$$D3=Q0Q3+Q2Q1Q0$$

Hình 2. 10: K-map cho D1 D2 D3

Tương tự với D0, ta có K-map cho các ngõ vào còn lại như hình 2.10, sau khi nhóm các số và tính toán ta được hàm ngõ ra cho D:

$$D0=Q0', D1=Q3'Q1Q0 + Q1Q0', D2=Q2Q0' + Q2Q1' + Q2Q1Q0, D3=Q0Q3 + Q2Q1Q0.$$

Tuy nhiên để phục vụ cho nhu cầu của mạch đồng hồ, mạch đếm cần thêm các chức năng RESET và LOAD.

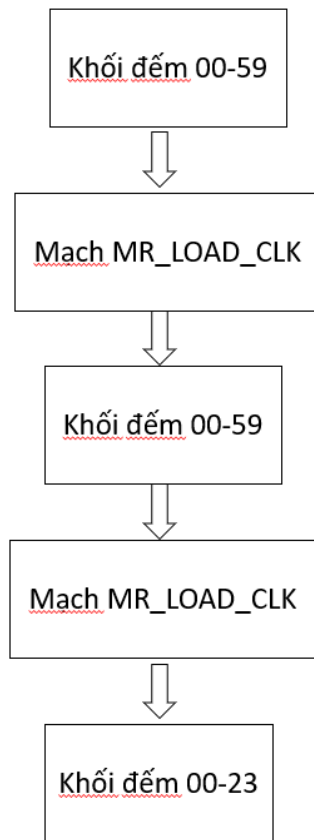


Hình 2. 11: mạch đếm 4 bit có Reset và load [3]

Trong hình 2.11 chân MR' là chân reset và chân PE' là chân load dữ liệu L vào D. PE' kết nối với MR thông qua cổng NOR, điều này làm cho ngõ ra cổng NOR luôn ở mức 0 khi chân MR' được tích cực và mạch ở trạng thái reset. Ngược lại, khi MR'=1 ngõ ra cổng NOR = PE, khi PE'=1 mạch hoạt động ở chế độ đếm 4 bit, khi PE'=0 mạch hoạt động ở chế độ load dữ liệu, lúc này D=L.

## CHƯƠNG 3: THIẾT KẾ

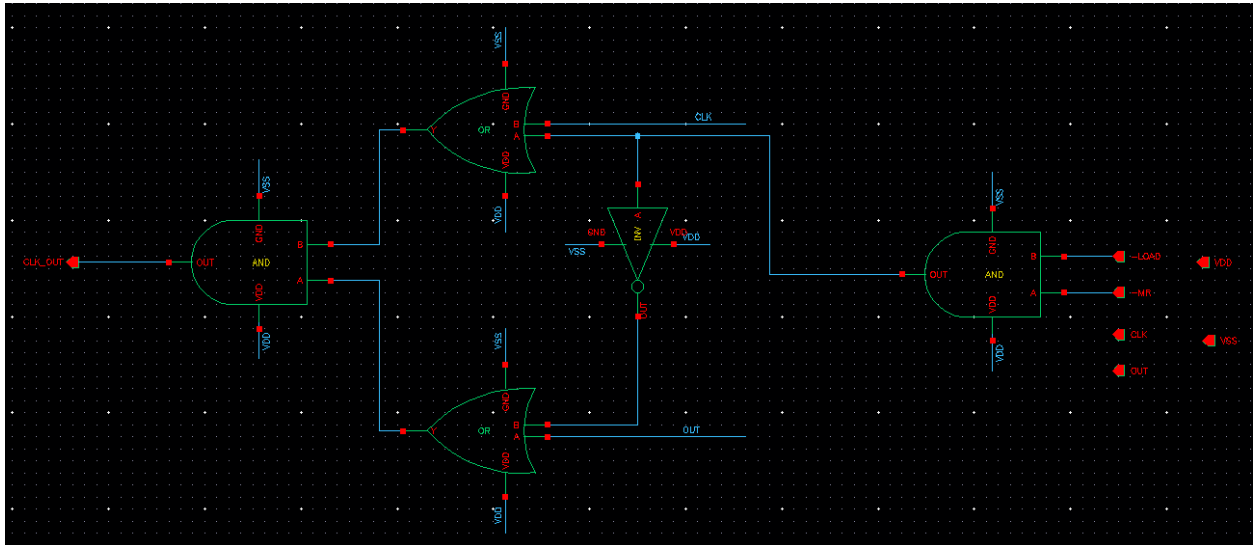
### 3.1 Sơ đồ khối thiết kế



Hình 3. 1: sơ đồ khối mạch đồng hồ

Mạch đồng hồ có sơ đồ khối như hình 3.1, gồm các khối đếm giây (00-59), phút (00-59), giờ (00-23). Mạch MR\_LOAD\_CLK dùng để tạo xung clk cho mạch đếm phút và đếm giờ.

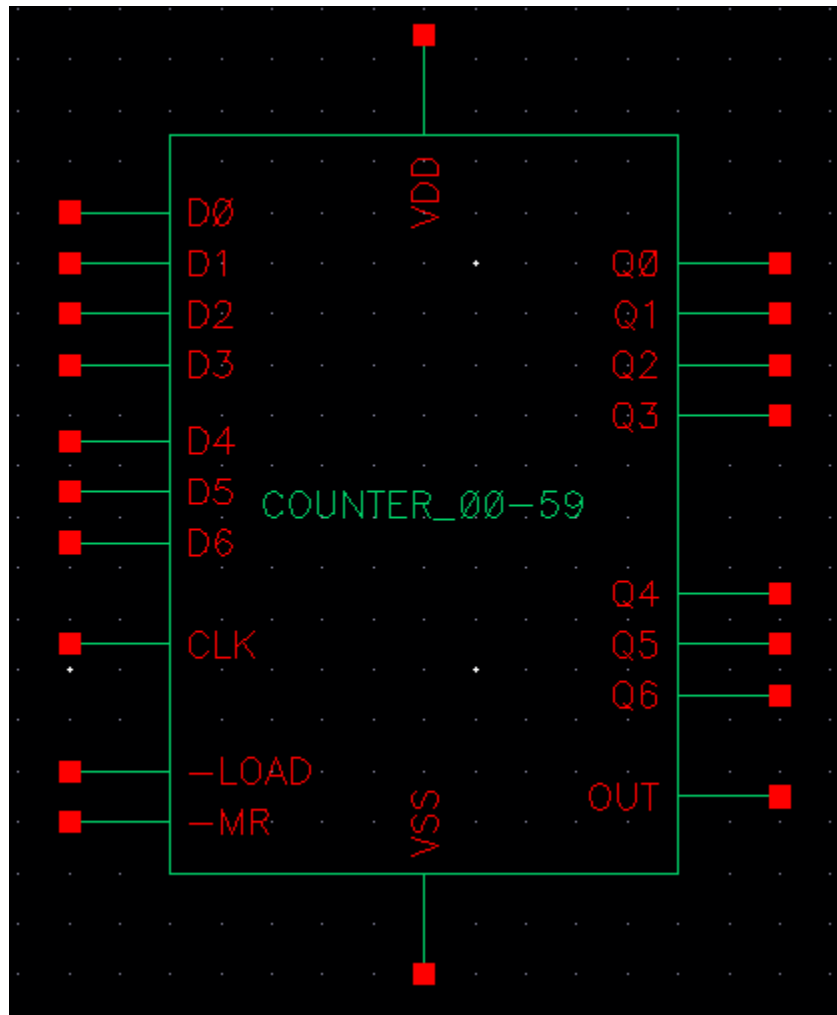
### 3.2 Thiết kế mạch MR\_LOAD\_CLK



Hình 3. 2: mạch MR\_LOAD\_CLK

Mạch MR\_LOAD\_CLK được thiết kế như hình 3.2 với ngõ vào là MR', LOAD', CLK và OUT. Khi chân MR' hoặc LOAD' xuống mức 0 thông qua cổng AND sẽ còn 1 tín hiệu duy nhất. Cổng NOT và OR sẽ chọn tín hiệu đưa đến cổng AND là CLK hoặc OUT. Khi một tín hiệu được chọn cổng OR còn lại sẽ lên mức 1, tín hiệu CLK chỉ được chọn khi MR' hoặc LOAD' ở mức 0. Cổng AND sẽ đưa tín hiệu được chọn đến ngõ ra.

### 3.2 Thiết kế mạch đếm 00-59



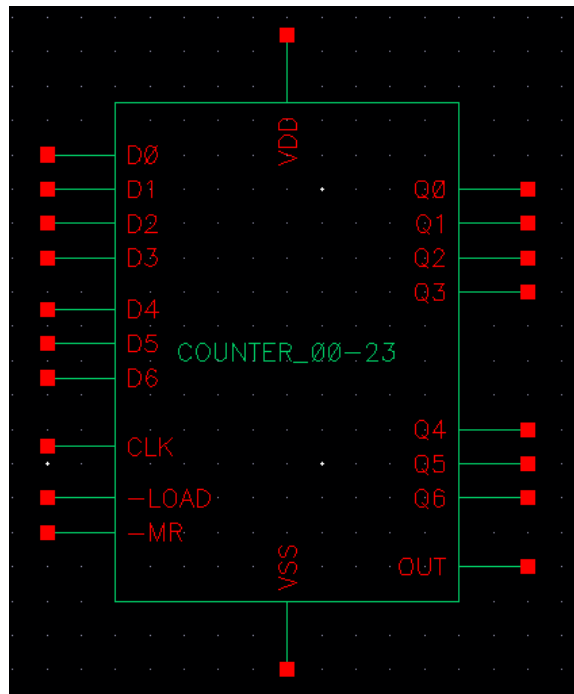
Hình 3. 3: Mạch đếm 00-59

Mạch đếm 00-59 có sơ đồ khối như hình 3.3, ngõ vào CLK để cấp xung cho mạch, MR' và LOAD' có chức năng reset hoặc load dữ liệu đến ngõ ra. Ngõ vào từ D3 đến D0 cấp dữ liệu ở hàng đơn vị, D6 đến D4 cấp dữ liệu hàng chục. Ngõ ra Q3 đến Q0 là hàng đơn vị và Q6 đến Q4 là hàng chục. Chân OUT tạo xung cạnh xuống khi mạch đếm đến 59.



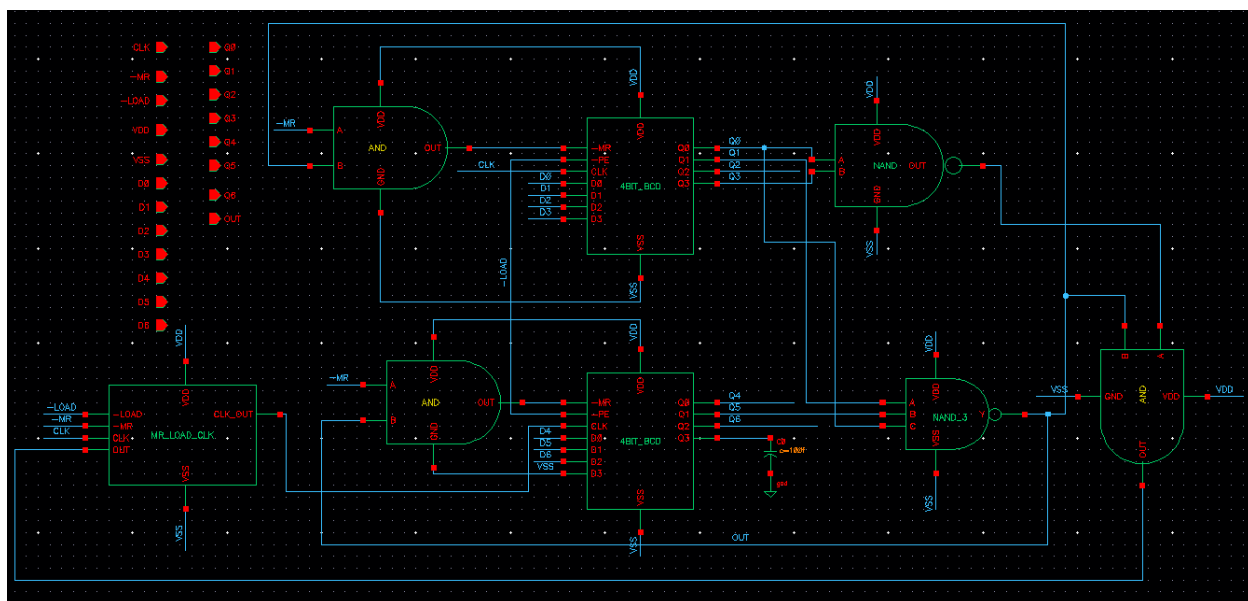


### 3.3 Thiết kế mạch đếm 00-23



Hình 3. 5 symbol mạch đếm 00-23

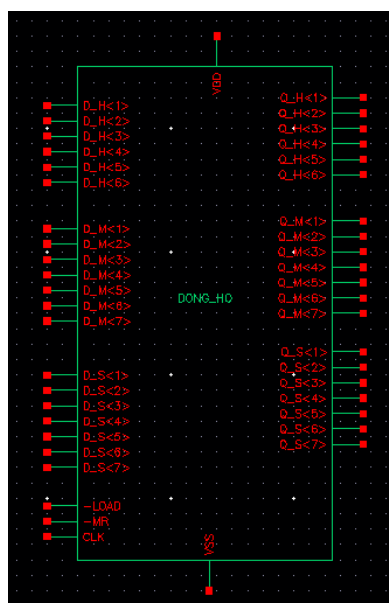
Tương tự với mạch đếm 00-59, mạch đếm 00-23 có sơ đồ khối như hình 3.5, ngõ vào CLK để cấp xung cho mạch, MR' và LOAD' có chức năng reset hoặc load dữ liệu đến ngõ ra. Ngõ vào từ D3 đến D0 cấp dữ liệu ở hàng đơn vị, D6 đến D4 cấp dữ liệu hàng chục. Ngõ ra Q3 đến Q0 là hàng đơn vị và Q6 đến Q4 là hàng chục. Chân OUT tạo xung cạnh xuống khi mạch đếm đến 23.



Hình 3. 6 : sơ đồ nguyên lý mạch đếm 00-23

Hình 3.6 minh họa một mạch đếm 00-23, giống như mạch đếm 00-59 mạch sử dụng 2 khối đếm BCD để đếm hàng chục và đơn vị. Chân OUT của mạch MR\_LOAD\_CLK là AND của tín hiệu reset khi khối đếm hàng đơn vị đếm đến 1001 và khi mạch đếm đến 23. Do mạch được reset từ trạng thái 23 nên tín hiệu reset dùng chung cho cả hai mạch đếm hàng chục và đơn vị.

### 3.4 Thiết kế mạch đồng hồ



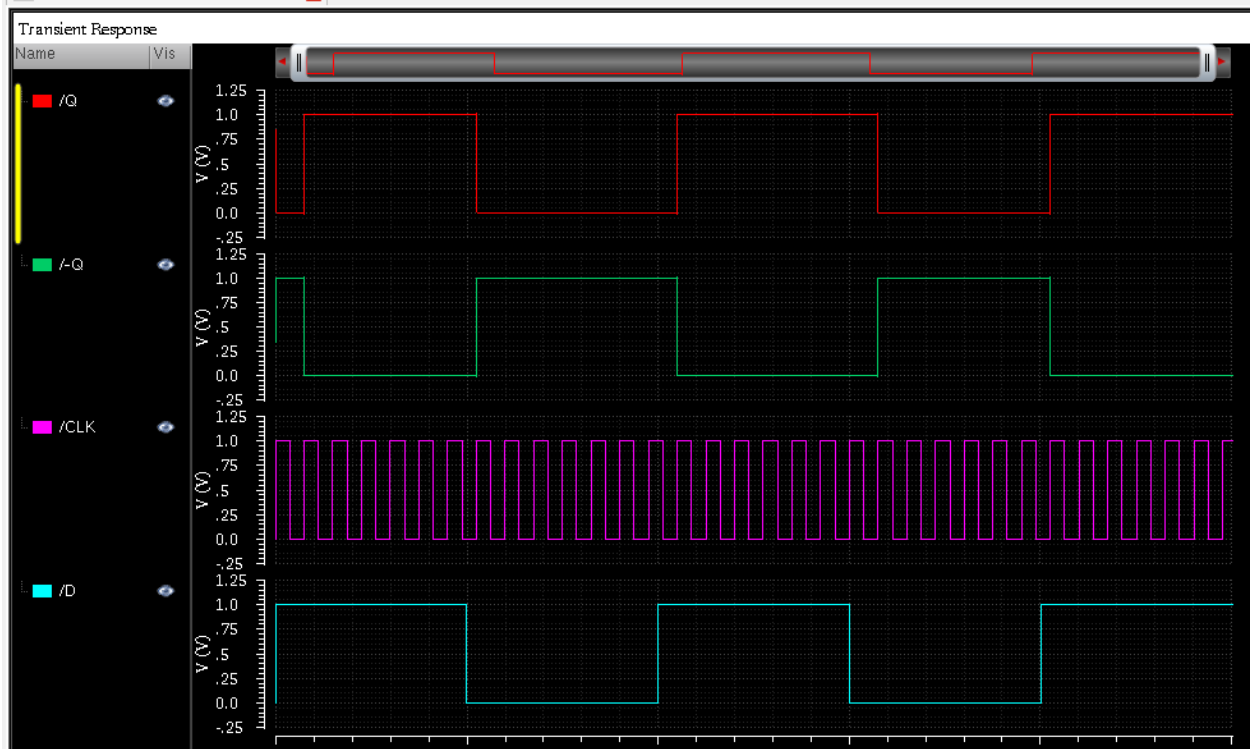
Hình 3. 7: Symbol mach đồng hồ

Hình 4.2 mô tả sơ đồ nguyên lý của mạch đồng hồ, mạch sử dụng 2 bộ đếm 00-59 để đếm giây và phút, 1 bộ đếm 00-23 để đếm giờ. Mạch MR\_LOAD\_CLK dùng để tạo xung cho mạch đếm phút và giờ, mạch sẽ lựa chọn xung CLK khi ở trạng thái RESET hoặc LOAD, ngược lại ngõ vào OUT sẽ được chọn. Ngõ vào OUT là chân ngõ ra OUT của các mạch đếm trước đó. Khi mạch đếm giây đến 59 một xung cạnh xuống đưa đến mạch MR\_LOAD\_CLK và tạo xung CLK cho mạch đếm phút, tương tự như vậy ngõ ra OUT của mạch đếm phút cũng tạo xung CLK cho mạch đếm giờ.

## CHƯƠNG 4: ĐÁNH GIÁ THIẾT KẾ QUA PHẦN MỀM CADENCE

Các đánh giá trong bài được thực hiện bằng phần mềm Cadence Virtuoso sử dụng công nghệ 90nm của TSMC và công cụ mô phỏng Spectre.

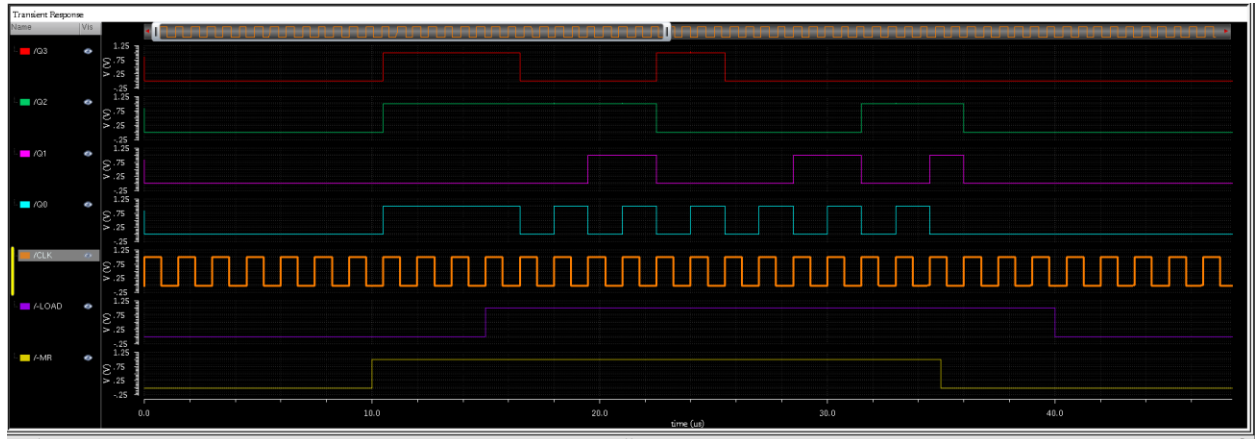
### 4.1 Đánh giá D Flip Flop



Hình 4. 1: dạng sóng mô phỏng của D Flip Flop

Từ hình 4.1 ta có thể thấy mỗi khi có xung cạnh lên CLK dữ liệu từ D sẽ đến Q và Q'. Mô phỏng đúng với mạch lý thuyết đã xây dựng.

## 4.2 Đánh giá mạch đếm BCD



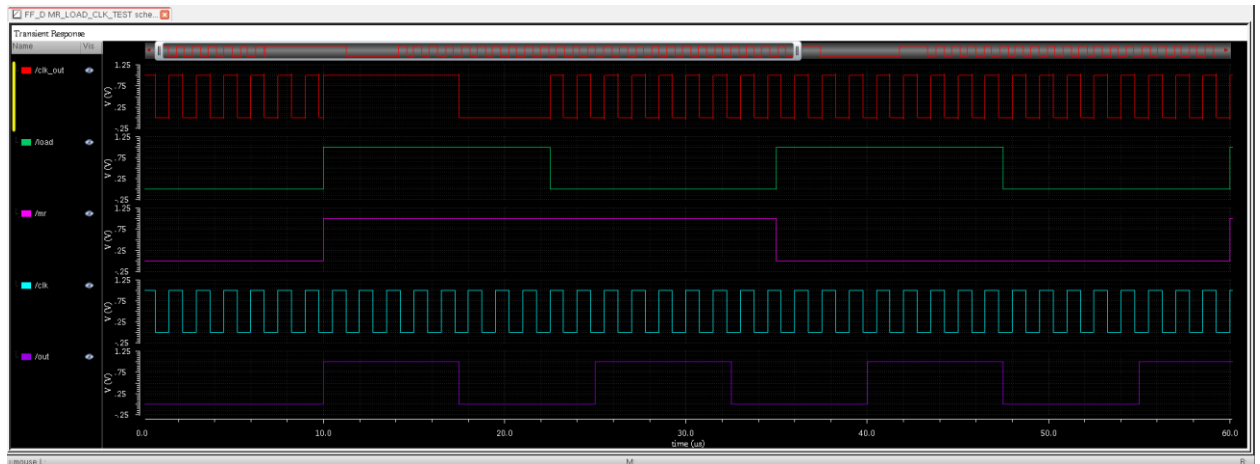
Hình 4. 2: dạng sóng mô phỏng mạch đếm BCD

Để phân tích dạng sóng trong hình 4.2 ta có thể chia 3 giai đoạn:

- Giai đoạn 1 khi chân MR' còn ở mức 0: lúc này mạch ở trạng thái reset, các ngõ ra đều ở mức 0
- Giai đoạn 2 khi chân MR' ở mức 1 và chân LOAD' ở mức 0: mạch ở trạng thái load dữ liệu, D được thiết lập bằng 1101 sẽ load vào Q, ngõ ra lúc này là 1101.
- Giai đoạn 3 khi cả hai chân MR' và LOAD' đều ở mức cao: mạch ở trạng thái counter, mạch bắt đầu đếm từ 0000 đến 1001 và bắt đầu lại 0000. Đến khi có cạnh xuống MR' mạch trở lại giai đoạn 1.

Ở lần reset thứ hai sau khi đếm, ta có thể thấy chân MR' xuống mức 0 nhưng vẫn đợi khi xung CLK cạnh lên mạch mới được reset. Nguyên nhân là do trong thiết kế sử dụng phương pháp reset đồng bộ nên khi reset cần 1 xung CLK tác động. Mạch mô phỏng đúng với mạch lý thuyết đã xây dựng.

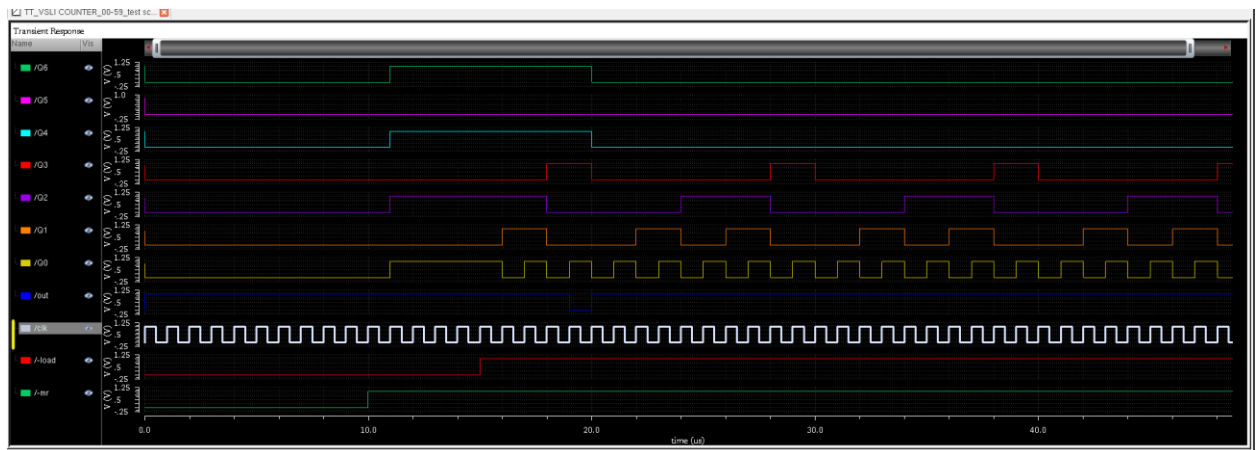
### 4.3 Đánh giá mạch MR\_LOAD\_CLK



Hình 4. 3: dạng sóng mạch MR\_LOAD\_CLK

Dạng sóng mô phỏng của mạch MR\_LOAD\_CLK có dạng như hình 4.3, ngõ ra clk\_out chỉ có 2 dạng sóng, khi mr và load ở mức 1 thì clk\_out là ngõ vào out, ngược lại các trường hợp còn lại của mr và load, clk\_out đều là ngõ vào clk. Mạch mô phỏng đúng với mạch lý thuyết đã xây dựng.

### 4.4 Đánh giá mạch đếm 00-59



Hình 4. 4: dạng sóng mạch đếm 00-59

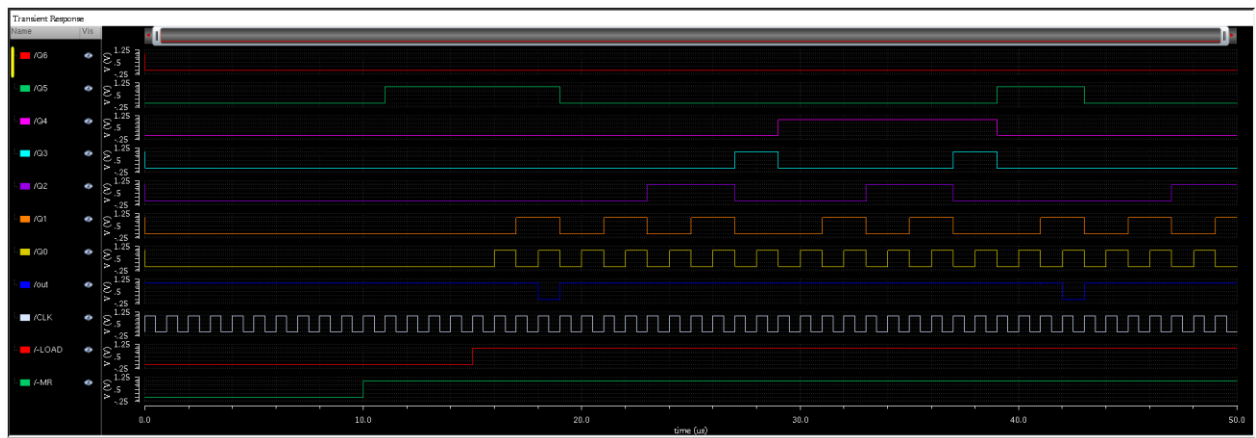
Để mô tả dạng sóng trong hình 4.4 có thể chia làm 3 giai đoạn:

- Giai đoạn 1: chân -mr ở mức thấp, lúc này mạch ở trạng thái reset ngõ ra đều bằng 0.

- Giai đoạn 2: chân -mr ở mức cao và chân -load ở mức thấp, mạch ở trạng thái load, để dễ dàng quan sát dữ liệu số 55 (0101 0101) sẽ được load vào mạch và mạch tiếp tục đếm từ 55.

- Giai đoạn 3: chân -mr và -load ở mức cao, mạch bắt đầu đếm từ trạng thái 55. Đến trạng thái 59 một xung cạnh xuống được tạo ra ở ngõ ra out và lúc này mạch bắt đầu đếm lại từ trạng thái 00. Mạch mô phỏng đúng với mạch lý thuyết đã xây dựng.

#### 4.5 Đánh giá mạch đếm 00-23



Hình 4. 5: dạng sóng mạch đếm 00-23

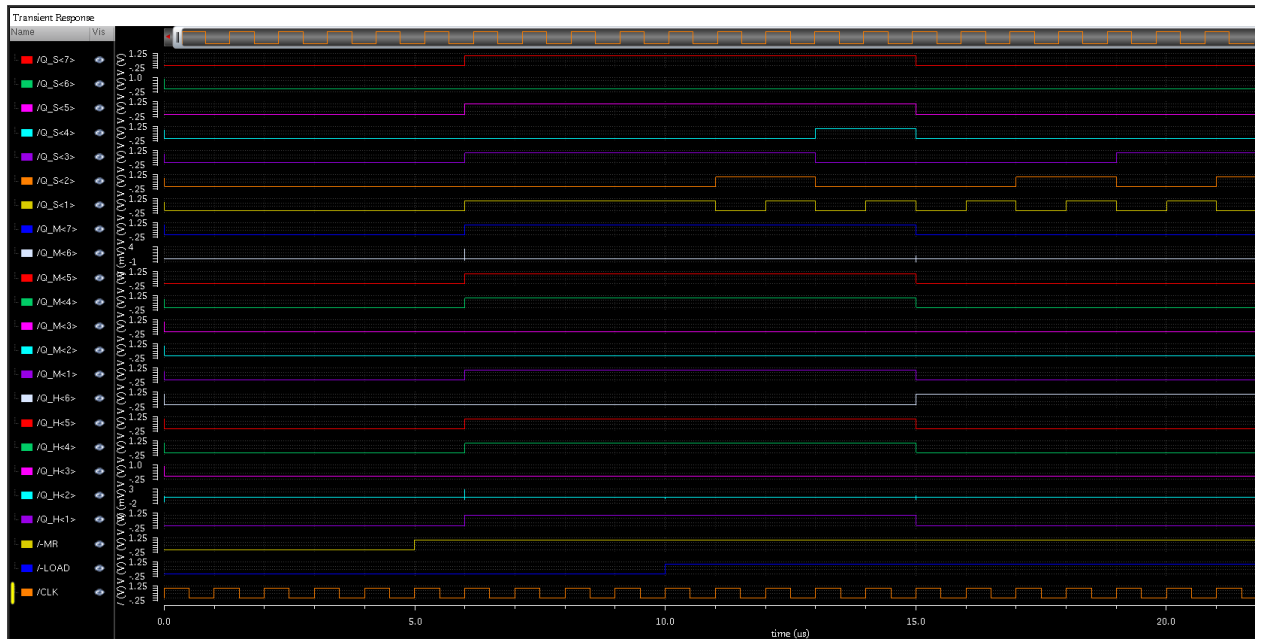
Hình 4.5 mô tả dạng sóng mạch đếm 00-23, cũng giống như mạch đếm 00-59, mạch đếm 00-23 có thể chia theo 3 giai đoạn để phân tích:

- Giai đoạn 1: chân -mr ở mức thấp, lúc này mạch ở trạng thái reset ngõ ra đều bằng 0.

- Giai đoạn 2: chân -mr ở mức cao và chân -load ở mức thấp, mạch ở trạng thái load, dữ liệu số 20 (0010 0000) sẽ được load vào để tiếp tục đếm trạng thái tiếp theo.

- Giai đoạn 3: chân -mr và -load ở mức cao, mạch bắt đầu đếm từ trạng thái 20. Đến trạng thái 23 ngõ ra out xuống mức thấp và mạch đếm trạng thái tiếp theo 0000 0000. Mạch mô phỏng đúng với mạch lý thuyết đã xây dựng.

## 4.6 Đánh giá mạch đồng hồ



Hình 4. 6: dạng sóng của mạch đồng hồ

Hình 4.6 mô tả một dạng sóng của mạch đồng hồ khi chuyển từ trạng thái 19:59:55 sang 20: 00:00. Giai đoạn 1 mạch ở trạng thái reset nên các ngõ ra =0. Giai đoạn 2 mạch ở trạng thái load, lúc này trạng thái 19:59:55 được load đến ngõ ra. Giai đoạn 3 khi chân -LOAD và -MR ở mức cao, mạch ở trạng thái counter, bắt đầu từ giây 55 đếm lên giây thứ 59 và trở về 0, phút cộng thêm 1 từ 59 đếm lên 00, giờ từ 19 đếm lên 20. Mạch tiếp tục đếm giây 00, 01, 02,... Mạch mô phỏng đúng với mạch lý thuyết đã xây dựng.



## CHƯƠNG 4: KẾT LUẬN

Thiết kế có khả năng thực hiện những chức năng cơ bản của một đồng hồ số như đếm giờ, cài đặt thời gian. Thiết kế đã được đóng gói thành một khối để tiện lợi cho việc giao tiếp với các module khác. Tuy nhiên thiết kế còn khá đơn giản có thể phát triển thêm các vùng nhớ để tiện lợi trong việc đọc ghi cũng như lưu trữ dữ liệu.

## TÀI LIỆU THAM KHẢO

- [1] Neil H. E. Weste & David Money Harris (2011), Cmos VLSI Design A Circuits and System Perspective.
- [2] Sidhartha (05/11/2015), Circuit Design of a 4-bit Binary Counter Using D Flip-flops, online : <http://www.vlsifacts.com/circuit-design-4-bit-binary-counter-using-d-flip-flops/>
- [3] PHILIPS [NXP Semiconductors], 74HC163 Datasheet (PDF) - NXP Semiconductors, online: <https://pdf1.alldatasheet.com/datasheet-pdf/view/15547/PHILIPS/74HC163.html>
- [4] Physical\_design (16/04/2020), STA-II TRANSMISSION GATE, D LATCH, DFF, SETUP & HOLD, online: <https://www.physicaldesign4u.com/2020/04/sta-ii-transmission-gated-latch-dffsetup.html>