

TRƯỜNG ĐẠI HỌC SƯ PHẠM KỸ THUẬT TP. HỒ CHÍ MINH
KHOA ĐIỆN - ĐIỆN TỬ



HCMUTE

ĐỒ ÁN TỐT NGHIỆP
NGÀNH CÔNG NGHỆ KỸ THUẬT MÁY TÍNH

THIẾT KẾ VÀ ĐÁNH GIÁ HỆ THỐNG
SAR ADC 10 BIT
THỰC HIỆN TRÊN PHẦN MỀM CADENCE

SVTH: NGUYỄN NGỌC HÙNG
MSSV: 20119040
NGUYỄN TÀI NHÂN
MSSV: 20119038

TP. HỒ CHÍ MINH – 07/2024

TRƯỜNG ĐẠI HỌC SƯ PHẠM KỸ THUẬT TP. HỒ CHÍ MINH
KHOA ĐIỆN - ĐIỆN TỬ



HCMUTE

ĐỒ ÁN TỐT NGHIỆP
NGÀNH CÔNG NGHỆ KỸ THUẬT MÁY TÍNH

THIẾT KẾ VÀ ĐÁNH GIÁ HỆ THỐNG
SAR ADC 10 BIT
THỰC HIỆN TRÊN PHẦN MỀM CADENCE

SVTH: NGUYỄN NGỌC HÙNG
MSSV: 20119040

NGUYỄN TÀI NHÂN
MSSV: 20119038

GVHD: TH.S TRƯƠNG QUANG PHÚC

TP. HỒ CHÍ MINH – 07/2024

PHIẾU NHẬN XÉT CỦA GIÁO VIÊN HƯỚNG DẪN

Họ và tên Sinh viên: Nguyễn Ngọc Hưng MSSV: 20119040
Nguyễn Tài Nhân MSSV: 20119038

Ngành: Công nghệ kỹ thuật máy tính

Tên đề tài: Thiết kế và đánh giá hệ thống SAR ADC 10 bit thực hiện trên phần mềm Cadence

Giáo viên hướng dẫn: Th.S Trương Quang Phúc

NHẬN XÉT

1. Về nội dung đề tài & khối lượng thực hiện (*khả năng ứng dụng, tính mới, sáng tạo, mức độ đóng góp của sinh viên,*):

Đề tài có tính mới, và là tài liệu tham khảo giá trị cho sinh viên các ngành học liên quan, và sinh viên có định hướng thiết kế vi mạch.

2. Hình thức trình bày quyền báo cáo (*Văn phong, trích dẫn tài liệu tham khảo, chất lượng các hình ảnh, bảng biểu, tỷ lệ trùng lặp,*):

Đồ án được trình bày đầy đủ và đúng quy định. Tuy nhiên, tác giả cần xem xét hiệu chỉnh và cải thiện chất lượng hình ảnh, bảng biểu, thảo luận từng hình ảnh và bảng biểu được sử dụng trong báo cáo.

3. Những hạn chế cần chỉnh sửa, bổ sung:


Đồ án thực hiện còn nhiều lỗi đánh máy, lỗi chính tả cần được rà soát.

4. Đề xuất của GVHD (*Đồng ý cho bảo vệ, đề nghị chỉnh sửa để được bảo vệ, không đồng ý cho bảo vệ*)

Đồng ý cho bảo vệ.

TP. Hồ Chí Minh, ngày 18 tháng 6 năm 2024

GIẢNG VIÊN HƯỚNG DẪN


Trương Quang Phúc

BẢN GIẢI TRÌNH CHỈNH SỬA BÁO CÁO ĐỒ ÁN TỐT NGHIỆP

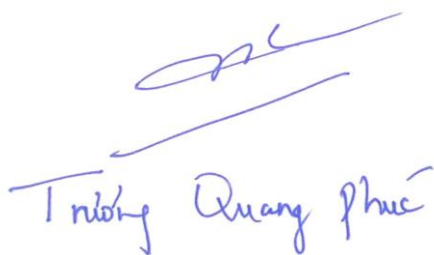
1. Tên đề tài: Thiết kế và đánh giá hệ thống SAR ADC 10-bit thực hiện trên phần mềm Cadence.
2. Họ tên sinh viên 1: Nguyễn Ngọc Hưng MSSV: 20119040
Họ tên sinh viên 2: Nguyễn Tài Nhân MSSV: 20119038
3. Ngành: Công nghệ kỹ thuật máy tính
4. GVHD: Trương Quang Phúc
5. Tổng hợp các yêu cầu chỉnh sửa báo cáo ĐATN của hội đồng:
 - Chỉnh sửa các bảng cho phù hợp với template báo cáo (bảng 3.2)
 - Cần giới thiệu tất cả các hình và bảng được đưa vào nội dung báo cáo
 - Cải thiện chất lượng hình ảnh (Hình 4.26)
 - Sơ đồ khối hình 3.1
 - Chỉnh sửa phương thức tính toán và kiểm tra kết quả.

6. Giải trình chỉnh sửa báo cáo ĐATN



TT	Nội dung góp ý của HĐ	Kết quả chỉnh sửa bổ sung
1	Chỉnh sửa các bảng cho phù hợp với template báo cáo (bảng 3.2)	Đã chỉnh sửa bảng 3.2 ở chương 3 mục 3.3.2 trang 27.
2	Cần giới thiệu tất cả các hình và bảng được đưa vào nội dung báo cáo	<p>Đã bổ xung giới thiệu tất cả các hình trước khi phân tích, cụ thể ở chương 2 trang 6, 7, 8, 9, 11, 12, 14, 15, 16, 17, 18, 20, chương 3 với các trang: 23, 24, 25, 29, 30, 32, 33 và chương 4 với các trang 34, 35, 36, 37, 38, 40, 41, 42, 43, 44, 45, 46, 47, 48, 49, 51.</p> <p>Đã bổ xung giới thiệu tất cả các bảng, cụ thể ở chương 2 mục 2.2.1 trang 8, chương 3 mục 3.3.2 trang 26, 27, mục 3.3.3 trang 27, 28, 31.</p>

3	Cải thiện chất lượng hình ảnh (Hình 4.26)	Đã thiện chất lượng hình ảnh 4.26 ở chương 4 mục 4.3.2 trang 51.
4	Sơ đồ khối hình 3.1	Đã cải thiện chất lượng hình ảnh sơ đồ khối 3.1 ở chương 3 mục 3.2.1 trang 23.
5	Chỉnh sửa phương thức tính toán và kiểm tra kết quả.	<p>Đã thay phương thức tính toán và kiểm tra kết quả cũ bằng công thức chuyển đổi tín hiệu số thành tín hiệu tương tự (3.12) ở chương 4 mục 4.3.1 trang 46, 48, 50.</p> <p>Thay đổi: “chia giá trị Vref thành 1024 mức khác nhau với điện áp mỗi mức là $V_{ref}/1024$” thành: “chia giá trị Vref thành các khoảng điện áp” ở chương 4 mục 4.4 trang 52.</p>

GVHD
(Ký tên)


Trương Quang Phúc

Sinh viên thực hiện ĐATN
(Ký tên)

 
Nguyễn Ngọc Hưng Nguyễn Tài Nhân

LỜI CẢM ƠN

Nhóm sinh viên xin chân thành cảm ơn thầy Trương Quang Phúc đã trực tiếp hướng dẫn và truyền đạt những kinh nghiệm hay, tạo điều kiện tốt nhất về thời gian cũng như hỗ trợ về các ý tưởng để giúp nhóm sinh viên hoàn thành tốt đề tài này.


LỜI CAM ĐOAN


Nhóm sinh viên Nguyễn Ngọc Hưng và Nguyễn Tài Nhân thực hiện đề tài: “Thiết kế và đánh giá hệ thống SAR ADC 10 bit thực hiện trên phần mềm Cadence” dưới sự hướng dẫn của thầy Trương Quang Phúc xin cam đoan các nội dung như sau:

1. Sản phẩm của Đồ án tốt nghiệp là do nhóm sinh viên Nguyễn Ngọc Hưng và Nguyễn Tài Nhân thực hiện, không mượn, thuê, mua từ người khác.
2. Quyền báo cáo Đồ án tốt nghiệp là do nhóm sinh viên Nguyễn Ngọc Hưng và Nguyễn Tài Nhân tự viết, tỷ lệ trùng lặp là 26%, các nội dung tham khảo đã được trích dẫn đầy đủ.
3. Kết quả thực hiện trong quyền báo cáo bao gồm hình ảnh, độ chính xác của mô hình là hoàn toàn đúng với mô hình nhóm đã thực hiện.

Nhóm sinh viên cam đoan các nội dung trên là hoàn toàn chính xác và chịu trách nhiệm hoàn toàn với những cam đoan trên.

Sinh viên thực hiện đồ án tốt nghiệp


Nguyễn Ngọc Hưng


Nguyễn Tài Nhân

TÓM TẮT

Chuyển đổi tín hiệu tương tự sang tín hiệu số là công nghệ vô cùng quan trọng để xử lý, lưu trữ và truyền tải thông tin trong các hệ thống điện tử. Mục tiêu tổng quan của nhóm sinh viên là thiết kế, mô phỏng được bộ chuyển đổi Successive Approximation Register (SAR) Analog-to-Digital Converters (SAR ADC) 10-bit dùng công nghệ 130nm thực hiện trên phần mềm Cadence. Từ đó, nhóm sẽ tiến hành đo đạc, đánh giá hệ thống SAR ADC 10-bit về các tiêu chí như công suất tiêu thụ, độ chính xác của mạch khi hoạt động, các nguyên nhân ảnh hưởng đến công suất tiêu thụ của hệ thống và đề ra các giải pháp khắc phục trong thực tế.

Nội dung thực hiện của nhóm sinh viên là lần lượt thiết kế 4 khối là khối lấy mẫu và giữ, khối so sánh, khối Control Logic và khối DAC. Ở mạch lấy mẫu, nhóm sinh viên sẽ thiết kế với dạng mạch là MOSFET Switch. Trong khối so sánh, nhóm sinh viên sẽ thiết kế, tính toán các thông số và mô phỏng hoạt động của bộ Two-stage Op-amp Comparator. Trong khối control logic, nhóm sinh viên sẽ thực hiện mô phỏng kiến trúc được phát triển bởi Rossi. Cuối cùng, nhóm sinh viên sẽ thực hiện khối DAC theo kiến trúc R-2R. Sau khi hoàn thiện, nhóm sinh viên sẽ kết nối 4 khối lại với nhau và tiến hành mô phỏng kết quả chuyển đổi với ngõ vào là tín hiệu hình sin. Nhóm sinh viên sẽ so sánh kết quả với lý thuyết, kiểm tra độ chính xác của mạch, tính toán và phân tích các yếu tố ảnh hưởng đến công suất động trung bình của mạch của mạch SAR ADC và đề ra các giải pháp khắc phục trong thực tế.

Cuối cùng, sau quá trình thực hiện đồ án, nhóm sinh viên đã thiết kế được hệ thống SAR ADC 10-bit hoạt động đúng chức năng. Thêm vào đó, nhóm sinh viên đã tính và đánh giá được công suất động của hệ thống, chỉ ra được những nguyên nhân ảnh hưởng đến công suất tiêu thụ và nêu được một số phương án khắc phục. Ngoài ra nhóm sinh viên đã hiểu rõ và nắm vững cách thiết kế, nguyên lý hoạt động của mạch SAR ADC 10-bit và các block nhỏ bên trong như khối so sánh, mạch lấy mẫu và giữ, mạch DAC, khối Control Logic.

ABSTRACT

Analog-to-digital converters play a pivotal role in processing, storing, and transmitting information in electronic systems. The main goal of this project is to design and stimulate a 10-bit Successive Approximation Register (SAR) Analog-to-Digital Converter (SAR ADC) implemented in 130 nm CMOS technology using Cadence. From there, the team will measure and evaluate the system based on criteria such as power consumption and accuracy, as well as look into different factors that affect how much power the ADC uses and solutions for them.

In this project, the team will first start by designing the Sample and Hold circuit using a MOSFET as a switch. The next steps are to design, calculate the parameters, and stimulate the operation of a Two-stage Op-amp comparator. After that, the team will design and stimulate the Control Logic block using the architecture developed by Rossi. Finally, the DAC block will be implemented using the R-2R architecture. The team will then connect all 4 blocks together, stimulate the conversion process with a sinusoidal input signal, compare the theoretical and stimulated results to determine the accuracy of the ADC, analyze different factors that affect the power consumption of the circuit, and propose practical solutions.

At the end of the project, the team will have already designed a 10-bit SAR ADC with the intended function, knew how to calculate and evaluate the performance of the system, and identified the factors affecting power consumption and the solutions to them. Furthermore, the team has also gained a clear understanding and a firm grasp of the design process, the operating principles of the 10-bit SAR ADC, and the internal blocks such as the Comparator, Sample and Hold, DAC and Control Logic.

MỤC LỤC

DANH MỤC HÌNH	xiv
DANH MỤC BẢNG	xvii
CÁC TỪ VIẾT TẮT.....	xviii
CHƯƠNG 1 GIỚI THIỆU.....	1
1.1 GIỚI THIỆU	1
1.2 MỤC TIÊU ĐỀ TÀI	2
1.3 GIỚI HẠN ĐỀ TÀI	2
1.4 PHƯƠNG PHÁP NGHIÊN CỨU	3
1.5 ĐỐI TƯỢNG VÀ PHẠM VI NGHIÊN CỨU.....	3
1.6 BỐ CỤC QUYỀN BÁO CÁO.....	3
CHƯƠNG 2 CƠ SỞ LÝ THUYẾT	5
2.1 CÔNG NGHỆ CMOS	5
2.2 LÝ THUYẾT CÔNG NGHỆ CHUYỂN ĐỔI ADC.....	6
2.2.1 Khái niệm và các bước cơ bản của chuyển đổi ADC	6
2.2.2 Nguyên lý hoạt động tổng quan của ADC	8
2.3 CÁC BỘ CHUYỂN ĐỔI ADC NGÀY NAY	9
2.3.1 ADC điện áp tham chiếu bậc thang	9
2.3.2 Flash ADC.....	10
2.3.3 ADC Xấp xỉ liên tiếp	11
2.3.4 Pipelined ADC	12
2.3.5 Sigma Delta ADC	13
2.4 MẠCH LẤY MẪU VÀ GIỮ	14
2.4.1 Nguyên lý và vai trò của mạch lấy mẫu và giữ.....	14
2.4.2 Các loại mạch lấy mẫu và giữ	15
2.5 KIẾN TRÚC R-2R DAC PHÂN PHỐI LẠI ĐIỆN TÍCH.....	16

2.6	KIẾN TRÚC SAR CONTROL LOGIC	18
2.7	KHỐI SO SÁNH COMPARATOR	19
2.8	CÔNG SUẤT TIÊU THỤ HỆ THỐNG SAR ADC 10 BIT	20
CHƯƠNG 3 THIẾT KẾ HỆ THỐNG SAR ADC 10 BIT		22
3.1	YÊU CẦU HỆ THỐNG	22
3.2	THIẾT KẾ HỆ THỐNG	23
3.2.1	Sơ đồ khối hệ thống SAR ADC 10 Bit	23
3.2.2	Nguyên lý hoạt động của hệ thống.....	24
3.3	THIẾT KẾ TỪNG KHỐI.....	24
3.3.1	Mạch lấy mẫu và giữ.....	24
3.3.2	Khối so sánh.....	25
3.3.3	Khối Control Logic	27
3.3.4	Khối DAC	32
CHƯƠNG 4 KẾT QUẢ THỰC HIỆN HỆ THỐNG SAR ADC 10 BIT		34
4.1	KẾT QUẢ THIẾT KẾ HỆ THỐNG SAR ADC 10 BIT	34
4.2	KẾT QUẢ THIẾT KẾ CÁC MẠCH CON TRONG HỆ THỐNG SAR ADC 10 BIT	35
4.2.1	Mạch lấy mẫu và giữ.....	35
4.2.2	Mạch so sánh Two-stage Op-amp.....	36
4.2.3	Khối Control Logic	38
4.2.4	Khối DAC	42
4.3	KẾT QUẢ DẠNG SÓNG, CÔNG SUẤT VÀ DELAY CỦA HỆ THỐNG SAR ADC 10 BIT.....	45
4.3.1	Kết quả dạng sóng ngõ ra.....	45
4.3.2	Kết quả tính công suất động, phân tích các yếu tố ảnh hưởng đến công suất của mạch và đưa ra giải pháp cho hệ thống SAR ADC 10 bit..	51
4.4	ĐÁNH GIÁ HỆ THỐNG	52
CHƯƠNG 5 KẾT LUẬN VÀ HƯỚNG PHÁT TRIỂN.....		53

5.1 KẾT LUẬN	53
5.2 HƯỚNG PHÁT TRIỂN.....	53
TÀI LIỆU THAM KHẢO.....	55

DANH MỤC HÌNH

Hình 2.1: Sơ đồ khối tổng quát chuyển đổi ADC.....	7
Hình 2.2: Tín hiệu tương tự (a) và tín hiệu sau khi lấy mẫu(b).....	7
Hình 2.3: Sơ đồ nguyên lý hoạt động tổng quan của ADC	9
Hình 2.4: Sơ đồ khối điện áp tham chiếu bậc thang b) dạng sóng của ADC điện áp tham chiếu bậc thang.....	10
Hình 2.5: Sơ đồ khối mạch của Flash ADC 3-bit với ngõ vào mạch mã hóa ưu tiên tác động mức cao.....	11
Hình 2.6: Sơ đồ khối của ADC xấp xỉ liên tiếp.....	12
Hình 2.7: Sơ đồ khối của single stage Pipelined ADC	13
Hình 2.8: Sơ đồ khối của Sigma-delta ADC.....	14
Hình 2.9: Sơ đồ nguyên lý mạch lấy mẫu và giữ Open-Loop	15
Hình 2.10: Sơ đồ nguyên lý mạch lấy mẫu và giữ Close-Loop.....	15
Hình 2.11: Sơ đồ nguyên lý mạch lấy mẫu và giữ MOSFET Switch	16
Hình 2.12: Ma trận điện trở được sử dụng trong kiến trúc R -2R DAC.....	17
Hình 2.13: Kiến trúc R-2R DAC	18
Hình 2.14: a) Sơ đồ nguyên lý Control Logic b) sơ đồ nguyên lý 1 block trong khối Control Logic	18
Hình 2.15: Kiến trúc mạch Two-stage Op-amp	20
Hình 3.1: Sơ đồ khối hệ thống SAR ADC 10 Bit.....	23
Hình 3.2: Sơ đồ nguyên lý của mạch Sample and Hold sử dụng trong hệ thống SAR ADC 10 bit	24
Hình 3.3: Sơ đồ nguyên lý của khối so sánh Two –stage Op-amp.....	25
Hình 3.4: Sơ đồ nguyên lý Flip Flop D	29
Hình 3.5: Sơ đồ nguyên lý của khối Control Logic.....	30
Hình 3.6: Sơ đồ nguyên lý kiến trúc của một khối FF	31
Hình 3.7: Sơ đồ nguyên lý mạch MUX 3-1	32
Hình 3.8: Sơ đồ nguyên lý kiến trúc R-2R DAC hệ thống SAR ADC 10 bit	33

Hình 3.9: Sơ đồ nguyên lý Switch của bộ chuyển đổi SAR ADC 10 bit.....	33
Hình 4.1: Schematic hệ thống SAR ADC 10-bit hoàn chỉnh	34
Hình 4.2: Schematic mạch lấy mẫu và giữ	35
Hình 4.3: Dạng sóng ngõ ra của mạch lấy mẫu và giữ.....	36
Hình 4.4: Schematic mạch Op-amp so sánh.....	37
Hình 4.5: Mạch so sánh đã đóng gói	37
Hình 4.6: Kết quả mô phỏng mạch Two-stage Op-amp	38
Hình 4.7: Thiết kế mạch Flip Flop D.....	39
Hình 4.8: Flip Flop D đã đóng gói.....	39
Hình 4.9: Sơ đồ thiết kế mạch MUX 3-1.....	40
Hình 4.10: Sơ đồ thiết kế khối FF.....	40
Hình 4.11: Sơ đồ thiết kế khối Control logic.....	41
Hình 4.12: Control Logic đã đóng gói	41
Hình 4.13: Kết quả mô phỏng dạng sóng Control Logic.....	41
Hình 4.14: Sơ đồ thiết kế mạch Switch DAC	42
Hình 4.15: Switch DAC đã đóng gói	43
Hình 4.16: Sơ đồ thiết kế R-2R DAC 10 bit.....	43
Hình 4.17: Mạch R-2R DAC khi đã được đóng gói	44
Hình 4.18: Kết quả dạng sóng ngõ ra của mạch R-2R DAC.....	44
Hình 4.19: Kết quả dạng sóng ngõ ra hệ thống SAR ADC 10-bit từ 0.5us-2.4us (a)	45
Hình 4.20: Kết quả dạng sóng ngõ ra hệ thống SAR ADC 10-bit từ 0.5us-2.4us (b).....	46
Hình 4.21: Kết quả dạng sóng ngõ ra hệ thống SAR ADC 10-bit từ 5us-7us (a)	47
Hình 4.22: Kết quả dạng sóng ngõ ra hệ thống SAR ADC 10-bit từ 5us-7us (b)	48
Hình 4.23: Kết quả dạng sóng ngõ ra hệ thống SAR ADC 10-bit từ 9.5us - 11.4us(a).....	49

Hình 4.24: Kết quả dạng sóng ngõ ra hệ thống SAR ADC 10-bit từ 9.5us-11.4us (b).....	50
Hình 4.25: Dạng sóng công suất động của SAR ADC từ 0us đến 12us.....	51
Hình 4.26: Kết quả công suất động trung bình của hệ thống SAR ADC 10-bit từ 0us đến 12us.....	51

DANH MỤC BẢNG

Bảng 2-1: Giá trị rời rạc của tín hiệu sau khi lấy mẫu và sau khi lượng tử hóa	8
Bảng 3-1: Bảng các thông số ban đầu của Op-amp.....	26
Bảng 3-2: Kết quả tính W/L của mỗi transistor tính được trong Op-amp	27
Bảng 3-3: Trạng thái chuyển đổi của Control Logic	28
Bảng 3-4: Bảng trạng thái của Flip Flop D.....	29
Bảng 3-5: Trạng thái bộ MUX 3-1 với 3 chế độ.....	31

CÁC TỪ VIẾT TẮT

Viết tắt	Mô tả
AFF	Anti-Aliasing Filter
ADC	Analog-to-Digital Converter
CMOS	Complementary Metal-Oxide-Semiconductor
CPU	CPU - Central processing unit
DC	Direct current
EOC	End-Of- Conversion
Gnd	Ground
FF	Flip-Flop
IoT	Internet of Things
LSB	Least Significant Bit
MOSFET	Metal-Oxide-Semiconductor Field-Effect Transistor
MSB	Most Significant Bit
MUX	Multiplexer
NMOS	N-channel Metal-Oxide Semiconductor
Op-amp	Operational Amplifier
PAM	Pulse-Amplitude Modulation

PMOS	P-channel Metal-Oxide Semiconductor
S&H	Sample and Hold
SAR	Successive-approximation-register
TTL	Transistor-to-Transistor Logic
Vdd	Positive Supply Voltage
Vref	Reference Voltage

CHƯƠNG 1

GIỚI THIỆU

1.1 GIỚI THIỆU

Trong thời đại chuyển giao công nghệ ngày nay, ngoài sự phát triển vượt trội của các ngành IoT hay AI mang đến những sản phẩm siêu việt thì ngành thiết kế vi mạch đang bùng lên như một xu thế. Các bộ vi xử lý, bộ nhớ đóng vai trò vô cùng quan trọng trong đời sống hằng ngày của chúng ta, từ các sản phẩm phức tạp như máy bay, tàu hỏa, ô tô đến các thiết bị quen thuộc như điện thoại, máy tính, laptop... Theo thống kê của Hội Truyền thông số Việt Nam, số lượng chip xuất xưởng vào năm 2021 trên toàn cầu là 1.1 tỷ mang về doanh số 595 tỷ USD [1]. Thế nhưng hầu hết các CPU, vi điều khiển, bộ nhớ ngày nay chỉ có thể nhận vào và xử lý tín hiệu số trong khi tất cả các tín hiệu ngoài đời sống là tín hiệu tương tự. Do đó, các hệ thống số ngày nay muốn giao tiếp với thế giới bên ngoài cần phải có các mạch chuyển đổi tín hiệu từ tín hiệu tương tự sang tín hiệu số (ADC). Chính vì vậy, có rất nhiều nghiên cứu, phát triển các mạch ADC.

Công nghệ Cmos được phát minh từ năm 1963 bởi Frank Wanlass là một bước đột phá lớn mở đầu cho nền công nghiệp bán dẫn hiện đại. Từ công nghệ có độ dài kênh dẫn 130nm (1970) giảm xuống 7nm (2017) đã kéo theo sự phát triển ra đời của hàng nghìn chiếc vi điều khiển, bộ nhớ được tích hợp vào các hệ thống phức tạp ứng dụng vào nhiều lĩnh vực khác nhau, một trong số đó là ứng dụng vào việc phát minh các mạch chuyển đổi ADC tích hợp trên các hệ thống điện tử [2]. Hiện nay có tổng cộng 6 loại ADC được phát triển và ứng dụng rộng rãi trên thế giới, đó là Sigma-delta ADC, Successive Approximation ADC (SAR ADC), Pinned ADC, Single-slope ADC, Dual-slope ADC và Flash ADC. Mỗi loại đều có những ưu nhược điểm riêng về độ phân giải, băng thông, chi phí... và được ứng dụng tùy vào hệ thống. Chẳng hạn Sigma-delta ADC được ứng dụng vào các hệ thống thu thập dữ liệu âm thanh thông thường vì nó có độ phân giải cao, tốc độ chậm và

tương đối rẻ, Flash ADC là loại ADC hoạt động không cần xung clock, có tốc độ chuyển đổi cao nhất trong các loại ADC, tuy nhiên Flash ADC lại có kích thước lớn vì cần có nhiều đầu vào được ứng dụng trong các hệ thống như máy dò radar, hệ thống thông tin liên lạc... hoặc Single-slope ADC có độ phân giải cao nhưng độ chính xác thấp, được ứng dụng trong các hệ thống giám sát pin, đầu dò nhiệt độ...

Trong số các loại ADC trên, nhóm sinh viên chọn mạch SAR ADC làm nội dung nghiên cứu chính cho đề tài: “THIẾT KẾ VÀ ĐÁNH GIÁ HỆ THỐNG SAR ADC 10 BIT THỰC HIỆN TRÊN PHẦN MỀM CADENCE” vì đây là loại ADC được sử dụng nhiều nhất, có tốc độ cao và thời gian chuyển đổi ngắn, cố định, không phụ thuộc vào điện áp tương tự ở ngõ vào. Ở đề tài này, nhóm sinh viên sẽ xây dựng một hệ thống của chuyển đổi SAR ADC 10-bit thực hiện trên phần mềm Cadence. Hệ thống nhận tín hiệu tương tự đầu vào, chuyển đổi thông qua các khối bên trong và xuất dữ liệu số tương ứng ở các chân đầu ra. Hệ thống được phát triển và mô phỏng nhằm mục đích thực hiện chức năng chuyển đổi tín hiệu tương tự sang tín hiệu số, đo đặc, lý giải và kết luận các tiêu chí ảnh hưởng đến công suất của hệ thống và đề ra các giải pháp khắc phục trong thực tế.

1.2 MỤC TIÊU ĐỀ TÀI

Đề tài “Thiết kế và đánh giá hệ thống SAR ADC 10-bit thực hiện trên phần mềm Cadence” được thực hiện để tạo ra hệ thống SAR ADC có chức năng chuyển đổi tín hiệu tương tự thành tín hiệu số 10-bit tương ứng. Đề tài nhằm thiết kế, thi công, đo đặc và đánh giá hệ thống SAR ADC 10-bit về các tiêu chí như độ chính xác, công suất tiêu thụ, các nguyên nhân ảnh hưởng đến công suất tiêu thụ của hệ thống và đề ra các giải pháp khắc phục khi thiết kế hệ thống trong thực tế.

1.3 GIỚI HẠN ĐỀ TÀI

Hệ thống chỉ có thể chuyển đổi các tín hiệu tương tự thành các tín hiệu số tối đa là một số nhị phân 10-bit có giá trị 1111111111 tương đương với độ phân giải 10 bit. Ngoài ra, tín hiệu đầu ra sẽ có khả năng bị nhiễu cao hơn vì không sử dụng kỹ thuật lấy mẫu quá mức và không có bộ lọc nhiễu.

1.4 PHƯƠNG PHÁP NGHIÊN CỨU

Thu thập, phân tích thông tin và nghiên cứu về cấu tạo, nguyên lý hoạt động, và các phương pháp thiết kế của SAR ADC và các thành phần bên trong của hệ thống như khối Control Logic được đề xuất bởi nhà nghiên cứu Rossi, mạch lấy mẫu và giữ, bộ chuyển đổi DAC và khối so sánh. Từ đó tiến hành tính toán các thông số, thiết kế, mô phỏng chức năng. Sau đó tích hợp lại thành hệ thống hoàn chỉnh. Cuối cùng tiến hành kiểm tra, kiểm chứng thực nghiệm hệ thống SAR ADC 10-bit đã thiết kế bằng cách sử dụng tín hiệu tương tự đầu vào để kiểm tra kết quả chuyển đổi, tính toán và đánh giá công suất của hệ thống SAR ADC 10 bit.

1.5 ĐỐI TƯỢNG VÀ PHẠM VI NGHIÊN CỨU

Đối tượng nghiên cứu: Nguyên lý hoạt động, công suất, và cách thức tính toán thiết kế kiến trúc Two-stage- Op-amp Comparator của khối so sánh, kiến trúc R-2R của khối chuyển đổi DAC, kiến trúc của khối Control Logic được đề xuất bởi nhà nghiên cứu Rossi, sơ đồ nguyên lý mạch lấy mẫu và giữ MOSFET Switch, các yếu tố ảnh hưởng đến công suất của hệ thống.

Phạm vi nghiên cứu: Hệ thống chỉ có độ phân giải 10-bit nên chỉ có thể dùng các số nhị phân có giá trị từ 0000000000 đến 1111111111 để biểu diễn tín hiệu. Ngoài ra, đầu ra là các chân song song, mỗi chân xuất ra giá trị 1 bit.

1.6 BỐ CỤC QUYỀN BẢO CÁO

Nội dung chính của đề tài này được trình bày với 5 chương

- Chương 1 GIỚI THIỆU: Giới thiệu chung về đề tài, mục tiêu nghiên cứu, giới hạn đề tài, phương pháp nghiên cứu, đối tượng và phạm vi nghiên cứu.
- Chương 2 CƠ SỞ LÝ THUYẾT: Giới thiệu chung về công nghệ CMOS, hướng nghiên cứu về chuyển đổi tín hiệu số, các dạng ADC đang được sử dụng hiện nay và các kiến trúc của các khối bên trong hệ thống SAR ADC 10 bit.

- Chương 3 THIẾT KẾ HỆ THỐNG SAR ADC 10 BIT: Đưa ra mô hình chung của toàn bộ hệ thống, các khối của hệ thống, tính toán, thiết kế từng khối và các thành phần trong các khối.
- Chương 4 KẾT QUẢ THỰC HIỆN HỆ THỐNG SAR ADC 10 BIT: Trình bày kết quả thi công của mô hình hệ thống SAR ADC 10 bit.
- Chương 5 KẾT LUẬN VÀ HƯỚNG PHÁT TRIỂN: Rút ra các kết luận so với mục tiêu đề ra ban đầu và hướng phát triển của mô hình SAR ADC 10 bit.

CHƯƠNG 2

CƠ SỞ LÝ THUYẾT

Chương này sẽ giới thiệu về các lý thuyết liên quan tới những vấn đề cần giải quyết trong đề tài là công nghệ CMOS, công nghệ chuyển đổi ADC, sơ lược về nguyên lý hoạt động của các loại ADC ngày nay và các kiến trúc cơ bản của các khối như khối so sánh, khối lấy mẫu và giữ, khối Control Logic và khối DAC bên trong hệ thống SAR ADC 10 bit.

2.1 CÔNG NGHỆ CMOS

CMOS (Complementary – Metal – Oxide – Semiconductor): Là một thuật ngữ của công nghệ chế tạo mạch tích hợp. Các mạch tích hợp đều được cấu tạo từ Silicon. Các chất bán dẫn được chia thành 2 loại là bán dẫn loại n với các hạt tải điện là các electron mang điện tích âm và bán dẫn loại p với các hạt tải điện là các lỗ trống mang điện tích dương. Điểm nối giữa hai lớp này được gọi là diode. Khi phân cực thuận cho diode nghĩa là cấp nguồn (+) vào lớp bán dẫn p, (-) vào bán dẫn n, lúc này miền cách điện dần dần thu hẹp lại khi điện áp cấp vào càng tăng, diode sẽ bắt đầu dẫn điện. Ngược lại, khi phân cực ngược cho diode, cấp nguồn (+) vào lớp bán dẫn n, (-) vào bán dẫn p, miền cách điện giữa hai lớp p và n sẽ ngày càng rộng ra, ngăn không cho dòng điện đi qua diode [3].

Transistor MOS hoạt động như một công tắc chuyển mạch, tùy vào trường hợp cụ thể mà sẽ ở trong các trạng thái hoạt động khác nhau. Dòng điện sẽ đi qua kênh dẫn từ cực nguồn (Source) đến cực máng (Drain) và sẽ được điều khiển bằng điện áp cung cấp ở cực cổng (Gate). Trong công nghệ CMOS có cả hai loại bóng bán dẫn là NMOS và PMOS, chất nền là loại n hoặc loại p. Ở NMOS, hạt tải đa số là các electron, còn PMOS, là các lỗ trống. Dù là NMOS hay PMOS đều có 3 chế độ hoạt động khác nhau, đó là chế độ tích lũy, vùng nghèo và vùng đảo [4].

Một bóng bán dẫn NMOS được chế tạo với thân loại p và có các vùng bán dẫn loại n liền kề với cổng được gọi là nguồn (Source) và cực máng (Drain), body

thường được nối đất. Một bóng bán dẫn PMOS thì ngược lại, bao gồm các vùng nguồn và cổng loại p với body loại n.

Ở NMOS, phần body thường được nối đất nên các điểm nối p-n của nguồn và cổng tới phần thân bị phân cực ngược. Nếu cổng cũng được nối đất thì sẽ không có dòng điện chạy qua các điểm nối phân cực ngược. Do đó, chúng ta nói bóng bán dẫn OFF. Nếu điện áp cổng tăng lên, nó sẽ tạo ra một điện trường bắt đầu hút các electron tự do vào mặt dưới của bề mặt tiếp xúc Si-SiO₂. Nếu điện áp tăng đủ, số electron sẽ nhiều hơn số lỗ trống và một vùng mỏng dưới cổng gọi là kênh sẽ bị đảo ngược để hoạt động như một chất bán dẫn loại n. Do đó, hình thành đường dẫn của các hạt mang điện tử được từ cực nguồn (Source) tới cổng (Drain) và dòng điện có thể chạy qua. Lúc này NMOS đang ON. Ngược lại, đối với bóng bán dẫn PMOS, phần Body thường được nối lên điện áp dương. Khi cổng Gate cũng ở điện áp dương, các mối nối nguồn và cổng bị phân cực ngược và không có dòng điện chạy qua, do đó bóng bán dẫn OFF. Khi điện áp ngõ vào cực cổng (Gate) giảm, các điện tích dương sẽ bị hút vào mặt dưới của bề mặt tiếp xúc Si-SiO₂. Điện áp cổng đủ thấp sẽ đảo ngược kênh và sẽ hình thành đường dẫn điện từ nguồn đến cổng, do đó bóng bán dẫn PMOS sẽ trạng thái ON [4].

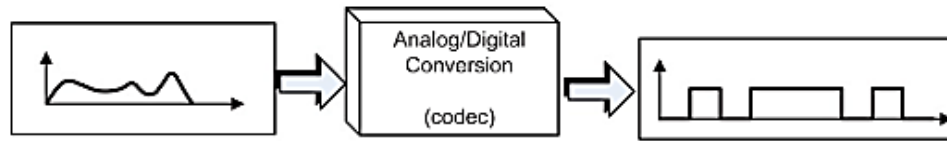
Công nghệ CMOS được ứng dụng vào việc chế tạo các mạch tích hợp, logic, mạch tương tự và mạch số và đóng vai trò như các tế bào trong các vi điều khiển, vi xử lý. Các linh kiện được chế tạo bởi công nghệ CMOS có tính chống nhiễu cao, độ tin cậy cao, chi phí sản xuất thấp, tiêu thụ điện năng khi ở trạng thái OFF thấp, có kích thước rất bé và độ delay nhỏ, tiêu thụ ít năng lượng và sinh ra ít nhiệt hơn so với các mạch logic khác như TTL... [4] [5].

2.2 LÝ THUYẾT CÔNG NGHỆ CHUYỂN ĐỔI ADC

2.2.1 Khái niệm và các bước cơ bản của chuyển đổi ADC

Chuyển đổi ADC là quá trình chuyển đổi tín hiệu tương tự sang tín hiệu số. Đây là quá trình biểu diễn các thông tin ở tín hiệu tương tự thành chuỗi các tín hiệu số 0,1. Mục đích của việc chuyển đổi ADC là giảm thiểu khối lượng lớn các giá trị trong thông tin của tín hiệu tương tự, giảm nhiễu và dễ xử lý. Hình 2.1 dưới đây

là sơ đồ khối tổng quát của chuyển đổi ADC trình bày khái quát mô hình chuyển đổi tương tự-số, trong đó đầu vào là tín hiệu tương tự và đầu ra là tín hiệu số [6].



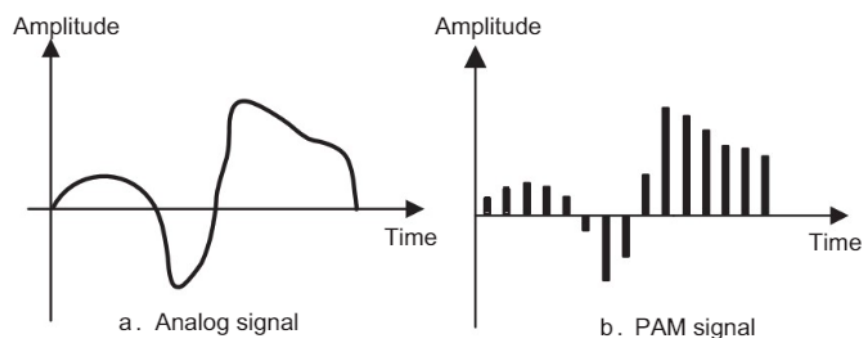
Hình 2.1: Sơ đồ khối tổng quát chuyển đổi ADC [6]

Quá trình chuyển đổi ADC gồm 4 bước: Lấy mẫu và giữ (PAM), lượng tử hóa, mã hóa nhị phân và mã hóa số-số.

PAM là quá trình lấy mẫu và tạo ra chuỗi xung tuân theo định lý Nyquist đó là tần số lấy mẫu phải lớn hơn hoặc bằng 2 lần tần số cao nhất của tín hiệu:

$$F_s \geq 2F_{\text{imax}} \quad (2.1)$$

Với F_s là tần số lấy mẫu và F_{imax} là tần số lớn nhất của tín hiệu tương tự cần lấy mẫu. Mục đích cho việc này là để khôi phục tín hiệu số chính xác nhất có thể. Hình 2.2 dưới đây cho thấy sự khác biệt giữa tín hiệu tương tự và tín hiệu sau khi đã được lấy mẫu, trong đó hình bên trái là tín hiệu trước khi lấy mẫu và hình bên phải là tín hiệu sau khi lấy mẫu:



Hình 2.2: Tín hiệu tương tự (a) và tín hiệu sau khi lấy mẫu(b) [6]

Lượng tử hóa: Là quá trình gán giá trị cho tín hiệu về mức đã định sẵn khi lấy mẫu. Có thể hiểu đây là quá trình biến các giá trị rời rạc của tín hiệu thành các giá trị số nguyên tương ứng. Trong quá trình lượng tử hóa, tín hiệu lấy mẫu được lượng tử hóa thành mã số tương ứng bằng bộ lượng tử hóa. Bước này làm tròn điện áp đầu vào tương tự thành các bước điện áp rời rạc, do đó sẽ gây ra sai số. Do vậy

phải xác định được mức quy tròn lượng tử hóa gọi là Δx và hạn chế sự sai số bằng cách tăng tần số lấy mẫu. Với A là phần nguyên, $y(k)$ là giá trị nguyên cần biến đổi thành. Công thức tính độ lượng tử hóa như sau [7]:

$$x(k) = A \cdot \{y(k \cdot \Delta t) + 0.5\} \quad (2.2)$$

Xét ví dụ bảng 2.1 sau với giá trị tín hiệu trước và sau khi lượng tử hóa:

Bảng 2-1: Giá trị rời rạc của tín hiệu sau khi lấy mẫu và sau khi lượng tử hóa

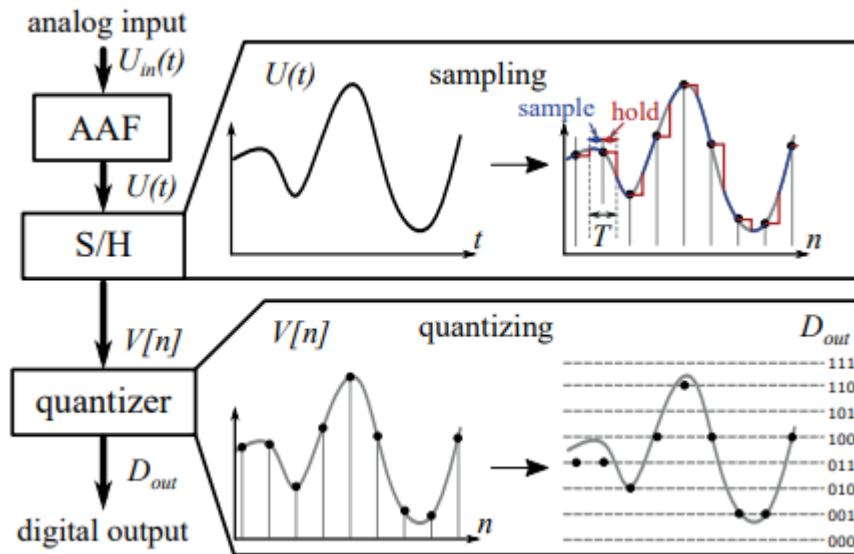
Giá trị sau khi PAM lấy mẫu	Sau khi lượng tử hóa
9.8	10
5.2	5
6.9	7
13.1	13
15.9	16

Tiếp theo là mã hóa nhị phân, đây là quá trình chuyển đổi mẫu tín hiệu sau khi lượng tử hóa thành các tổ hợp nhị phân tương ứng với số bit cho mỗi mức là $\log_2[\text{tổng mức lượng tử hóa}]$. Ngoài ra sẽ có thêm một bit ngoài cùng bên trái gọi là bit dấu “0” là dương và “1” là âm. Ví dụ giá trị +124 được mã hóa thành 01111100.

Sau cùng bước mã hóa số-số. Đây là quá trình chuyển đổi các tổ hợp nhị phân thành các tín hiệu số để xuất ra ở ngõ ra theo các mã Unipolar hay Bipolar... [7].

2.2.2 Nguyên lý hoạt động tổng quan của ADC

ADC hoạt động dựa trên một số loại mạch nhất định, một bộ ADC hoàn chỉnh sẽ gồm bộ lọc AAF, mạch lấy mẫu và giữ S/H, bộ lượng tử hóa, bộ quantizer được minh họa như hình 2.3 bên dưới với tín hiệu ngõ vào tương tự và tín hiệu ngõ ra là tín hiệu số.



Hình 2.3: Sơ đồ nguyên lý hoạt động tổng quan của ADC [7]

Trong hình trên, bộ lọc AAF được đặt ở phía trước mạch giữ S/H để loại bỏ tín hiệu nhiễu không mong muốn cao hơn tần số Nyquist làm suy giảm chất lượng tín hiệu. Tiếp đến là mạch giữ có vai trò ổn định tín hiệu, giữ tín hiệu tương tự là một giá trị cố định trong quá trình chuyển đổi vì tín hiệu tương tự có thể thay đổi giá trị liên tục [6]. Đầu vào tín hiệu tương tự $U(t)$ thay đổi liên tục được lấy mẫu thành điện áp tương đương tại từng thời điểm riêng biệt trong quá trình lấy mẫu. Điện áp lấy mẫu được giữ trong khoảng thời gian thường bằng một nửa chu kỳ tín hiệu lấy mẫu T . Điện áp tương tự được lấy mẫu $V[n]$ có công thức [7]:

$$V[n] = U(t) \cdot \delta(t - n \cdot T) \quad (2.3)$$

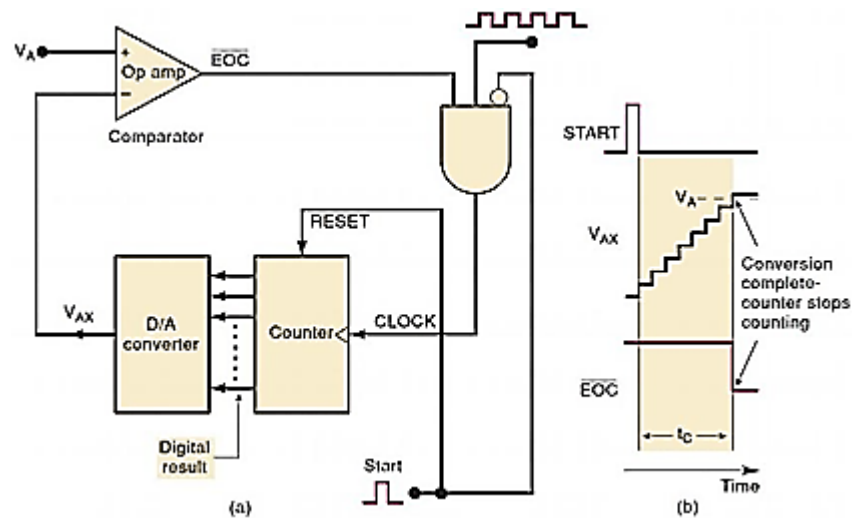
Trong đó hàm delta $\delta(t)$ là xung đơn vị. Đây là xung tín hiệu mà giá trị chỉ tồn tại tại một thời điểm cố định trên trục thời gian.

2.3 CÁC BỘ CHUYỂN ĐỔI ADC NGÀY NAY

2.3.1 ADC điện áp tham chiếu bậc thang

ADC điện áp tham chiếu bậc thang có cấu tạo chính là thanh ghi, mạch đếm và sử dụng xung clock để hoạt động. Mạch đếm hoạt động dựa vào xung clock, giá trị của mạch đếm sẽ tăng đến khi nào $V_{AX} \geq V_A + V_{T-ADC}$ tạo ra dạng sóng có hình bậc thang. Hình 2.4 dưới đây minh họa sơ đồ khối của ADC điện áp tham

chiều bậc thang hoạt động theo xung clock với các khối Op-amp so sánh, khối DAC và cổng AND [8].



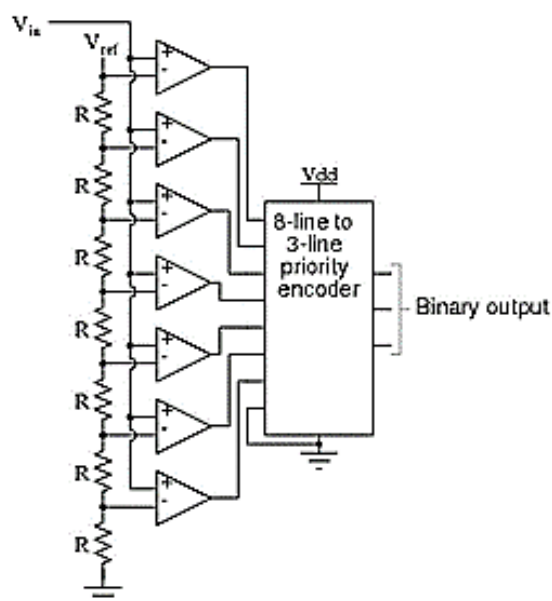
Hình 2.4: Sơ đồ khối điện áp tham chiếu bậc thang b) dạng sóng của ADC điện áp tham chiếu bậc thang [8]

Trong sơ đồ này, mạch dùng bộ DAC, mạch đếm, Op-amp so sánh và sử dụng cổng logic AND để điều khiển. Khi ngõ vào chuyển đổi $V_A > 0$, quá trình chuyển đổi bắt đầu với xung Start kích cạnh lên để đưa mạch đếm về trạng thái reset, cổng AND sẽ cấm xung clock sẽ đi vào mạch đếm. Khi tất cả các bit ngõ vào DAC bằng 0 thì $V_{AX} = 0$. Mặc khác $EOC = "1"$ vì $V_A > V_{AX}$. Xung clock sẽ được đưa vào mạch đếm khi START trở về trạng thái mức "0". Lúc này mạch đếm bắt đầu đếm và giá trị đếm tăng dần theo từng bậc ở ngõ ra V_{AX} . Quá trình đếm sẽ tiếp tục khi V_{AX} lớn hơn V_A một khoảng giá trị là VT. Lúc đó, $EOC = "0"$, ngăn xung clock, không cho phép tiếp tục đếm. Lúc này đã hoàn tất quá trình đếm và ADC sẽ giữ giá trị này và chờ cho đến khi có sự xuất hiện của xung START kế tiếp [8].

2.3.2 Flash ADC

Flash ADC là loại ADC có tốc độ cao nhất vì nó thực hiện việc chuyển đổi song song, hoạt động không cần xung clock nhưng đòi lại là diện tích chiếm rất nhiều vì có nhiều bộ so sánh tích hợp tương đương với số bit của số nhị phân muốn chuyển đổi. Một bộ Flash ADC chuyển đổi tín hiệu tương tự sang tín hiệu nhị phân với các số nhị phân 8-bit thì yêu cầu cần có 256 mức so sánh, tương đương với số lượng ngõ vào rất nhiều. Tổng quát, 1 mạch chuyển đổi ADC n bit sẽ có $2^n - 1$ bộ

so sánh, mạch mã hóa ưu tiên $2n$ đường sang n đường và $2n$ trở phân áp. Hình 2.5 dưới đây là sơ đồ khối mạch của Flash ADC 3-bit với ngõ vào mạch mã hóa ưu tiên tác động mức cao [8].



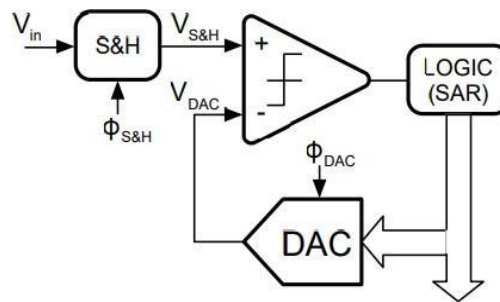
Hình 2.5: Sơ đồ khối mạch của Flash ADC 3-bit với ngõ vào mạch mã hóa ưu tiên tác động mức cao [8]

Trong sơ đồ mạch này, giá trị đầu vào V_i cố định nhưng giá trị của điện áp tham chiếu V_{ref} lại thay đổi qua các nút thông qua các trở phân áp đầu vào. Các bộ Op-amp so sánh các bit ở 2 đầu vào “+” và “-”. Nếu giá trị V_i đưa vào lớn hơn giá trị V_{ref} ban đầu thì toàn bộ các ngõ ra của các bộ so sánh sẽ lên mức “1”. Nếu V_i có giá trị nhỏ hơn V_{ref} ban đầu thì sẽ có ít nhất một ngõ ra của Op-amp bằng “0” theo thứ tự từ trên xuống dưới. V_{ref} bị giảm dần giá trị bởi các trở phân áp nên đến một lúc nào đó V_i sẽ lớn hơn V_{ref} . Lúc này sẽ có một hoặc nhiều ngõ ra của bộ so sánh lên mức “1”. Bộ mã hóa ưu tiên nhận tín hiệu là một chuỗi các bit “0” và “1” ở đầu vào, mã hóa và cho ra tín hiệu số tương ứng. Vì hoạt động không cần xung clock nên thời gian chuyển đổi của Flash ADC chỉ phụ thuộc chủ yếu vào thời gian delay bên trong các mạch so sánh và mạch mã hóa [8].

2.3.3 ADC Xấp xỉ liên tiếp

ADC xấp xỉ liên tiếp được sử dụng phổ biến trong đời sống hằng ngày. Mặc dù có cấu tạo phức tạp hơn ADC tham chiếu bậc thang nhưng thời gian chuyển đổi

lại nhanh hơn và không phụ thuộc vào điện áp ngõ vào. Nguyên lý hoạt động là sử dụng thuật toán xấp xỉ liên tiếp thực hiện chuyển đổi A/D qua nhiều chu kỳ xung clock bằng cách tìm hiểu về các bit đã xác định trước đó và dựa vào đó để tìm bit quan trọng tiếp theo. Phương pháp này nhằm mục đích giảm độ phức tạp của mạch và mức tiêu thụ điện năng bằng cách sử dụng phương pháp nối tiếp và giải quyết một bit trên mỗi chu kỳ clock. Theo thứ tự từ MSB đến LSB, khi một bit đạt được mức logic “1” đầu tiên thì bit trước đó sẽ được kiểm tra xem có thể giữ lại mức “1” hoặc phải thay đổi thành mức “0”, sau đó sẽ tiếp tục lưu trữ giá trị đã kiểm tra cho đến khi hoàn tất việc chuyển đổi (bit EOC tích cực). Điện áp được sử dụng để so sánh được tạo ra bởi một DAC dưới sự điều khiển của khối Control logic (SAR). Hình 2.6 dưới đây là sơ đồ khối của ADC xấp xỉ liên tiếp [9].

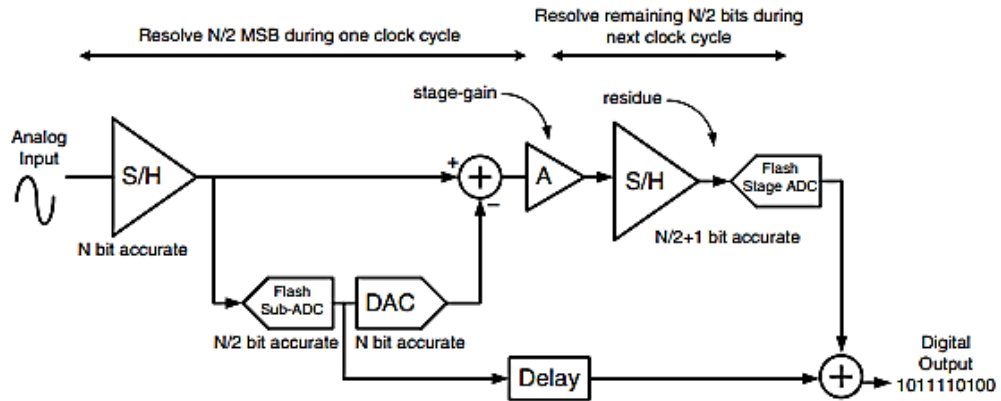


Hình 2.6: Sơ đồ khối của ADC xấp xỉ liên tiếp

Theo sơ đồ trên, ADC xấp xỉ liên tiếp sử dụng một chu kỳ xung nhịp cho S&H và một chu kỳ xung nhịp để xác định từng bit, do đó yêu cầu khoảng thời gian xung nhịp $(n+1)$ cho chuyển đổi n -bit. S&H là quá trình lấy mẫu đầu vào trong chu kỳ xung nhịp đầu tiên và giữ nó trong N khoảng xung nhịp liên tiếp. Bộ Logic SAR điều khiển DAC theo thuật toán gần đúng liên tiếp. SAR sẽ dự đoán bit tiếp theo, sau đó bit này được xác nhận hay không bởi đầu ra của bộ so sánh. Khi kết thúc so sánh, giá trị nhị phân ở đầu ra chính là giá trị chuyển đổi tương ứng [9].

2.3.4 Pipelined ADC

Pipelined ADC có độ phân giải từ trung bình đến cao như SAR ADC, tuy nhiên, Pipelined ADC có thể đạt được tốc độ lấy mẫu rất cao vì nó không yêu cầu tần số xung nhịp lớn để thực hiện chuyển đổi độ phân giải cao. Tuy nhiên, loại ADC này hoạt động vẫn phụ thuộc vào xung clock nên tốc độ sẽ không nhanh bằng Flash ADC. Hình 2.7 dưới đây là sơ đồ khối của single stage Pipelined ADC [10].



Hình 2.7: Sơ đồ khối của single stage Pipelined ADC [10]

Ở hình này, Trong chu kỳ xung clock đầu tiên, $N/2$ Bit quan trọng nhất (MSB) được phân giải (trong đó N là số bit ở đầu ra ADC cuối cùng). Trong chu kỳ xung nhịp thứ hai, $N/2$ của MSB đã phân giải được loại bỏ khỏi đầu vào, tín hiệu còn lại được khuếch đại lên toàn thang đo để tối đa hóa dynamic range và sau đó, $N/2$ -bit còn lại được phân giải. Đầu ra single stage Pipelined ADC lần thứ nhất sẽ là đầu vào cho quá trình tiếp theo thường được gọi là 'dư lượng'. Do đó, số lượng bộ so sánh cần thiết trong cách tiếp cận hai giai đoạn là $2^{N/2+1}$, thấp hơn Flash ADC khi $N > 2$ [10].

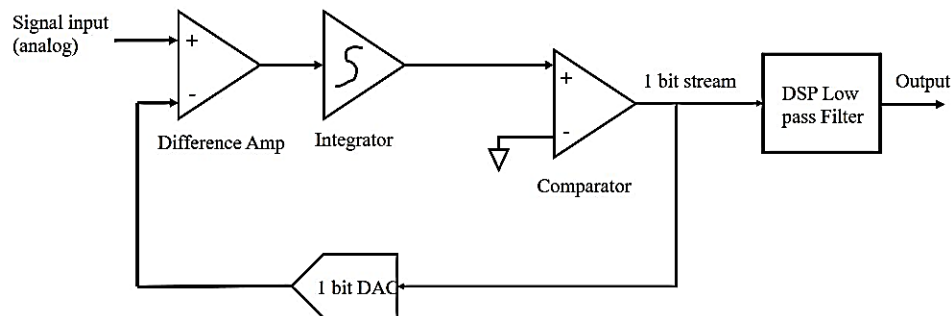
2.3.5 Sigma Delta ADC

Sigma-delta ADC là một trong những loại ADC được sử dụng phổ biến nhất vì có độ chính xác cao, có ưu điểm là cung cấp đầu ra có độ ồn thấp, độ phân giải cao vì có dùng Low-pass-Filter. Sigma Delta ADC sử dụng kỹ thuật lấy mẫu quá mức - một kỹ thuật được sử dụng để lấy mẫu tín hiệu ở tốc độ cao hơn nhiều so với tốc độ Nyquist [11].

Lấy mẫu quá mức là kỹ thuật có tác dụng làm tăng độ phân giải của tín hiệu nhưng lại phải giảm thông lượng. Ngoài việc cung cấp khả năng tái tạo tín hiệu đầu vào analog có độ phân giải cao, việc lấy mẫu quá mức còn có tác dụng tăng tỷ lệ tín hiệu trên nhiễu (signal-to-noise ratio) và tránh hiện tượng răng cưa. [11] Việc lấy mẫu quá mức rất hữu ích cho việc giảm nhiễu trong băng tần. Mặc dù kỹ thuật này có thể nâng cao độ phân giải nhưng sẽ làm giảm tốc độ chuyển đổi và tăng

mức tiêu thụ điện năng. Để khắc phục những nhược điểm này, các hệ thống số thường kết hợp với kỹ thuật định hình nhiễu (noise-shape-technique) [12].

Hình 2.8 dưới đây là sơ đồ khối của Sigma-delta ADC với 4 khối như sau:



Hình 2.8: Sơ đồ khối của Sigma-delta ADC

Các khối chính cấu tạo nên Sigma-delta ADC là bộ khuếch đại sai phân, bộ tích hợp, bộ so sánh, DAC và bộ Low-pass-Filter. Bộ khuếch đại sai phân được sử dụng để loại bỏ dạng sóng analog của tín hiệu đầu vào, tạo ra điện áp giảm nhiễu có thể được cung cấp cho bộ tích hợp. Tiếp theo là bộ khuếch đại tích hợp thực hiện phép toán tích phân trên đầu ra của bộ khuếch đại sai phân. Tiếp đến là khối so sánh thực hiện hoạt động chuyển điện áp tương tự sang giá trị số. Đầu ra được kết nối với bộ DAC 1-bit có tác dụng chuyển đổi tín hiệu số thành tín hiệu tương tự cần thiết để cung cấp phản hồi âm cho bộ khuếch đại vi sai. Bộ lọc thông thấp có tác dụng lọc và loại bỏ các tín hiệu có tần số cao để cho ra dạng tín hiệu chính xác [12].

2.4 MẠCH LẤY MẪU VÀ GIỮ

2.4.1 Nguyên lý và vai trò của mạch lấy mẫu và giữ

Nguyên lý: Mạch lấy mẫu và giữ có rất nhiều kiến trúc khác nhau. Nhìn chung ở bất kỳ kiến trúc nào, mạch lấy mẫu và giữ chứa một công tắc và một tụ điện. Ở chế độ lấy mẫu, khi tín hiệu lấy mẫu ở mức cao, công tắc được kết nối, mạch sẽ cho phép tín hiệu analog vào. Sau đó, nó giữ giá trị ở tụ điện khi tín hiệu lấy mẫu chuyển sang mức thấp. Vì vậy, mạch lấy mẫu và giữ cung cấp điện áp không đổi ở đầu vào của ADC trong quá trình chuyển đổi. Chức năng chính của ADC là lấy

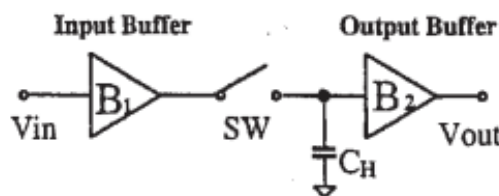
mẫu đầu vào và giữ liên tục trong một thời gian để tạo đầu ra được lấy mẫu trong các khoảng thời gian riêng biệt để cung cấp cho các khối kế tiếp trong thiết kế [13].

Vai trò: Mạch lấy mẫu và giữ có vai trò giữ mức điện áp đầu vào cố định trong quá trình chuyển đổi ADC, quá trình chuyển đổi sẽ bị ảnh hưởng nếu tín hiệu Analog điện áp đầu vào thay đổi liên tục.

2.4.2 Các loại mạch lấy mẫu và giữ

- Mạch lấy mẫu và giữ Open-Loop

Đây là một loại mạch lấy mẫu và giữ được sử dụng để lấy mẫu các tín hiệu đơn giản và giữ mức điện áp trong một khoảng thời gian duy nhất. Mạch Open-Loop bao gồm một số loại công tắc, tụ điện và bộ đệm ở đầu vào và đầu ra. Hình 2.9 dưới đây là sơ đồ nguyên lý mạch lấy mẫu và giữ Open-Loop [14].

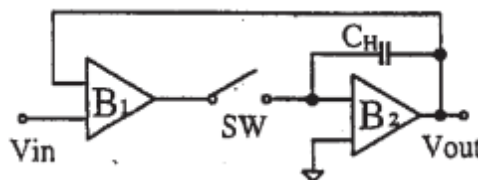


Hình 2.9: Sơ đồ nguyên lý mạch lấy mẫu và giữ Open-Loop [14]

Kiến trúc đơn giản này cho phép thiết kế ở tốc độ rất cao, nhưng vì nó không mang lại lợi ích về phản hồi nên độ chính xác không cao.

- Mạch lấy mẫu và giữ Close-Loop

Kiến trúc của mạch lấy mẫu và giữ Close-Loop bao gồm 2 bộ so sánh, tụ điện và công tắc mắc theo kiểu hồi tiếp. Hạn chế của kiến trúc này là tốc độ bị giảm nhưng độ chính xác cao hơn [14]. Hình 2.10 dưới đây là sơ đồ nguyên lý mạch lấy mẫu và giữ Close-Loop.



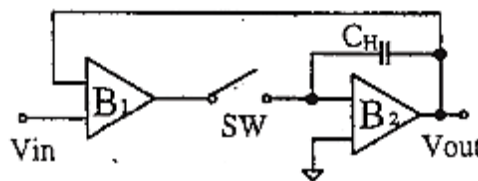
Hình 2.10: Sơ đồ nguyên lý mạch lấy mẫu và giữ Close-Loop [14]

- Mạch lấy mẫu và giữ Switched-Capacitor

Đây là một loại mạch lấy mẫu và giữ đơn giản thường được sử dụng trong các bộ chuyển đổi đơn giản sang nâng cao hoặc bộ chuyển đổi tương tự sang kỹ thuật số hoặc trong các hệ thống khác yêu cầu việc nghiêm ngặt lấy mẫu và giữ chính xác tín hiệu. Các tín hiệu được biểu thị bằng điện áp trên các tụ điện trong mạch. Các điện áp được chuyển đổi giữa các tụ điện theo cách sao cho mạch thực hiện chức năng được yêu cầu [14].

- Mạch lấy mẫu và giữ MOSFET Switch

Đây là loại mạch lấy mẫu và giữ kết nối điện áp đầu vào với tụ điện, cho phép hoặc cho phép mạch sạc và lưu trữ điện áp được lấy mẫu. Hình 2.11 dưới đây là sơ đồ nguyên lý mạch lấy mẫu và giữ MOSFET Switch [15].



Hình 2.11: Sơ đồ nguyên lý mạch lấy mẫu và giữ MOSFET Switch [15]

Kiến trúc này dùng NMOS thay cho PMOS là vì hạt tải điện của NMOS là các electron linh động hơn của PMOS là các lỗ trống. Do đó, mạch sẽ có tốc độ nhanh hơn. Thêm vào đó, kích thước của NMOS nhỏ hơn PMOS sẽ giúp mạch tiết kiệm được diện tích.

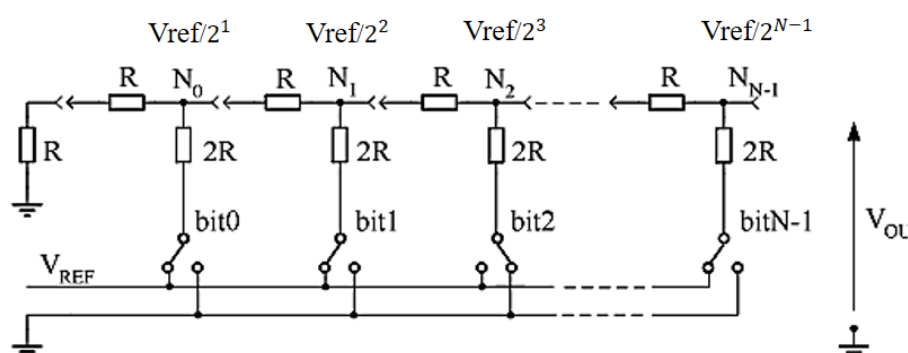
Kiến trúc này có những hạn chế nhất định. Khi NMOS ngưng dẫn, một phần điện tích kênh của bóng bán dẫn NMOS sẽ tích tụ trên tụ điện. Vì vậy có nguy cơ sẽ gây ra méo điện áp đầu ra [15].

2.5 KIẾN TRÚC R-2R DAC PHÂN PHỐI LẠI ĐIỆN TÍCH

Bộ chuyển đổi DAC chuyển đổi từ kỹ thuật số ở đầu ra của logic SAR thành giá trị tương tự và làm đầu vào thứ hai của bộ so sánh. Sau đó, giá trị này được so sánh với tín hiệu đầu vào. Trong bộ chuyển đổi DAC có sẵn hoạt động lấy mẫu và giữ gọi là DAC phân phối lại điện tích (charge redistribution DAC). Loại DAC này tiêu thụ ít năng lượng hơn và ít lỗi không khớp hơn so với DAC dựa trên điện trở. DAC phân phối lại điện tích có thời gian chuyển đổi nhanh và được chế tạo dễ dàng [16]. Kiến trúc DAC mà nhóm sinh viên sử dụng trong đề tài là R-2R DAC.

Kiến trúc R-2R DAC.

Kiến trúc này sử dụng điện trở hoạt động như các nút chia áp là một trong các kiến trúc DAC sử dụng điện trở phổ biến nhất ngày nay. Đây là một trong những loại kiến trúc DAC phổ biến nhất vì dễ dàng kết nối với các giá trị điện trở 1k Ohm, 2kOhm là loại linh kiện được chế tạo dễ dàng. Hình 2.12 sau đây là hình ảnh ma trận điện trở được sử dụng trong kiến trúc R -2R DAC [17].

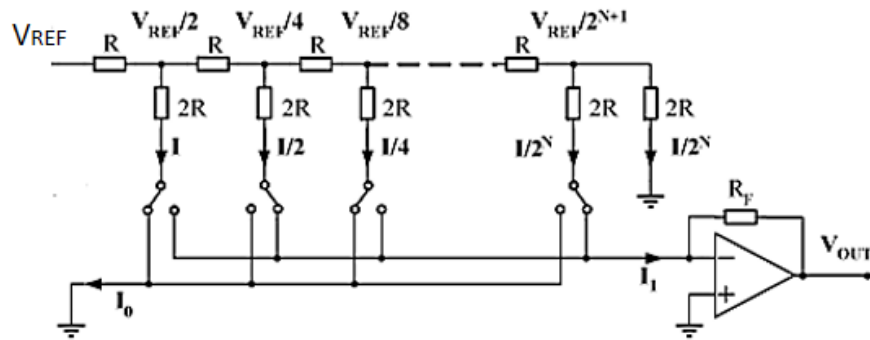


Hình 2.12: Ma trận điện trở được sử dụng trong kiến trúc R -2R DAC [17]

Các điện trở đóng vai trò như các nút chia áp. Với Vref là điện áp tham chiếu, giá trị Vref sẽ được chia lần lượt tại các nút N0, N1 đến NN-1 và sẽ cho ra kết quả giá trị điện áp tương tự tương ứng. Mạng lưới điện trở này được bố trí theo cách tạo ra một ladder (thang điện trở) R-2R. Điện trở R có giá trị cố định, và điện trở 2R có giá trị gấp đôi điện trở R. Ngoài ra, kiến trúc sử dụng các công tắc điện tử thường là các transistor MOSFET hoặc công tắc logic CMOS, được điều khiển bởi các bit của tín hiệu số đầu vào. Mỗi công tắc kết nối với một nút của mạng R-2R, thay đổi đường đi của dòng điện theo giá trị bit tương ứng (0 hoặc 1). Vref là điện áp tham chiếu sẽ cung cấp điện áp chuẩn để chuyển đổi tín hiệu số thành tín hiệu tương tự [17]. Từ đây, giá trị V_{out} sẽ được tính bởi công thức:

$$V_{out} = V_{ref} \sum_{i=0}^{N-1} D_i \cdot 2^{-(10-i)} \quad (2.4)$$

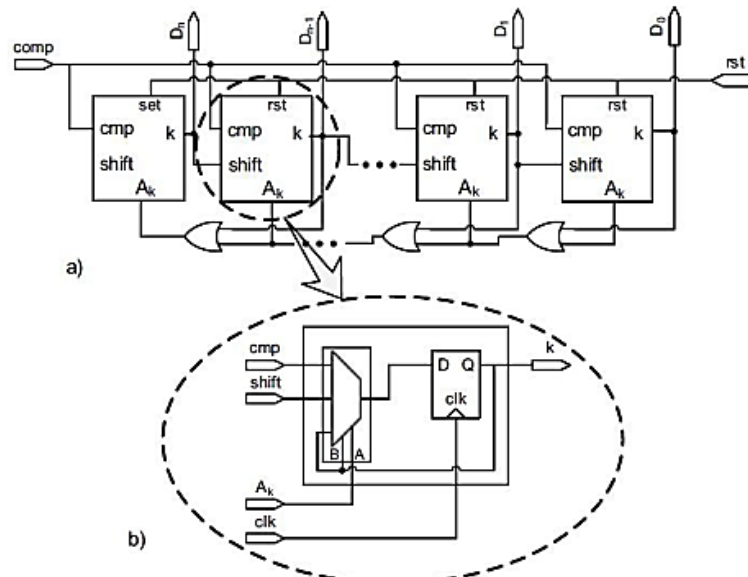
Điện áp ngõ ra sẽ được đưa vào trong bộ Op-amp khuếch đại có tác dụng cách ly đầu ra của mạch DAC khỏi tải bên ngoài và đảm bảo rằng tín hiệu ra không bị sụt áp khi kết nối với các mạch khác [17]. Hình 2.13 sau đây là hình của bộ chuyển đổi R -2R DAC.



Hình 2.13: Kiến trúc R-2R DAC [17]

2.6 KIẾN TRÚC SAR CONTROL LOGIC

Kiến trúc Control Logic được thực hiện trong đề tài nhóm sinh viên đã chọn được đề xuất bởi nhà nghiên cứu Rossi sử dụng ít Flip Flop hơn còn gọi là Non-redundant Successive Approximation Control Logic và cần ít nhất N Flip-Flop cho một SAR ADC N bit. Kiến trúc này có cấu tạo gồm các Flip-Flop, mạch MUX 3-1 và các cổng OR tương ứng với A và B là các chân điều khiển của các bộ MUX 3-1. Khối Flip-Flop kết hợp với mạch MUX 3-1 được dùng để lưu và dự đoán kết quả. Hình 2.14 dưới đây là sơ đồ nguyên lý của Control Logic và sơ đồ nguyên lý của 1 block trong khối Control Logic [18].



Hình 2.14: a) Sơ đồ nguyên lý Control Logic b) sơ đồ nguyên lý 1 block trong khối Control Logic [18]

Đầu tiên, ở trạng thái reset, ngõ ra MSB sẽ ở mức cao và các ngõ khác ở mức thấp. Ở xung clock thứ nhất, ngõ ra Q_{n-1} sẽ lên “1” và Q_n sẽ lấy giá trị của ngõ ra bộ so sánh. Ở xung clock tiếp theo, Q_{n-2} sẽ lên 1, Q_{n-1} sẽ lấy giá trị ngõ ra của bộ so sánh và Q_n sẽ giữ nguyên giá trị hay nói cách khác, logic điều khiển SAR đưa ra quyết định dựa trên đầu ra của bộ so sánh. Nếu nó ở mức cao, MSB vẫn là “1” nếu không thì SAR thay đổi MSB thành “0”. Do đó, giá trị của MSB được xác định ngay và đồng thời SAR đặt MSB tiếp theo thành mức “1” [18].

2.7 KHỐI SO SÁNH COMPARATOR

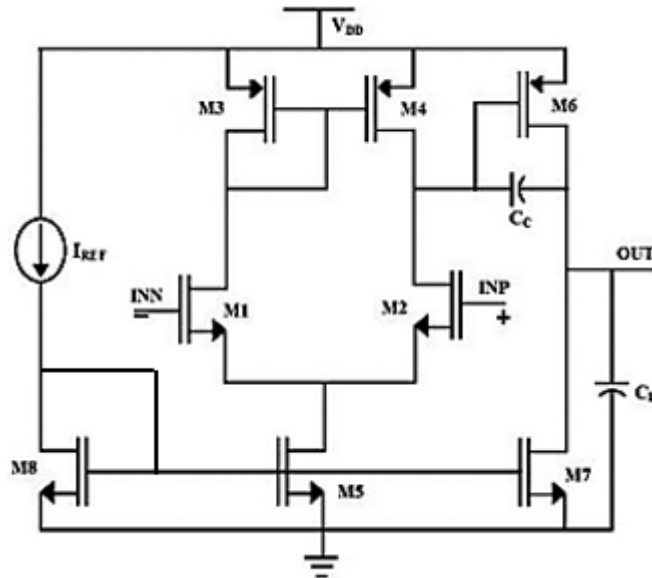
Mạch Op – amp (Operation Amplifier) là mạch so sánh tín hiệu đầu vào với tín hiệu tham chiếu và đưa ra đầu ra tương ứng. Nó sẽ cho tín hiệu dương hoặc logic “1” bất cứ khi nào tín hiệu đầu vào lớn hơn tín hiệu tham chiếu và âm hoặc logic “0” khi tín hiệu đầu vào nhỏ hơn tín hiệu tham chiếu.

Nguyên lý so sánh: Khi V_{in} lớn hơn V_{ref} thì V_{out} sẽ bằng với mức điện áp $+V_{dd}$. Ngược lại khi V_{in} nhỏ hơn V_{ref} thì V_{out} sẽ bằng với mức điện áp $-V_{dd}$.

Mạch Two –stage Op-amp:

Kiến trúc khối so sánh mà nhóm sinh viên sử dụng trong đề tài là Two-stage Op-amp. Do cấu trúc đơn giản và độ bền cao, mạch Two –stage Op-amp được sử dụng rộng rãi. Nó cũng có mức tăng DC cao cũng như phạm vi dao động điện áp đầu ra rộng. Transistor M_1 và M_2 cùng nhau tạo thành một bộ khuếch đại vi sai, chuyển đổi điện áp vi sai thành dòng điện trong giai đoạn đầu tiên của thiết kế bộ khuếch đại. Dòng điện vi sai này sau đó được gửi đến mạch current mirror, được tạo bởi Transistor M_3 và M_4 , giúp phục hồi chênh lệch điện áp giữa hai giai đoạn. Đầu ra của bộ khuếch đại hoạt động giai đoạn đầu tiên về cơ bản giống với đầu ra của bộ khuếch đại điện áp vi sai. Transistor M_6 chịu trách nhiệm cung cấp cho cặp vi sai dòng điện phân cực I. Giai đoạn thứ hai là common source MOSFET amplifier. Transistor M_7 chuyển đổi điện áp đầu vào của giai đoạn thứ hai thành dòng điện. Common source transistor được tải tích cực với current sink load M_8 , đồng thời biến dòng điện trở lại thành điện áp ở đầu ra của bóng bán dẫn. Transistor M_8 không cung cấp độ phân cực cho M_7 , M_7 được phân cực từ phía cổng của bóng bán dẫn M_8 . Có thể nói giai đoạn thứ hai của bộ so sánh hoạt động tương tự

như bộ current sink inverter [19]. Hình 2.15 dưới đây là kiến trúc của mạch Two Stage-Op-amp:



Hình 2.15: Kiến trúc mạch Two-stage Op-amp [19]

Một tụ điện Miller bên ngoài thường được kết nối giữa đầu ra của giai đoạn thứ hai và đầu ra của các bóng bán dẫn giai đoạn một, sự chênh lệch điện áp ngõ vào V_{in} và điện áp ngõ ra V_{out} của mạch được cho bởi công thức dưới đây:

$$\frac{V_{out}}{V_{in}} = A(s) = \frac{A_V}{\left(1 + \frac{s}{p_1}\right)\left(1 + \frac{s}{p_2}\right)} \quad (2.5)$$

Trong đó V_{in} đại diện cho điện áp đầu vào. A_V là độ lợi của op-amp và các cực p_1 và p_2 được xác định bằng điện dung liên kết với trở kháng cao của op-amp [19].

2.8 CÔNG SUẤT TIÊU THỤ HỆ THỐNG SAR ADC 10 BIT

SAR ADC là hệ thống chứa rất nhiều các transistor và là một hệ thống hoạt động theo chu kỳ xung clock. Do vậy, công suất tiêu thụ của bộ SAR ADC là tổng công suất tiêu thụ của tất cả các mạch con trong nó chủ yếu đến từ việc chuyển mạch tức thời và dòng rò bên trong các transistor khi mạch ở trong chế độ OFF. Vì phần mềm Cadence nhóm sinh viên đang dùng không thể đo được công suất tĩnh (Pleakage) nên ở bài báo cáo, nhóm sinh viên sẽ tập chung nói về công suất

động đến từ việc chuyển mạch tức thời của mạch. Công suất tức thời là công suất mà mạch tiêu thụ tại một thời điểm nhất định được cho bởi công thức dưới đây:

$$P(t) = I(t)V(t) \quad (2.6)$$

Tuy nhiên, không phải ở thời điểm nào mạch cũng sẽ có giá trị công suất tức thời như nhau. Giá trị công suất tức thời sẽ khác nhau tại mỗi thời điểm phụ thuộc vào trạng thái hoạt động của của mạch tại thời điểm đó. Do vậy, để đo được công suất tiêu thụ của mạch trong một khoảng thời gian phải quan sát và tính toán giá trị trung bình của công suất ở khoảng thời gian đó. Công suất tiêu thụ trung bình trong một khoảng thời gian được coi là công suất tiêu tán của mạch được cho bởi công thức dưới đây:

$$P(t) = \frac{1}{T} \int_0^T P(t)dt \quad (2.7)$$

CHƯƠNG 3

THIẾT KẾ HỆ THỐNG SAR ADC 10 BIT

Ở chương này, nhóm sinh viên sẽ trình bày ý tưởng thiết kế của hệ thống. Hệ thống SAR ADC 10-bit sẽ gồm 4 khối chính là khối lấy mẫu và giữ, khối so sánh, khối Control logic và khối DAC. Mạch lấy mẫu và giữ bao gồm tụ điện và một NMOS, kể đến là khối so sánh là bộ Two-Stage Comparator. Ở khối Control logic, nhóm sẽ thực hiện dựa trên kiến trúc của Rossi bao gồm các Flip-Flop D kết hợp cùng các mạch Mux 3-1 và các cổng OR. Cuối cùng, nhóm sinh viên sẽ thiết kế khối DAC dựa trên kiến trúc R-2R. Trong quá trình thiết kế mỗi khối, nhóm sinh viên sẽ tiến hành tính toán các thông số của các linh kiện trong mỗi khối như giá trị tụ điện, điện trở, các thông số W/L của các NMOS, PMOS trong bộ Op-amp.

3.1 YÊU CẦU HỆ THỐNG

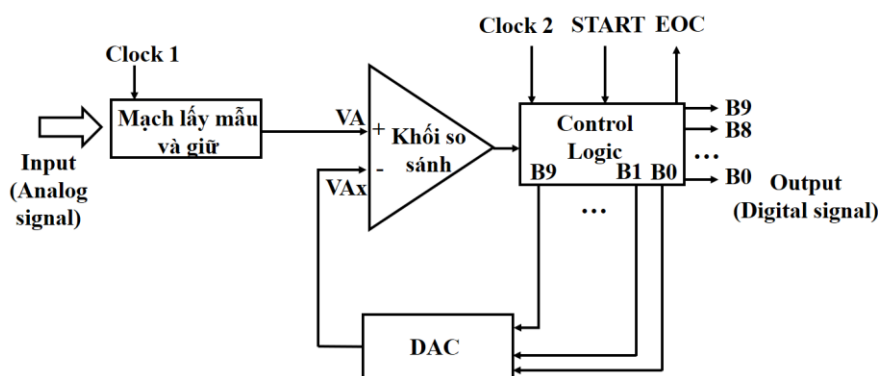
Hệ thống SAR ADC 10 bit chuyển đổi tín hiệu analog sang tín hiệu số tương ứng với độ phân giải 10-bit được ứng dụng vào trong các hệ thống điện tử phức tạp, yêu cầu tốc độ cao. Do đó, hệ thống phải đạt được một số yêu cầu cụ thể về mặt kỹ thuật.

- Hệ thống sử dụng công nghệ 130nm của Samsung áp dụng cho tất cả các Transistor của hệ thống.
- Hệ thống nhận đầu vào là tín hiệu tương tự với biên độ là 1.2V, tần số hoạt động là 1KHz, điện áp tham chiếu là 1.2V cho phép chuyển đổi tín hiệu đầu vào tương tự thành tín hiệu số tương ứng với độ phân giải là 10-bit mỗi khi có tín hiệu cho phép chuyển đổi.
- Thời gian chuyển đổi là cố định là 11 chu kỳ xung clock đưa vào bộ Control Logic cho mỗi lần chuyển đổi.
- Hệ thống phải có kích thước nhỏ gọn, độ chính xác cao, tiêu thụ năng lượng thấp, có công suất tiêu tán thấp và có thể tích hợp được với hầu hết các hệ thống điện tử.

3.2 THIẾT KẾ HỆ THỐNG

3.2.1 Sơ đồ khối hệ thống SAR ADC 10 Bit

Hệ thống SAR ADC 10-bit chuyển đổi tín hiệu analog sang tín hiệu số tương ứng với độ phân giải 10-bit được ứng dụng vào trong các hệ thống điện tử phức tạp, yêu cầu tốc độ cao. Trong thiết kế này, nhóm sinh viên lựa chọn các thông số cho các mạch bên trong mang tính tương đối và phù hợp để hệ thống có thể vừa hoạt động đúng chức năng, đồng thời tối ưu về cả độ trễ và công suất. Sơ đồ khối hệ thống SAR ADC 10 bit được trình bày chi tiết trong hình 3.1 dưới đây.



Hình 3.1: Sơ đồ khối hệ thống SAR ADC 10 Bit

Mạch lấy mẫu và giữ: nhận tín hiệu analog đầu vào, tiến hành lấy mẫu và giữ tín hiệu trong một khoảng thời gian để đảm bảo VA khi đưa vào bộ so sánh luôn ổn định trong suốt quá trình chuyển đổi ADC.

Khối so sánh: Ngõ vào (+) của khối so sánh nhận tín hiệu từ ngõ ra của mạch lấy mẫu và giữ. Tiến hành so sánh với điện áp tham chiếu VAX và xuất dữ liệu ở ngõ ra. Nếu $VA \geq VAX$, thì ngõ ra sẽ xuất mức “1”, ngược lại là mức “0”. Từ đây, hệ thống sẽ có dãy dữ liệu số đưa vào khối Control Logic.

Khối Control logic: Khối này hoạt động theo xung clock. Control Logic xác định giá trị của các bit một cách tuần tự từ MSB đến LSB dựa trên kết quả của bộ so sánh. Khi quá trình chuyển đổi hoàn tất (EOC được tích cực), ngõ ra của khối Control logic chính là dãy số nhị phân tương ứng với tín hiệu Analog đầu vào.

Khối DAC: Khối DAC chuyển đổi tín hiệu Analog ở đầu ra của khối Control Logic sau mỗi chu kỳ xung clock thành tín hiệu tương tự và làm ngõ vào hồi tiếp VAX cho khối so sánh. Vì vậy, quá trình chuyển đổi ADC sẽ luôn diễn ra.

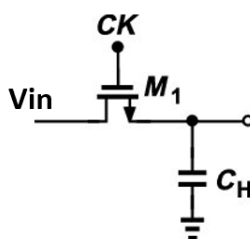
3.2.2 Nguyên lý hoạt động của hệ thống

Nguyên lý hoạt động của hệ thống SAR ADC 10-bit như sau: Khi có tín hiệu bắt đầu, hệ thống sẽ xóa tất cả các bit ngõ ra về mức “0”, tiếp theo sẽ đặt bit MSB lên mức “1”. Ngõ vào điện áp sau khi đã qua mạch lấy mẫu và giữ VA sẽ được đưa vào bộ so sánh và so sánh với V_{Ax} . Nếu $V_{Ax} > V_A$, hệ thống sẽ tự động xóa bit MSB vừa được xét lên mức “1” về lại mức “0”, ngược lại sẽ giữ nguyên giá trị của bit đó. Sau đó hệ thống sẽ kiểm tra liệu đó có phải là bit cuối cùng được kiểm tra, nếu chưa phải sẽ đến bit tiếp theo có trọng số nhỏ hơn theo thứ tự từ MSB đến LSB. Quy trình như vậy sẽ lặp lại cho đến khi bit cuối cùng được kiểm tra và kết quả lúc này sẽ là dãy số nhị phân có giá trị tương ứng với tín hiệu tương tự đầu vào.

3.3 THIẾT KẾ TỪNG KHỐI

3.3.1 Mạch lấy mẫu và giữ

Hệ thống SAR ADC yêu cầu một thời gian chuyển đổi cố định dựa theo chu kỳ xung clock trong khi tín hiệu đầu vào là tín hiệu tương tự thay đổi liên tục theo thời gian. Vì vậy, nhiệm vụ của mạch lấy mẫu và giữ là lấy mẫu và giữ tín hiệu tương tự V_{in} trong khoảng thời gian chuyển đổi nhằm đảm bảo độ chính xác cao ở đầu ra của hệ thống. Có rất nhiều mô hình mạch lấy mẫu và giữ được liệt kê ở chương trước. Ở đề tài này, nhóm sinh viên chọn mô hình MOSFET Switch Sample and Hold Circuit vì đơn giản và mang lại độ chính xác cao. Hình 3.2 dưới đây là sơ đồ nguyên lý của mạch Sample and Hold sử dụng trong hệ thống SAR ADC 10 bit.

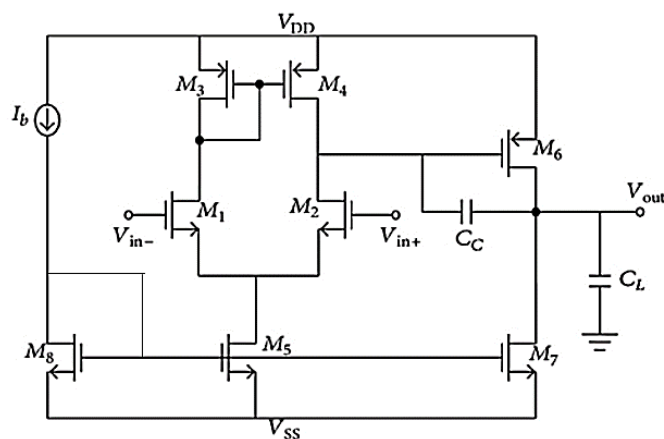


Hình 3.2: Sơ đồ nguyên lý của mạch Sample and Hold sử dụng trong hệ thống SAR ADC 10 bit

Mô hình này bao gồm 1 NMOS, 1 tụ điện có giá trị điện dung 1pF cho phép sạc và lưu trữ điện áp lấy mẫu. NMOS đóng vai trò như một công tắc hoạt động theo mức “1” của xung clock. Khi có điện áp mức “1” tại cực G, NMOS ON và cho tín hiệu tương tự đầu vào nạp vào tụ và đi vào ngõ vào của bộ so sánh. Khi cực G NMOS nhận điện áp mức thấp, NMOS OFF ngắt tín hiệu đầu vào. Do vậy, thời gian mức thấp của xung clock phải được tính toán để cân bằng với thời gian chuyển đổi của hệ thống, đảm bảo hệ thống có đủ thời gian chuyển đổi hoàn toàn một giá trị tương tự thành tín hiệu số trước khi nhận giá trị khác.

3.3.2 Khối so sánh

Khối so sánh hệ thống SAR ADC 10-bit là một bộ Op-amp được thiết kế để thực hiện chức năng so sánh, gồm có 2 ngõ vào V_{in+} và V_{in-} . Với V_{in+} nhận ngõ ra tín hiệu tương tự từ mạch lấy mẫu và giữ và V_{in-} nhận ngõ ra tín hiệu tương tự hồi tiếp từ bộ DAC 10 bit. Trong số các kiến trúc Op-amp, nhóm sinh viên chọn kiến trúc Two-stage Op-amp làm khối so sánh. Op-amp sẽ nhận giá trị điện áp vào V_{in} và điện áp tham chiếu V_{ref} ở các ngõ vào và tiến hành so sánh chúng. Cả V_{in} và V_{ref} đều là tín hiệu tương tự thay đổi theo chu kỳ xung Clock. Khi V_i lớn hơn V_{ref} , Op-amp sẽ xuất mức “1”, ngược lại sẽ xuất mức “0” và cứ như vậy sẽ xuất ra được chuỗi giá trị nhị phân để đưa vào khối Control Logic. Hình 3.3 dưới đây là sơ đồ nguyên lý của khối so sánh Two –stage Op-amp.



Hình 3.3: Sơ đồ nguyên lý của khối so sánh Two –stage Op-amp

Đầu tiên, nhóm sinh viên tiến hành lựa chọn các thông số ban đầu cho khối Op amp để đáp ứng yêu cầu của hệ thống SAR ADC 10 bit. Sau đây là bảng 3-1 với các thông số ban đầu của Op-amp.

Bảng 3-1: Bảng các thông số ban đầu của Op-amp.

Thông số	Giá trị
Vdd	1.2 V
Gain BandWidth	30KHz
Slew	320 V/ μ .sec
C _L	0.1pF
Input Command Mode Range	0.4V – 2V

Sau đây, nhóm sinh viên sẽ tiến hành thiết kế các thông số CMOS của mạch Op-amp. Để Op-amp hoạt động đúng chức năng so sánh. Tất cả các transistor bắt buộc phải ở chế độ bão hòa. Ngoài ra, khi thiết kế, để tránh hiện tượng channel-length, độ dài kênh dẫn L phải lớn hơn hơn ít nhất gấp hai lần L_{min} = 130nm, nhóm sinh viên đã lựa chọn L = 500nm cho mỗi transistor.

Nhóm sinh viên tiến hành thiết kế dựa vào các công thức sau: [19]

$$C_c > 0.22 C_L \quad (3.1)$$

$$I_5 = S_R.C_c \quad (3.2)$$

$$g_{m1} = GBW. 2\pi. C_c \quad (3.3)$$

$$\left(\frac{W}{L}\right)_{1,2} = \frac{g_{m1}^2}{\mu_n C_{ox} I_5} \quad (3.4)$$

$$\left(\frac{W}{L}\right)_{3,4} = \frac{I_5}{\mu_p C_{ox} [V_{dd} - ICBM^+ - V_{t3(max)} - V_{t1(min)}]^2} \quad (3.5)$$

$$V_{DS5(sat)} = ICBM^- - V_{ss} \sqrt{\frac{I_5}{\mu_n C_{ox} \left(\frac{W}{L}\right)_5}} - V_{t1(max)} \quad (3.6)$$

$$\left(\frac{W}{L}\right)_{5,8} = \frac{2I_5}{\mu_n C_{ox} (V_{DS(sat)})^2} \quad (3.7)$$

$$g_{m6} \geq 10g_{m1} \quad (3.8)$$

$$\left(\frac{W}{L}\right)_6 = \left(\frac{W}{L}\right)_4 \frac{g_{m6}}{g_{m4}} \quad (3.9)$$

$$I_6 = \frac{g_{m6}^2}{2\mu_p C_{ox} \left(\frac{W}{L}\right)_6} \quad (3.10)$$

$$\left(\frac{W}{L}\right)_7 = \left(\frac{W}{L}\right)_5 \frac{I_6}{I_5} \quad (3.11)$$

Bảng 3-2 tổng hợp kết quả tính W/L của mỗi transistor tính được:

Bảng 3-2: Kết quả tính W/L của mỗi transistor tính được trong Op-amp

$\frac{W}{L}$	$\left(\frac{W}{L}\right)_1$	$\left(\frac{W}{L}\right)_2$	$\left(\frac{W}{L}\right)_3$	$\left(\frac{W}{L}\right)_4$	$\left(\frac{W}{L}\right)_5$	$\left(\frac{W}{L}\right)_6$	$\left(\frac{W}{L}\right)_7$	$\left(\frac{W}{L}\right)_8$
Kết quả	3	3	5	5	6	77	47	6

3.3.3 Khối Control Logic

Control logic là một khối quan trọng trong hệ thống SAR ADC 10 Bit, đóng vai trò như trung tâm điều khiển, hoạt động theo xung clock. Control Logic nhận tín hiệu đầu vào từ ngõ ra của bộ so sánh. Cứ mỗi chu kỳ clock, Control logic sẽ kiểm tra và xét các mức “0”, “1” cho từng bit theo thứ tự từ MSB đến LSB dựa theo kết quả nhận được ở ngõ ra của khối so sánh và xuất ra tín hiệu số có giá trị nhị phân tương ứng với giá trị tín hiệu tương tự đầu vào sau khi quá trình chuyển đổi kết thúc.

Bảng trạng thái chuyển đổi của khối Control Logic được trình bày sau đây, trong đó B9 đến B0 là các ngõ ra, Cmp là ngõ vào nhận tín hiệu từ ngõ ra của bộ so sánh, mạch hoạt động với chu kỳ xung clock riêng. Quá trình chuyển đổi theo xung clock trong suốt thời gian mạch lấy mẫu và giữ giữ giá trị tín hiệu tương tự cố định. Cứ mỗi chu kỳ xung clock, mỗi ngõ ra tương ứng của bộ Control Logic sẽ lấy giá trị ngõ ra của bộ so sánh và đồng thời hệ thống sẽ xét ngõ ra có trọng số thấp liền kề lên mức “1” theo thứ tự từ MSB đến LSB. Các giá trị từ A0 đến A9 là các giá trị giả định (chỉ có 2 giá trị “0” và “1”) mà các ngõ ra lần lượt nhận được dựa vào kết quả ngõ ra của khối so sánh. Bảng 3-3 dưới đây là bảng trạng thái chuyển đổi của Control Logic.

Bảng 3-3: Trạng thái chuyển đổi của Control Logic

Chu kỳ	Sample	Cmp	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
0	1	-	0	0	0	0	0	0	0	0	0	0
1	0	A9	1	0	0	0	0	0	0	0	0	0
2	0	A8	A9	1	0	0	0	0	0	0	0	0
3	0	A7	A9	A8	1	0	0	0	0	0	0	0
4	0	A6	A9	A8	A7	1	0	0	0	0	0	0
5	0	A5	A9	A8	A7	A6	1	0	0	0	0	0
6	0	A4	A9	A8	A7	A6	A5	1	0	0	0	0
7	0	A3	A9	A8	A7	A6	A5	A4	1	0	0	0
8	0	A2	A9	A8	A7	A6	A5	A4	A3	1	0	0
9	0	A1	A9	A8	A7	A6	A5	A4	A3	A2	1	0
10	0	A0	A9	A8	A7	A6	A5	A4	A3	A2	A1	1
11	0	-	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0

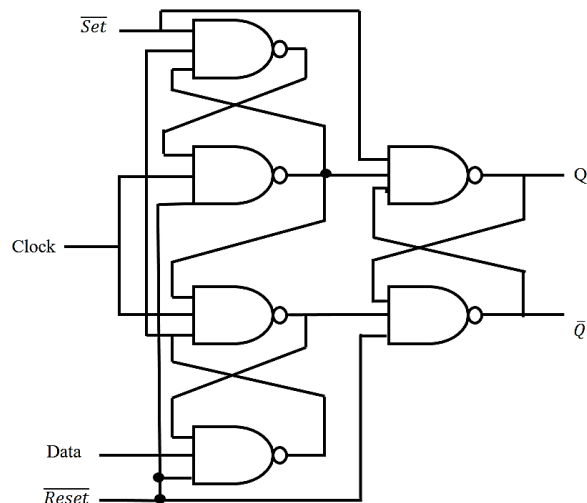
Thành phần cơ bản của Control logic là các Flip Flop D. Nhóm sinh viên đã chọn và thiết kế Flip Flop D có xung clock tích cực mức cao, các ngõ vào Set và Reset tích cực mức thấp, một ngõ vào D và hai ngõ ra Q và \bar{Q} .

Bảng 3-4 trạng thái của Flip Flop D được trình bày dưới đây. Khi các ngõ vào Set và Reset đều ở mức tích cực (mức “0”), bất chấp trạng thái ngõ vào D và xung clock, ngõ ra Q và \bar{Q} luôn ở mức “1” là trạng thái cấm. Khi ngõ vào Set tích cực (mức “0”) và Reset không tích cực (mức “1”), ngõ ra Q luôn luôn ở mức “1” là trạng thái Set và ngược lại là mức “0” ở trạng thái Reset. Khi cả hai ngõ vào Set và Reset không tích cực, mạch sẽ hoạt động theo xung clock tích cực cạnh lên. Khi có cạnh lên của xung clock, ngõ ra Q của Flip Flop sẽ lấy giá trị ngõ vào D và khi không có cạnh lên của xung clock, giá trị ngõ ra Q không đổi. Bảng trạng thái của Flip Flop D được cho như bảng 3-4 dưới đây.

Bảng 3-4: Bảng trạng thái của Flip Flop D

Set	Reset	Clock	D	Q	Q\	Trạng thái
0	0	X	X	1	1	Cấm
1	0	X	X	0	1	Reset
0	1	X	X	1	0	Set
1	1	0	X	Q	Q\	Không thay đổi
1	1	↑	1	1	0	Q = 1
1	1	↑	0	0	1	Xóa Q

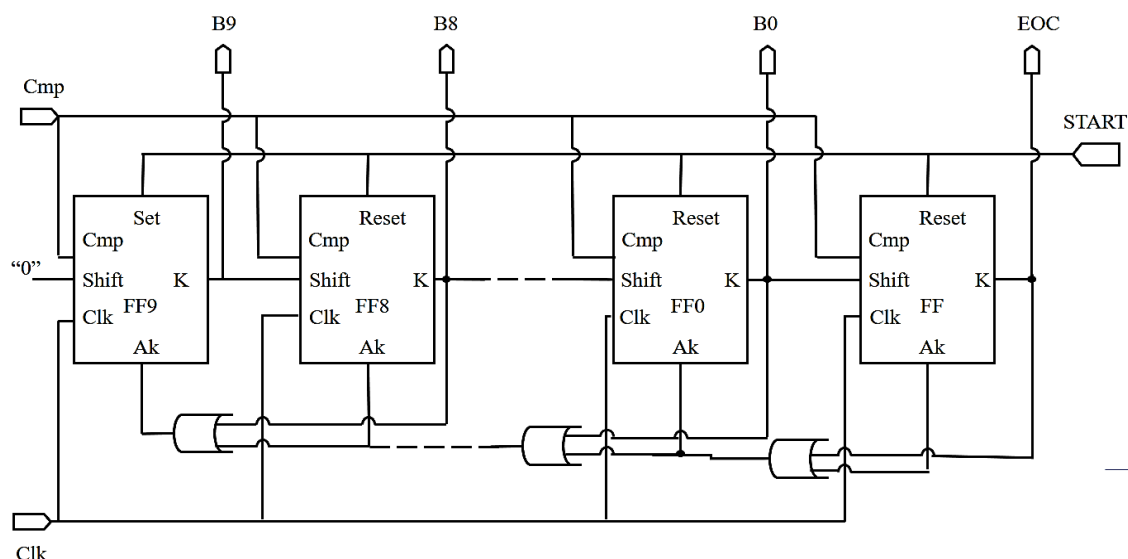
Hình 3.4 sau đây là sơ đồ nguyên lý Flip Flop D



Hình 3.4: Sơ đồ nguyên lý Flip Flop D

Control Logic

Đây là mô hình kiến trúc được phát triển bởi nhà nghiên cứu Rossi. Mô hình này cần ít nhất N Flip Flop với hệ thống SAR ADC N bit. Vì vậy, SAR ADC sử dụng loại kiến trúc này còn được gọi là non-redundant SAR ADC như đã trình bày ở chương trước. Kiến trúc này nhằm mục đích làm giảm số lượng Flip Flop D để có thể đạt được sự tối ưu và giảm thời gian trễ của mạch. Hệ thống bao gồm N khối FF và các cổng OR. Hình 3.5 sau đây là sơ đồ nguyên lý của khối Control Logic loại 2 với các khối FF được kết nối với nhau và với các cổng OR tương ứng.

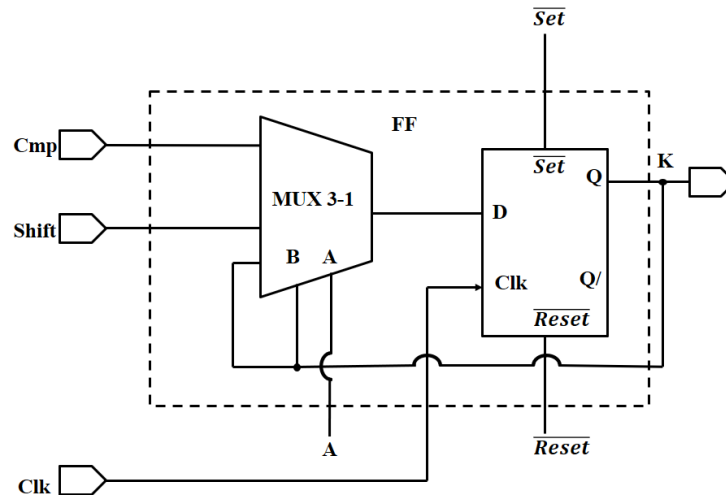


Hình 3.5: Sơ đồ nguyên lý của khối Control Logic

Theo sơ đồ trên, ngõ vào START vẫn sẽ kết nối với chân \overline{Set} của khối FF có trọng số cao nhất và tất cả các chân \overline{Reset} của các khối FF có trọng số nhỏ hơn còn lại. Ngõ vào Ak của mỗi khối FF là kết quả phép logic OR với ngõ ra của các khối FF có trọng số thấp hơn liền sau. Ngõ vào Shift được đặt mặc định là mức “0”, ngõ vào Cmp là kết quả ngõ ra của bộ so sánh.

Nguyên lý hoạt động của khối Control Logic loại 2 theo sơ đồ trên như sau: Khi có tín hiệu START tích cực mức thấp, ngõ ra D9 = “1” và tất cả các ngõ ra còn lại xuống mức “0”. Ở giai đoạn tiếp theo, hệ thống sẽ kiểm tra bit D9 dựa vào kết quả ngõ ra của bộ so sánh. Nếu ngõ ra của bộ so sánh ở mức cao, D9 không thay đổi, nếu mức thấp, hệ thống sẽ xóa D9 = “0” và đồng thời đặt ngõ ra của khối FF tiếp theo lên mức “1”. Với mỗi bit đã được kiểm tra, hệ thống sẽ lưu trạng thái của bit đó không thay đổi trong suốt quá trình chuyển đổi ADC dựa vào chế độ hoạt động của mỗi khối FF. Như vậy tất cả các bit sẽ được kiểm tra theo một cách tuần tự từ MSB đến LSB.

Mỗi khối FF bao gồm các Flip Flop D được ghép nối và kết hợp với bộ MUX 3-1. Chính vì vậy, mỗi khối FF ở kiến trúc loại 2 đều có khả năng lấy dữ liệu từ khối so sánh, dịch bit và lưu trữ dữ liệu, khác với kiến trúc ở trên cần phải có một thanh ghi riêng biệt để lưu trữ giá trị chuyển đổi. Hình 3.6 dưới đây là sơ đồ nguyên lý kiến trúc của mỗi khối FF.



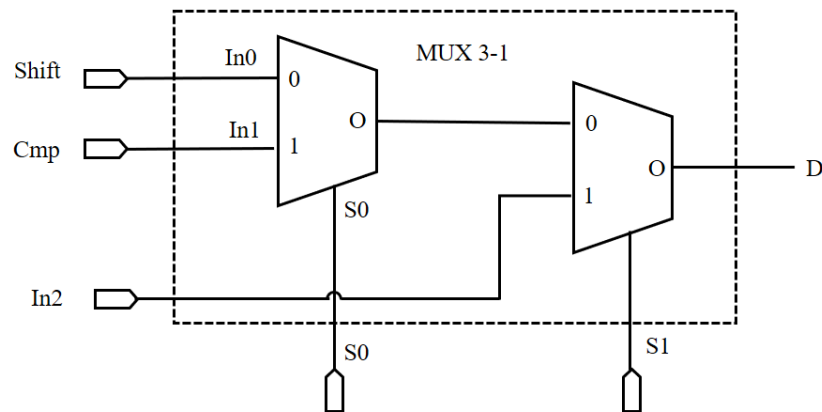
Hình 3.6: Sơ đồ nguyên lý kiến trúc của một khối FF

Như hình trên, bộ MUX 3-1 có 1 ngõ vào là ngõ ra của bộ so sánh (Cmp), 1 ngõ vào Shift và ngõ vào còn lại được nối chung với ngõ vào điều khiển (B) và 1 ngõ vào tín hiệu điều khiển A. Ngõ ra được kết nối đến ngõ vào D của Flip Flop. Ở giai đoạn đầu, ngõ ra của Flip Flop ngoài của bên trái được set lên mức “1” và các Flip flop còn lại là mức “0”. Ở các giai đoạn tiếp theo, Flip Flop sẽ lấy dữ liệu từ một trong 3 ngõ vào tương ứng với dữ liệu ở ngõ vào điều khiển, do vậy yêu cầu cần có một bộ MUX 3-1 trong kiến trúc mỗi khối FF. Dưới đây là bảng 3-5 đặc tả trạng thái bộ MUX 3-1 với 3 chế độ nêu trên.

Bảng 3-5: Trạng thái bộ MUX 3-1 với 3 chế độ

Ngõ vào tín hiệu điều khiển		Ngõ ra
B (S1)	A (S0)	D
1	-	Lưu trữ dữ liệu
0	1	Cmp
0	0	Shift

Bộ MUX 3-1 được thiết kế bằng cách dùng 2 bộ MUX 2-1 như sơ đồ hình 3.7 dưới đây.



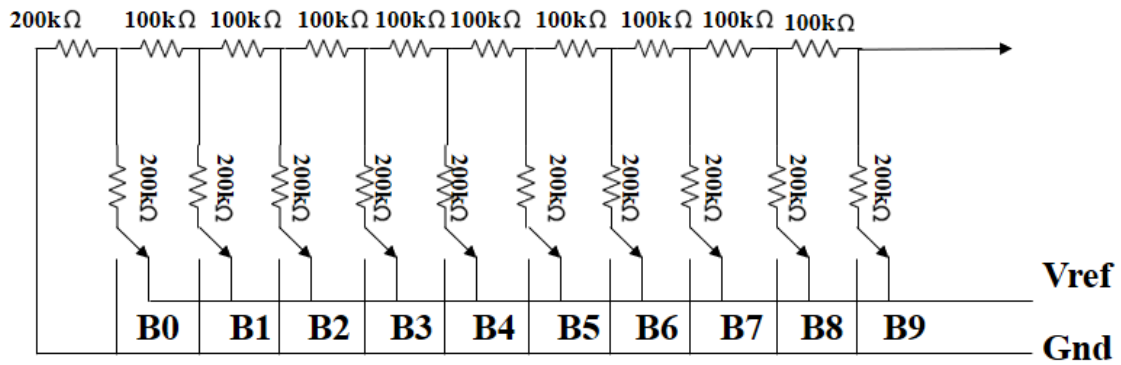
Hình 3.7: Sơ đồ nguyên lý mạch MUX 3-1

3.3.4 Khối DAC

Như đã đề cập ở chương trước, R-2C là kiến trúc DAC sử dụng ma trận điện trở chia nhiều lần theo số bit cần chuyển đổi, dùng điện trở suy giảm để phân chia các điện áp khác nhau. Nhóm sinh viên lựa chọn kiến trúc R-2R DAC vì đây là kiến trúc cho độ chính xác cao, diện tích nhỏ và đặc biệt là dễ chế tạo, lắp đặt, chỉ cần 2 giá trị điện trở là R và 2R. Ngoài ra, đây là kiến trúc có công thức chuyển đổi tín hiệu tương tự sang tính hiệu số dựa vào nguyên tắc chuyển số nhị phân sang thập phân, kết quả chuyển đổi hầu như ít bị ảnh hưởng bởi giá trị điện trở. Sau đây là công thức chuyển đổi DAC của kiến trúc.

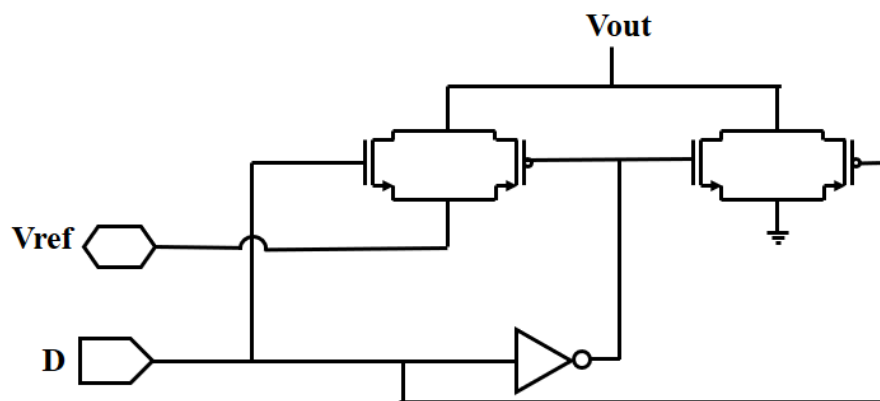
$$V_{\text{out}} = V_{\text{ref}} \sum_{i=0}^{10} D_i \cdot 2^{-(10-i)} \quad (3.12)$$

Trong đó, 10 là số lượng bit chuyển đổi của hệ thống, i là số thứ tự của mỗi bit là D_i là giá trị của các bit, V_{ref} là điện áp mức tham chiếu có giá trị 1.2V. Kiến trúc DAC này có độ phân giải là 1.2/1024 (V) là sự thay đổi của bit LSB. Chọn giá trị $R = 100\text{k Ohm}$. Hình 3.8 sau đây là sơ đồ nguyên lý kiến trúc R-2R DAC được thiết kế trong hệ thống SAR ADC 10 bit.



Hình 3.8: Sơ đồ nguyên lý kiến trúc R-2R DAC hệ thống SAR ADC 10 bit

Dựa vào sơ đồ nguyên lý trên, kiến trúc này ngoài ma trận tụ điện chia theo nhiều lần còn sử dụng thêm các công tắc Switch kết nối các ngõ vào với mức cao hoặc mức thấp tùy vào bit nhận được ở ngõ vào. Thông thường, các Switch đều được xây dựng với kiến trúc bộ MUX2-1 với các chân dữ liệu ở ngõ vào là Gnd (Mức 0) và Vdd (Mức 1) với ngõ vào bit D là chân S điều khiển. Nhưng kiến trúc đó đòi hỏi cần nhiều transistor. Vì vậy, nhóm sinh viên đã tìm hiểu các kiến trúc khác nhau để tối ưu số lượng transistor để cải thiện công suất tiêu thụ của mạch mà vẫn đảm bảo được ngõ ra tương ứng, không bị nhiễu hay glitch. Hình trên là kiến trúc Switch tối ưu về số lượng transistor. Khi $D = 1$ thì MN2 và MP1 sẽ dẫn, V_{out} sẽ ở mức cao (V_{ref}), ngược lại $D = 0$ thì MN0 và MP2 sẽ dẫn, V_{out} sẽ ở mức thấp (Gnd). Hình 3.9 dưới đây là sơ đồ nguyên lý của mỗi Switch được ứng dụng trong bộ chuyển đổi SAR ADC 10 bit.



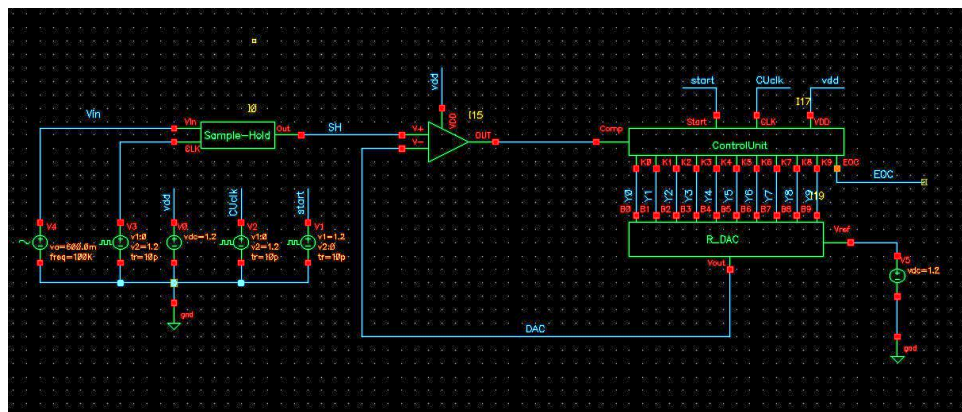
Hình 3.9: Sơ đồ nguyên lý Switch của bộ chuyển đổi SAR ADC 10 bit

KẾT QUẢ THỰC HIỆN HỆ THỐNG SAR ADC 10 BIT

Chương này sẽ giới thiệu về các kết quả đạt được của đề tài “Thiết kế và đánh giá hệ thống SAR ADC 10-bit thực hiện trên phần mềm Cadence”.

4.1 KẾT QUẢ THIẾT KẾ HỆ THỐNG SAR ADC 10 BIT

Nhóm sinh viên đã tiến hành ghép nối tất cả các mạch con và đạt được hệ thống như hình 4.1 dưới đây.



Hình 4.1: Schematic hệ thống SAR ADC 10-bit hoàn chỉnh

Hệ thống SAR ADC 10-bit gồm 4 khối chính là khối lấy mẫu và giữ, khối so sánh, khối Control Logic và khối DAC. Hệ thống có 2 nguồn xung clock, xung clock thứ nhất là dùng để lấy mẫu và giữ giá trị tín hiệu cố định trong suốt thời gian chuyển đổi ADC và được kết nối với mạch lấy mẫu và giữ. Nguồn xung clock thứ hai dùng cho bộ Control Logic chuyển đổi giá trị đầu vào thành tín hiệu số trong suốt thời gian chuyển đổi. Mạch lấy mẫu và giữ sẽ giữ tín hiệu đầu vào trong một khoảng thời gian cố định. Giá trị Vin cố định đi đến bộ so sánh và bộ so sánh sẽ xuất giá trị bit “0” hay “1” ở đầu ra và đưa vào bộ Control Logic. Control Logic sẽ xét lần lượt các bit lên “1” và quyết định có lưu lại giá trị hay không phụ thuộc vào đầu ra của bộ so sánh. Chuỗi giá trị nhị phân ở ngõ ra sẽ được đưa vào khối

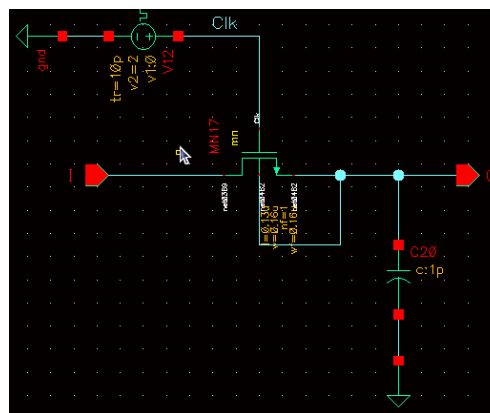
DAC chuyển ngược lại thành tín hiệu tương tự và hồi tiếp về khối so sánh để lấy làm giá trị so sánh với tín hiệu từ mạch lấy mẫu và giữ.

4.2 KẾT QUẢ THIẾT KẾ CÁC MẠCH CON TRONG HỆ THỐNG SAR ADC 10 BIT

4.2.1 Mạch lấy mẫu và giữ

a) Kiến trúc mạch lấy mẫu và giữ Switch CMOS:

Dựa vào sơ đồ thiết kế mạch ở chương 3, nhóm sinh viên đã tiến hành thiết kế trên phần mềm Cadence và cho ra sơ đồ mạch như hình 4.2 sau đây.

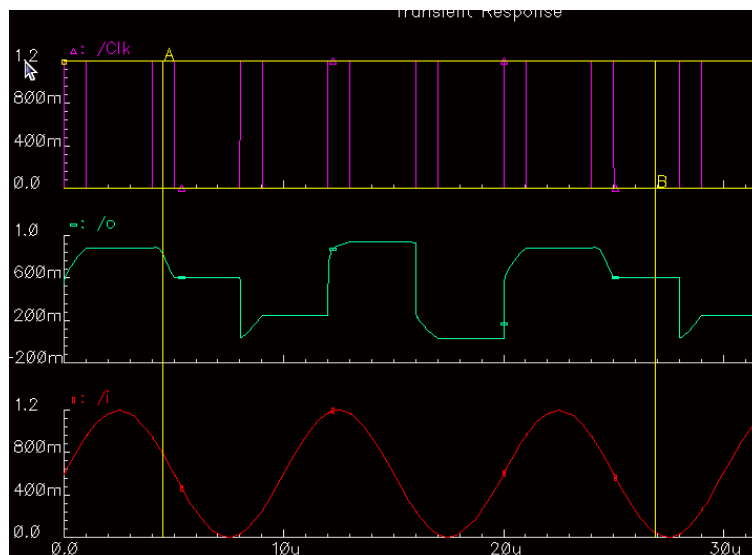


Hình 4.2: Schematic mạch lấy mẫu và giữ

Chọn giá trị tụ điện cho hoạt động nạp và xả là 1pF. Mạch gồm có 1 ngõ vào Vin nhận tín hiệu tương tự, 1 ngõ ra là tín hiệu sau khi lấy mẫu nạp vào Vin+ của bộ so sánh, một ngõ vào xung clock điều khiển hoạt động lấy mẫu và giữ.

b) Kết quả dạng sóng ngõ ra của mạch lấy mẫu và giữ:

Nhóm sinh viên tiến hành mô phỏng kết quả với dạng sóng ngõ vào hình sin với tần số là 100KHz và biên độ là 1.2V. Hình 4.3 dưới đây là kết quả dạng sóng ngõ ra của mạch.



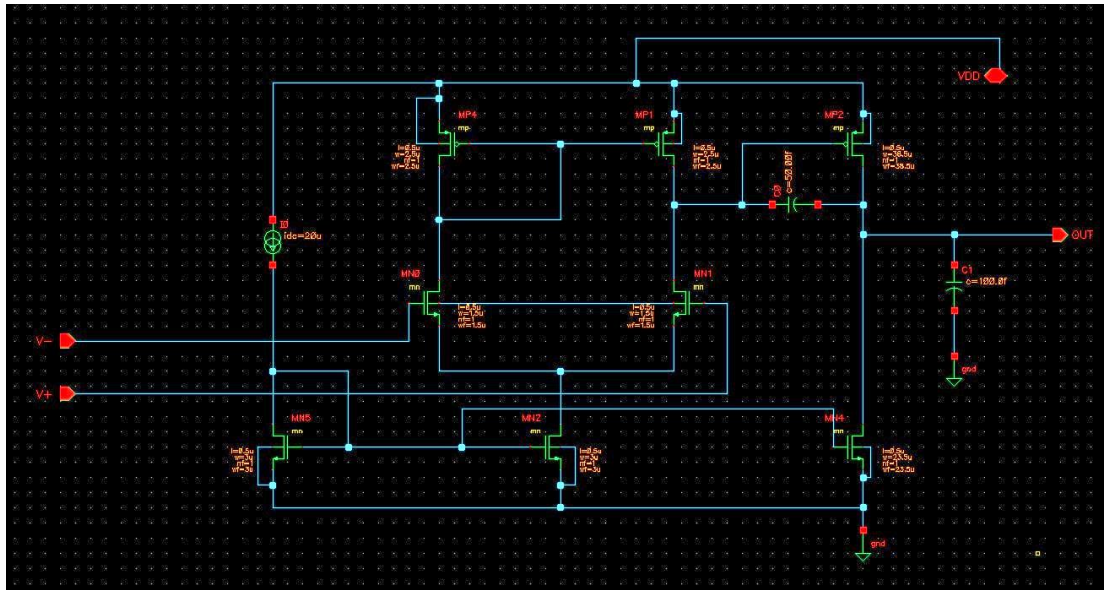
Hình 4.3: Dạng sóng ngõ ra của mạch lấy mẫu và giữ

Có thể thấy ở điểm A, xung clock đang ở tích cực mức cao, lúc này, NMOS ON và tín hiệu ngõ ra tuân theo tín hiệu đầu vào. Tiếp theo ở điểm B, xung clock tích cực mức thấp, NMOS OFF ngăn không cho tín hiệu ngõ vào đến ngõ ra, tín hiệu ngõ ra lúc này vẫn giữ nguyên giá trị trước đó. Đây chính là khoảng thời gian hệ thống thực hiện hoạt động chuyển đổi ADC. Kết quả dạng sóng trên là đúng và chính xác.

4.2.2 Mạch so sánh Two-stage Op-amp

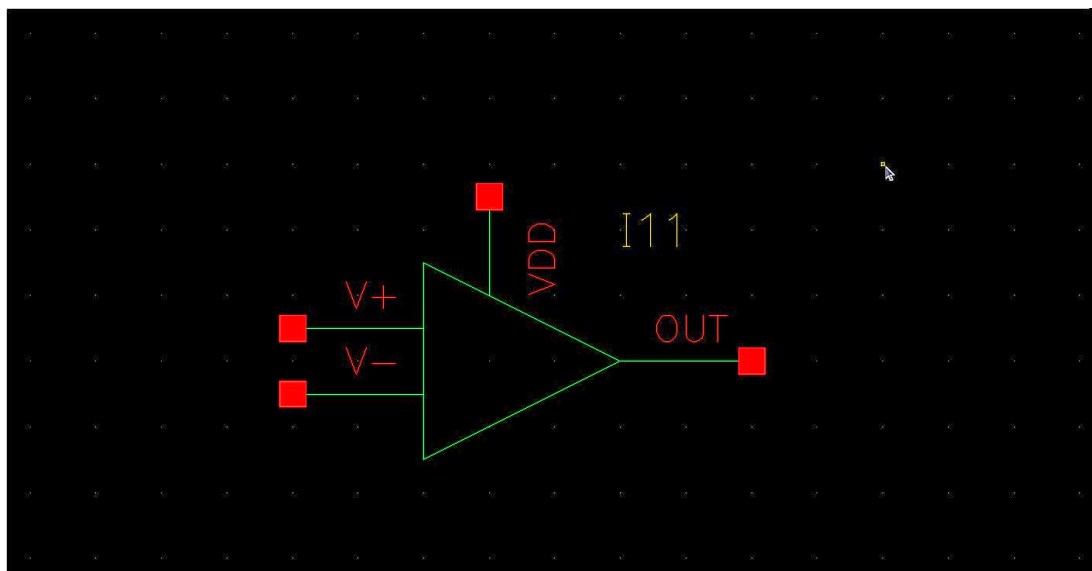
a) Kết quả thiết kế mạch

Dựa theo sơ đồ mạch Two-stage Op-amp ở chương trước, nhóm sinh viên tiến hành thiết kế trên phần mềm Cadence. Với $I_{dc} = 20\mu A$, chọn điện áp Power Supply Voltage là 1.25V và các thông số của tất cả các CMOS có trong mạch. Hình 4.4 sau đây là sơ đồ thiết kế mạch Two-stage Op-amp trên phần mềm Cadence.



Hình 4.4: Schematic mạch Op-amp so sánh

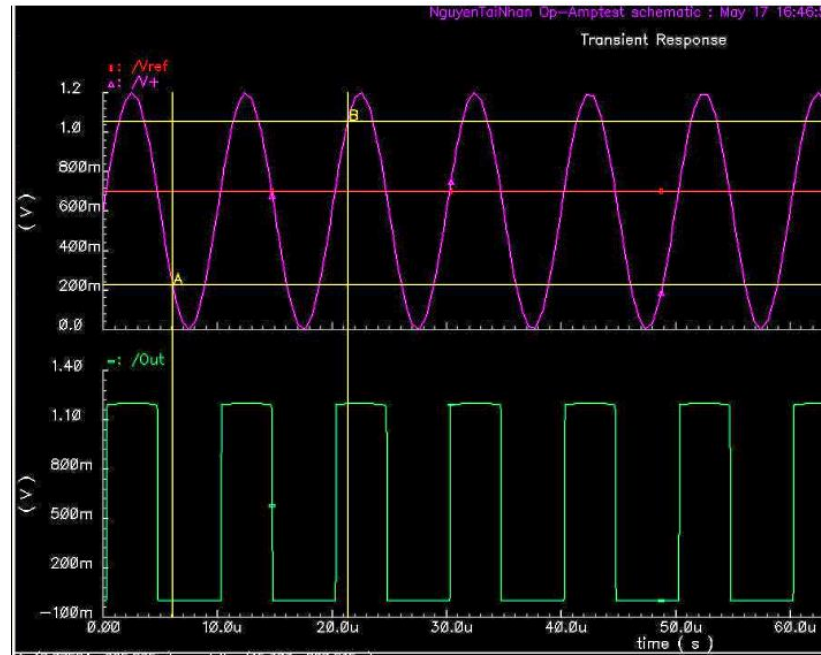
Và hình 4.5 dưới đây là kết quả hình mạch đã đóng gói



Hình 4.5: Mạch so sánh đã đóng gói

b) Kết quả dạng sóng ngõ ra

Nhóm sinh viên tiến hành mô phỏng mạch so sánh với tín hiệu ngõ vào hình sin với biên độ 1.2V, tần số 100kHz, ngõ vào V_{dac} cố định 700mV. Hình 4.6 sau đây cho thấy kết quả mô phỏng mạch Two-stage Op-amp trên phần mềm Cadence.



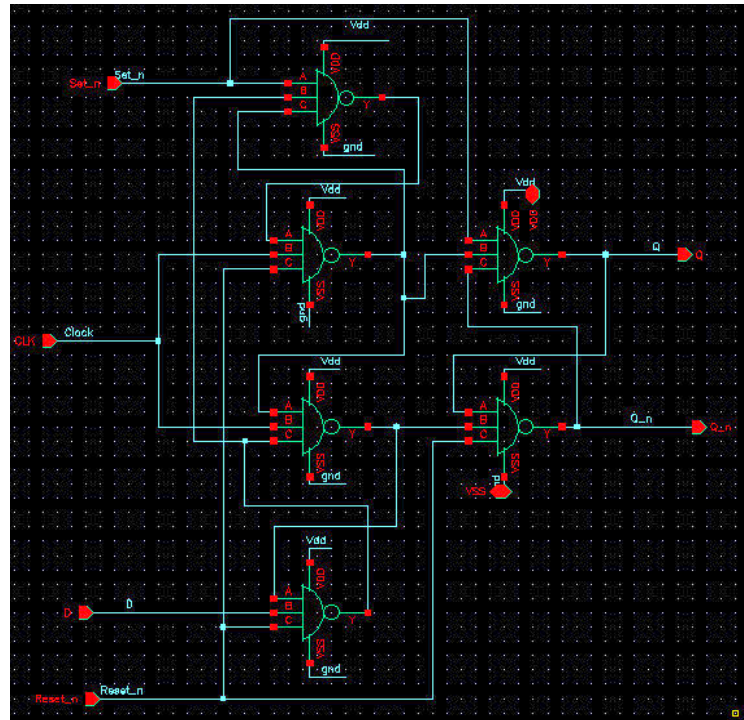
Hình 4.6: Kết quả mô phỏng mạch Two-stage Op-amp

Với giá trị V_{ref} cố định và V_{in+} là tín hiệu sin thay đổi theo thời gian, khi V_{in+} lớn hơn V_{ref} , giá trị V_{out} ở mức “1” (điểm B) và ngược lại, khi V_{in+} nhỏ hơn V_{ref} , tín hiệu ngõ ra V_{out} luôn ở mức “0” (điểm A). Kết quả mô phỏng được là hoàn toàn đúng và chính xác với các trường hợp còn lại.

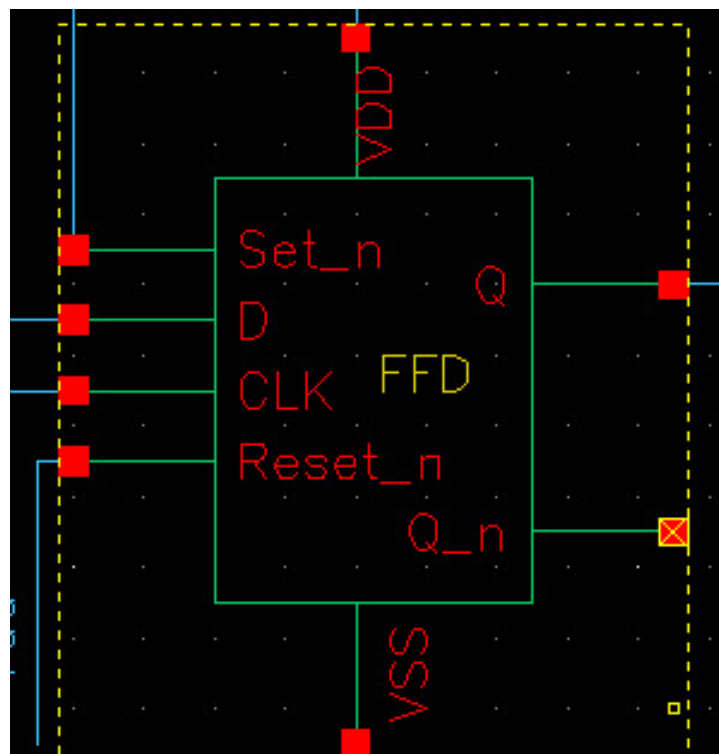
4.2.3 Khối Control Logic

a) Flip Flop D

Dựa vào sơ đồ nguyên lý ở chương trước, nhóm sinh viên đã thiết kế được Flip Flop D hoạt động đúng như bảng trạng thái. Hình 4.7 và hình 4.8 dưới đây lần lượt là sơ đồ mạch Flip Flop D và sơ đồ Flip Flop D đã đóng gói thực hiện trên phần mềm Cadence.



Hình 4.7: Thiết kế mạch Flip Flop D

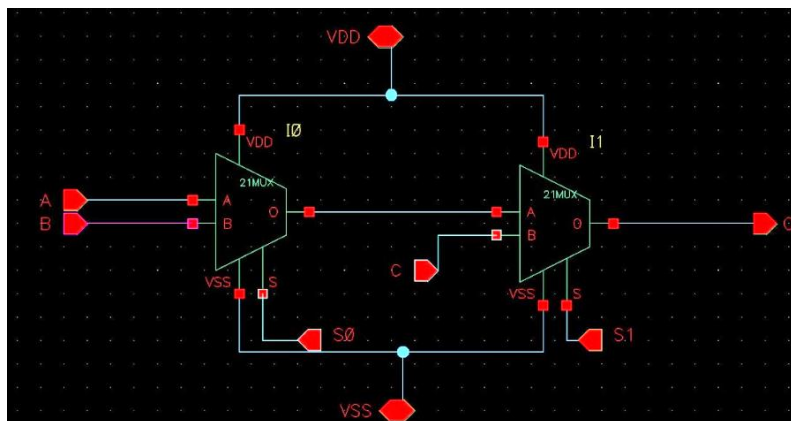


Hình 4.8: Flip Flop D đã đóng gói

b) Khối Control Logic

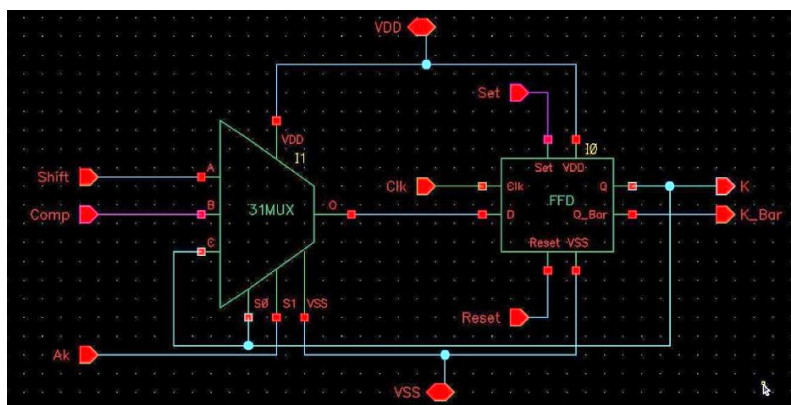
Sơ đồ mạch Control Logic

Khối FF là một khối quan trọng trong kiến trúc Control Logic. Mỗi khối có 3 chức năng: Lưu, dịch dữ liệu và lấy dữ liệu từ bộ so sánh. Do vậy, kiến trúc MUX3-1 được ứng dụng trong khối FF. Dựa vào bảng trạng thái hoạt động ở chương trước, hình 4.9 sau đây là sơ đồ thiết kế mạch MUX 3-1 thực hiện trên phần mềm Cadence.



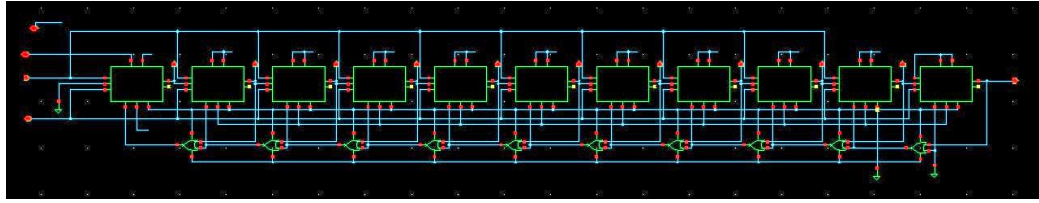
Hình 4.9: Sơ đồ thiết kế mạch MUX 3-1

Từ đây, nhóm sinh viên tiến hành thiết kế khối FF bằng cách ghép nối các Flip Flop D và các mạch MUX 3-1 tương ứng. Hình 4.10 dưới đây là sơ đồ thiết kế khối FF trên phần mềm Cadence.



Hình 4.10: Sơ đồ thiết kế khối FF

Tiếp đến, nhóm sinh viên tiến hành ghép nối các khối FF cùng với các cổng OR để tạo ra khối Control logic hoàn chỉnh. Kiến trúc này dùng ít Flip Flop hơn và có sự hỗ trợ từ các cổng OR. Hình 4.11 dưới đây là sơ đồ thiết kế khối Control logic được thực hiện trên phần mềm Cadence.



Hình 4.11: Sơ đồ thiết kế khối Control logic

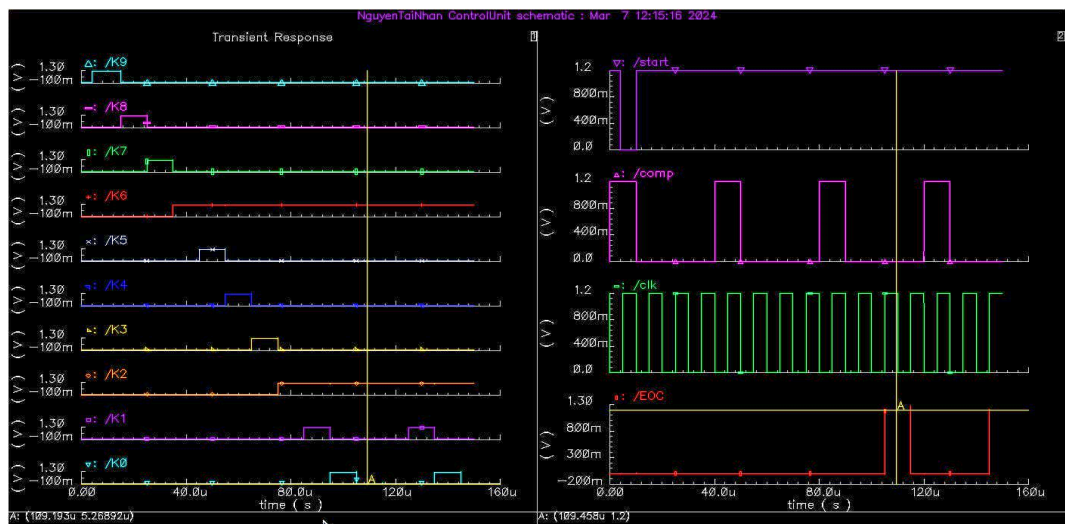
Và sau cùng, nhóm sinh viên tiến hành đóng gói để ghép nối vào hệ thống SAR ADC 10 bit với kết quả thu được như hình 4.12 dưới đây.



Hình 4.12: Control Logic đã đóng gói

c) Kết quả dạng sóng ngõ ra Control Logic

Nhóm sinh viên tiến hành mô phỏng và kiểm tra hoạt động của hệ thống với các ngõ vào giả định của bộ Op-amp và tín hiệu reset, chu kỳ clock có chu kỳ là 10u với duty cycles là 50%. Hình 4.13 dưới đây là kết quả mô phỏng dạng sóng Control Logic.



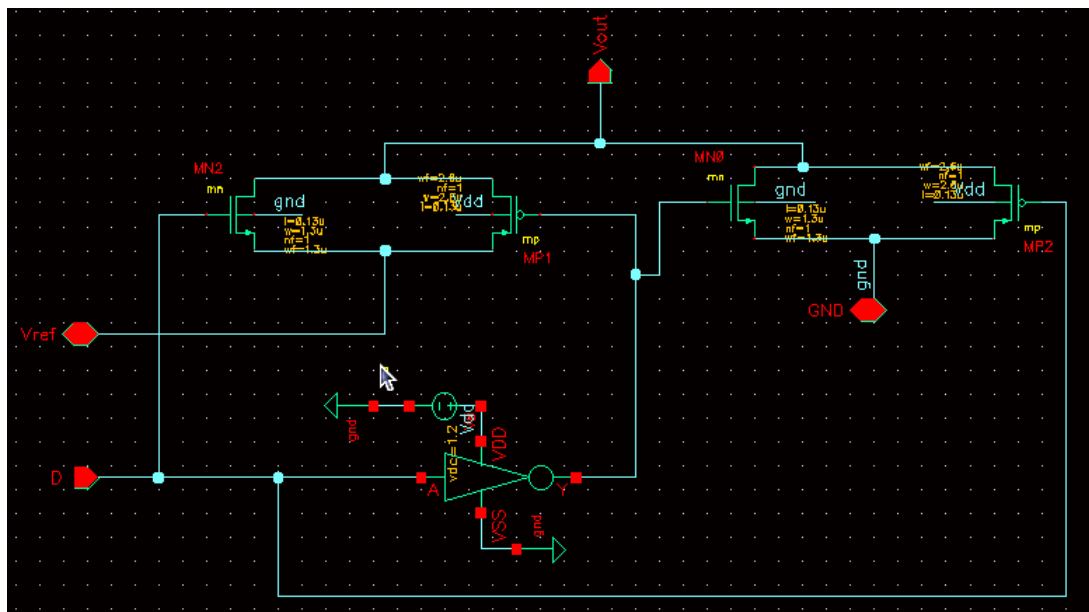
Hình 4.13: Kết quả mô phỏng dạng sóng Control Logic

Có thể thấy khi có tín hiệu Reset, quá trình chuyển đổi sẽ diễn ra và các bit sẽ lần lượt được set lên bit “1” từ Y9 đến Y0 và hệ thống sẽ quyết định có lưu bit “1” đó trong suốt thời gian chuyển đổi còn lại hay không đều dựa vào ngõ vào của bộ so sánh. Quá trình chuyển đổi mất 11 xung chu kỳ clock. Cuối quá trình chuyển đổi, EOC bật lên báo hiệu việc chuyển đổi hoàn tất.

4.2.4 Khối DAC

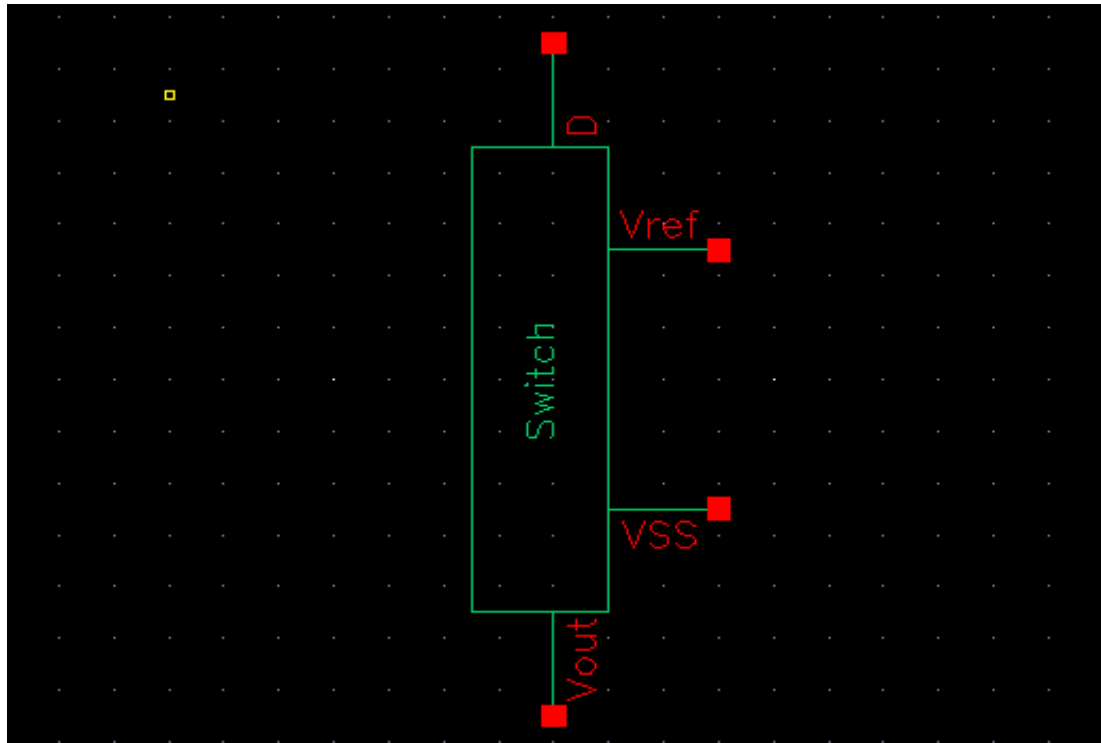
a) Kết quả thiết kế mạch

Từ sơ đồ nguyên lý của Switch đã được đề cập ở chương 3, nhóm sinh viên đã thực hiện thiết kế trên phần mềm Cadence. Switch gồm một ngõ ra Vout, ngõ vào D nhận tín hiệu số từ một ngõ ra của khối Control-Logic và quyết định giá trị Gnd hay Vref là giá trị xuất ra ở Vout dựa vào ngõ vào D. Nhóm sinh viên chọn giá trị $V_{ref} = 1.2V$ để có sự tương xứng với giá trị V_{in} của ngõ vào hệ thống, tăng tính đúng đắn cho quá trình chuyển đổi DAC. Hình 4.14 sau đây là sơ đồ nguyên lý của mỗi Switch mà nhóm sinh viên thiết kế.



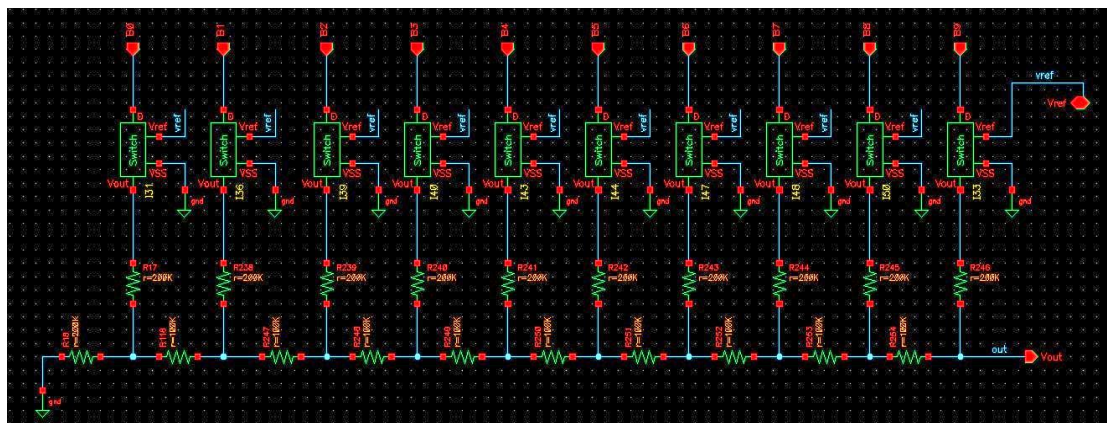
Hình 4.14: Sơ đồ thiết kế mạch Switch DAC

Hình 4.15 dưới đây là Switch đã đóng gói để sử dụng cho bộ chuyển đổi DAC



Hình 4.15: Switch DAC đã đóng gói

Nhóm sinh viên đã tiến hành thiết kế bộ chuyển đổi DAC theo kiến trúc R-2R trên phần mềm Cadence với giá trị tụ điện điện trở $R = 1k \text{ Ohm}$ như hình 4.16 dưới đây. R -2R DAC có 10 ngõ vào nhận tín hiệu từ khối Control Logic và chuyển đổi dãy tín hiệu số nhận được thành tín hiệu tương tự và xuất ra ở đầu ra Vout.



Hình 4.16: Sơ đồ thiết kế R-2R DAC 10 bit

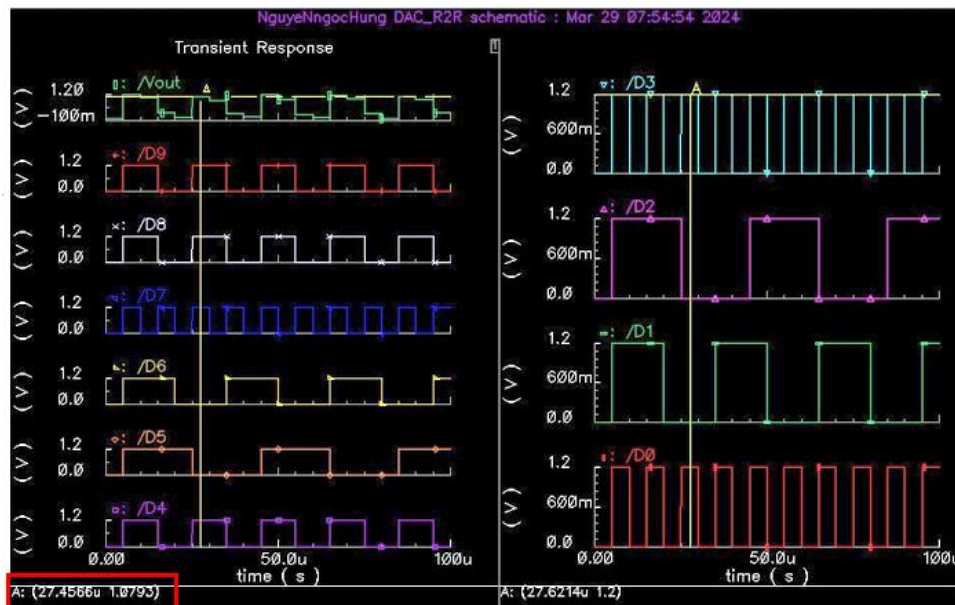
Sau đây là hình 4.17 với ký hiệu khối R -2R DAC 10-bit đã đóng gói để sử dụng cho hệ thống SAR ADC 10 bit.



Hình 4.17: Mạch R-2R DAC khi đã được đóng gói

b) Kết quả dạng sóng đầu ra của mạch R-2R DAC

Nhóm sinh viên cho các tín hiệu số ngõ vào với mức “1” tương ứng 1.2V và mức “0” tương ứng 0V với các chu kỳ ngẫu nhiên. Hình 4.18 dưới đây là kết quả dạng sóng của mạch R-2R DAC.



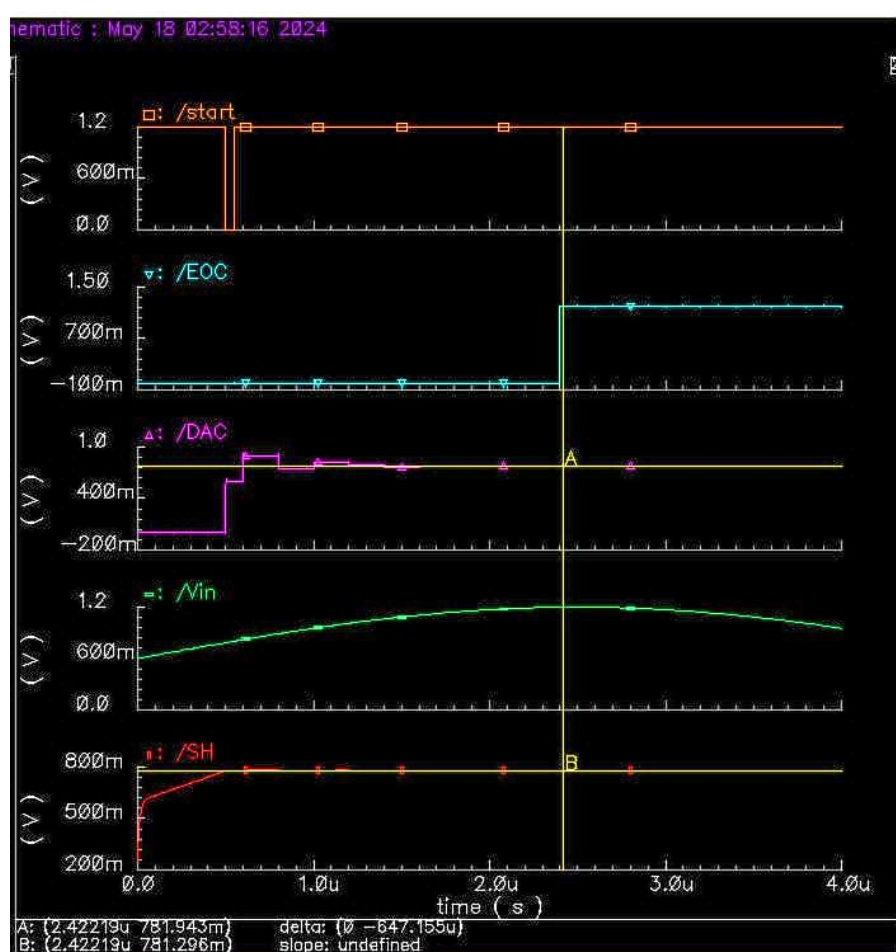
Hình 4.18: Kết quả dạng sóng ngõ ra của mạch R-2R DAC

Có thể thấy trong khoảng thời gian từ 25us đến 30us, đầu vào có giá trị là 1110011001. Áp dụng công thức ở chương 3 để tính toán lý thuyết, $V_{out} = 1.079$ V. Giá trị tính toán này hoàn toàn đúng với kết quả mô phỏng. Nhóm sinh viên đã tiến hành tính toán lý thuyết và so sánh với các khoảng thời gian khác nhau của dạng sóng và kết quả là hoàn toàn đúng và chính xác.

4.3 KẾT QUẢ DẠNG SÓNG, CÔNG SUẤT VÀ DELAY CỦA HỆ THỐNG SAR ADC 10 BIT.

4.3.1 Kết quả dạng sóng ngõ ra

Nhóm sinh viên tiến hành mô phỏng dạng sóng ngõ ra của hệ thống SAR ADC 10-bit với dạng sóng đầu vào hình sin, có tần số 100kHz và chu kỳ xung clock lấy mẫu là 4.5us và có duty cycles là 11.1%. Nguồn xung clock đưa vào khối Control Logic là 5MHz trong khoảng thời gian 12us. Đầu tiên, nhóm sinh viên kiểm tra kết quả từ khoảng 0.5us đến 2.4us. Hình 4.19 dưới đây là kết quả dạng sóng mô phỏng.

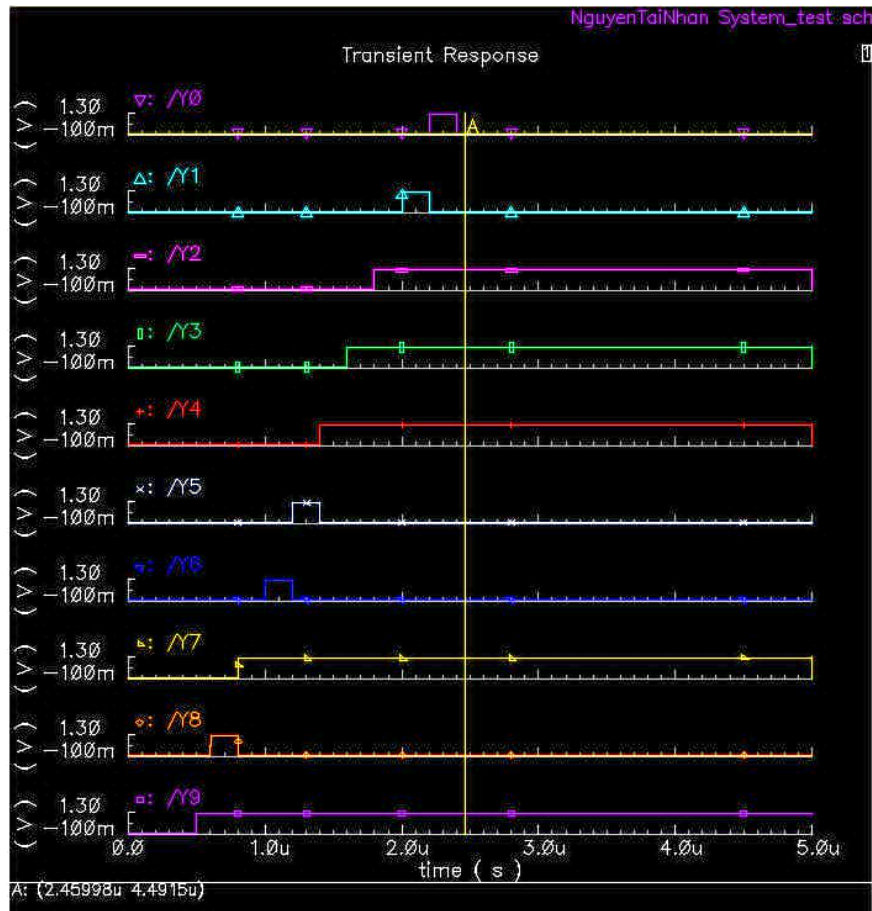


Hình 4.19: Kết quả dạng sóng ngõ ra hệ thống SAR ADC 10-bit từ 0.5us-2.4us

(a)

Có thể thấy khi có xung START tích cực mức thấp, quá trình chuyển đổi ADC đầu tiên bắt đầu diễn ra tại 0.5us và kết thúc tại 2.4us. Tại điểm B, giá trị cần chuyển đổi mà mạch lấy mẫu và giữ lưu lại trong suốt quá trình chuyển đổi là 781.296mV và cũng tại thời điểm kết thúc quá trình chuyển đổi, giá trị của bộ DAC

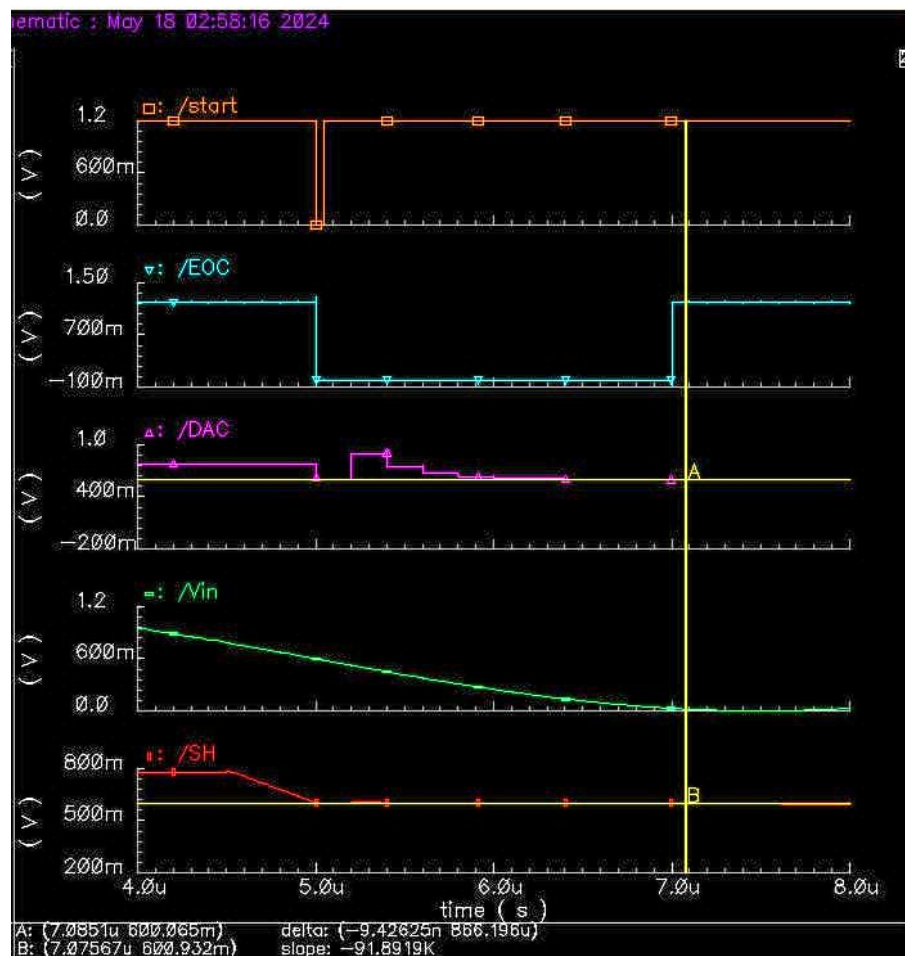
là 781.943mV (điểm A). Tiếp tục kiểm tra dạng sóng ngõ ra ở thời điểm kết thúc quá trình chuyển đổi (2.4us) ở hình 4.20.



Hình 4.20: Kết quả dạng sóng ngõ ra hệ thống SAR ADC 10-bit từ 0.5us-2.4us (b)

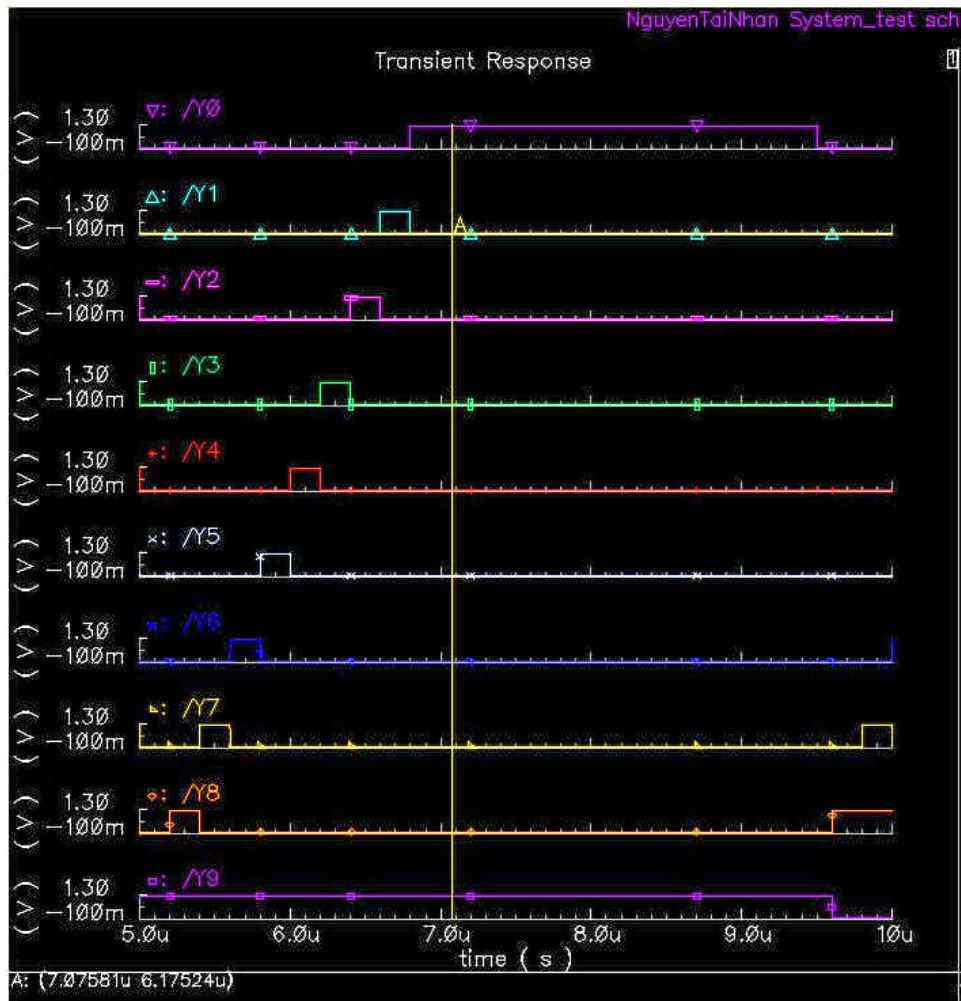
Tại 2.4us, kết quả tín hiệu số ở ngõ ra là 1010011100. Áp dụng công thức (3.12) đã được trình bày ở chương trước, giá trị nhị phân trên đổi thành tín hiệu tương tự với điện áp tham chiếu là 1.2V sẽ là 783mV. Giá trị này lệch so với giá trị đầu vào V_{in} là 2mV.

Nhóm sinh viên tiếp tục kiểm tra với khoảng thời gian từ 5us đến 7us và thu được kết quả như hình 4.21 dưới đây.



Hình 4.21: Kết quả dạng sóng ngõ ra hệ thống SAR ADC 10-bit từ 5us-7us (a)

Tại điểm B, giá trị cần chuyển đổi V_{in} mà mạch lấy mẫu và giữ lưu lại trong suốt quá trình chuyển đổi là 600.932 mV và cũng tại thời điểm kết thúc quá trình chuyển đổi, giá trị của bộ DAC là 600.065mV (điểm A). Tiếp tục kiểm tra dạng sóng ngõ ra ở thời điểm kết thúc quá trình chuyển đổi (7us) ở hình 4.22.

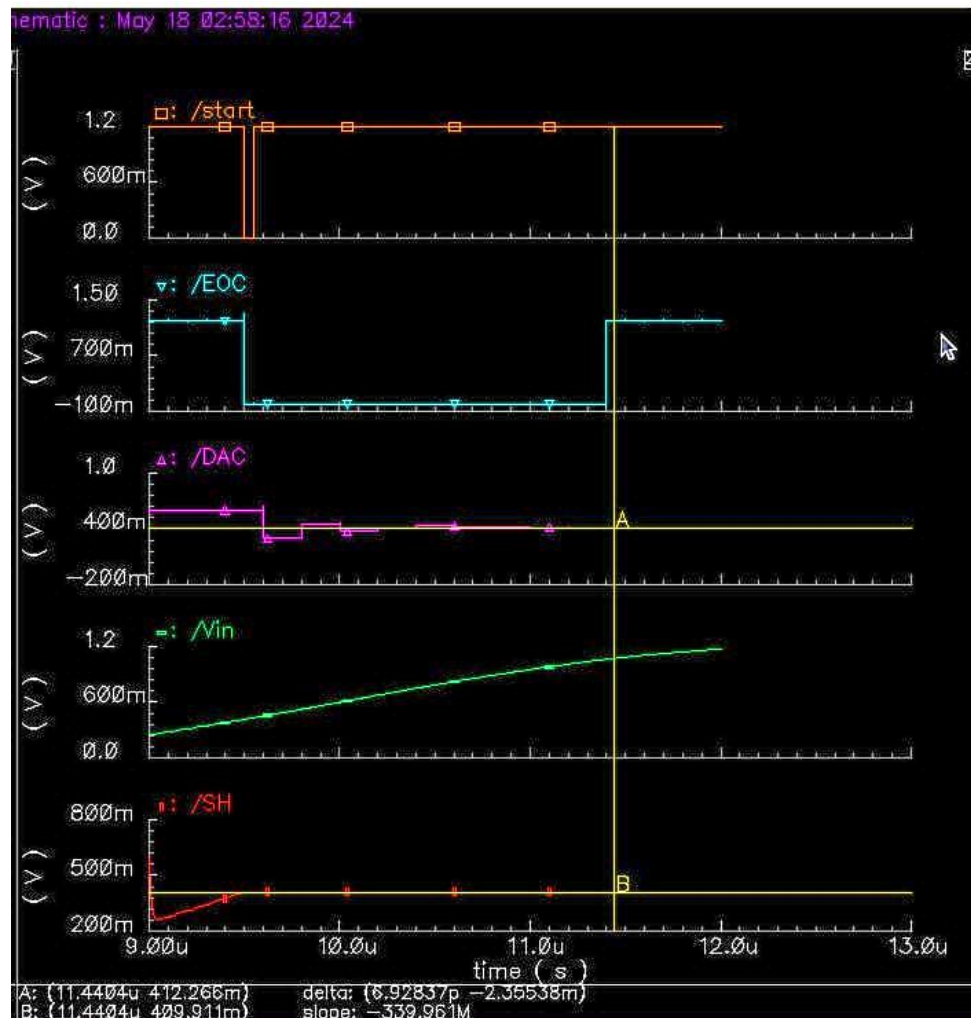


Hình 4.22: Kết quả dạng sóng ngõ ra hệ thống SAR ADC 10-bit từ 5us-7us

(b)

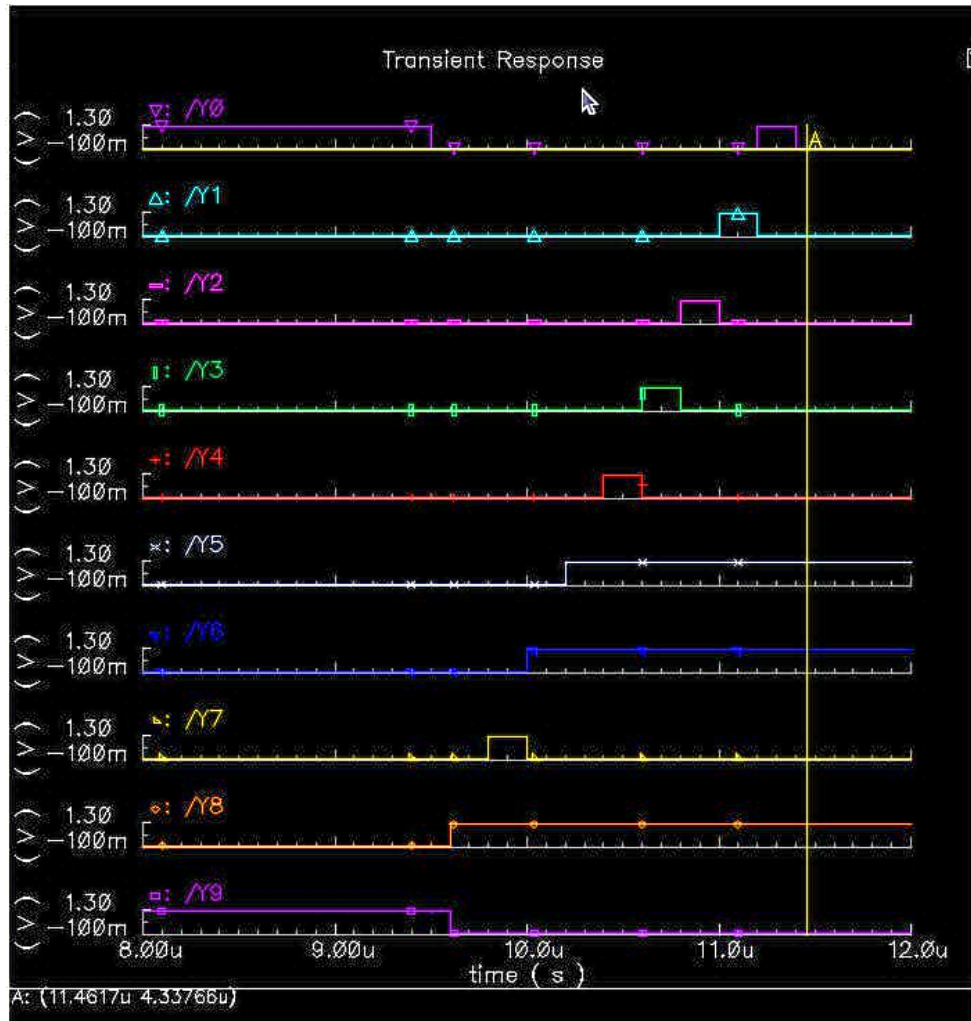
Tại 7us, kết quả tín hiệu số ở ngõ ra là 1000000001. Áp dụng công thức (3.12) đã được trình bày ở chương trước, giá trị nhị phân trên đổi thành tín hiệu tương tự với điện áp tham chiếu là 1.2V sẽ là 601mV. Giá trị này lệch so với giá trị đầu vào Vin là 1mV.

Nhóm sinh viên tiếp tục kiểm tra với khoảng thời gian từ 9.5us đến 11.4us và thu được kết quả như hình 4.23 dưới đây.



Hình 4.23: Kết quả dạng sóng ngõ ra hệ thống SAR ADC 10-bit từ 9.5us - 11.4us(a)

Tại điểm B, giá trị cần chuyển đổi V_{in} mà mạch lấy mẫu và giữ lưu lại trong suốt quá trình chuyển đổi là 409.011 mV và cũng tại thời điểm kết thúc quá trình chuyển đổi, giá trị của bộ DAC là 412.266mV (điểm A). Tiếp tục kiểm tra dạng sóng ngõ ra ở thời điểm kết thúc quá trình chuyển đổi (11.4us) ở hình 4.24.



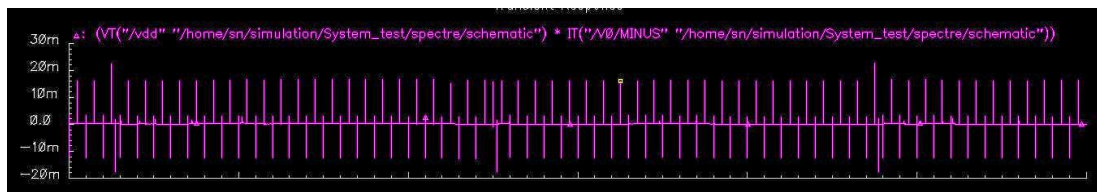
Hình 4.24: Kết quả dạng sóng ngõ ra hệ thống SAR ADC 10-bit từ 9.5us-11.4us (b)

Tại 11.4us, kết quả tín hiệu số ở ngõ ra là 0101100000. Áp dụng công thức (3.12) đã được trình bày ở chương trước, giá trị nhị phân trên đổi thành tín hiệu tương tự với điện áp tham chiếu là 1.2V sẽ là 412.5mV. Giá trị này lệch so với giá trị đầu vào V_{in} là 2mV.

Nhóm sinh viên đã tiếp tục mô phỏng ở các khoảng thời gian khác nhau và nhận thấy kết quả chuyển đổi có độ lệch chỉ từ 1mV đến 2mV, hệ thống chạy ổn định ở các khoảng thời gian khác nhau. Như vậy, hệ thống SAR ADC 10 bit trên nhóm sinh viên đã thiết kế là đúng và chính xác về chức năng hoạt động.

4.3.2 Kết quả tính công suất động, phân tích các yếu tố ảnh hưởng đến công suất của mạch và đưa ra giải pháp cho hệ thống SAR ADC 10 bit

Cuối cùng, nhóm sinh viên tiến hành tính toán công suất tiêu thụ của hệ thống trên phần mềm Cadence. Giá trị công suất động ở mỗi thời điểm là khác nhau tùy vào hoạt động của mạch. Phần mềm Cadence đã vẽ ra dạng sóng công suất động với khoảng thời gian từ 0us đến 12us. Hình 4.25 sau đây là dạng sóng công suất động của hệ thống SAR ADC 10 bit.



Hình 4.25: Dạng sóng công suất động của SAR ADC từ 0us đến 12us

Từ đó, áp dụng công thức (2.7), phần mềm Cadence đã thực hiện tính toán và tính được giá trị công suất động trung bình trong khoảng thời gian từ 0us đến 12us là 145.1uW. Hình 4.26 dưới đây là kết quả tính công suất động trung bình của hệ thống SAR ADC 10 bit và bảng giá trị công suất của các khối con.

$$\text{average}(\text{wavew439s1i3}()) = 145.1\mu$$

Hình 4.26: Kết quả công suất động trung bình của hệ thống SAR ADC 10-bit từ 0us đến 12us

Giá trị tính toán được ở mục trên là giá trị công suất động của toàn bộ hệ thống SAR ADC 10 bit. Công suất động của hệ thống chủ yếu phụ thuộc vào công suất chuyển mạch. Công suất chuyển mạch phụ thuộc vào điện dung hiệu dụng của tất cả các transistor trong mạch. Một transistor có rất nhiều điện dung ký sinh như điện dung cực cổng, điện dung khuếch tán, điện dung ở dây nối ngõ ra. Tất cả giá trị điện dung này đều góp phần vào sự tiêu tán công suất và làm mạch tốn nhiều công suất hơn khi hoạt động. Ngoài ra, mỗi mạch con của hệ thống SAR ADC đều được cấu tạo từ các cổng logic và độ trễ của các cổng này là hoàn toàn không giống

nhau do mật độ transistor trong mỗi cổng, điện dung ký sinh ở ngõ ra, khoảng cách giữa các cổng... Do vậy sẽ có sự chậm trễ trong việc truyền tín hiệu trong một khoảng thời gian và gây ra các glitch là các tín hiệu không mong muốn. Bên cạnh đó, các dây dẫn song song đặt quá gần nhau đã sinh ra các tụ ký sinh giữa 2 dây gây ra hiện tượng Crosstalk và có thể làm tăng số lượng glitch. Các tín hiệu không mong muốn này là một trong những nguyên nhân chính làm tiêu tốn công suất của mạch khi hoạt động. Cuối cùng, điện áp cung cấp (V_{dd}) đóng vai trò quan trọng trong sự tiêu tán và làm tăng công suất động của mạch, bởi vì các khối trong hệ thống SAR ADC mà nhóm sinh viên thiết kế vẫn nhận điện áp cung cấp V_{dd} mặc dù chưa có tín hiệu START.

Dựa vào các nguyên nhân trên, công suất động có thể được tối ưu bằng cách giảm công suất chuyển mạch. Một trong các kỹ thuật phổ biến là Clock gating cell có kiến trúc là một bộ Latch SR và một cổng AND, kỹ thuật này có thể được áp dụng vào hệ thống SAR ADC để không cho xung clock đưa vào mạch khi không có tín hiệu START. Bên cạnh đó, kỹ thuật Power gating cell cũng là một phương án phổ biến giúp tắt nguồn cung cấp V_{dd} cho các khối khi mạch không hoạt động (chưa có xung clock) giúp giảm đáng kể công suất tiêu thụ của hệ thống. Cuối cùng, thiết kế và route tuân thủ theo quy tắc DRC sẽ hạn chế được tụ ký sinh trên giữa 2 đường dây và giảm được hiện tượng Crosstalk và giảm được Glitch trong mạch.

4.4 ĐÁNH GIÁ HỆ THỐNG

Mạch chạy đúng chức năng trong khoảng điện áp ngõ vào có giá trị từ 0.4V đến 1.2V và cho ra kết quả có độ lệch 1mV-2mV so với V_{in} với các giá trị điện áp ngõ vào V_{in} lớn hơn hoặc bằng 0.4V (là mức điện áp tối thiểu và là thông số đặt ra ban đầu của bộ so sánh trong hệ thống SAR AC 10 bit). Độ lệch này không phải do các thành phần bên trong mà là do cơ chế của hệ thống hoạt động bằng cách chia giá trị V_{ref} thành các khoảng điện áp. Mạch có công suất động khi hoạt động ở ngưỡng trung bình và có thể được tối ưu hơn nếu áp dụng các kỹ thuật như Clock gating cell, hoặc Power gating cell.

CHƯƠNG 5

KẾT LUẬN VÀ HƯỚNG PHÁT TRIỂN

Ở chương này, nhóm sinh viên sẽ kết luận tổng kết lại các vấn đề đã giải quyết được của đề tài “Thiết kế và đánh giá hệ thống SAR ADC 10-bit thực hiện trên phần mềm Cadence”, đồng thời đề ra các hướng phát triển xa hơn cho đề tài.

5.1 KẾT LUẬN

Sau khi thực hiện hoàn thành hệ thống SAR ADC 10 bit, nhóm sinh viên đã hoàn hành mục tiêu đề ra là thiết kế được hệ thống SAR ADC 10 bit sử dụng công nghệ 130nm hoạt động đúng chức năng và cho ra kết quả chính xác sau khi mô phỏng kết quả với các khoảng thời gian khác nhau.

Ngoài ra, nhóm sinh viên đã tiến hành đo đạc, lý giải và đánh giá về yếu tố công suất tiêu thụ, phân tích các nguyên nhân ảnh hưởng và đưa ra được các giải pháp khắc phục trong thực tế.

Cuối cùng, nhóm sinh viên đã hiểu được nguyên lý hoạt động của hệ thống SAR ADC 10 bit, các mạch con trong hệ thống như mạch so sánh Op-amp, mạch lấy mẫu và giữ, nguyên lý hoạt động của các khối Control Logic, mạch DAC với kiến trúc R-2R, đồng thời biết cách thiết kế, thi công tất cả các mạch con. Từ đó, nhóm sinh viên đã hoàn thành đầy đủ tất cả mục tiêu đặt ra ban đầu.

5.2 HƯỚNG PHÁT TRIỂN

Bởi vì thời gian có hạn nên có rất nhiều khía cạnh về công suất như công suất dòng rò, công suất động và hiệu suất tổng thể của mạch vẫn chưa được đánh giá chính xác. Vì vậy, nếu có cơ hội trong tương lai, nhóm sinh viên sẽ tìm cách tối ưu và nâng cao hiệu suất của hệ thống và giảm công suất tiêu thụ cũng như thời gian chuyển đổi của mạch bằng cách tìm hiểu và thực thi mạch với các nút công nghệ nhỏ hơn như 90nm, 45nm,... tìm hiểu các phương pháp hạn chế dòng rò, hoặc nghiên cứu các kiến trúc khác nhau của các Flip Flop D, bộ so sánh, mạch

lấy mẫu và giữ với độ phân giải của hệ thống lớn hơn và tiến hành vẽ Layout của hệ thống.

Ngoài ra, hệ thống SAR ADC là hệ thống hoạt động theo chu kỳ xung clock, và cho dù không có tín hiệu START, các cell vẫn nhận được xung clock mặc dù không hoạt động, điều này làm tăng công suất chuyển mạch và sẽ ảnh hưởng rất nhiều đến tổng công suất động. Hiện nay có nhiều phương pháp để có thể khắc phục vấn đề này, một trong số đó là dùng kỹ thuật Clock Gating Cell là kỹ thuật để ngăn không cho xung clock đến các cell khi các cell đó không hoạt động, mục đích là để giảm công suất tiêu thụ cho mạch. Nếu có thêm thời gian, nhóm sinh viên sẽ nghiên cứu kỹ thuật đó và áp dụng vào hệ thống SAR ADC.

TÀI LIỆU THAM KHẢO

- [1] Hội Truyền Thông Số Việt Nam, "Việt Nam có thể trở thành cường quốc sản xuất chip trong thập kỷ tới?," *Tạp chí điện tử VietTimes*, 2023.
- [2] D. S. S. Amrik Singh, Evolution of CMOS Technology, IJERT, 2016.
- [3] Neil H. E. Weste - David Money Harris, CMOS VLSI Design A Circuits and Systems Perspective, Pearson Education, 2010.
- [4] Võ Minh Huân, Giáo trình thiết kế mạch tích hợp CMOS, Nhà xuất bản Đại học Quốc gia TP. Hồ Chí Minh,, 2019.
- [5] B. Razavi, Design of Analog CMOS, McGraw-Hill Education, 2015.
- [6] Nguyễn Việt Hùng - Nguyễn Ngô Lâm - Nguyễn Văn Phúc - Đặng Phước Hải Trang, Giáo trình kỹ thuật truyền số liệu, Nhà xuất bản Đại học Quốc Gia TP Hồ Chí Minh, 2013.
- [7] Siyu Tan, High-Speed Analog-to-Digital, Lund University, 2020.
- [8] Nguyễn Trường Duy - Võ Đức Dũng - Nguyễn Thanh Hải - Nguyễn Duy Thảo, Giáo trình kỹ thuật số, Nhà xuất bản Đại học Quốc Gia TP Hồ Chí Minh, 2019.
- [9] Dante Gabriel Muratore, A Study of Successive - Approximation Register - ADC Architectures, University of Pavia, 2017.
- [10] Imran Ahmed, Pipelined ADC Design and Enhancement Techniques, Springer Heidelberg Dordrecht LonDon NewYork, 2010.
- [11] Michael Lee Thompson, Design of a Sigma-Delta ADC in 65nm CMOS Process, University of Arkansas, 2023.
- [12] Zhang Fan, Design of High Performance Continuous Time Sigma Delta ADC, School of Electrical and Electronic Engineering, 2011.

- [13] Chakradhar Adupa - Chaithanya Mannepalli - K.Shashidhar - Srineevasa Rao Ijjada, Design of a High Speed and Low Power Sample and Hold Circuit for 16 Bit ADC, IJITEE, 2019.
- [14] Erik Säll, Design of a Low Power, High Performance Track-and-Hold Circuit in a 0.18 μ m CMOS Technology, LiTH-ISY-EX-3248-2002, 2002.
- [15] Pavan Ashokrao Kale - Pranav Kulkarni, Improved Sample and Hold Circuit using MOSFET, IJERT, 2014.
- [16] L. McCreary and P. R. Gray, All-MOS Charge Redistribution Analog to-Digital Conversion Techniques-Part I, IEEE Journal of Solid-State Circuits, 1975.
- [17] Dimitar P. Dimitrov, R-2R Digital-to-Analog Converter: Analysis and Practical Design Considerations, Bulgaria, 2006.
- [18] T.O. Anderson, Optimum Control Logic for Successive Approximation Analog-to-Digital Converters, Computer Design, 1972.
- [19] Huỳnh Công Tú - Nguyễn Văn Hào - Huỳnh Nguyễn Bảo Phương, "Kỹ thuật ổn định và bù tần số cho thiết kế bộ khuếch đại thuật toán công suất thấp," *Tạp chí khoa học Trường đại học Quy Nhơn*, 2021.