

BÁO CÁO

XÂY DỰNG THƯ VIỆN CELL TIÊU CHUẨN

DỰA TRÊN MEMRISTOR

(MEMRISTOR BASED

STANDARD CELL LIBRARY)

MỤC LỤC

MỤC LỤC	1
1. Memristor	1
1.1. Mô hình VTEAM	1
1.2. Mô hình Meristor-VTEAM trên Cadence Virtuoso	2
1.2.1. Sơ đồ mô phỏng Meristor-VTEAM	2
1.2.1. Thông số Meristor-VTEAM	2
1.2.3. Thông số mô phỏng Meristor-VTEAM	3
1.2.4. Kết quả mô phỏng Meristor-VTEAM	3
2. Triển khai các MemristorBased-CellLibrary	4
2.1. Thông số nguồn xung	4
Bảng . Các biến môi trường:	4
Bảng . Thông số nguồn xung	4
2.2. Cổng đệm đảo (INVERTER BUFFER)	5
Bảng . Thông số CMOS cổng đệm đảo:	5
2.3. Cổng đệm không đảo (BUFFER)	6
Bảng . Thông số CMOS cổng đệm không đảo:	6
2.4. Cổng AND	7
2.5. Cổng NAND	9
2.6. Cổng OR	10
2.7. Cổng NOR	11
2.8. Cổng XOR, XNOR	12
2.9. Cổng chức năng - OAI211	14
2.10. Cổng chức năng - OAI221	15
2.11. Cổng chức năng - OAI222	16
2.12. Mạch cộng toàn phần	17
2.13. D-FF (Active-NegEdge)	18
3. Sử dụng MemristorBased-CellLibrary	21
3.1. Bộ đếm lên 8-bit có điều khiển (start/stop)	21

1. Memristor

Vi điện trở nhớ (memory-resistor hay memristor) là một loại điện trở có khả năng thay đổi điện trở thông qua dòng điện đi qua điện trở đó.

1.1. Mô hình VTEAM

Mô hình VTEAM được phát triển dựa trên TEAM, với các đặc điểm cải tiến và sát với thực tế hơn. Trong mô hình VTEAM, dòng điện được mô tả như sau:

$$i(t) = \frac{v(t)}{R(w(t))}$$

Trong đó i , v , R là dòng điện đi qua memristor, điện áp đặt lên memristor, điện trở của memristor, và $w(t)$ là biến trạng thái nội tại, biểu thị vị trí của ranh giới giữa hai vùng vật liệu có điện trở khác nhau trong memristor. Điện trở của memristor là một hàm phi tuyến được mô tả bên dưới:

$$R(w(t)) = w(t) \cdot R_{on} + (1 - w(t)) \cdot R_{off}$$

Và hàm trạng thái nội tại $w(t)$ được mô tả thông qua đạo hàm của chính nó:

$$\frac{dw(t)}{dt} = \begin{cases} k_{on} \cdot \left(\frac{v(t)}{v_{on}} - 1 \right)^{\alpha_{on}} \cdot f(w(t)), & v(t) > v_{on} \\ 0, & v_{off} \leq v(t) \leq v_{on} \\ k_{off} \cdot \left(\frac{v(t)}{v_{off}} - 1 \right)^{\alpha_{off}} \cdot f(w(t)), & v(t) < v_{off} \end{cases}$$

Trong đó:

- $\frac{dw(t)}{dt}$: Tốc độ thay đổi của biến trạng thái $w(t)$.
- V_{on}, V_{off} : Ngưỡng điện áp để kích hoạt quá trình chuyển đổi trạng thái (SET và RESET).
- k_{on}, k_{off} : Hằng số tỷ lệ điều chỉnh tốc độ thay đổi trạng thái.
- $\alpha_{on}, \alpha_{off}$: Các tham số kiểm soát tính phi tuyến của sự chuyển đổi.
- $f_{on}(w), f_{off}(w)$: Hàm cửa sổ (window functions) giới hạn phạm vi của $w(t)$, đảm bảo $w(t)$ nằm trong khoảng hợp lệ (thường là $[0, 1]$).

Hàm cửa sổ thường được sử dụng để mô phỏng giới hạn vật lý của memristor, ví dụ:

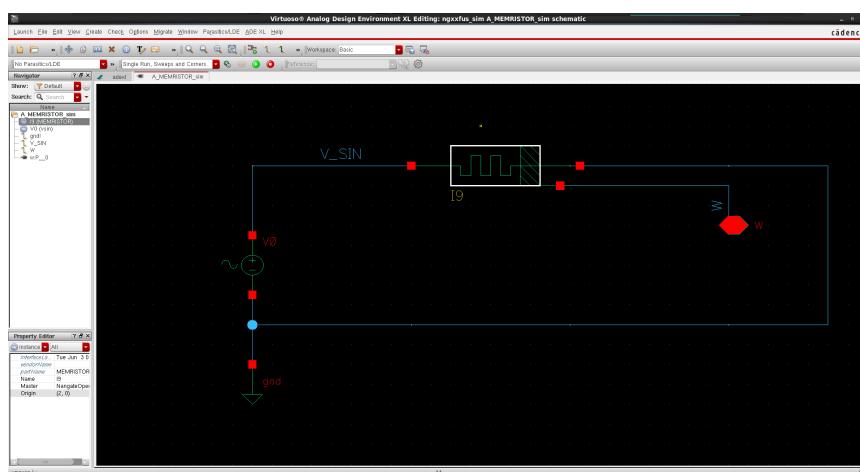
$$f_{on}(w) = 1 - w, \quad f_{off}(w) = w$$

1.2. Mô hình Meristor-VTEAM trên Cadence Virtuoso

Mã nguồn mô hình Memristor¹ được viết bằng VerilogA:

<https://asic2.group/wp-content/uploads/2017/09/memristor-model.txt>

1.2.1. Sơ đồ mô phỏng Meristor-VTEAM



Hình . Sơ đồ mô phỏng Memristor.

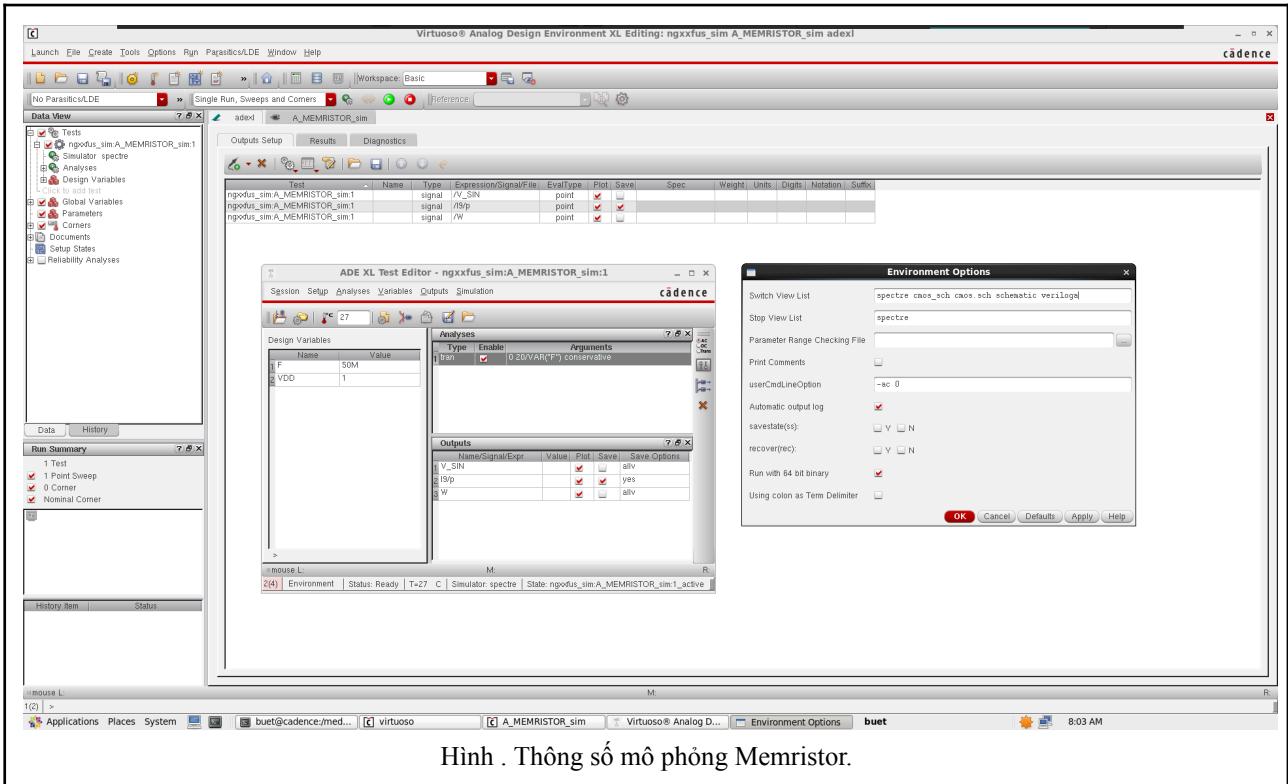
1.2.1. Thông số Meristor-VTEAM



Hình . Thông số Memristor trong Cadence Virtuoso.

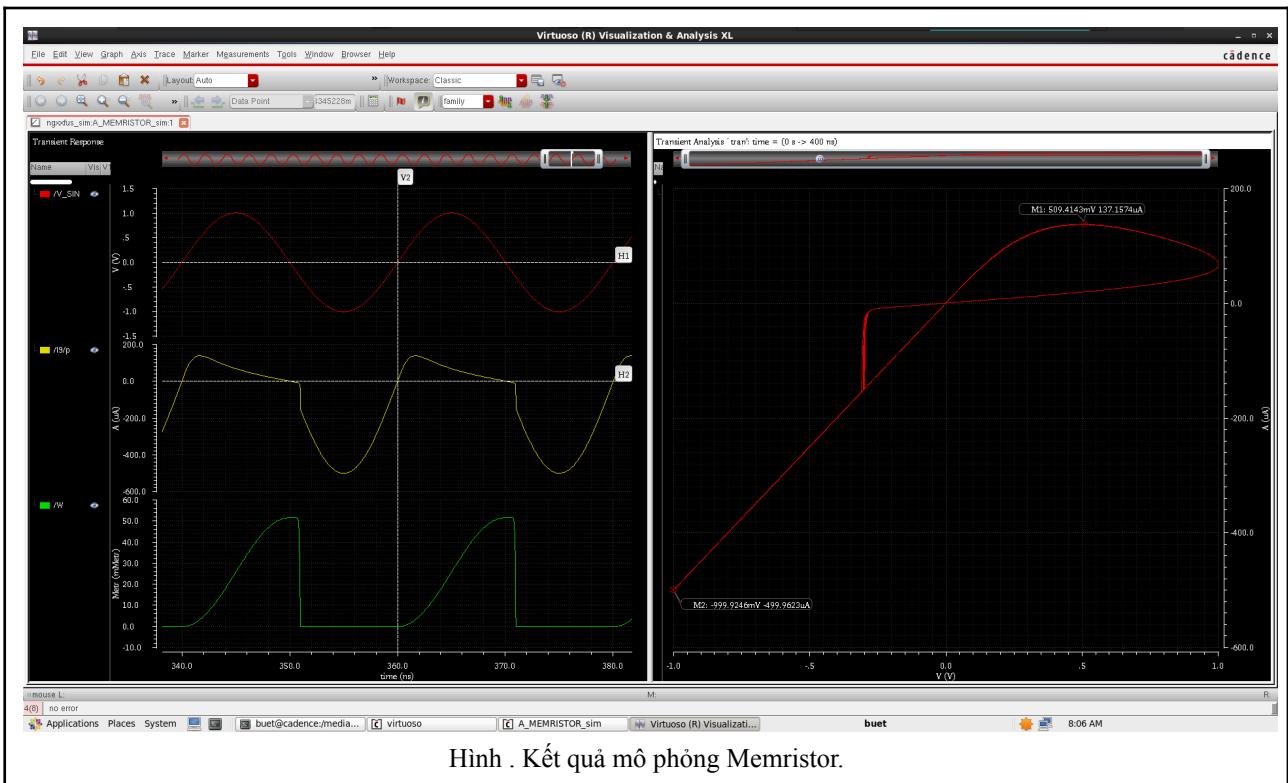
¹ D. Bielek, Z. Bielek, and V. Biolkova, "SPICE model of memristor with nonlinear dopant drift," Memristor Model, Sep. 2017. Đường dẫn: <https://asic2.group/wp-content/uploads/2017/09/memristor-model.txt>

1.2.3. Thông số mô phỏng Meristor-VTEAM



Hình . Thông số mô phỏng Memristor.

1.2.4. Kết quả mô phỏng Meristor-VTEAM



Hình . Kết quả mô phỏng Memristor.

Chú thích:

- + Việc tăng R_{ON} , R_{OFF} để giảm dòng điện qua memristor, để các công logic CMOS có công suất thấp có thể lái (drive) các công logic làm bằng Memristor.

2. Triển khai các MemristorBased-CellLibrary

2.1. Thông số nguồn xung

Các mô phỏng bên dưới được mô phỏng với nguồn xung vuông giống nhau và được miêu tả thông qua hai bảng bên dưới. Hoặc ghi chú trực tiếp trong sơ đồ nguyên lý.

Bảng . Các biến môi trường:

TÊN BIẾN	F	VDD
GIÁ TRỊ	50M	1
GHI CHÚ	Tần số; Đơn vị: Hz.	Điện áp nguồn; Đơn vị: Volt.

Bảng . Thông số nguồn xung

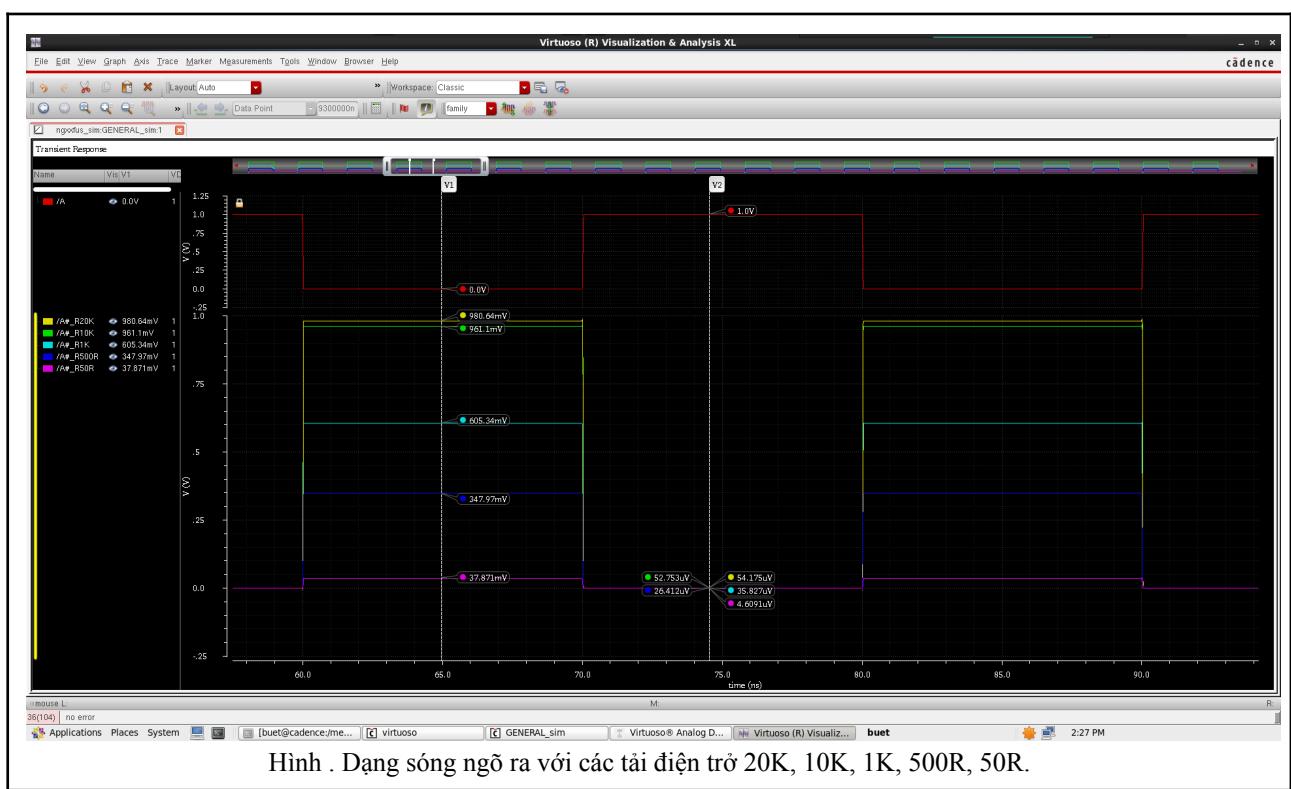
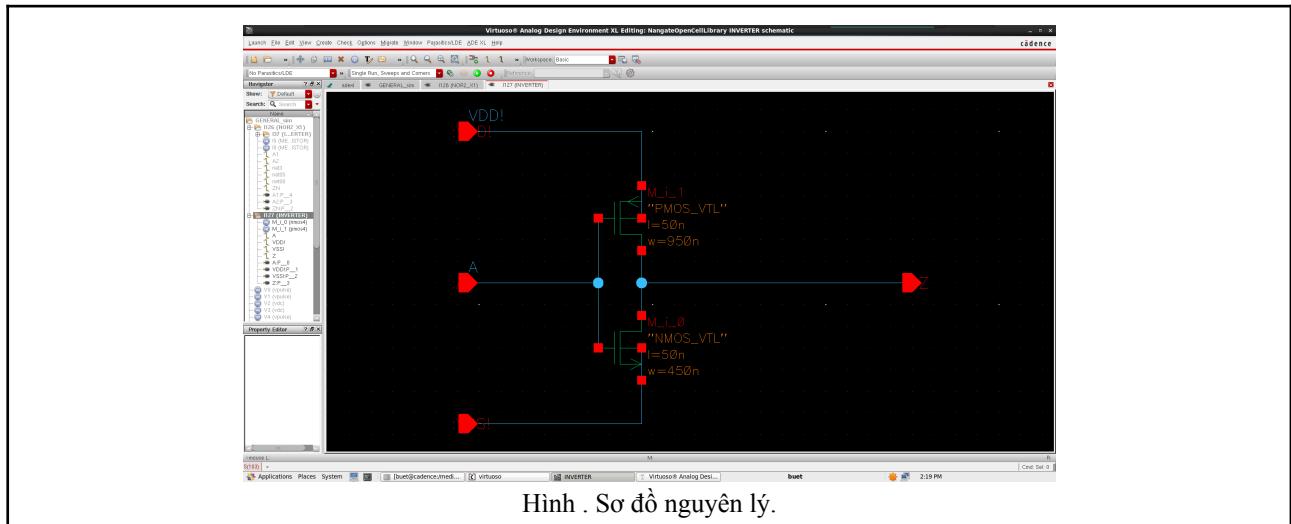
STT - TÊN	CHU KỲ (S)	CẠNH LÊN (S)	CẠNH XUỐNG (S)	T _{HIGH} / T _{LOW}	V _{HIGH} / V _{LOW}
1 - A	1/F	0.0025/F	0.0025/F	50%	1V / 0V
2 - B	2/F	0.0025/F	0.0025/F	50%	1V / 0V
3 - C	3/F	0.0025/F	0.0025/F	50%	1V / 0V
4 - D	5/F	0.0025/F	0.0025/F	50%	1V / 0V
5 - E	7/F	0.0025/F	0.0025/F	50%	1V / 0V
i - name _i	prime _i / F	0.0025/F	0.0025/F	50%	1V / 0V

Trong đó: name_i và prime_i là tên của nguồn thứ i và số nguyên tố thứ i-1 trong dãy số nguyên tố.

2.2. Cổng đệm đảo (INVERTER BUFFER)

Bảng . Thông số CMOS cổng đệm đảo:

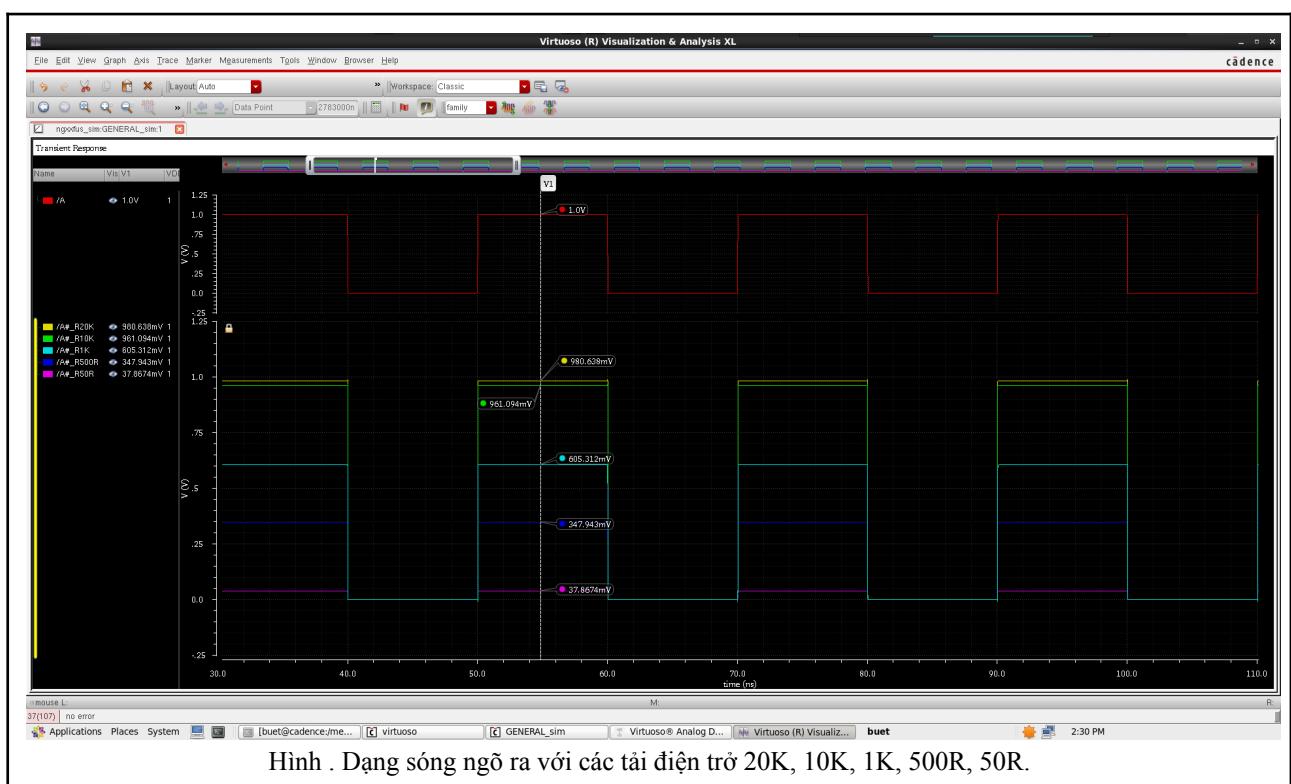
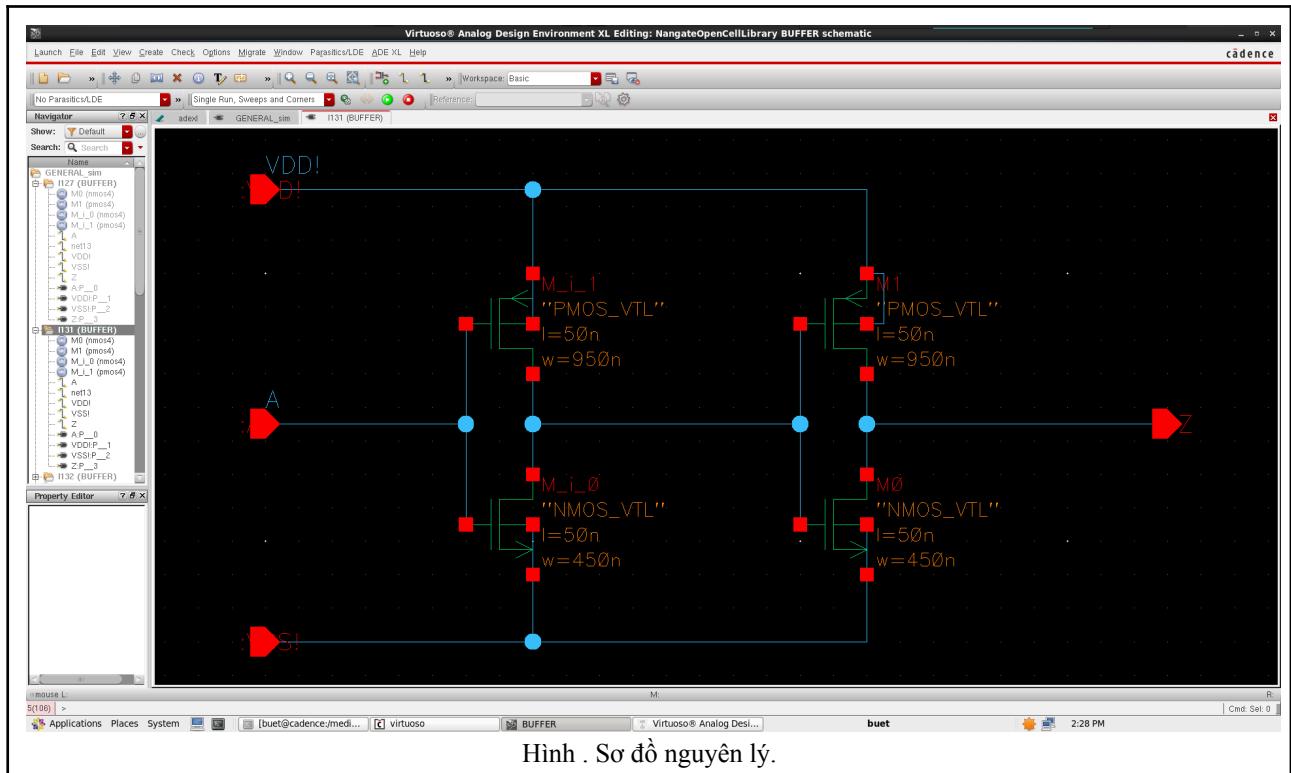
L _p MOS (m)	L _n MOS (m)	W _p MOS (m)	W _n MOS (m)
50n	50n	950n	450n



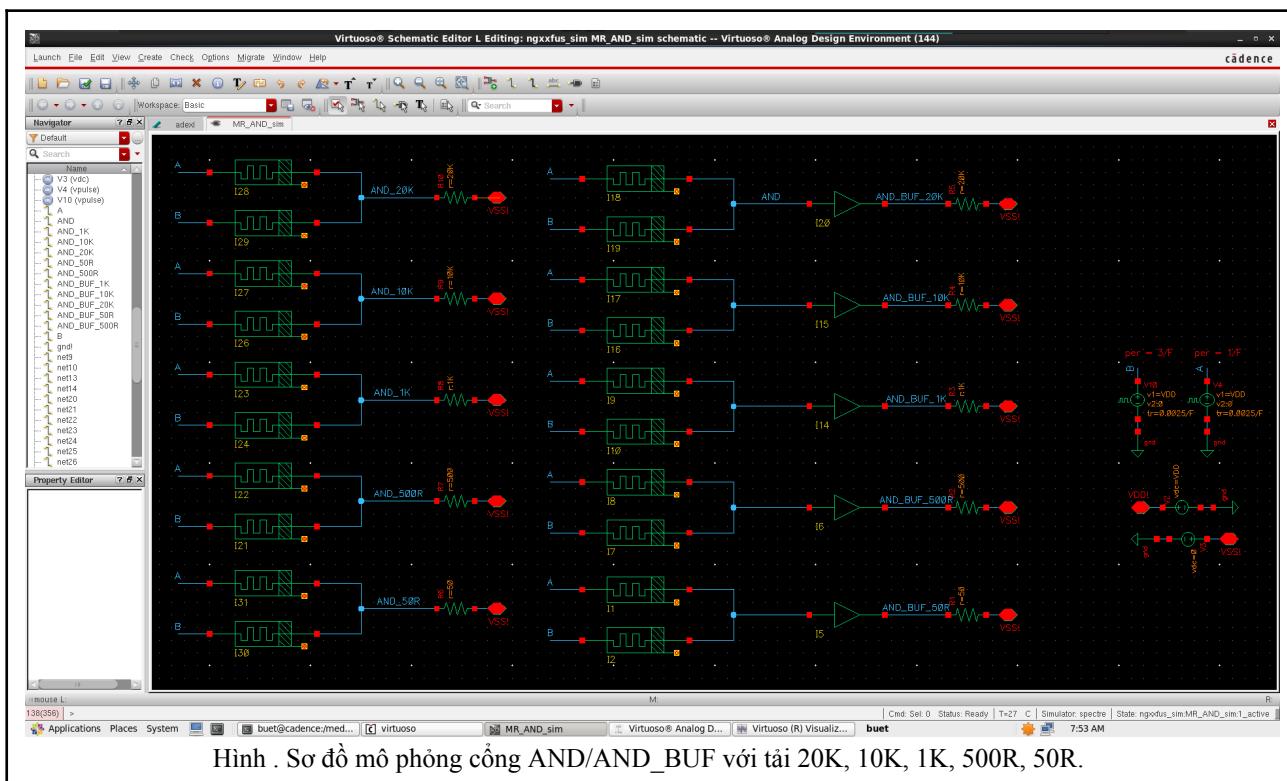
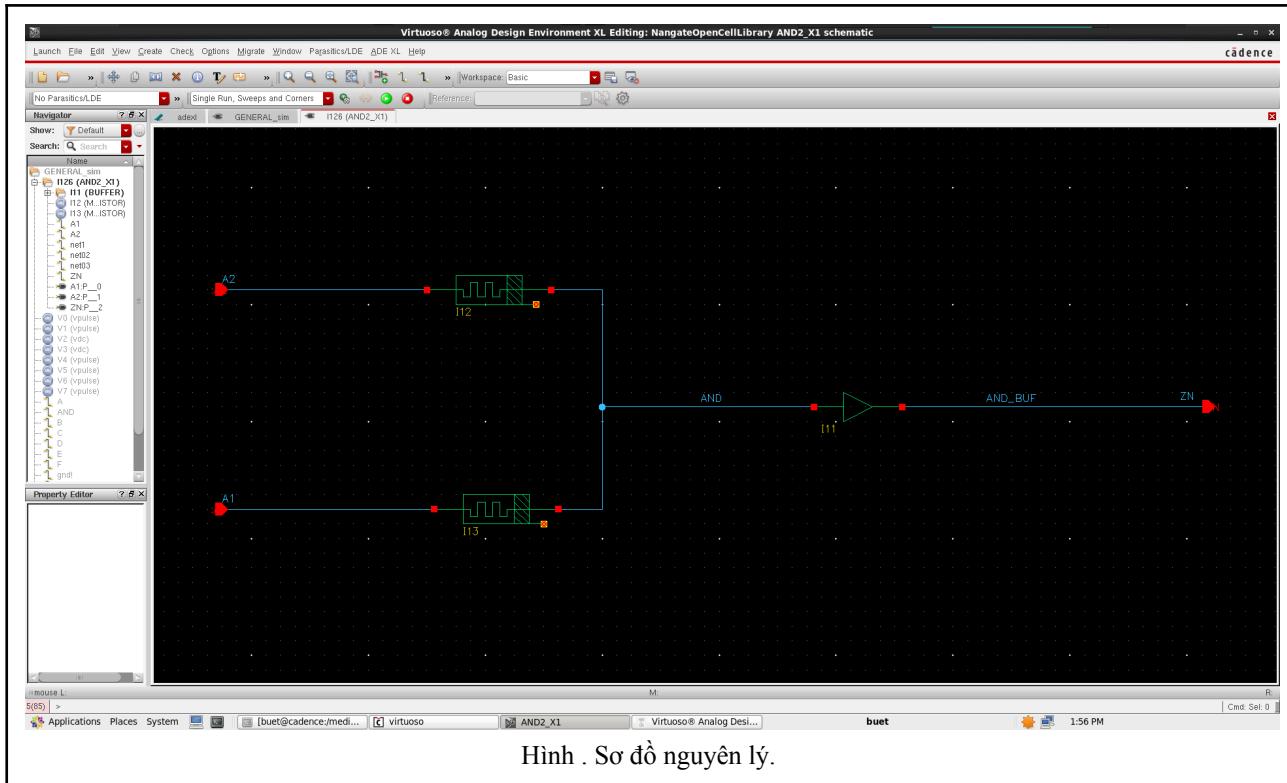
2.3. Cổng đệm không đảo (BUFFER)

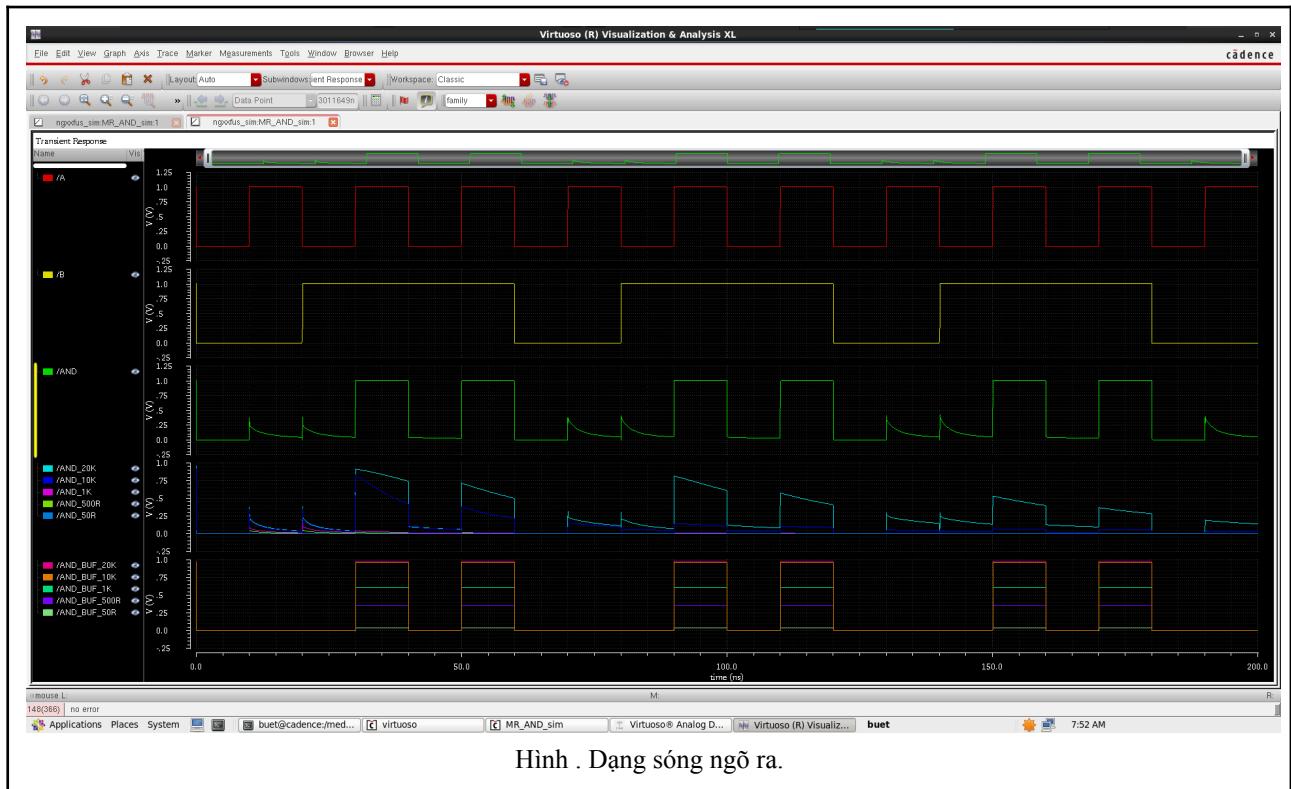
Bảng . Thông số CMOS cổng đệm không đảo:

	$L_{p\text{MOS}} (\text{m})$	$L_{n\text{MOS}} (\text{m})$	$W_{p\text{MOS}} (\text{m})$	$W_{n\text{MOS}} (\text{m})$
Tầng 01	50n	50n	950n	450n
Tầng 02	50n	50n	950n	450n



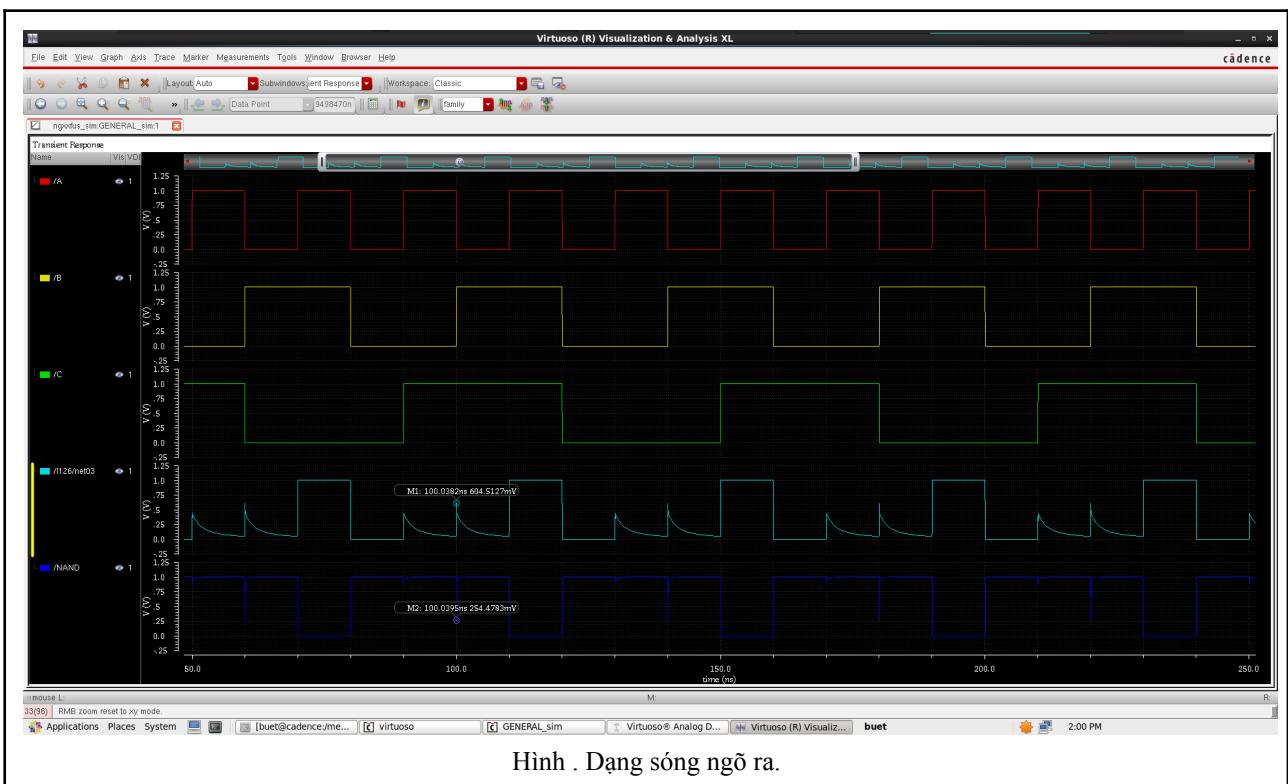
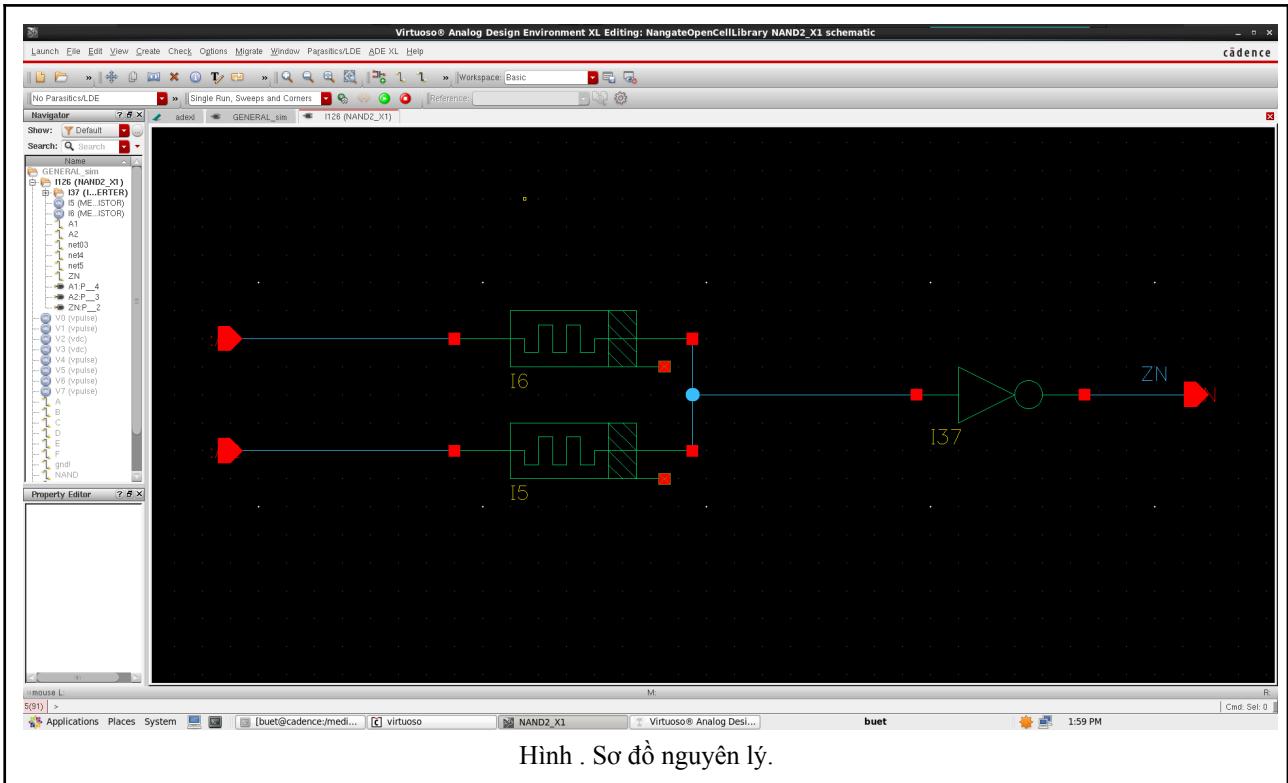
2.4. Cỗng AND



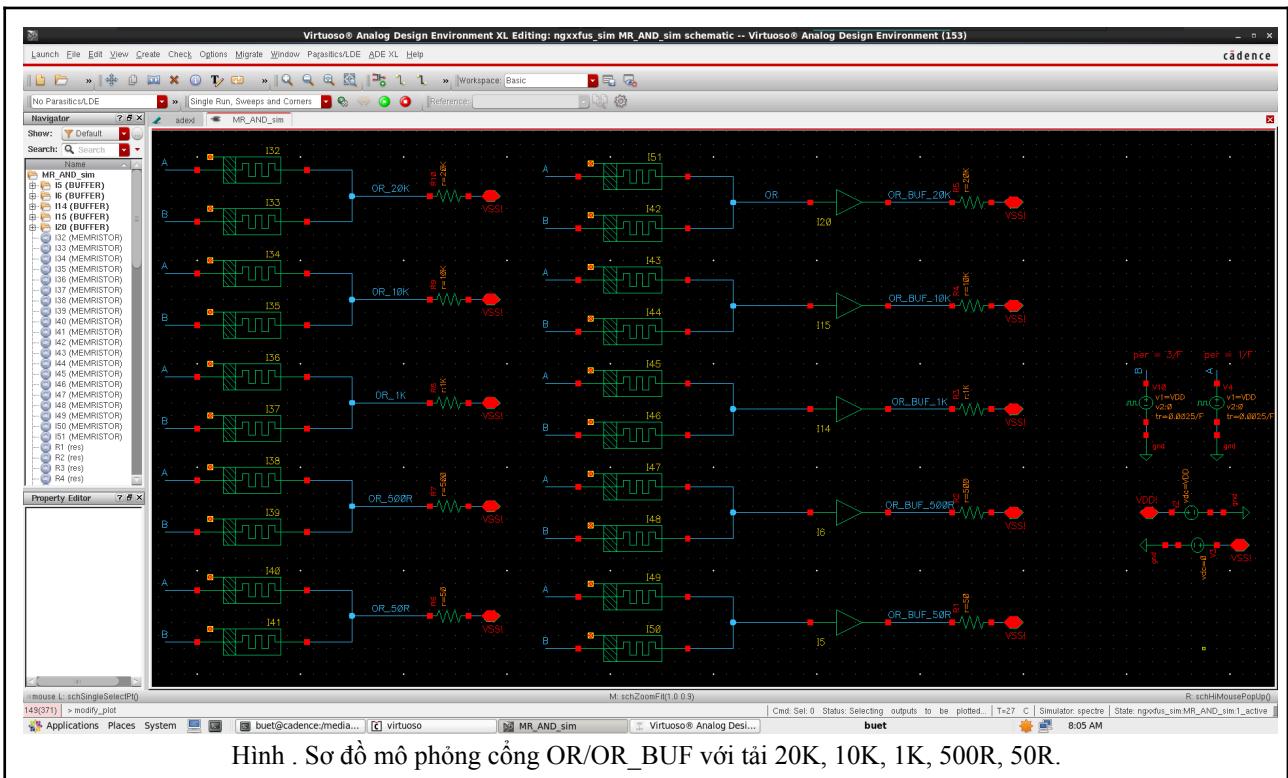
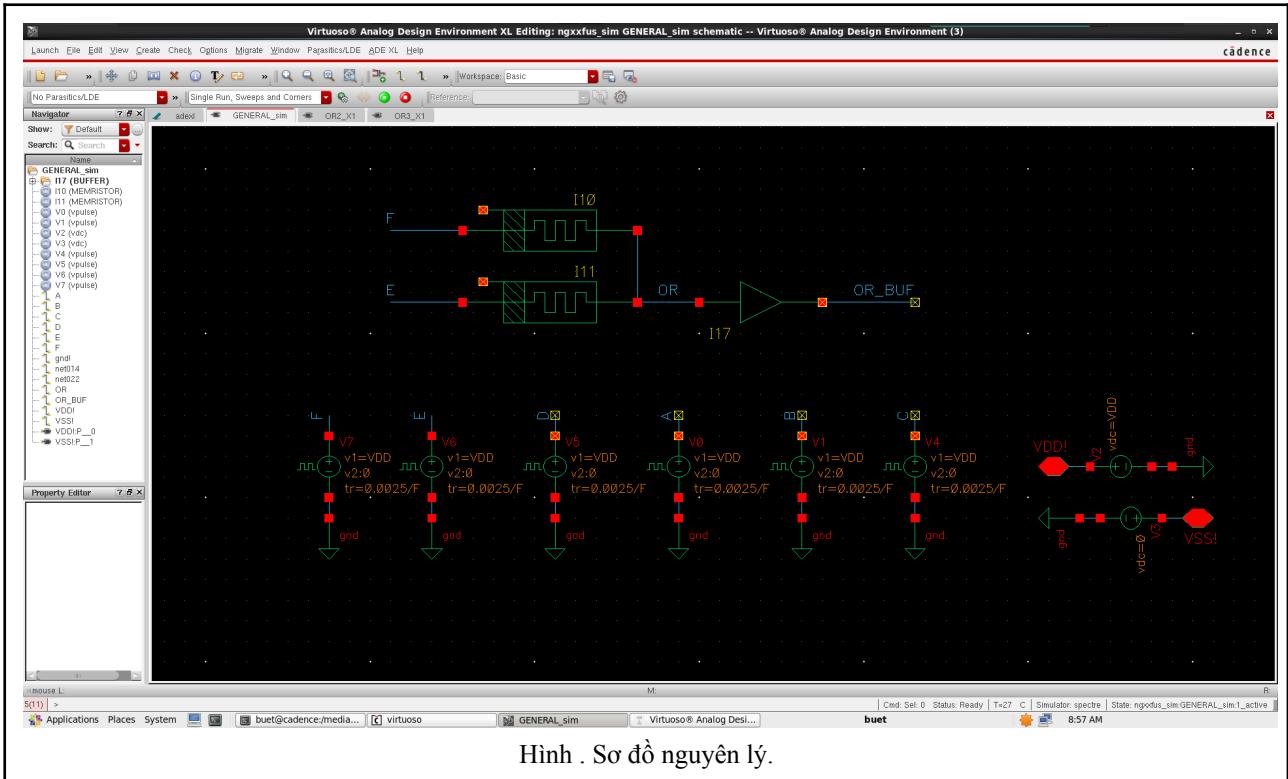


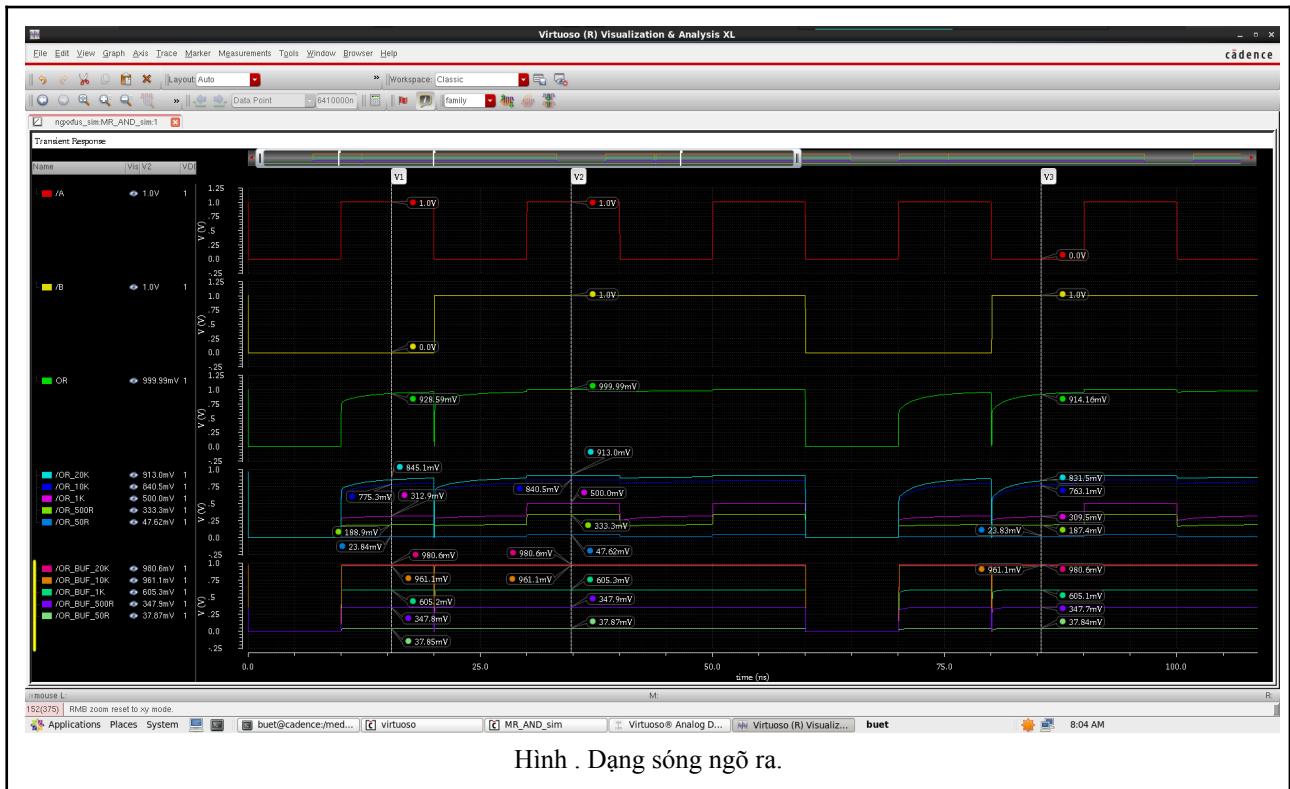
Hình . Dạng sóng ngơ ra.

2.5. Cỗng NAND



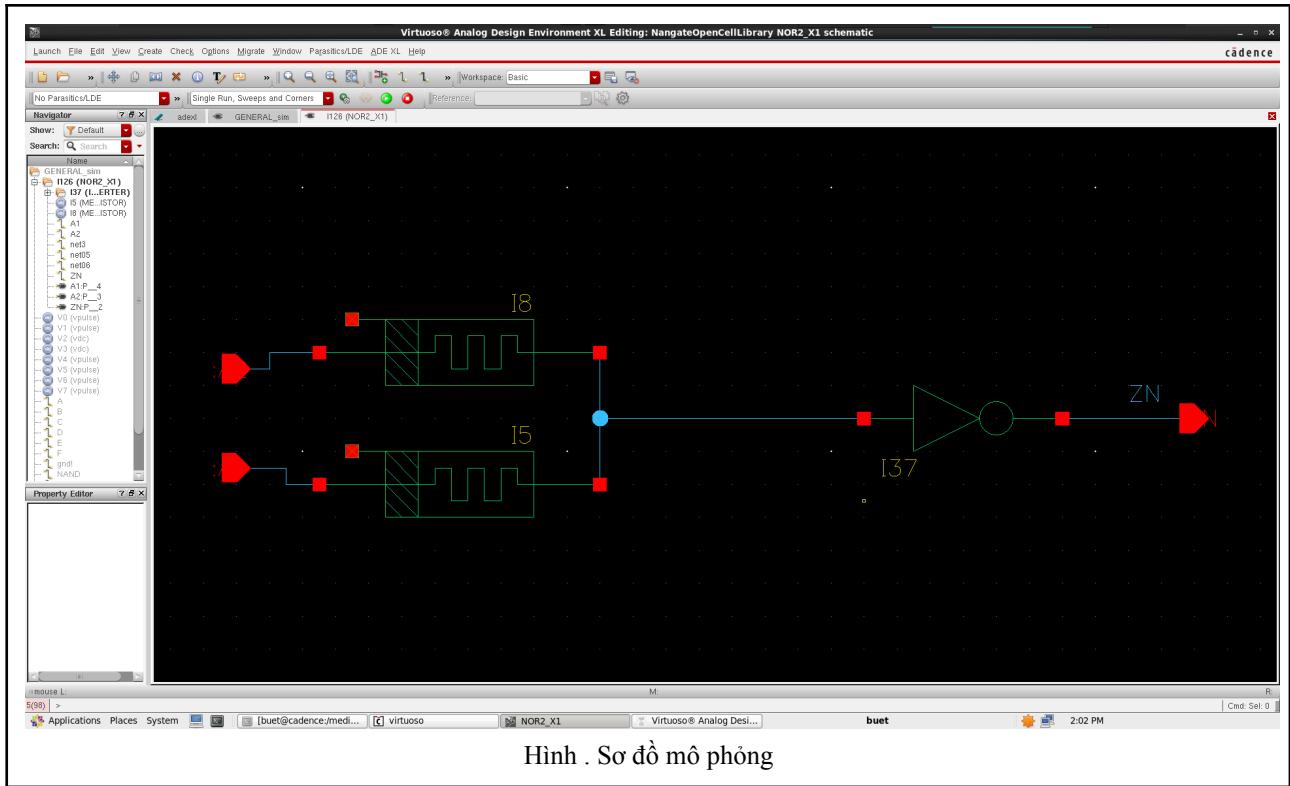
2.6. Cỗng OR



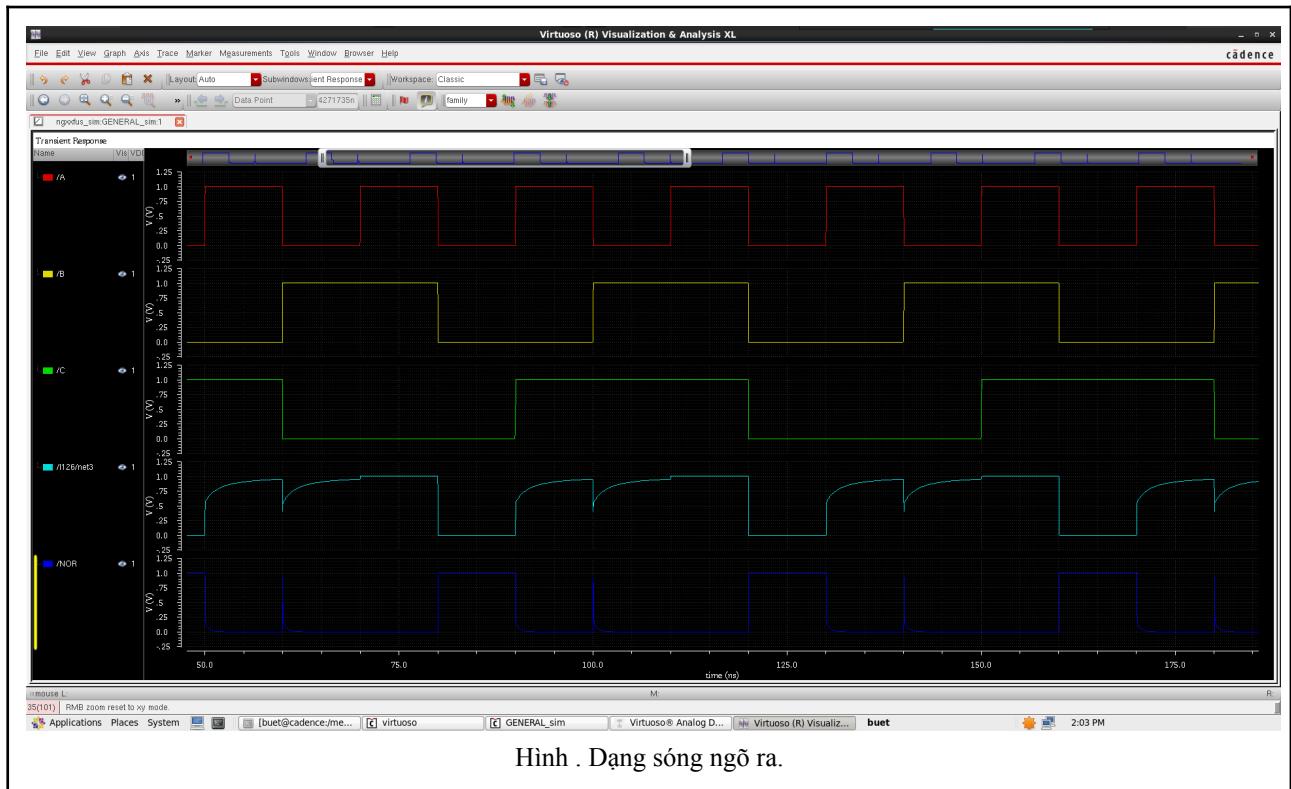


Hình . Dạng sóng ngơ ra.

2.7. Cỗng NOR

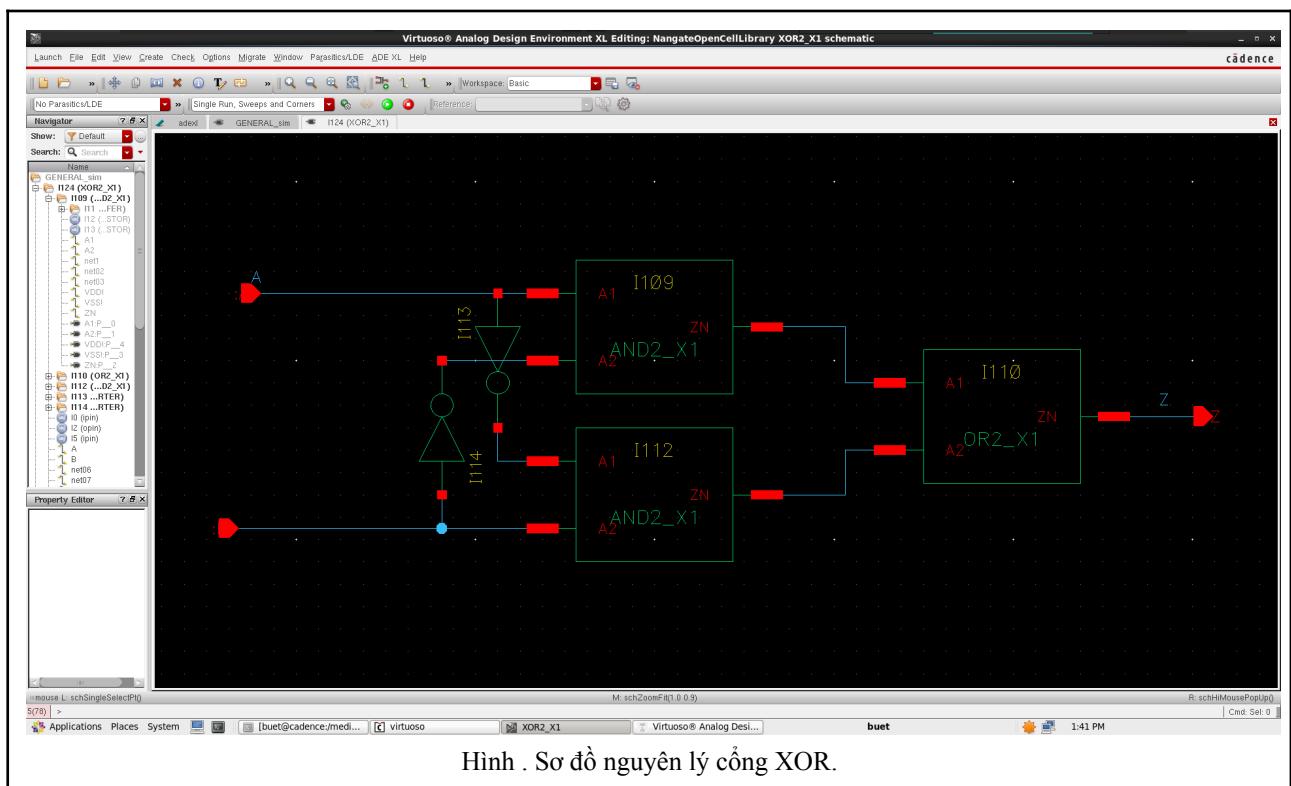


Hình . Sơ đồ mô phỏng

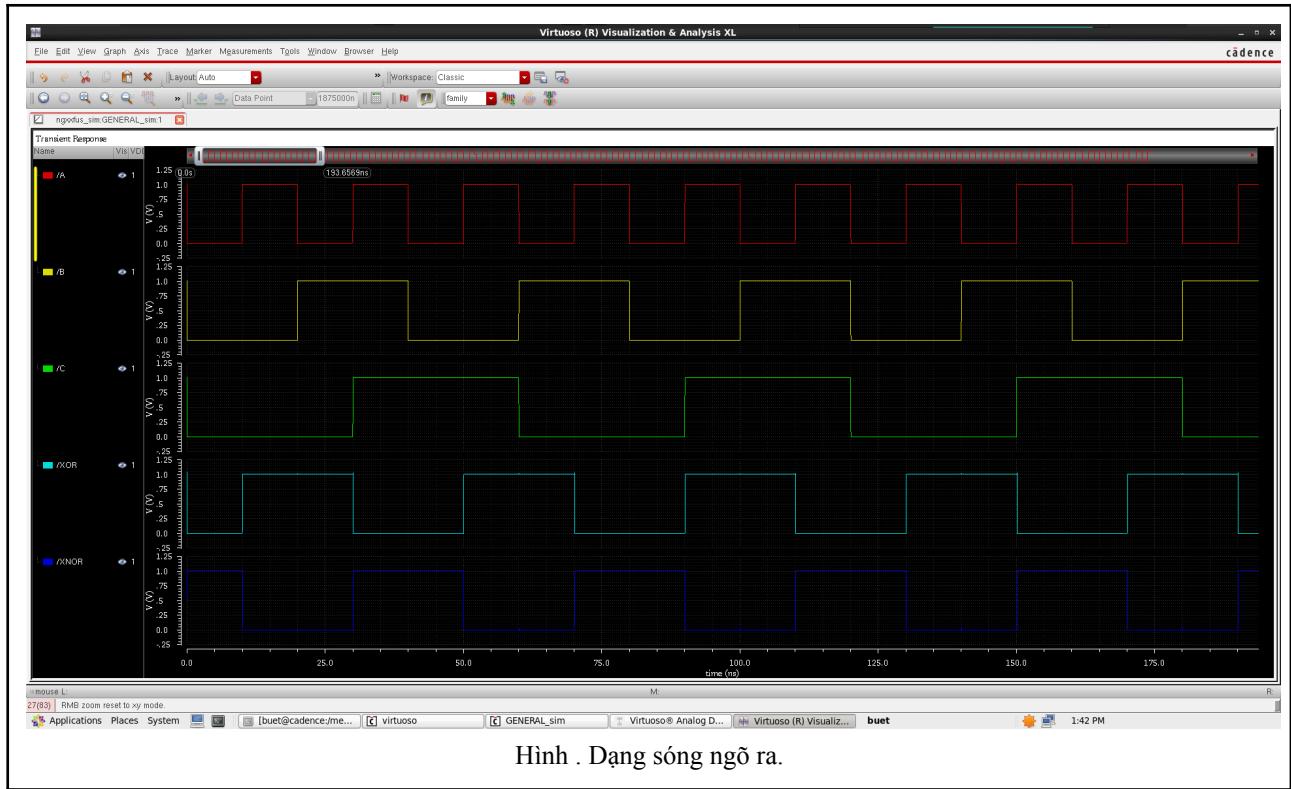
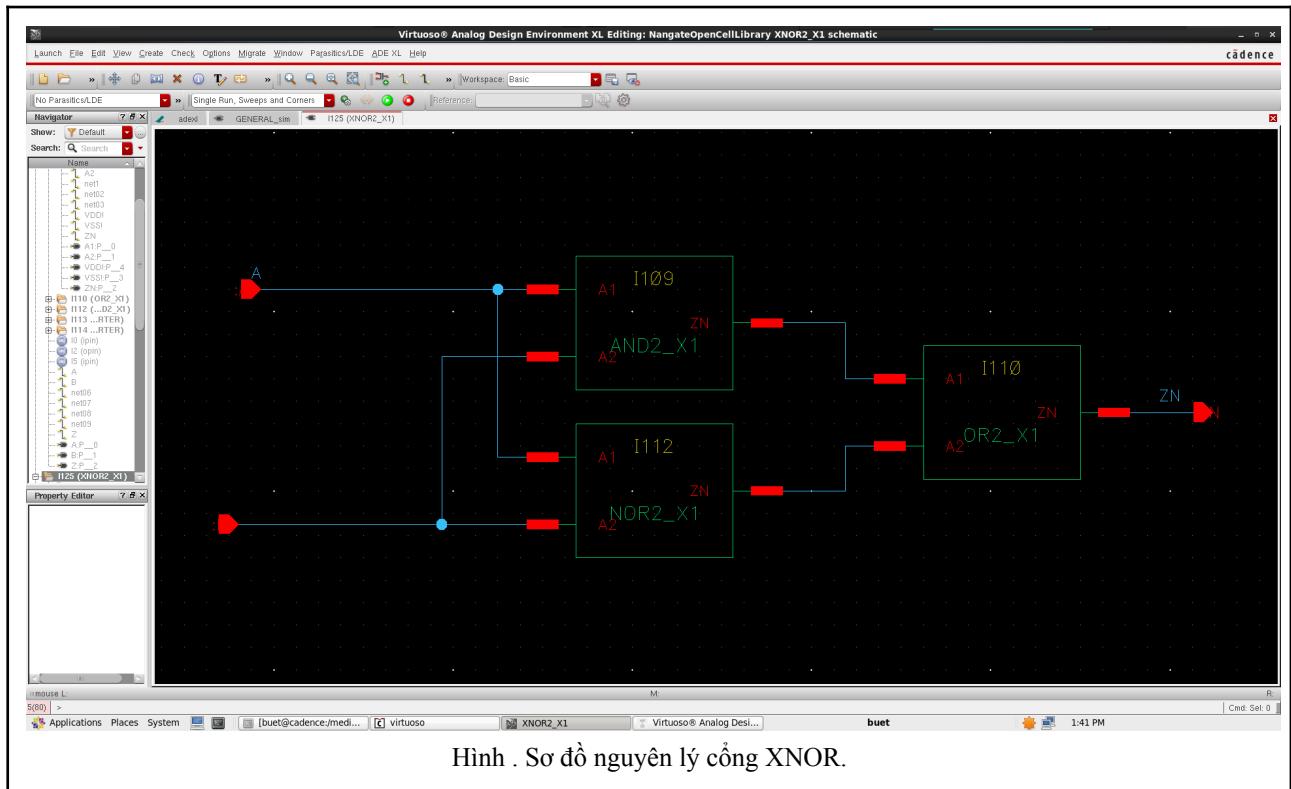


Hình . Dạng sóng ngõ ra.

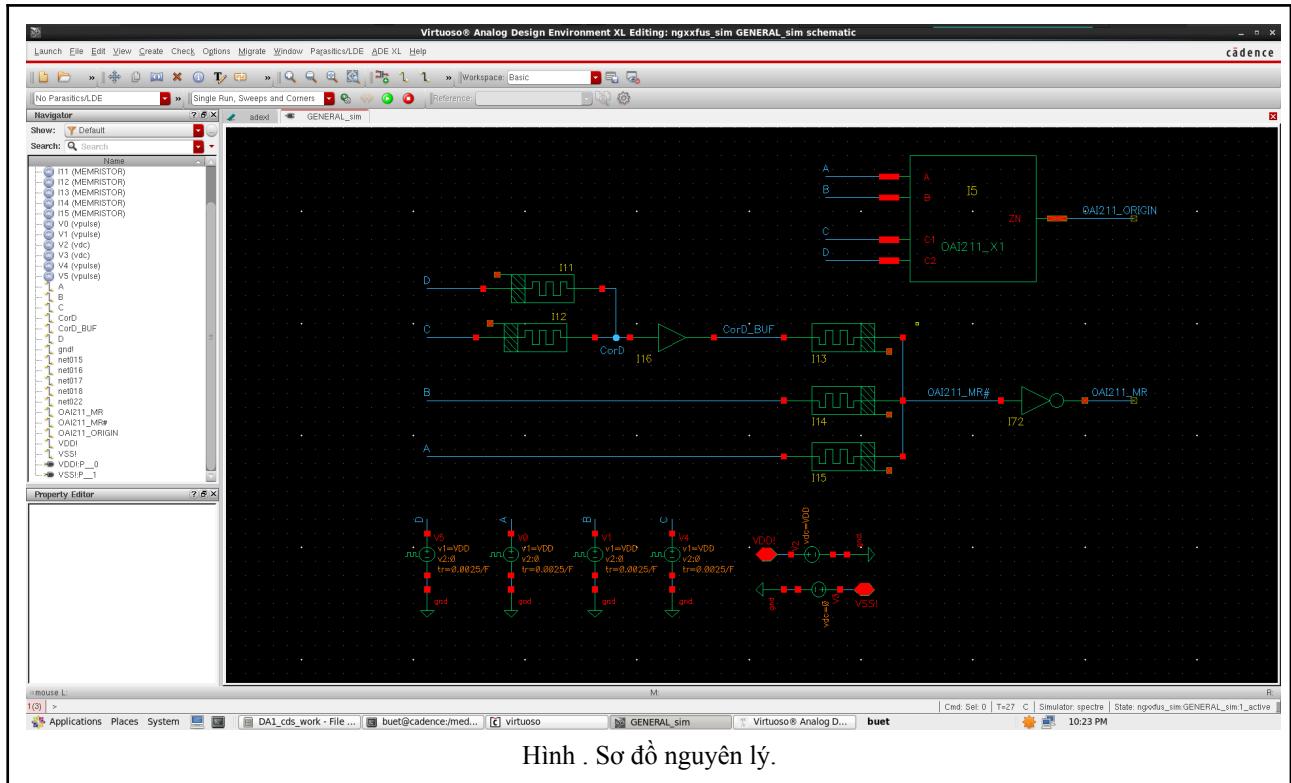
2.8. Cỗng XOR, XNOR



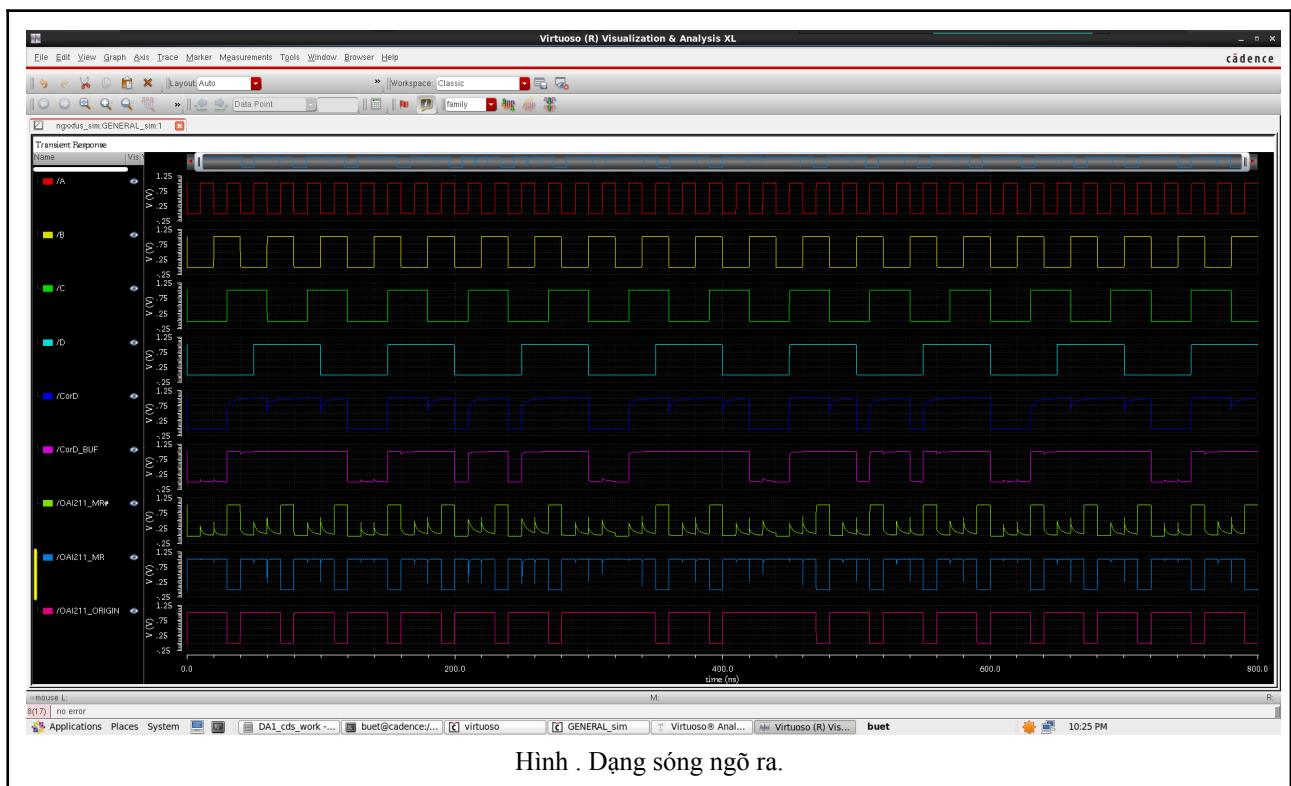
Hình . Sơ đồ nguyên lý cỗng XOR.



2.9. Cỗng chức năng - OAI211

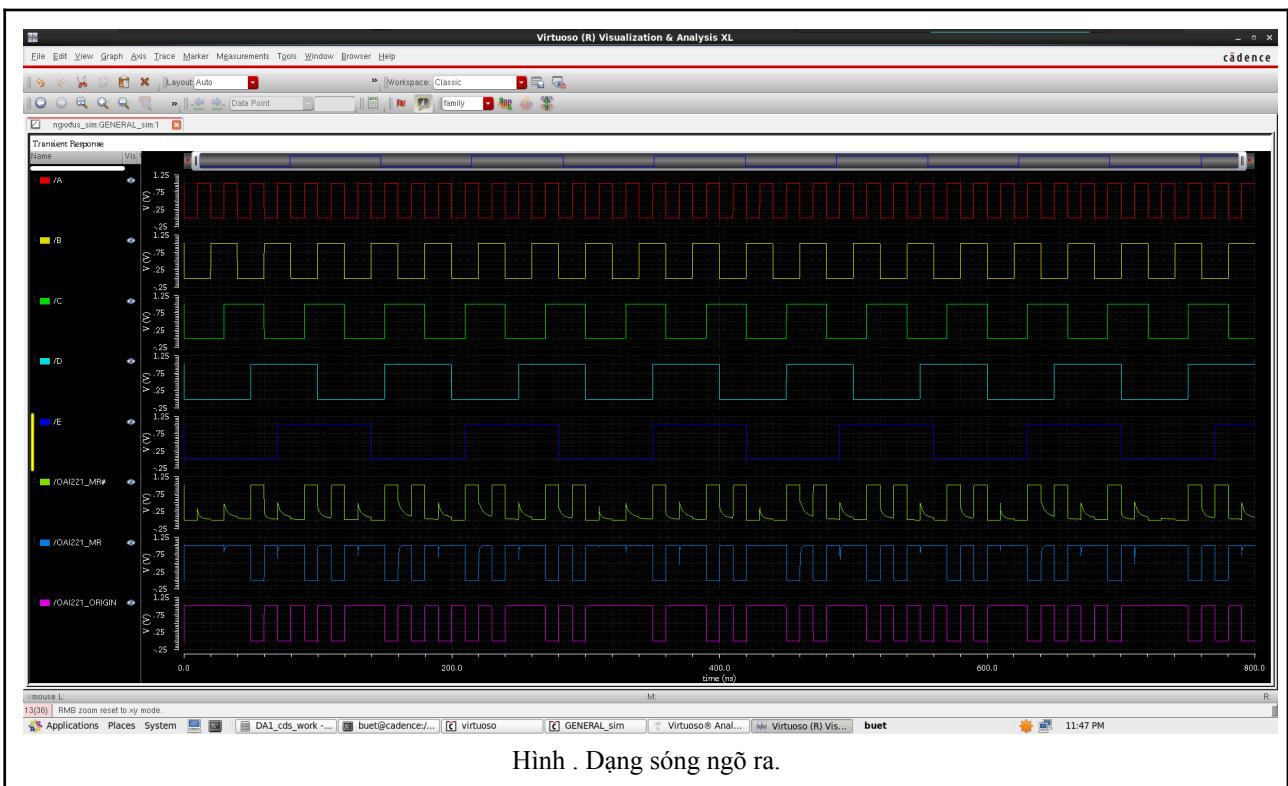
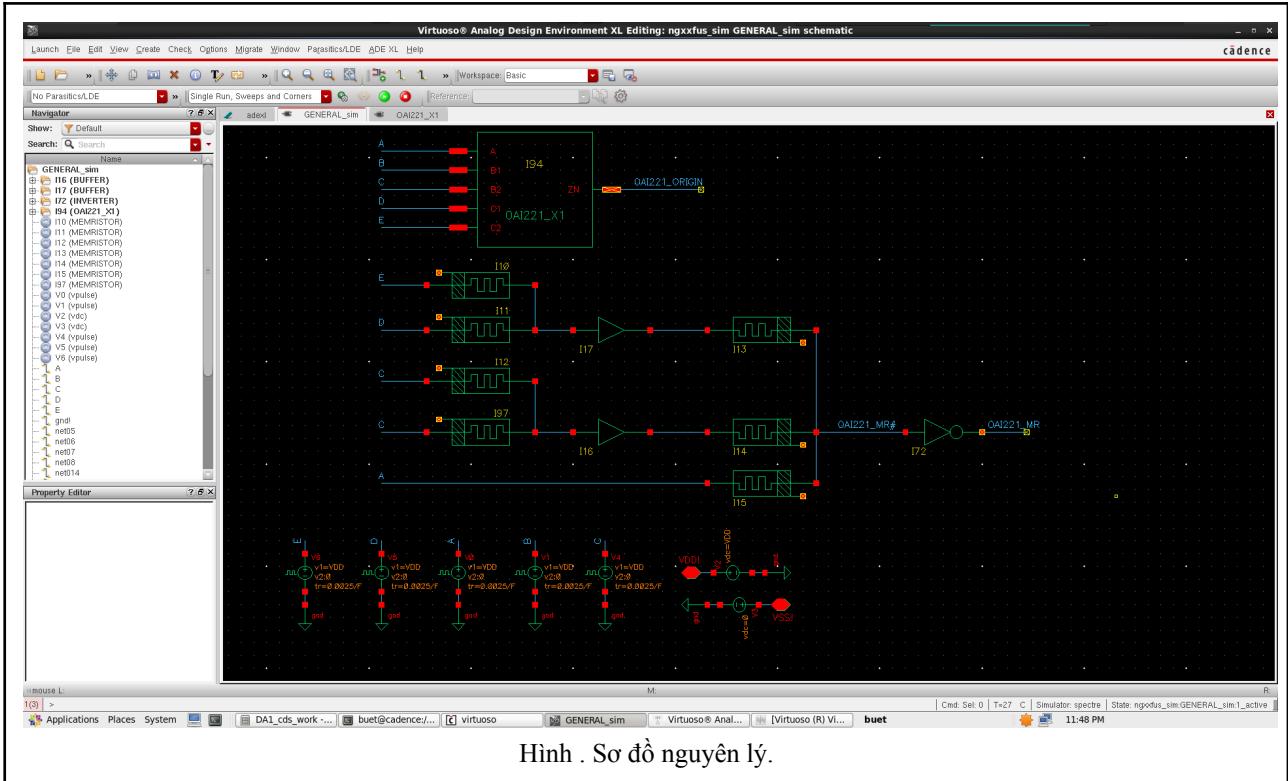


Hình . Sơ đồ nguyên lý.

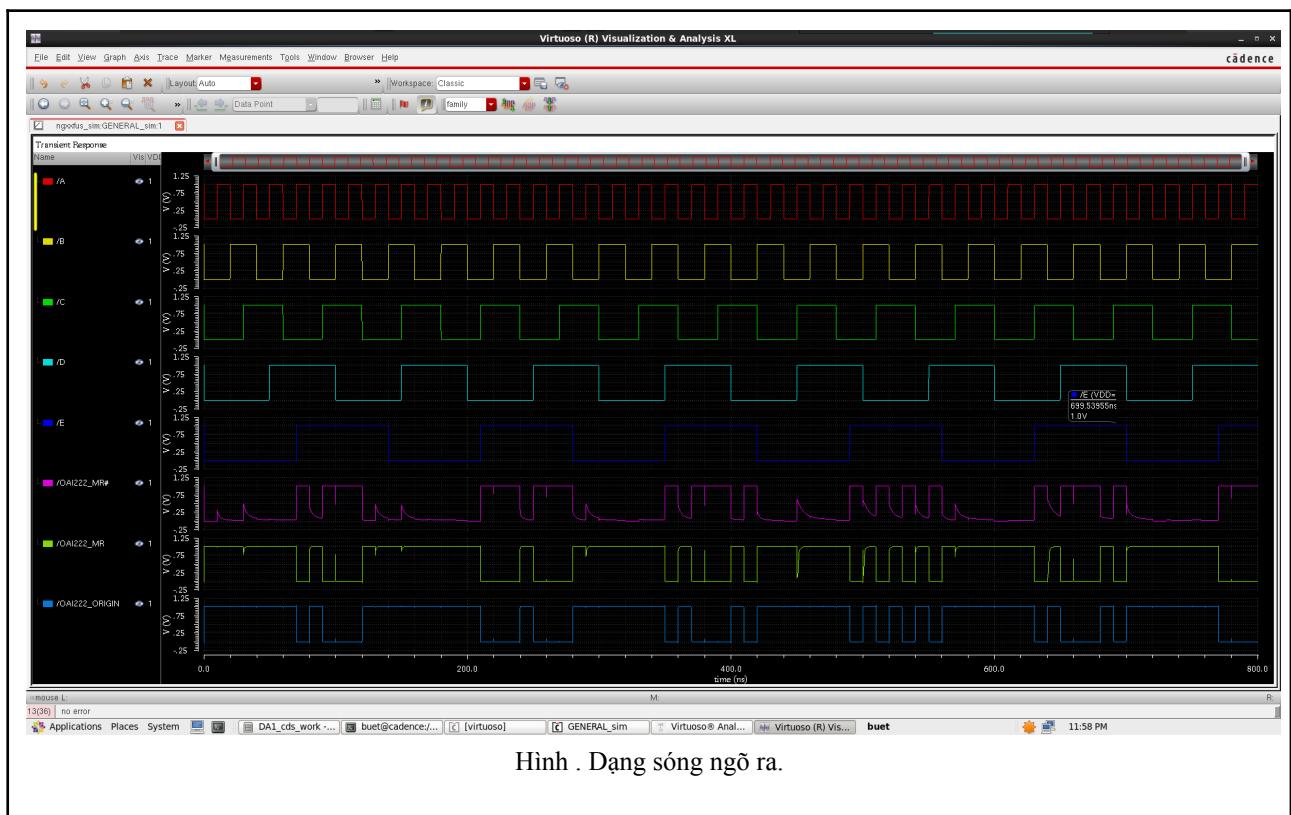
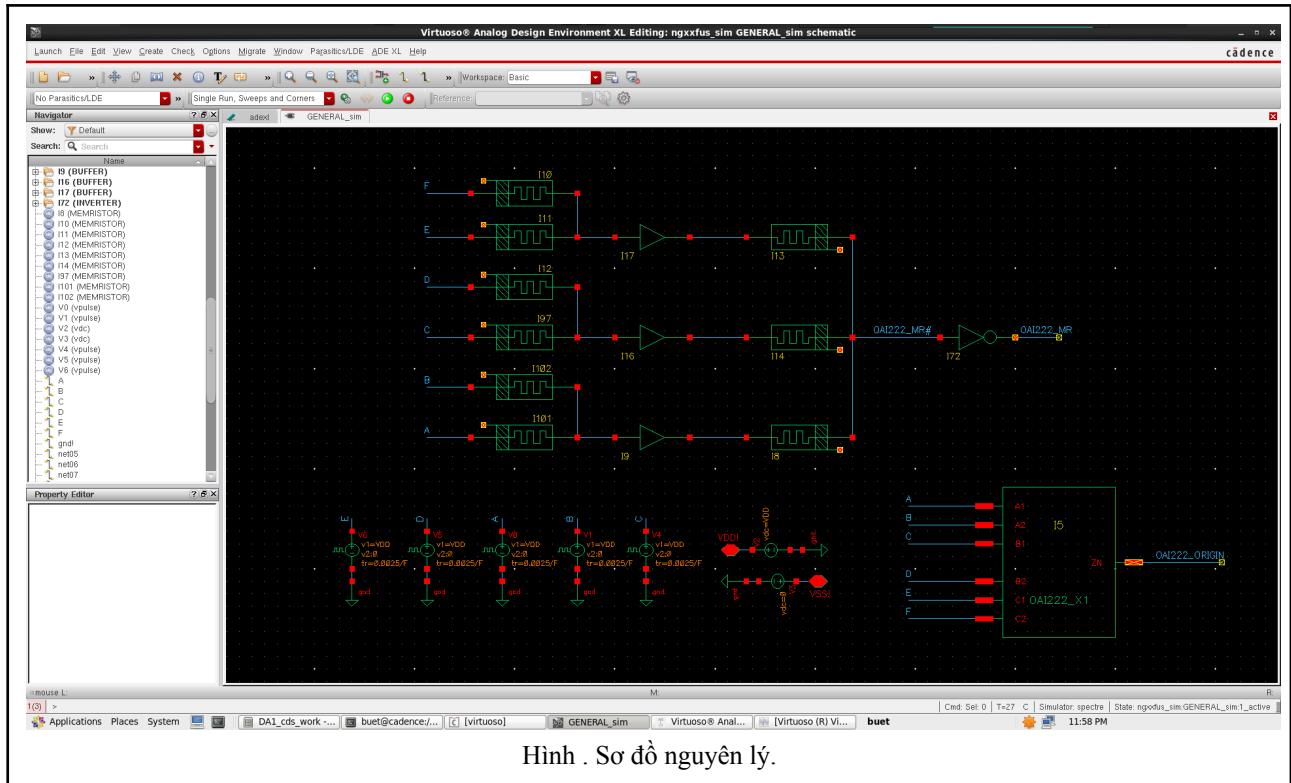


Hình . Dạng sóng ngõ ra.

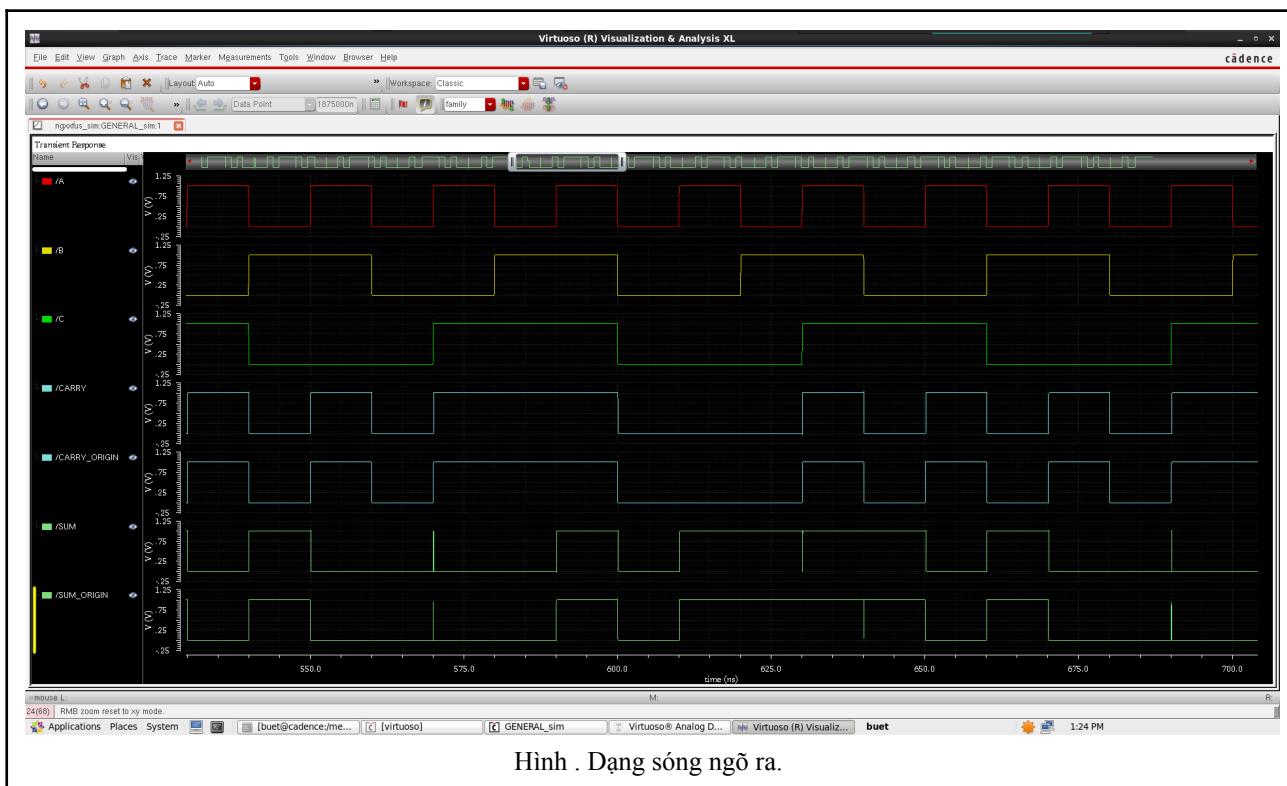
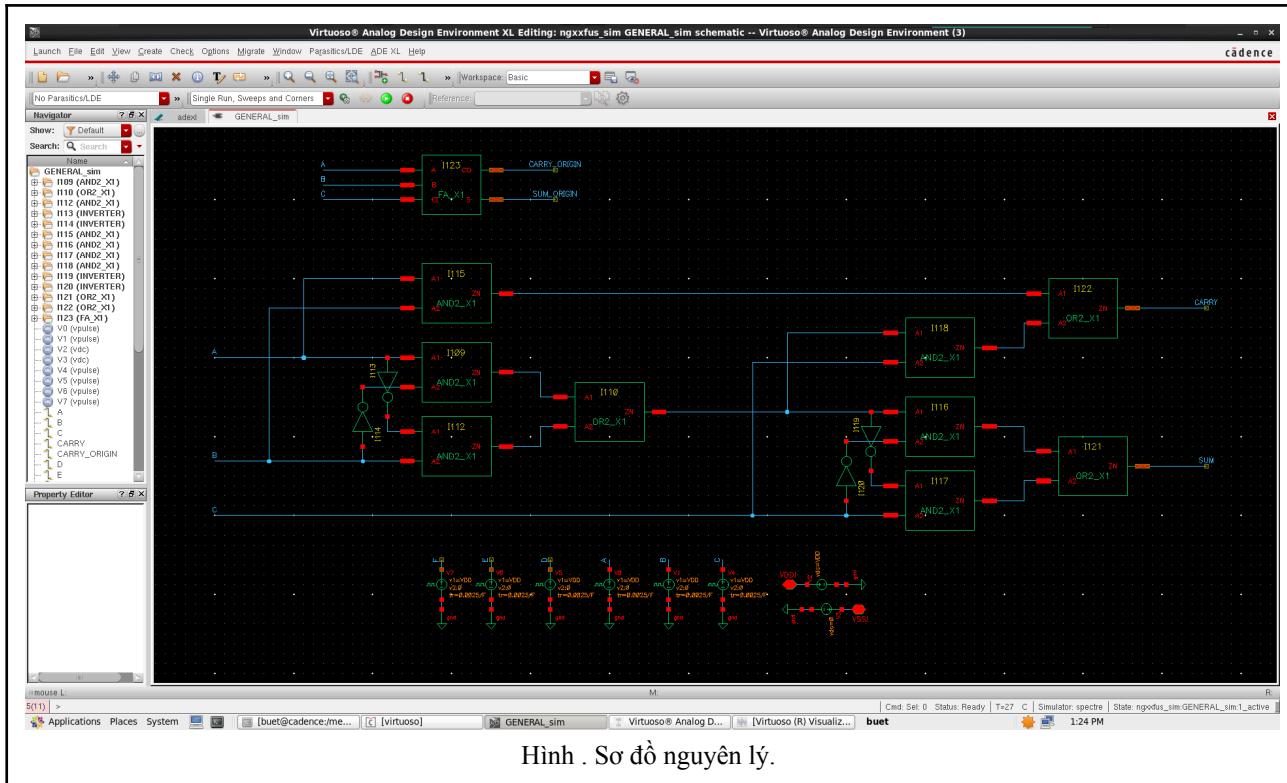
2.10. Công chức năng - OAI221



2.11. Cỗng chức năng - OAI222

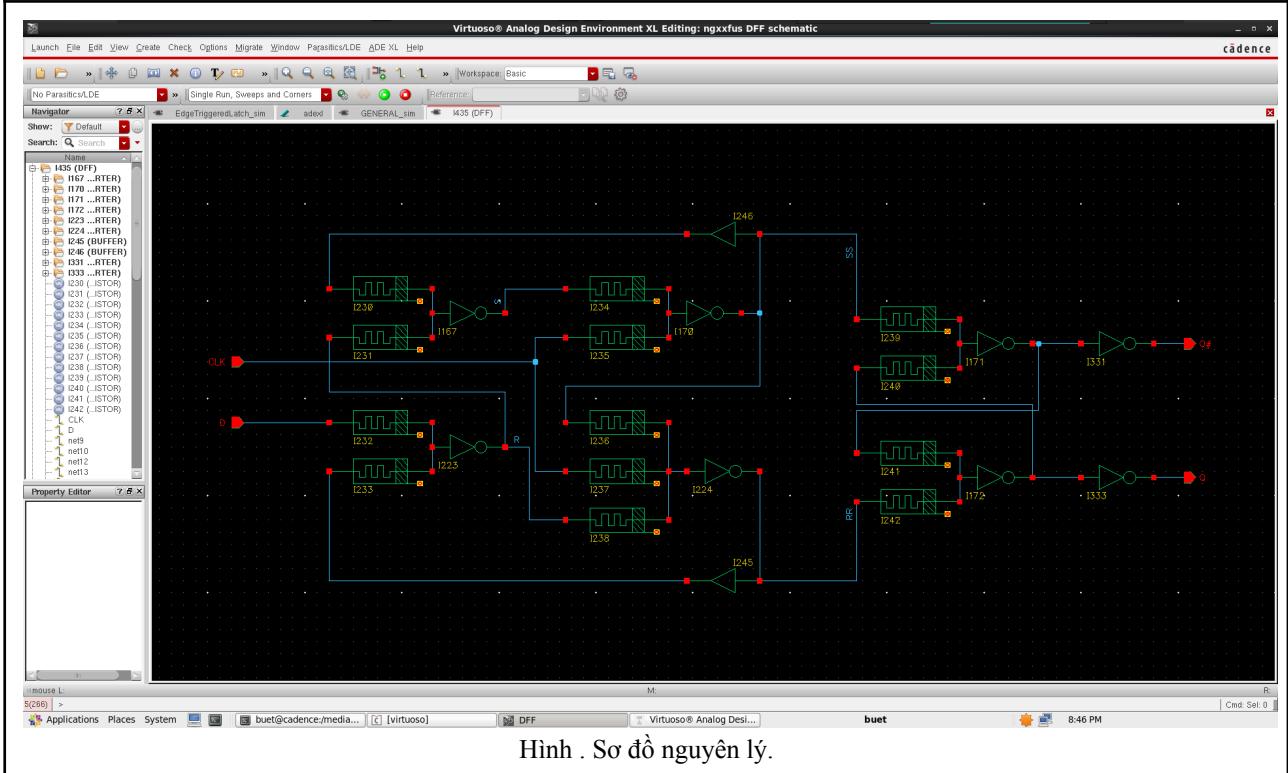


2.12. Mạch cộng toàn phần

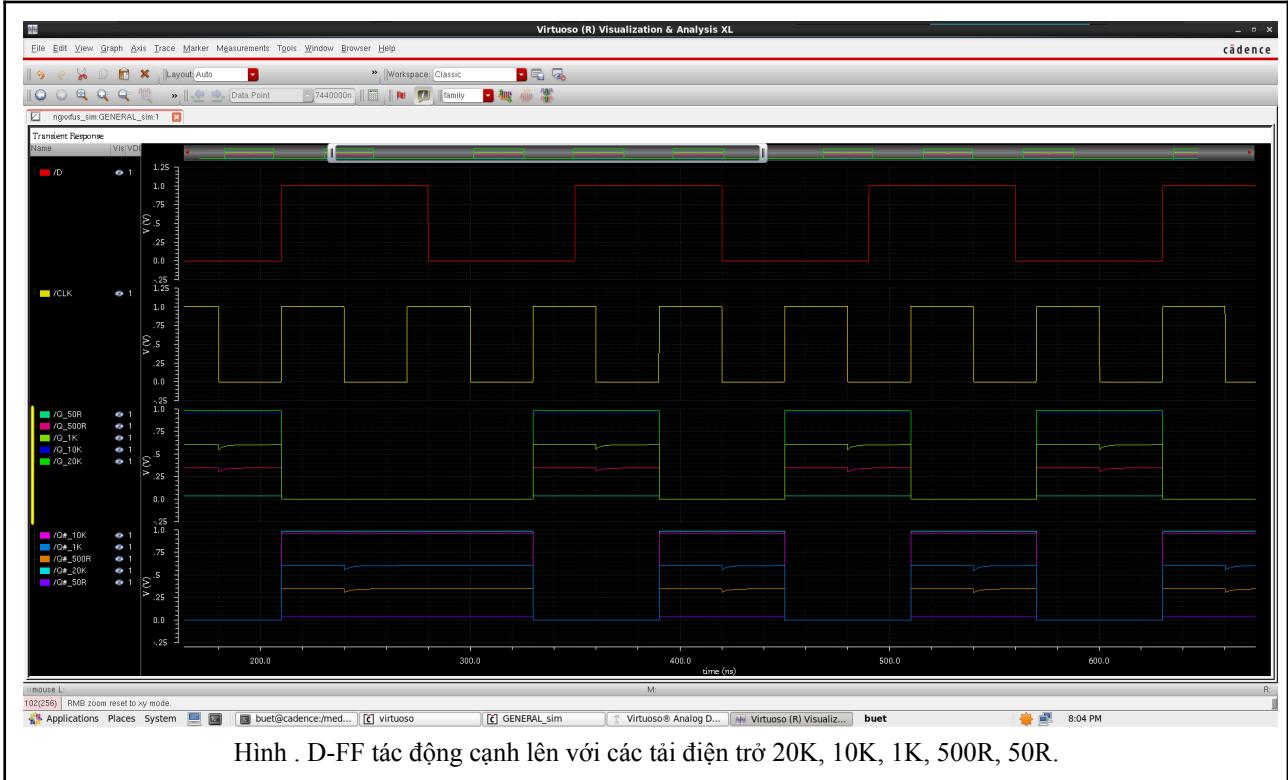


2.13. D-FF (Active-NegEdge)

Sơ đồ D-FF² kích cạnh xuông được mô tả như hình bên dưới.

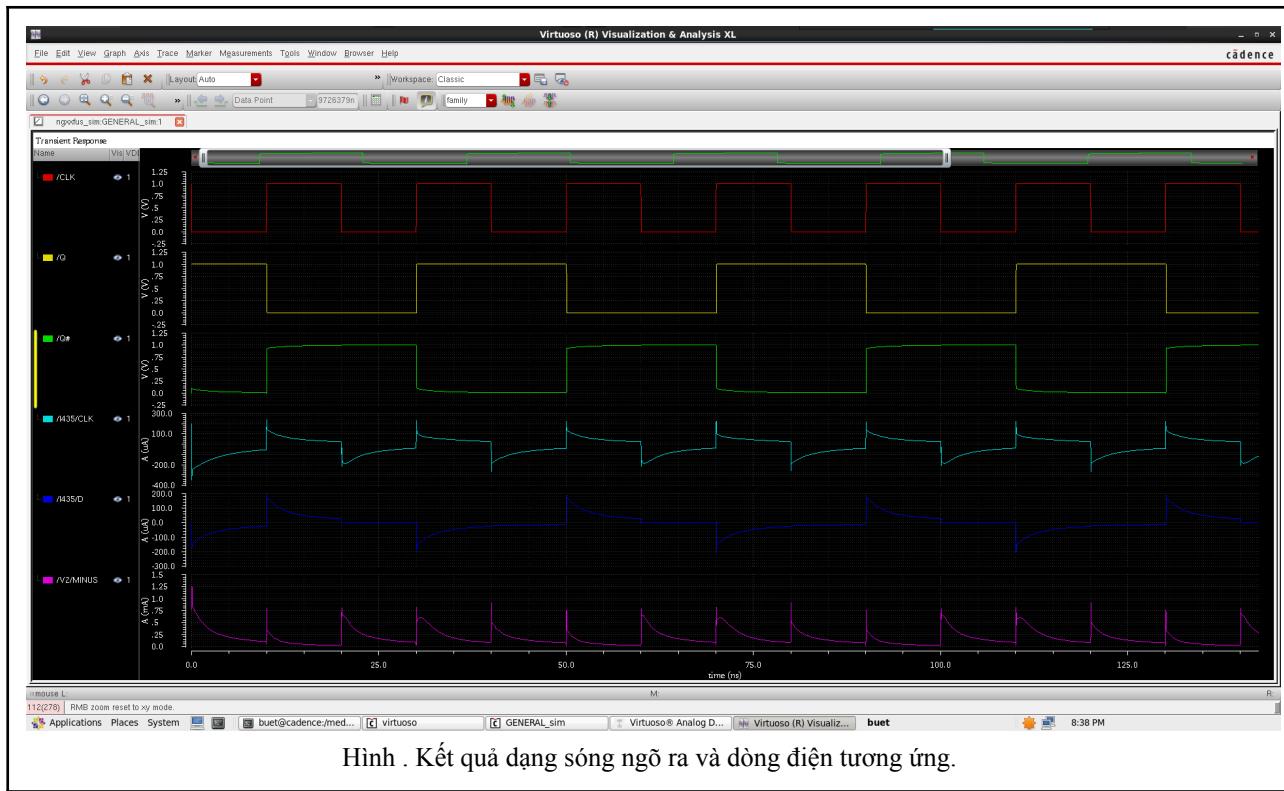
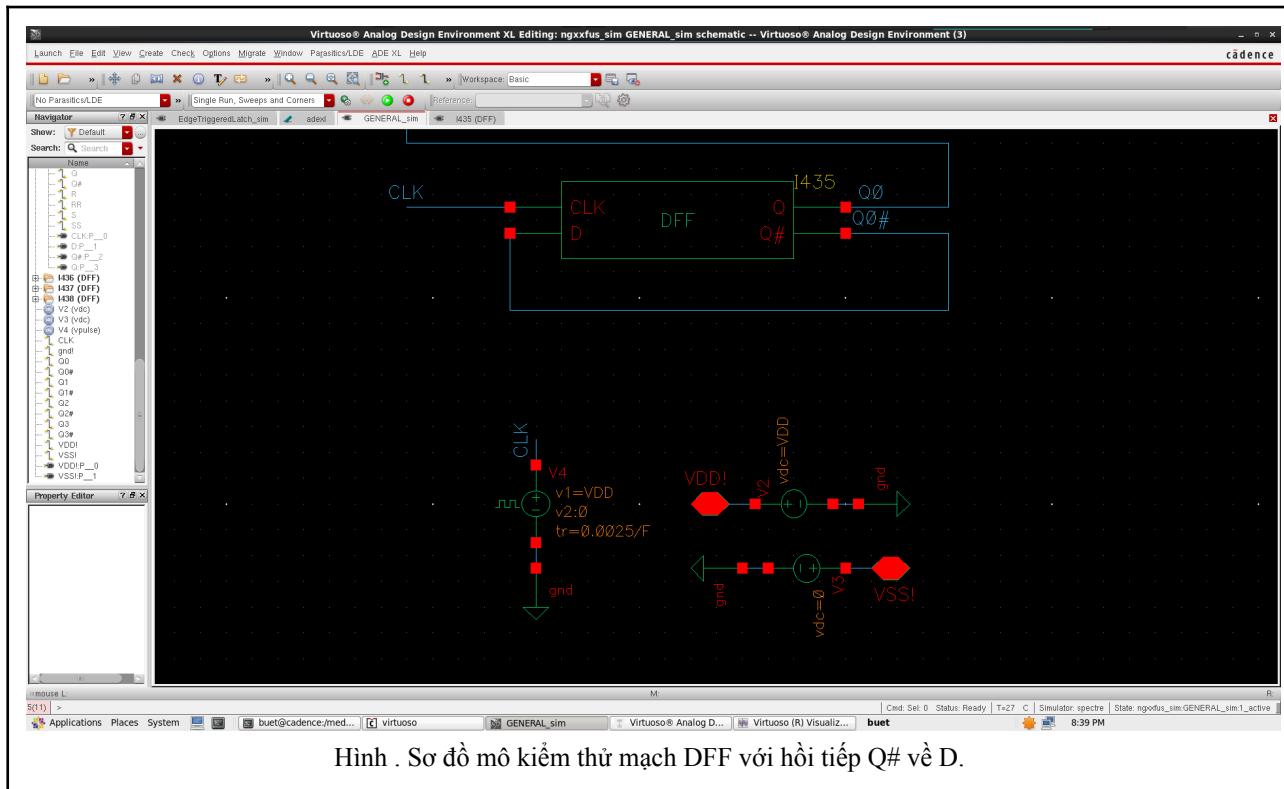


Thực hiện khảo sát DFF với các tài điện trở khác nhau:



Thực hiện khảo sát dòng kéo lên, kéo xuống, công suất của DFF hồi tiếp Q# về D. Hình bên dưới mô tả sơ đồ nguyên lý của mạch.

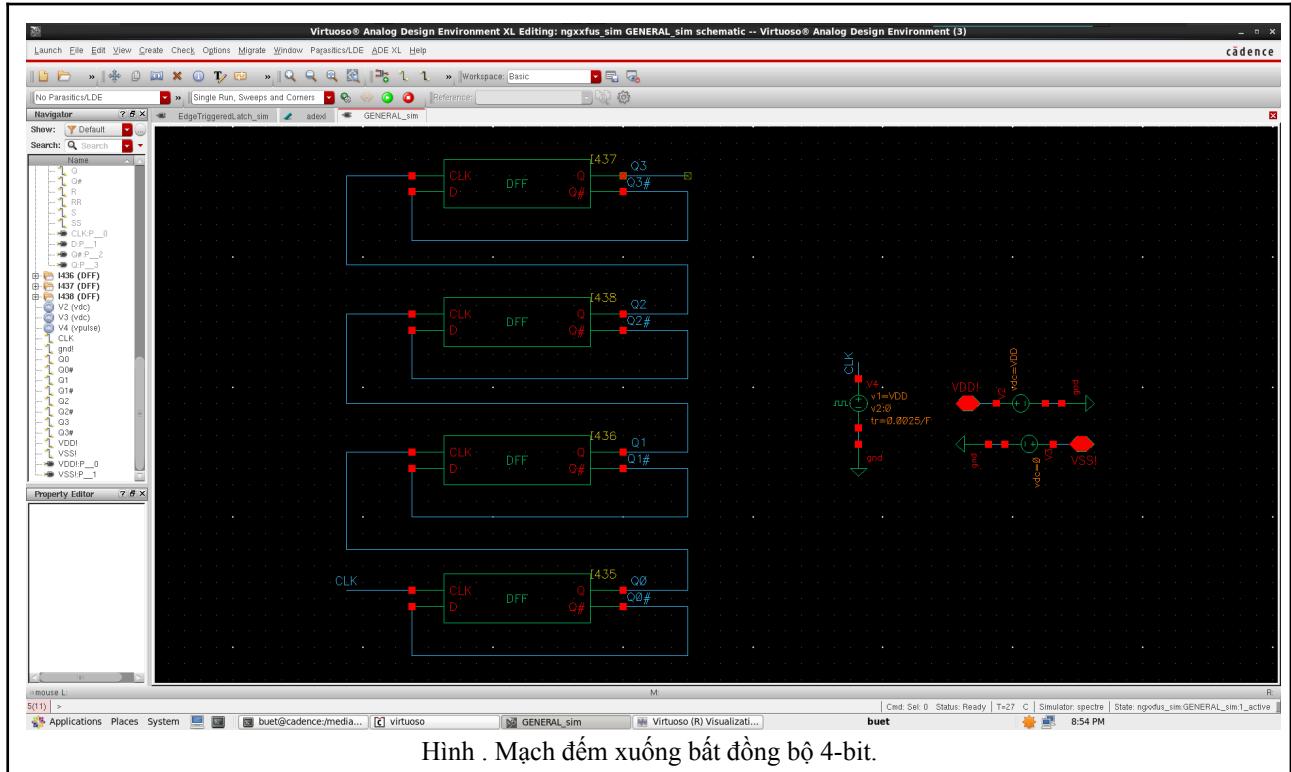
² G. Dai, W. Xie, X. Du, M. Han, T. Ni, and D. Wu, "Memristor-based D-flip-flop design and application in built-in self-test," *Electronics*, vol. 12, no. 14, p. 3019, Jul. 2023, doi: 10.3390/electronics12143019.



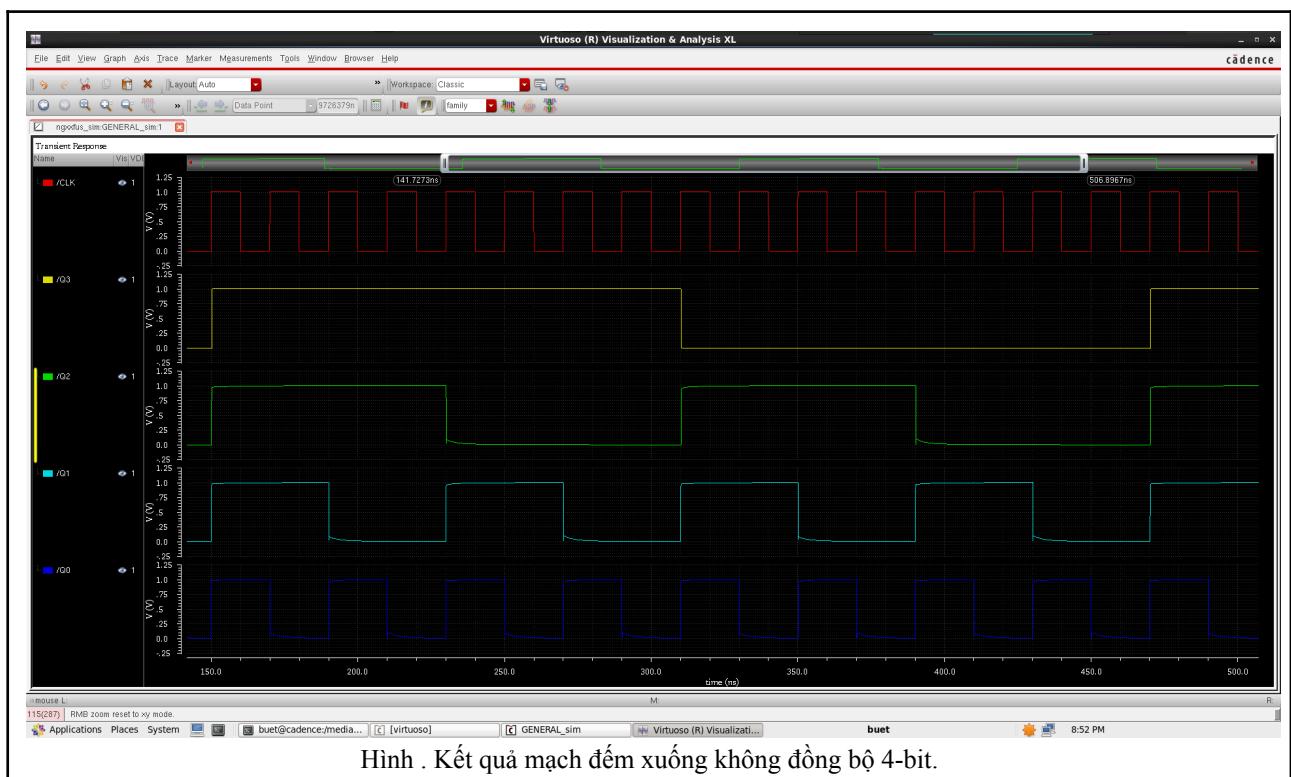
Nhận xét:

- + Dòng kéo xuống (Sinking) tối đa: 345 uA,
- + Dòng kéo lên (Sourcing) tối đa: 237 uA,
- + Công suất tối đa: 1.26 mA,
- + Công suất trung bình: 190 uA.

Khảo sát mạch đếm xuống không đồng bộ dựa trên DFF. Hình bên dưới mô tả mạch đếm xuống không đồng bộ 4-bit sử dụng DFF.



Hình . Mạch đếm xuống bắt đồng bộ 4-bit.

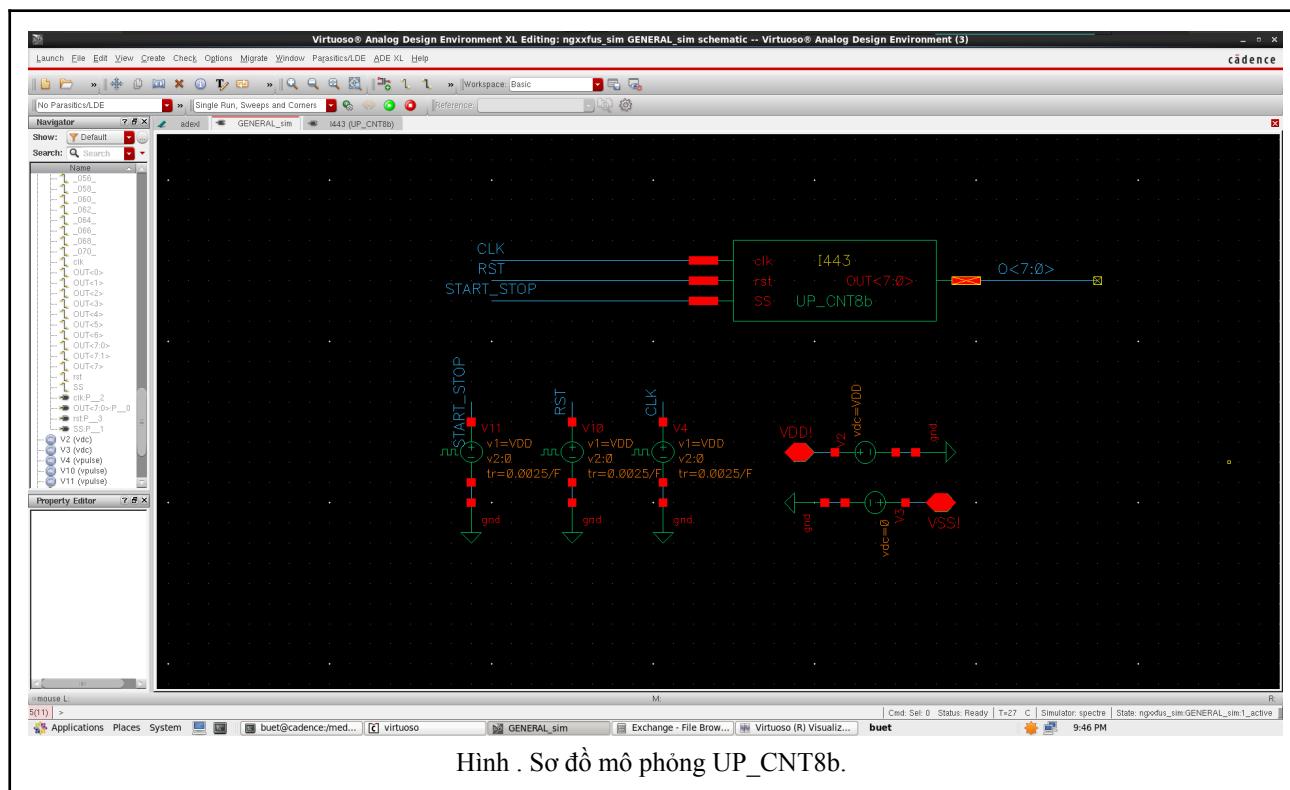
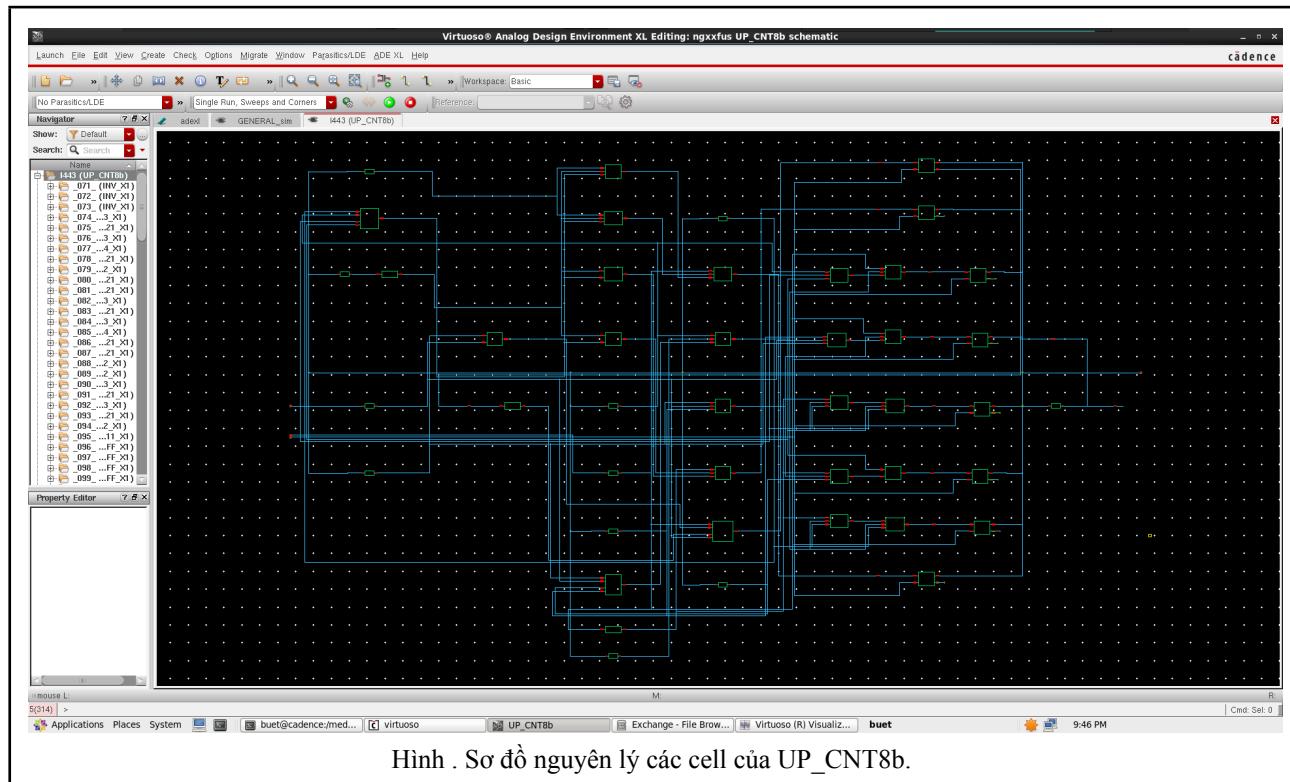


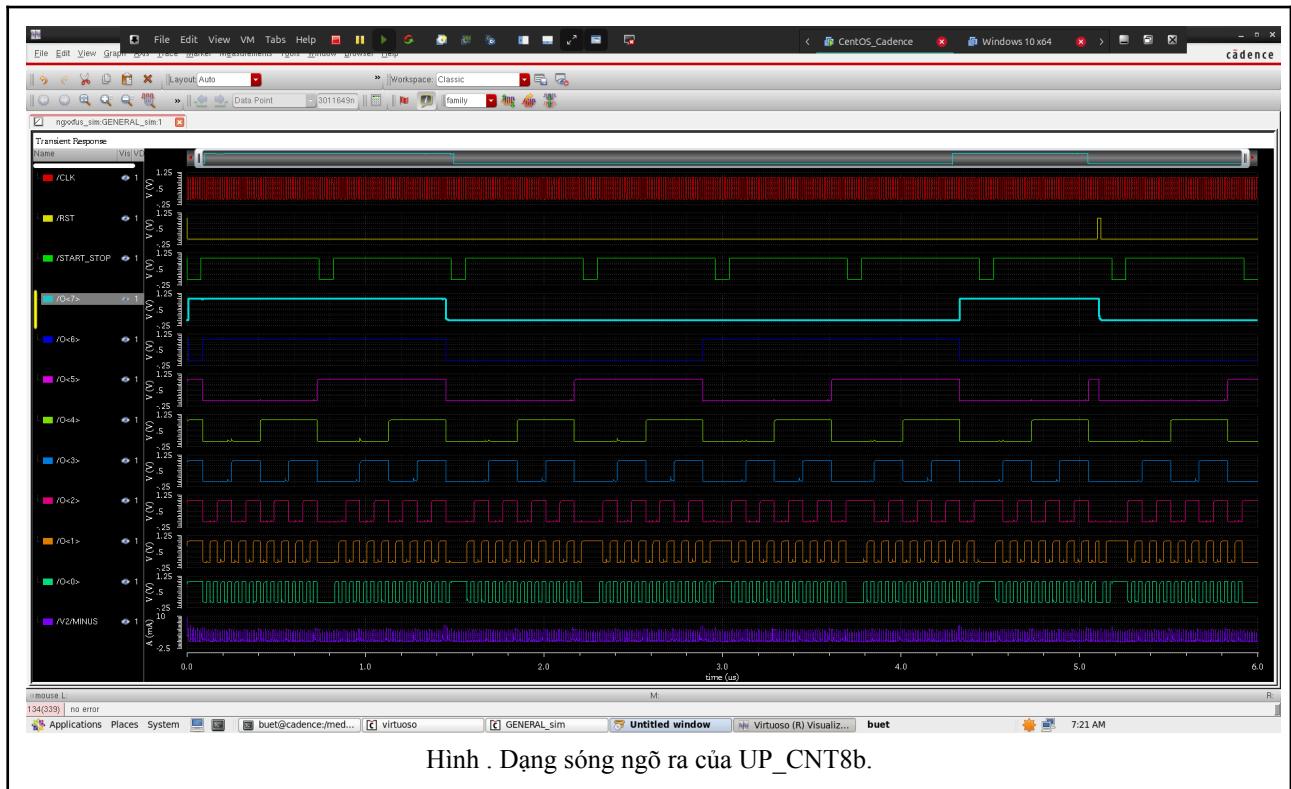
Hình . Kết quả mạch đếm xuống không đồng bộ 4-bit.

3. Sử dụng MemristorBased-CellLibrary

3.1. Bộ đếm lên 8-bit có điều khiển (start/stop)

Nhập bộ đếm lên 8-bit có điều khiển (start/stop) được tổng hợp bởi Yosys. Hình bên dưới mô tả mô-đun UP_CNT8b.

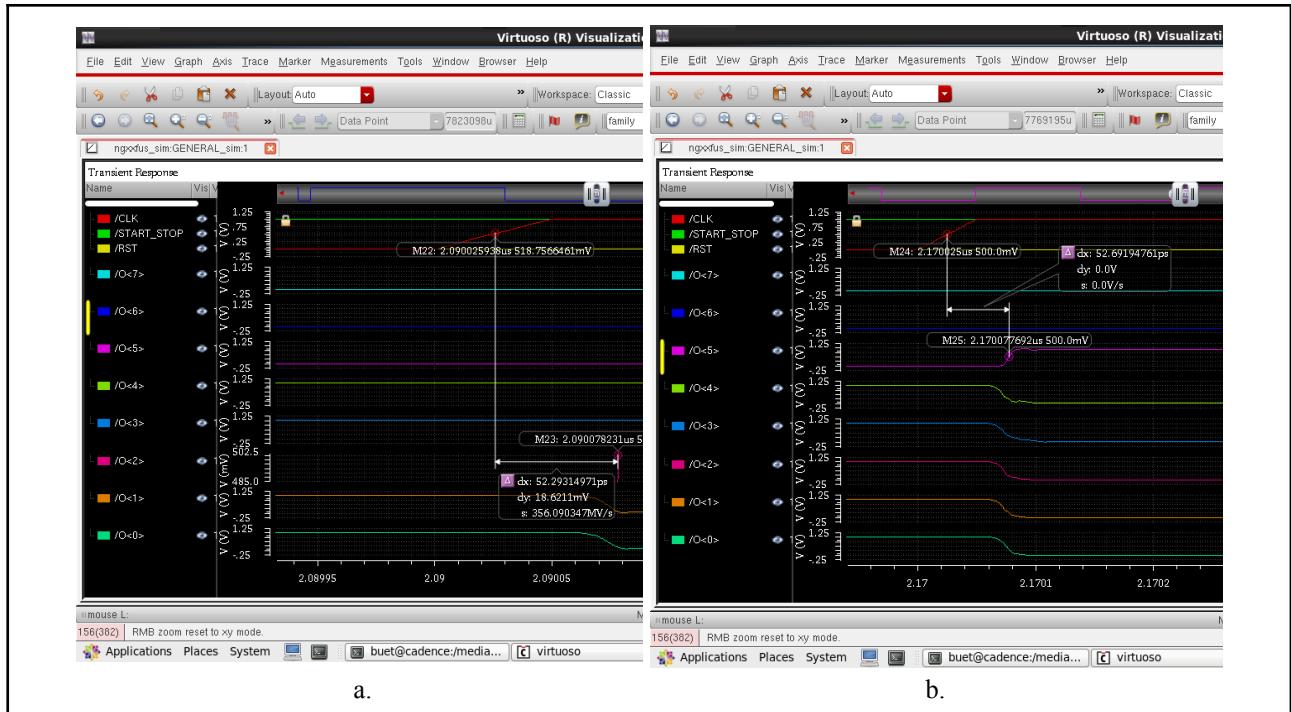


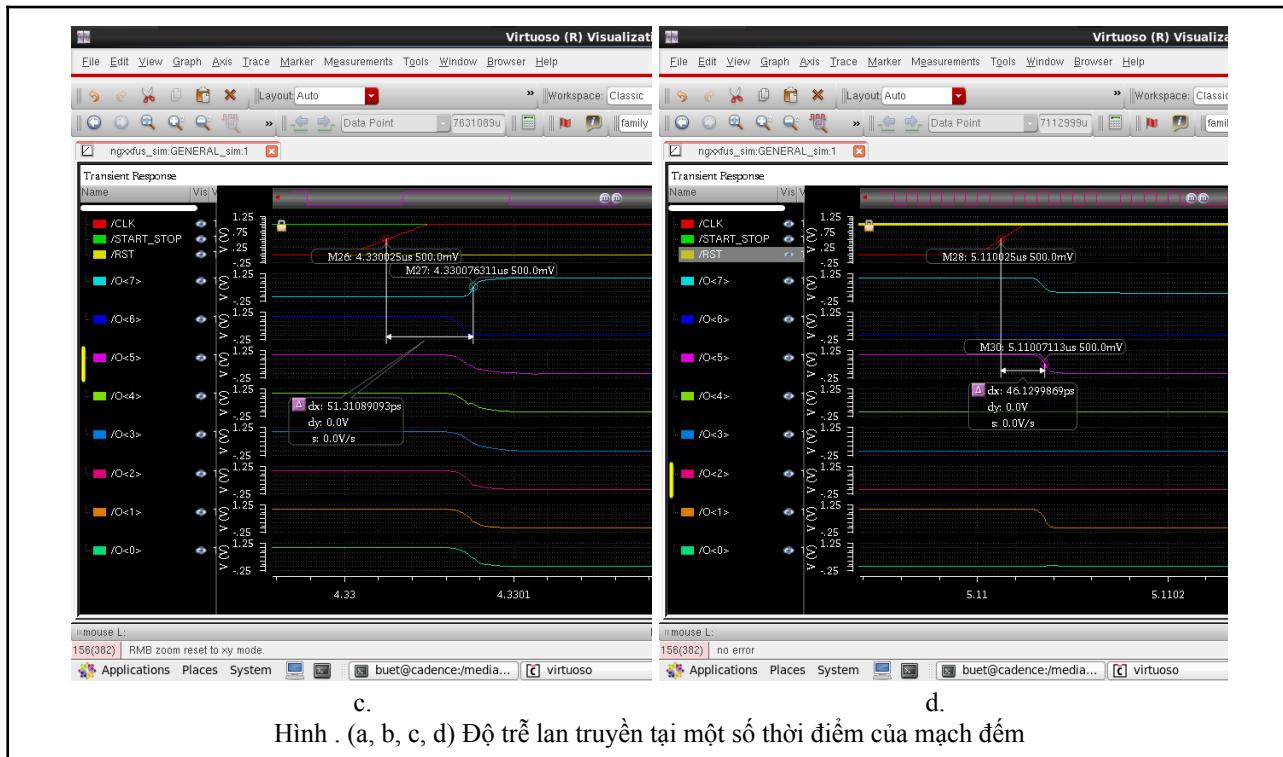


Hình . Dạng sóng ngõ ra của UP_CNT8b.

Nhận xét: Công suất cực đại - 9.7mW; Công suất trung bình - 509uA.

Khảo sát ngẫu nhiên độ trễ lan truyền của mạch đếm. Các hình bên dưới ghi nhận độ trễ lan truyền tại một số thời điểm của mạch đếm.





c. d.
Hình . (a, b, c, d) Độ trễ lan truyền tại một số thời điểm của mạch đếm

Nhận xét: Độ trễ lan truyền ~52ps.